

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-76284
(P2016-76284A)

(43) 公開日 平成28年5月12日(2016.5.12)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/4076 (2006.01)	G 1 1 C 11/34 3 5 4 C	5 J 0 0 1
G 1 1 C 11/4093 (2006.01)	G 1 1 C 11/34 3 5 4 Q	5 J 1 0 6
H O 3 K 5/131 (2014.01)	H O 3 K 5/13 A	5 M O 2 4
H O 3 K 5/133 (2014.01)	H O 3 K 5/13 B	
H O 3 L 7/06 (2006.01)	H O 3 L 7/06 J	

審査請求 未請求 請求項の数 7 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2014-206220 (P2014-206220)
(22) 出願日 平成26年10月7日 (2014.10.7)

(71) 出願人 595168543
マイクロン テクノロジー, インク.
アメリカ合衆国, アイダホ州 83716
-9632, ボイズ, サウス フェデ
ラル ウェイ 8000
(74) 代理人 100115738
弁理士 鷲頭 光宏
(74) 代理人 100121681
弁理士 緒方 和文
(74) 代理人 100130982
弁理士 黒瀬 泰之
(72) 発明者 佐藤 寛敏
東京都中央区八重洲二丁目2番1号 マイ
クロンメモリジャパン株式会社内

最終頁に続く

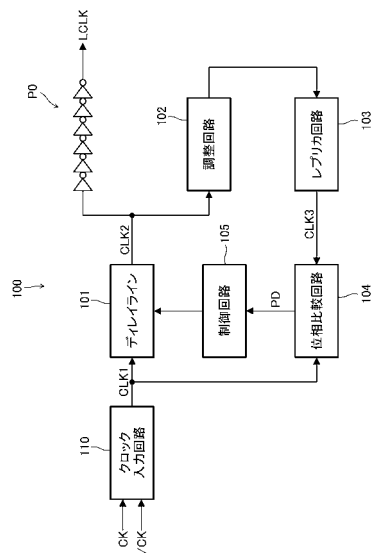
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】リードデータを外部クロック信号に対して正しく同期させる。

【解決手段】内部クロック信号CLK1を遅延させることによって内部クロック信号CLK2を生成するディレイライン101と、内部クロック信号CLK2に基づいて内部クロック信号CLK3を生成するレプリカ回路103と、内部クロック信号CLK1と内部クロック信号CLK3の位相に基づいてディレイライン101の遅延量を制御する制御回路105と、ディレイライン101とレプリカ回路103との間に挿入され、内部クロック信号CLK2の位相を調整する調整回路102とを備える。本発明によれば、ディレイライン101からレプリカ回路103までの信号経路における伝達条件を調整することができるため、リードデータを外部クロック信号に対して正しく同期させることが可能となる。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

第 1 のクロック信号を遅延させることによって第 2 のクロック信号を生成するディレイラインと、

前記第 2 のクロック信号に基づいて第 3 のクロック信号を生成するレプリカ回路と、

前記第 1 のクロック信号と第 3 のクロック信号の位相に基づいて前記ディレイラインの遅延量を制御する制御回路と、

前記ディレイラインと前記レプリカ回路との間に挿入され、前記第 2 のクロック信号の位相を調整する調整回路と、を備えることを特徴とする半導体装置。

【請求項 2】

前記調整回路は、前記第 2 のクロック信号の伝搬経路に並列に挿入され、伝搬速度が互いに異なる複数の信号パスを含むことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記調整回路は、前記複数の信号パスのいずれか一つを選択するスイッチをさらに含むことを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記第 2 のクロック信号に同期して外部にデータを出力する出力バッファをさらに備え

、前記レプリカ回路は、前記出力バッファと実質的に同じ遅延時間を有していることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の半導体装置。

【請求項 5】

前記ディレイラインと前記出力バッファとの間に挿入され、前記第 2 のクロック信号を前記出力バッファに供給する信号伝搬経路をさらに備えることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記複数の信号パスは、前記信号伝搬経路を構成する論理ゲート段数に対応した第 1 の信号パスと、前記第 1 の信号パスよりも論理ゲート段数が少ない第 2 の信号パスと、前記第 1 の信号パスよりも論理ゲート段数が多い第 3 の信号パスとを含むことを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記複数の信号パスは、前記第 2 の信号パスよりも論理ゲート段数が少ない第 4 の信号パスと、前記第 3 の信号パスよりも論理ゲート段数が多い第 5 の信号パスとをさらに含むことを特徴とする請求項 6 に記載の半導体装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は半導体装置に関し、特に、DLL 回路など内部クロック信号を生成するクロック生成回路を備えた半導体装置に関する。

【背景技術】**【0002】**

近年、パーソナルコンピュータなどのメインメモリとして、クロック信号に同期した動作を行うシンクロナス型の DRAM (Dynamic Random Access Memory) が広く使用されている。シンクロナス型の DRAM では、リードデータを外部クロック信号に対して正確に同期させる必要があることから、外部クロック信号に同期した内部クロック信号を生成するための DLL 回路が用いられる (特許文献 1 参照)。

【0003】

DLL 回路には、リードデータと位相が一致した内部クロック信号を生成すべく、出力バッファのレプリカであるレプリカ回路が用いられることがある。レプリカ回路の遅延量は、出力バッファの遅延量と正確に一致するように設計されるため、レプリカ回路から出力される内部クロック信号の位相は、リードデータの位相と正確に一致する。

10

20

30

40

50

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2010-219751号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、DLL回路に含まれるディレイラインから出力バッファまでの信号経路における伝達条件と、ディレイラインからレプリカ回路までの信号経路における伝達条件に僅かな差が生じることがある。この場合、レプリカ回路から出力される内部クロック信号とリードデータの位相に差が生じてしまうため、リードデータが外部クロック信号に対して正しく同期しないという問題が生じる。

10

【課題を解決するための手段】

【0006】

本発明による半導体装置は、第1のクロック信号を遅延させることによって第2のクロック信号を生成するディレイラインと、前記第2のクロック信号に基づいて第3のクロック信号を生成するレプリカ回路と、前記第1のクロック信号と第3のクロック信号の位相に基づいて前記ディレイラインの遅延量を制御する制御回路と、前記ディレイラインと前記レプリカ回路との間に挿入され、前記第2のクロック信号の位相を調整する調整回路と、を備えることを特徴とする。

20

【発明の効果】

【0007】

本発明によれば、ディレイラインからレプリカ回路までの信号経路における伝達条件を調整することができるため、ディレイラインから出力バッファまでの信号経路における伝達条件と一致させることができる。

【図面の簡単な説明】

【0008】

【図1】本発明の一実施形態による半導体装置10の構成を示すブロック図である。

【図2】DLL回路100の回路図である。

【図3】データストロブ信号DQSの位相が内部クロック信号CLK3よりも早い状態を示す波形図である。

30

【図4】データストロブ信号DQSの位相が内部クロック信号CLK3よりも遅い状態を示す波形図である。

【図5】調整回路102の回路図である。

【発明を実施するための形態】

【0009】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

【0010】

図1は、本発明の一実施形態による半導体装置10の構成を示すブロック図である。

40

【0011】

本実施形態による半導体装置10はシンクロナス型のDRAMであり、外部端子として、クロック端子11a, 11b、コマンド端子12a~12e、アドレス端子13、データ入出力端子14及びデータストロブ端子15を備えている。その他、キャリアレーション端子や電源端子なども備えられているが、これらについては図示を省略してある。

【0012】

クロック端子11a, 11bは、それぞれ外部クロックCK, /CKが供給される端子である。本明細書において信号名の先頭に「/」が付されている信号は、対応する信号の反転信号であることを意味する。したがって、外部クロックCK, /CKは互いに相補の信号である。外部クロックCK, /CKは、DLL回路100に供給される。DLL回路

50

100は、外部クロックCK、/CKに基づいて位相制御された内部クロックLCLKを生成し、データ入出力回路80に供給する役割を果たす。DLL回路100の回路構成については後述する。

【0013】

コマンド端子12a~12eは、それぞれロウアドレスストロブ信号/RAS、カラムアドレスストロブ信号/CAS、ライトイネーブル信号/WE、チップセレクト信号/CS、及びオンダイターミネーション信号ODTが供給される端子である。これらのコマンド信号CMDは、コマンド入力回路31に供給される。コマンド入力回路31に供給されたこれらコマンド信号CMDは、コマンドデコーダ32に供給される。コマンドデコーダ32は、コマンド信号の保持、デコード及びカウントなどを行うことによって、ODT信号を含む各種内部コマンドICMDを生成する回路である。生成された内部コマンドICMDは、ロウ系制御回路51、カラム系制御回路52及びモードレジスタ53に供給される。ODT信号は、データ入出力回路80に供給される。ODT信号とは、データ入出力回路80を終端抵抗器として機能させるための信号であり、コマンド端子12eより供給される信号である。

10

【0014】

アドレス端子13は、アドレス信号ADDが供給される端子であり、供給されたアドレス信号ADDは、アドレス入力回路41に供給される。アドレス入力回路41の出力は、アドレスラッチ回路42に供給される。アドレスラッチ回路42にラッチされたアドレス信号ADDのうち、ロウアドレスについてはロウ系制御回路51に供給され、カラムアドレスについてはカラム系制御回路52に供給される。また、モードレジスタセットにエントリしている場合には、アドレス信号ADDがモードレジスタ53に供給され、これによってモードレジスタ53の内容が更新される。

20

【0015】

ロウ系制御回路51の出力は、ロウデコーダ61に供給される。ロウデコーダ61は、メモリセルアレイ70に含まれるいずれかのワード線WLを選択する回路である。メモリセルアレイ70内においては、複数のワード線WLと複数のビット線BLが交差しており、その交点にはメモリセルMCが配置されている(図1では、1本のワード線WL、1本のビット線BL及び1個のメモリセルMCのみを示している)。ビット線BLは、センス回路63内の対応するセンスアンプSAに接続されている。

30

【0016】

カラム系制御回路52の出力は、カラムデコーダ62に供給される。カラムデコーダ62は、センス回路63に含まれるいずれかのセンスアンプSAを選択する回路である。カラムデコーダ62によって選択されたセンスアンプSAは、データアンプ64に接続される。データアンプ64は、リード動作時においてはセンスアンプSAによって増幅されたリードデータをさらに増幅し、リードライトバスRWBSを介してこれをデータ入出力回路80に供給する。一方、ライト動作時においては、リードライトバスRWBSを介してデータ入出力回路80から供給されるライトデータを増幅し、これをセンスアンプSAに供給する。

【0017】

データ入出力端子14は、リードデータDQの出力及びライトデータDQの入力を行うための端子であり、データ入出力回路80に接続されている。データ入出力回路80には内部クロックLCLKが供給されており、リード動作時においては内部クロックLCLKに同期してリードデータを出力する。また、データ入出力回路80にはODT信号も供給されており、ODT動作時においては内部クロックLCLKに同期して終端抵抗器として機能する。

40

【0018】

データストロブ端子15は、データストロブ信号DQSの入出力を行うための端子であり、データ入出力回路80に接続されている。データストロブ信号DQSは、リードデータDQ及びライトデータDQと同期した信号であり、リード動作時においては内部

50

クロックCLKに同期してデータストロブ端子15から出力される。

【0019】

図2は、DLL回路100の回路図である。

【0020】

DLL回路100は、ディレイライン101、調整回路102、レプリカ回路103、位相比較回路104及び制御回路105を備えている。ディレイライン101は、内部クロック信号CLK1を遅延させることによって内部クロック信号CLK2を生成する回路である。内部クロック信号CLK1は、外部クロック信号CK、/CKを受けるクロック入力回路110から出力される信号であり、実質的に外部クロック信号CK、/CKの位相と一致している。

10

【0021】

ディレイライン101から出力される内部クロック信号CLK2は、信号伝搬経路P0を介し、内部クロック信号CLKとしてデータ入出力回路80に供給される。内部クロック信号CLK2は調整回路102にも入力される。調整回路102は、内部クロック信号CLK2の位相を調整する回路であり、信号伝搬経路P0のレプリカである。調整回路102の詳細については後述する。

【0022】

調整回路102を経由した内部クロック信号CLK2は、レプリカ回路103に供給される。レプリカ回路103は、データ入出力回路80に含まれる出力バッファのレプリカであり、出力バッファと実質的に同じ遅延時間を有している。レプリカ回路103から出力される内部クロック信号CLK3は、位相比較回路104に供給される。

20

【0023】

位相比較回路104は、内部クロック信号CLK1と内部クロック信号CLK3の位相を比較し、その結果に基づいて位相判定信号PDを生成する。位相判定信号PDは制御回路105に供給され、制御回路105は位相判定信号PDに基づいてディレイライン101の遅延量を制御する。

【0024】

かかる構成により、内部クロック信号CLK3の位相は、リードデータDQやデータストロブ信号DQSの位相と一致することから、内部クロック信号CLK3の位相が内部クロック信号CLK1の位相と一致するようディレイライン101の遅延量を制御すれば、リードデータDQやデータストロブ信号DQSの位相は、外部クロック信号CK、/CKの位相と正確に一致することになる。

30

【0025】

図3及び図4は、調整回路102の遅延量が固定的である場合の問題点を説明するためのタイミング図である。

【0026】

上述の通り、調整回路102は信号伝搬経路P0のレプリカである。しかしながら、信号伝搬経路P0は配線距離が長いため、信号伝搬経路P0の実際の遅延量は、設計値に対してばらつきが生じることがある。このため、調整回路102の遅延量が固定的であると、図3に示すようにデータストロブ信号DQSの位相が内部クロック信号CLK3よりも早くなったり、図4に示すようにデータストロブ信号DQSの位相が内部クロック信号CLK3よりも遅くなったりすることがある。ここで、内部クロック信号CLK3は、内部クロック信号CLKのレプリカであり、位相が正確に一致している必要があるが、図3及び図4に示すように両者の位相にずれが生じると、内部クロック信号CLK3の位相を内部クロック信号CLK1の位相と一致するようディレイライン101の遅延量を制御しても、リードデータDQやデータストロブ信号DQSの位相が外部クロック信号CK、/CKの位相と一致しなくなってしまう。

40

【0027】

図5は、本実施形態による調整回路102の回路図である。

【0028】

50

図5に示すように、調整回路102は並列に接続された複数の信号バスP1～P5を備えている。各信号バスP1～P5は互いに遅延量が相違しており、図5に示す例では信号バスP1～P5に挿入されたインバータの段数がそれぞれ1段、3段、5段、7段及び9段である。このため、インバータ1段当たりの遅延量を50psとすると、信号バスP1～P5の遅延量は100psずつの差を持っていることになる。また、各信号バスP1～P5とレプリカ回路103との間には、それぞれ対応するスイッチSW1～SW5が設けられており、製造段階においてスイッチSW1～SW5のいずれか一つがオン状態に設定される。

【0029】

そして、図5に示す例では、信号伝搬経路P0に挿入されたインバータの段数が6段であり、調整回路102の信号バスP3を経由する段数と一致している。このため、信号伝搬経路P0の遅延量が設計通りであれば、信号バスP3に対応するスイッチSW3をオンさせればよい。

10

【0030】

これに対し、信号伝搬経路P0の遅延量が設計値よりも小さい場合、スイッチSW2又はスイッチSW1をオンさせることによって、信号バスP2又はP1を選択すれば、内部クロック信号CLK3の位相を内部クロック信号CLK1の位相と一致させることができる。逆に、信号伝搬経路P0の遅延量が設計値よりも大きい場合、スイッチSW4又はスイッチSW5をオンさせることによって、信号バスP4又はP5を選択すれば、内部クロック信号CLK3の位相を内部クロック信号LCLKの位相と一致させることができる。

20

【0031】

以上説明したように、本実施形態によれば、内部クロック信号CLK2の位相を調整する調整回路102を備えていることから、信号伝搬経路P0の遅延量が設計値からずれている場合であっても、内部クロック信号CLK3の位相を内部クロック信号LCLKの位相と一致させることができる。これにより、内部クロック信号CLK3の位相を内部クロック信号CLK1の位相と一致するようディレイライン101の遅延量を制御すれば、リードデータDQやデータストロープ信号DQSの位相を外部クロック信号CK、/CKの位相と正確に一致させることが可能となる。

【0032】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

30

【0033】

例えば、上記実施形態では、調整回路102に5つの信号バスP1～P5が含まれているが、調整回路102に含まれる信号バスの数がこれに限定されるものではない。また、各信号バスP1～P5にインバータを挿入しているが、インバータの代わりに他の論理ゲート回路を用いても構わない。さらに、並列接続された複数の信号バスによって調整回路102を構成することも必須でなく、1つの信号バスの異なる箇所から内部クロック信号CLK2を取り出し可能とすることにより、内部クロック信号CLK2の遅延量を調整することも可能である。

40

【符号の説明】

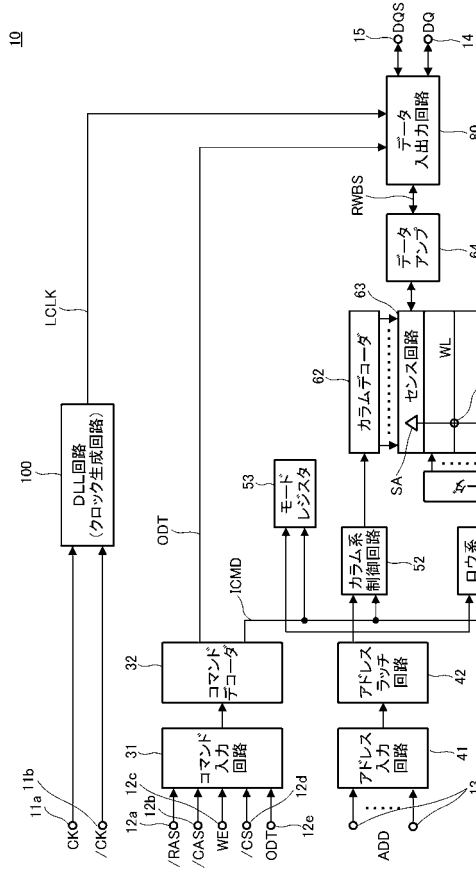
【0034】

- 10 半導体装置
- 11 a , 11 b クロック端子
- 12 a ~ 12 e コマンド端子
- 13 アドレス端子
- 14 データ入出力端子
- 15 データストロープ端子
- 31 コマンド入力回路
- 32 コマンドデコーダ

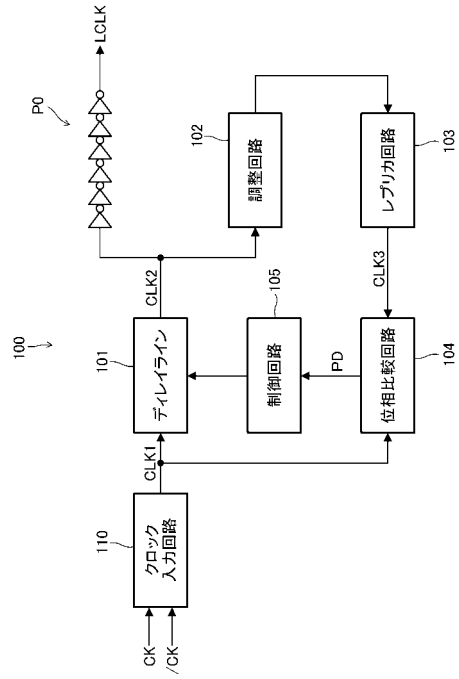
50

4 1	アドレス入力回路	
4 2	アドレスラッチ回路	
5 1	ロウ系制御回路	
5 2	カラム系制御回路	
5 3	モードレジスタ	
6 1	ロウデコーダ	
6 2	カラムデコーダ	
6 3	センス回路	
6 4	データアンプ	
7 0	メモリセルアレイ	10
8 0	データ入出力回路	
1 0 0	D L L 回路	
1 0 1	ディレイライン	
1 0 2	調整回路	
1 0 3	レプリカ回路	
1 0 4	位相比較回路	
1 0 5	制御回路	
1 1 0	クロック入力回路	
B L	ビット線	
C L K 1	内部クロック信号 (第 1 のクロック信号)	20
C L K 2	内部クロック信号 (第 2 のクロック信号)	
C L K 3	内部クロック信号 (第 3 のクロック信号)	
M C	メモリセル	
P 0	信号伝搬経路	
P 1 ~ P 5	信号パス	
S A	センスアンプ	
S W 1 ~ S W 5	スイッチ	
W L	ワード線	

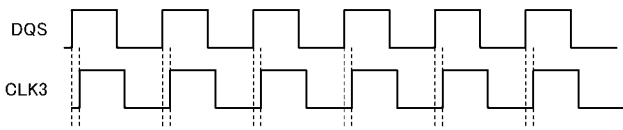
【 図 1 】



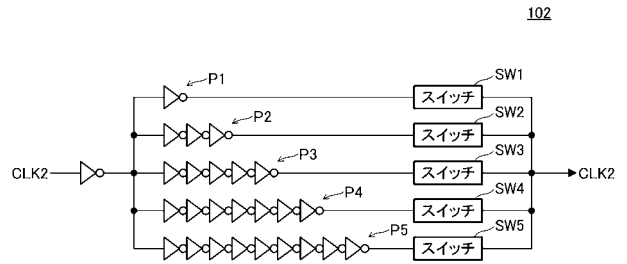
【 図 2 】



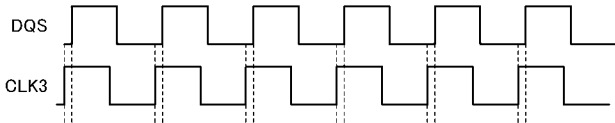
【 図 3 】



【 図 5 】



【 図 4 】



フロントページの続き

(51) Int.Cl. F I テーマコード(参考)
G 1 1 C 11/407 (2006.01) G 1 1 C 11/34 3 6 2 T

(72) 発明者 高橋 弘樹

東京都中央区八重洲二丁目2番1号 マイクロンメモリジャパン株式会社内

(72) 発明者 北川 勝浩

東京都中央区八重洲二丁目2番1号 マイクロンメモリジャパン株式会社内

Fターム(参考) 5J001 BB12 CC03 DD09

5J106 AA04 CC21 CC59 DD38 DD42 JJ06 KK30

5M024 AA40 BB04 BB27 BB35 DD82 GG01 JJ02 JJ04 JJ32 JJ34

JJ38 PP01 PP02 PP07