

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3866036号

(P3866036)

(45) 発行日 平成19年1月10日(2007.1.10)

(24) 登録日 平成18年10月13日(2006.10.13)

(51) Int. Cl.

G11C 7/00 (2006.01)

F I

G11C 7/00 311C

請求項の数 13 (全 12 頁)

(21) 出願番号	特願2000-532851 (P2000-532851)	(73) 特許権者	596079127
(86) (22) 出願日	平成11年2月23日 (1999.2.23)		マイクロン・テクノロジー・インコーポレ
(65) 公表番号	特表2002-504735 (P2002-504735A)		ーテッド
(43) 公表日	平成14年2月12日 (2002.2.12)		MICRON TECHNOLOGY, I
(86) 国際出願番号	PCT/US1999/003822		NC.
(87) 国際公開番号	W01999/043003		アメリカ合衆国 アイダホ州 83707
(87) 国際公開日	平成11年8月26日 (1999.8.26)		-0006 ボイシ エス フェデラル
審査請求日	平成12年8月10日 (2000.8.10)		ウェイ 8000
(31) 優先権主張番号	09/027,978	(74) 代理人	100088454
(32) 優先日	平成10年2月23日 (1998.2.23)		弁理士 加藤 紘一郎
(33) 優先権主張国	米国 (US)	(72) 発明者	ダーナー, スコット, ジェイ
			アメリカ合衆国 アイダホ州 83642
			メリディアン ボブキャット・ウェイ
			2793 エヌ

最終頁に続く

(54) 【発明の名称】 単一の入出力ピンによるマルチレベルデータの書込み及び読取りが可能な記憶集積回路

(57) 【特許請求の範囲】

【請求項1】

多数の入出力ピンを有する記憶集積回路であって、
 多数の行のワードライン、多数の列のビットライン及び多数の行のワードラインと多数の列のビットラインの交差点に位置する多数の記憶セルより成るメモリアレイと、
 多数の列のビットラインに結合された多数のセンス増幅器と、
 多数のセンス増幅器に結合され、ビットラインの部分集合に同時にアクセスする列デコーダと、
 多数の行のワードラインに結合された行デコーダと、
 列デコーダ及び多数のセンス増幅器を介して多数の列のビットラインに結合された多数の入出力ラインと、

各々が関連のビットラインの部分集合に結合された多数の入出力ラインと多数の入出力ピンのうちの関連の単一の入出力ピンとの間に結合された多数の論理回路とより成り、

各々が関連のビットラインの部分集合に結合された多数の入出力ラインと多数の入出力ピンのうちの関連の単一の入出力ピンとの間に結合された多数の論理回路とより成り、

各論理回路は、関連の単一の入出力ピンに結合されるアナログ信号の多数の電圧レベルのうちの1つのレベルに対応するデータ値を関連のビットラインの部分集合に結合された多数の入出力ラインに転送することにより関連のビットラインの部分集合の記憶セルへの書込みを制御し、また、関連のビットラインの部分集合に結合されるデータ値に対応するアナログ信号の多数の電圧レベルのうちの1つのレベルを関連の単一の入出力ピンへ供給

10

20

することにより関連のビットラインの部分集合の記憶セルからの読取りを制御することを特徴とする記憶集積回路。

【請求項 2】

単一の入出力ピンは、少なくとも 2 つの記憶セルからの読取り又は該記憶セルへの書込みを同時に行う請求項 1 の記憶集積回路。

【請求項 3】

単一の入出力ピンは、少なくとも 4 つの記憶セルからの読取り又は該記憶セルへの書込みを同時に行う請求項 1 の記憶集積回路。

【請求項 4】

多数の論理回路は、 0 、 $1/3 V_{dd}$ 、 $2/3 V_{dd}$ 、 V_{dd} の電圧レベルを用いて単一の入出力ピンにより 2 つの記憶セルの 2 進状態を区別する請求項 1 の記憶集積回路。 10

【請求項 5】

多数の論理回路は多数の入力及び出力を有し、多数の論理回路のうちの少なくとも 1 つの論理回路の出力は、それぞれ多数の記憶セルからデータを読取るためにプルアップ又はプルダウントランジスタに別々に結合されている請求項 1 の記憶集積回路。

【請求項 6】

多数の論理回路は多数の入力及び出力を有し、多数の論理回路のうちの少なくとも 1 つの論理回路の入力は、多数の記憶セルへのデータを書込むためにコンパレータに別々に結合されている請求項 1 の記憶集積回路。

【請求項 7】

多数の論理回路は多数の出力を有し、多数の出力は多数のプルアップデバイスに結合され、プルアップデバイスはそれぞれ異なる電圧レベルに結合されている請求項 1 の記憶集積回路。 20

【請求項 8】

多数の論理回路は多数の入力を有し、多数の入力は多数のコンパレータに結合され、これらのコンパレータはそれぞれ異なる電圧基準レベルに結合されている請求項 1 の記憶集積回路。

【請求項 9】

多数のコンパレータは、 $1/3 V_{dd}$ 、 $2/3 V_{dd}$ 、 V_{dd} の別々の電圧基準レベルに結合されている請求項 8 の記憶集積回路。 30

【請求項 10】

プルアップ及びプルダウントランジスタは、アナログ信号を単一の入出力ピンに出力する請求項 5 の記憶集積回路。

【請求項 11】

多数の入出力ラインは、デジタル信号を運ぶ請求項 1 の記憶集積回路。

【請求項 12】

メモリアレイはランダムアクセスメモリーである請求項 1 の記憶集積回路。

【請求項 13】

中央処理ユニットと、多数の入出力ピンを有するランダムアクセスメモリーとより成り、ランダムアクセスメモリーは、請求項 1 に記載された記憶集積回路を有する情報処理システム。 40

【発明の詳細な説明】

【0001】

【発明の分野】

本発明は、一般的に半導体集積回路に関し、さらに詳細には、単一の入出力ピンを介してのマルチレベル・データの取出し及び記憶に関する。

【0002】

【発明の背景】

現代の電子システムは通常、ダイナミックランダムアクセスメモリー (DRAM)、ス 50

ティックランダムアクセスメモリー（SRAM）又は他の従来型メモリー装置のようなデータ記憶装置を有する。記憶装置は、記憶セルの大型アレイにデータを記憶させる。各セルは通常、1ビットのデータ（論理“1”又は論理“0”）を記憶し、別個独立にアクセス又はアドレス可能である。データは、読取り動作時メモリーから出力され、書込み動作時メモリーへ記憶される。

【0003】

標準の読取り又は書込み動作では、列デコーダと行デコーダがアドレス信号を記憶アレイ内の行（ワードライン）及び列（ビットライン）が交差する単一の交差点に変換する。この機能により、その位置にある記憶セルからのデータの読取り、またその記憶セルへのデータの書込みが可能となる。データの処理は、個々のデータビットを記憶セルに記憶させたり該セルから読出したりするに要する時間に左右される。データビットの記憶及び読出しは一般的にマイクロプロセッサにより制御されるが、このマイクロプロセッサにより、一定数の入出力（I/O）ライン及び入出力（I/O）ピンを介して、記憶アレイへのまた該アレイからのデータの転送が行われる。現在のデジタル回路技術によると、各I/Oピンは1つの動作サイクル時、せいぜい1ビットのデータにアクセスできるにすぎない。これにより、記憶装置の潜在的な帯域幅（bandwidth）又は速度が実質的に制限される。

10

【0004】

現代の種々の用途に使用する電子システムは、データ処理の高速化が要求されている。これらのシステムが上記要求を満足するためには、システム部品の処理速度を増加させる必要がある。処理速度を増加させる方法の1つは、システム部品のI/Oピンを増加させることである。しかしながら、マイクロプロセッサ・チップ及びメモリーチップには共にスペースの制約があるため、ただI/Oピンの数を増加させるというわけにはゆかない。処理速度を増加させるもう1つの方法は、データの読出し又は記憶のサイクル時間を減少させることである。サイクル速度の上限は、集積回路を構成する個別デバイスの現在のフィーチャーサイズ（feature size）（F）により設定される。しかしながら、現代の写真食刻技術には、半導体及び他の材料から形成可能な回路のサイズに制約がある。ある点で、この食刻法は回路素子のサイズをさらに減少させるに十分な明瞭さで十分に細かい画像を形成することができない。

20

【0005】

上述した理由により、また当業者が本明細書を読んで理解すると明らかになる下記の他の理由により、I/Oピンの増加又はサイクル時間のさらなる減少を必要とせずにデータ処理量又はデータの帯域幅を増加させる他の方法を提供することが望ましい。

30

【0006】

【発明の概要】

記憶装置の上記及び他の問題が本発明により解消されることは、以下の明細書の説明を読めば分かるであろう。入出力ピンの増加又はアクセス時間の減少を必要とせずにサイクル毎のデータ帯域幅を増加させる記憶回路及び方法を説明する。

【0007】

本発明によると、多数の入出力ピンを有する記憶集積回路であって、多数の行のワードライン、多数の列のビットライン及び多数の行のワードラインと多数の列のビットラインの交差点に位置する多数の記憶セルより成るメモリーアレイと、多数の列のビットラインに結合された多数のセンス増幅器と、多数のセンス増幅器に結合され、ビットラインの部分集合に同時にアクセスする列デコーダと、多数の行のワードラインに結合された行デコーダと、列デコーダ及び多数のセンス増幅器を介して多数の列のビットラインに結合された多数の入出力ラインと、各々が関連のビットラインの部分集合に結合された多数の入出力ラインと多数の入出力ピンのうちの関連の単一の入出力ピンとの間に結合された多数の論理回路とより成り、各々が関連のビットラインの部分集合に結合された多数の入出力ラインと多数の入出力ピンのうちの関連の単一の入出力ピンとの間に結合された多数の論理回路とより成り、各論理回路は、関連の単一の入出力ピンに結合されるアナログ信号の多数の電圧レベルのうちの1つのレベルに対応するデータ値を関連のビットラインの部分集

40

50

合に結合された多数の入出力ラインに転送することにより関連のビットラインの部分集合の記憶セルへの書込みを制御し、また、関連のビットラインの部分集合に結合されるデータ値に対応するアナログ信号の多数の電圧レベルのうちの1つのレベルを関連の単一の入出力ピンへ供給することにより関連のビットラインの部分集合の記憶セルからの読取りを制御することを特徴とする記憶集積回路が提供される。

【0008】

別の実施例として、同様なメモリアレイを有する記憶回路が提供される。このメモリアレイは、多数の行のワードラインと多数の列のビットラインを有する。多数の行のワードラインと多数の列のビットラインの交差点には、多数の記憶セルがある。多数の列のビットラインには、多数のセンス増幅器が結合されている。多数のセンス増幅器には、列デコーダが少なくとも2つのセンス増幅器の出力を選択するように、多数の列デコーダに結合されている。多数の行のワードラインには、多数の行デコーダが結合されている。多数の入出力ラインが、多数のセンス増幅器を介してビットラインに結合されている。多数の論理回路は、多数の入力と出力を有する。各論理回路は、入出力ラインの部分集合に結合されている。多数の論理回路のうちの1つの出力は、別々に多数のプルアップ又はプルダウントランジスタに結合されている。多数の論理回路のうちの少なくとも1つの入力は、別々に多数のコンパレータに結合されている。多数の論理回路の各々は、多数の電圧レベルを用いて、一度に2以上の記憶セルへの書込み又は記憶セルからの読取りを行う。

10

【0009】

別の実施例として、単一の入力ピンを介する多数の記憶セルへの書込み方法が提供される。この方法は、幾つかの記憶セルに記憶すべき値を表わす電圧をそのピンで受けるステップを含む。このピンの電圧は、多数のコンパレータによりそれぞれ異なる多数の電圧基準と比較される。比較ステップの出力は、論理回路に結合される。この方法は、論理回路がデータビットを所定の数の入出力ラインへ出力するステップを含む。記憶セルのアレイの1つの行が作動状態にされる。このアレイは、多数の行のワードラインと多数の列のビットラインを有する。記憶セルのアレイの所定の数の列は、列デコーダにより同時に作動状態にされる。この方法はさらに、所定の数の入出力ラインにあるデータビットを、作動状態の行と所定の数の作動状態の列の交差点にある記憶セルへ送るステップを含む。所定の数の入出力ラインは、1つの列デコーダにより同時にアクセスされる所定の数の列に等しい。

20

30

【0010】

別の実施例として、単一の出カピンを介する多数の記憶セルからの読取り方法が提供される。この方法は、記憶セルのアレイの1つの行を作動状態にするステップを含む。このアレイは、多数の行のワードラインと多数の列のビットラインを有する。この方法は、記憶セルのアレイの所定の数の列を作動状態にするステップも含む。所定の数の列は、単一の列デコーダにより同時にアクセスされる。作動状態の行と所定の数の作動状態の列の交差点にあるデータビットは、所定の数の入出力ラインへ送られる。所定の数の入出力ラインはその後、論理回路に結合される。論理回路は多数の出力を有し、各出力はプルアップ又はプルダウントランジスタに別々に結合されている。この方法はさらに、プルアップ及びプルダウントランジスタを単一の出カピンに結合するステップを含む。

40

【0011】

別の実施例として、情報処理システムが提供される。この情報処理システムは、中央処理ユニットとランダムアクセスメモリー(RAM)を有する。RAMは多数の入出力ピンを有する。RAMは、多数の行のワードラインと多数の列のビットラインを有する。RAMは、多数の列のビットラインに結合された多数のセンス増幅器を有する。RAMは、多数の列のビットラインに結合されて所定の数のビットラインに同時にアクセスする列デコーダを有する。RAMは、多数の行のワードラインに結合された行デコーダを有する。多数のビットラインには、センス増幅器を介して多数の入出力ラインが結合されている。多数の第1の論理回路はそれぞれ、所定の数の入出力ラインに結合されている。多数のプルアップトランジスタ及びプルダウントランジスタは、入出力ピンと第1の論理回路との間に

50

結合されて、ランダムアクセスメモリーからデータを読取る。多数のコンパレータは各入出力ピンに結合され、各コンパレータはそれぞれ異なる電圧基準に接続されている。入出力ピンの多数のコンパレータには、第2の論理回路が結合されている。第2の論理回路は、任意の時間において所定の数の入出力ラインに結合されて、ランダムアクセスメモリーへの入力の書込みを行う。システムバスは、中央処理ユニットとRAMをそれらの間の通信を可能にするように結合する。

【0012】

本発明は、記憶回路を備えた電子システムのデータ帯域幅又は速度をI/Oピンの数を増加させずに、また部品のアクセス時間を減少させずに、増加させるのを可能にする。これはI/Oピンの数を増加させるよりも有利である。その理由は、ボンディングパッド領域のためのダイの面積が格段に小さく、また信号を導くための領域が恐らく小さくて済むからである。本発明によると、トランジスタのサイズを変更したり、メモリーのアドレス手順を変化させたり、作動電圧を変えたりする必要なしに、またマイクロプロセッサの全体速度を増加する他の方法を用いることなく、記憶回路はより速い速度で動作することが可能である。データを圧縮するこの方法は、限られた数のI/Oピンを介してより多くのデータを転送できることにより利益を受ける任意の装置に利用可能である。

【0013】

本発明の上記及び他の実施例、特徴、利点及び特性は、本発明の以下の説明及び添付図面を参照すれば、また本発明を実施すれば、当業者にとって明らかであろう。本発明の種々の局面、利点及び特徴は、頭書の特許請求の範囲に明記された装置、手順及びそれらの組み合わせにより実現される。

【0014】

【実施例の説明】

本発明の以下の詳細な説明において、本願の一部であり、本発明の特定の実施例を例示する添付図面を参照する。添付図面において、同様な参照番号は幾つかの図を通してほぼ同じ構成要素を示すものとする。これらの実施例は、当業者が本発明を実施できるように十分に詳しく記載されている。他の実施例も可能であり、本発明の範囲から逸脱することなく構造的、論理的及び電気的な設計変更を行うことができる。

【0015】

以下の説明中の用語「ウェーハ」及び「基板」は、本発明の集積回路(IC)構造を形成する露出面を有する任意の構造を含む。用語「基板」は、半導体ウェーハを含むものと理解されたい。用語「基板」はまた処理時の半導体構造を指すこともあり、その構造上に形成した他の層を含む場合もある。「ウェーハ」と「基板」は共に、基礎となる半導体又は絶縁体に支持されるドーピングを施した又はドーピングを施されていない半導体、エピタキシャル半導体層だけでなく、当業者に良く知られた他の半導体構造を含む。用語「導体」は半導体を含むものと理解されたい。用語「絶縁体」は、「導体」と呼ぶ材料よりも導電性が低い任意の材料を含むものと定義する。従って、以下の詳細な説明は限定的な意味で理解すべきでなく、本発明の範囲は頭書の特許請求の範囲及びかかる請求の範囲の均等物の全範囲によってのみ限定されるものである。

【0016】

図1は、本発明による電子回路のブロック図である。

【0017】

図1は記憶アレイ110を含む。この記憶アレイ110は、センス増幅器ブロック111に結合されている。このセンス増幅器ブロックは、列デコーダブロック112に結合されている。記憶アレイ110は、行デコーダブロック114に結合されている。列デコーダブロック112はさらに、入出力(I/O)制御回路ブロック116に結合されている。

【0018】

図1はさらに、電子システム102を含む。この電子システム102は、制御バス104を介して制御回路118に結合されている。制御回路118は、行デコーダブロック114、センス増幅器ブロック111、列デコーダブロック112及び入出力制御回路ブロッ

10

20

30

40

50

ク 1 1 6 に結合されている。I / O 制御回路ブロック 1 1 6 はさらに、電子システム 1 0 2 に結合された多数の入出力ピン 1 0 8 の群をさらに含む。電子システム 1 0 2 はさらに、行デコーダブロック 1 1 4 と列デコーダブロック 1 1 2 に結合されたアドレスバス 1 0 6 を含む。制御回路 1 1 8、行デコーダブロック 1 1 4、記憶アレイ 1 1 0、センス増幅器ブロック 1 1 1、列デコーダブロック 1 1 2 及び I / O 制御回路ブロック 1 1 6 は全て、記憶装置 1 0 0 の一部を形成する。

【 0 0 1 9 】

図 2 には、記憶装置 1 0 0 の一部をさらに詳細に示すブロック図である。記憶アレイ 1 1 0 は、多数列のワードライン、 $W L_1$ 、 $W L_2$ 、... $W L_n$ と、多数行のビットライン $B L_0$ 、 $B L_1$ 、... $B L_n$ を有する。多数列のワードラインと多数列のビットラインが交差する箇所 10 に、多数の記憶セル $1 0 5_1$ 、 $1 0 5_n$ が形成されている。センス増幅器ブロック 1 1 1 は、多数の行のビットラインに結合された多数のセンス増幅器 $1 1 1_0$ 、 $1 1 1_1$ 、... $1 1 1_n$ より成る。列デコーダブロック 1 1 2 は、多数のセンス増幅器 $1 1 1_0$ 、 $1 1 1_1$ 、... $1 1 1_n$ に結合された多数の列デコーダより成る。各列デコーダは、所定の数のビットラインに同時にアクセスする。行デコーダブロック 1 1 4 は、多数列のワードラインに結合された多数の行デコーダを含む。多数の入出力ライン I / O₀、I / O₁、...I / O_nは多数のセンス増幅器を介して多数のビットラインに結合されている。アドレスバス 1 0 6 は、行デコーダブロック 1 1 4 と列デコーダブロック 1 1 2 の両方に結合されている。多数の入出力ラインは I / O 制御回路ブロック 1 1 6 に結合され、多数の I / O ピン 1 0 8 は I / O 制御回路ブロックに結合されている。 20

【 0 0 2 0 】

図 3 は、図 1 の電子回路の I / O 制御回路ブロック 1 1 6 の一部をさらに詳細に示すブロック図である。図 3 において、多数の入出力ライン I / O₀、I / O₁、...I / O_n及びそれらの相補対は、多数の直流センス増幅器 $1 2 0_0$ 、 $1 2 0_1$ 、... $1 2 0_n$ に結合されている。入出力ライン I / O₀、I / O₁、...I / O_nは、直流センス増幅器を書込み許可パストランジスタと入出力 (I / O) 読取り論理回路 1 2 8 に結合している。書込み許可パストランジスタが非作動状態の時、多数の入出力ラインは I / O 読取り論理回路 1 2 8 だけに結合される。この I / O 読取り論理回路 1 2 8 は、多数の入力及び出力を有する。I / O 読取り論理回路 1 2 8 の出力は、プルアップ / プルダウン回路 1 3 0 に結合されている。このプルアップ / プルダウン回路 1 3 0 は、単一の入出力ピン 1 0 8 に結合されて、アナログ出力をそのピンに転送する。任意所与の「読取り」動作サイクルでは、少なくとも 2 対の相補的な入出力ラインが書込み許可パストランジスタを非作動状態にして、I / O 読取り論理回路 1 2 8 への入力を同時に行う。この実施例では、単一の I / O ピン 1 0 8 が少なくとも 2 つの記憶セルからの読取りを同時に行う。単一の I / O ピンが少なくとも 4 つの記憶セルからの読取りを同時に行う別の実施例もある。 30

【 0 0 2 1 】

逆に、書込み許可パストランジスタが作動状態になると、入出力ライン I / O₀、I / O₁、...I / O_nは、図 3 において $1 2 2_0$ 、 $1 2 2_n$ で示す書込みドライバに結合される。この書込みドライバ $1 2 2_0$ 、 $1 2 2_n$ はそれぞれ、I / O 書込み論理回路 1 2 6 の出力を受信する。この I / O 書込み論理回路 1 2 6 は、コンパレータ回路 1 3 2 から多数の入力を受信する。このコンパレータ回路 1 3 2 は、単一の I / O ピン 1 0 8 から入力を受信する。任意所与の「書込み」動作サイクルでは、少なくとも 2 つの書込み許可パストランジスタが同時に作動されるため、I / O 書込み論理回路 1 2 6 の出力が少なくとも 2 組の入出力ラインに結合される。これにより、単一の I / O ピン 1 0 8 が少なくとも 2 つの記憶セルへの書込みを同時に行える。単一の I / O ピンが少なくとも 4 つの記憶セルへの書込みを同時にする別の実施例もある。 40

【 0 0 2 2 】

図 4 A は、図 3 の I / O 制御回路ブロック 1 1 6 の I / O 読取り論理回路 1 2 8 の実施例をさらに詳細に例示するブール論理回路 1 4 0 である。この実施例において、2 つの入出力 (I / O) ライン D R 1、D R 2 はそれぞれ、I / O 読取り論理回路 1 2 8 に結合され 50

ている。ブール論理回路140は、プルダウンゲートに出力するNORゲート142を含む。ブール論理回路140はさらに、一連のANDゲート144、146、148を有する。ANDゲート144の出力はプルアップトランジスタに結合されている。ANDゲート146の出力は第2のプルアップトランジスタに結合され、ANDゲート148の出力は第3のプルアップトランジスタに結合されている。

【0023】

図4Bは、I/O制御回路ブロック116のプルアップ/プルダウン回路130の実施例をさらに詳細に例示するプルアップ/プルダウン回路150である。このプルアップ/プルダウン回路150は、多数のプルアップ及びプルダウントランジスタより成る。この実施例において、プルアップトランジスタ154は V_{dd} の電圧レベルに結合されている。プルアップトランジスタ156は、 $\frac{1}{3}V_{dd}$ の電圧レベルに結合されている。プルアップトランジスタ158は、 $\frac{2}{3}V_{dd}$ の電圧レベルに結合されている。さらに、プルアップトランジスタ152はアースに接続されている。プルアップ及びプルダウントランジスタ152、154、156、158はそれぞれ、単一の入出力(I/O)ピン159と一緒に接続されている。この実施例において、これら多数のプルアップ及びプルダウントランジスタは、単一のI/Oピンを介して単一のアナログ信号を出力する。

10

【0024】

図4Cは、図4Aに示すブール論理回路140の実施例による入力と出力の真理表である。図示のように、DR1とDR2の4つの論理的組み合わせはそれぞれ、プルアップ/プルダウン回路150のトランジスタの1つを作動する。選択されたトランジスタは、I/Oピン159をその関連の供給電圧までプルアップするか、あるいはアースにプルダウンする。このアナログ電圧は、同時に読取られる多数のセルに記憶された値を示す。

20

【0025】

図5Aは、図3のI/O制御回路116のコンパレータ回路132の実施例をさらに詳細に例示するコンパレータ回路160である。この実施例のコンパレータ回路160は、単一のI/Oピン168を介して入力を受信する。I/Oピン168は、上記のI/Oピン159と同じように1個である。I/Oピン168は、アナログ信号を運ぶ。I/Oピン168は、多数のコンパレータ162、164、166にそれぞれ結合されている。各コンパレータ162、164、166は、それぞれ異なる電圧基準レベルに結合されている。コンパレータ166は、電圧基準レベル V_{dd} に結合されている。コンパレータ164はその $\frac{2}{3}$ の電圧基準レベル、 $\frac{2}{3}V_{dd}$ に結合されている。コンパレータ162はその $\frac{1}{3}$ の電圧基準レベル、 $\frac{1}{3}V_{dd}$ に結合されている。

30

【0026】

図5Bは、図3のI/O制御回路116のI/O書込み論理回路126の実施例をさらに詳細に例示するブール論理回路170である。この実施例のブール論理回路170は、一対のORゲート172、174を有する。ブール論理回路170は、コンパレータ回路160の実施例から多数の入力を受信する。ブール論理回路170は、I/OラインDW1、DW2に出力する。これらのI/OラインDW1、DW2はデジタル信号を運ぶ。 V_{dd} のコンパレータの出力及び $\frac{3}{2}V_{dd}$ のコンパレータの出力は、ブール論理回路170のORゲート172に入力される。 V_{dd} のコンパレータ及び $\frac{3}{1}V_{dd}$ のコンパレータの出力は、ORゲート174に入力される。

40

【0027】

図5Cは、図5Bのブール論理回路170の実施例による入力と出力を示す真理表である。図示のように、DW1、DW2の4つの論理的組み合わせは、コンパレータ回路160の1対のコンパレータの出力から得られる。コンパレータの出力は、I/Oピン168からのアナログ信号をブール論理回路170へ転送する。ブール論理回路170は、アナログ信号により表わされる値を多数のセルに同時に記憶させるためにデジタルデータビットに変換する。

【0028】

【動作態様】

50

動作について説明すると、記憶アレイ 110 の多数の記憶セルへの書込み方法は、単一の入出力 (I/O) ピン 108 でのアナログ信号の受信ステップを含む。ピン 108 で受信する電圧は少なくとも 2 つの 2 進値を表わし、多数の記憶セルに記憶される。I/O ピン 108 で受信する電圧は、コンパレータ回路 132 へ入力される。コンパレータ回路 132 は、コンパレータ回路 160 のような実施例より成る。コンパレータ回路 160 は、多数のコンパレータ 162、164、166 を含む。I/O ピン 108 で受信する電圧入力は、コンパレータ 162、164、166 によりそれぞれ異なる多数の電圧基準レベルと比較される。それぞれ異なる電圧基準レベルは、 V_{dd} 、 $2/3 V_{dd}$ 及び $1/3 V_{dd}$ を含む。コンパレータ回路 160 の出力は、I/O 書込み論理回路 126 に結合される。I/O 書込み論理回路 126 は、プールの論理回路 170 の実施例より成る。プールの論理回路 170 は、所定の数の入出力ラインに出力する。その I/O ラインの所定の数は少なくとも 2、即ち、DW1、DW2 に等しい。記憶アレイ 110 の 1 つの行 (ワードライン) が作動される。記憶アレイ 110 の所定の数の列は、列デコーダ 112、例えば 2 つの列の列デコーダによって作動される。所定の数の入出力ライン DW1、DW2 上のデータビットは、記憶アレイ 110 の、作動状態の行と作動状態の所定の数の列の交差点にある個々の記憶セルに送られる。1 つの実施例において、入出力ライン DW1、DW2 の所定の数はそれぞれ、列デコーダ 112 により同時にアクセスされる列の所定の数に等しい。

10

【0029】

読取り動作において、この方法は、記憶アレイ 110 の行 (ワードライン) の作動ステップを含む。列デコーダ 112 は、記憶アレイ 110 の所定の数の列のビットラインを作動状態にする。作動状態の行と所定の数の列の交差点にあるデジタルデータビットは、所定の数の入出力ラインに送られる。1 つの実施例において、データビットは少なくとも 2 つの I/O ラインに送られる。所定の数の I/O ラインは、多数の出力を有する I/O 読取り論理回路 128 に結合される。I/O 読取り論理回路 128 の実施例に結合される多数の I/O ラインは、デジタルデータビットを I/O 読取り論理回路 128 へ運ぶ。I/O 読取り論理回路 128 の各出力は、プルアップ/プルダウン回路 130 に結合される。I/O 読取り論理回路 128 は、プールの論理回路 140 の実施例を含む。プールの論理回路 140 は、NOR ゲート 142、AND ゲート 144、AND ゲート 146 及び AND ゲート 148 を含む。各ゲート 142、144、146、148 はそれぞれ、各出力がプルアップ/プルダウン回路 130 のプルアップ又はプルダウントランジスタに個々に結合されるような出力を有する。プルアップ/プルダウン回路 130 は、プルダウントランジスタ 152、プルアップトランジスタ 154、プルアップトランジスタ 156、プルアップトランジスタ 158 を有する。プルアップ/プルダウン回路 130 の多数のプルアップ及びプルダウントランジスタは、多数の電圧レベルに結合されている。プルアップ/プルダウン回路 130 の多数のプルアップ及びプルダウントランジスタは、アナログ信号を単一の入出力ピン 159 に結合する。

20

30

【0030】

図 6 は、本発明の実施例による情報処理システム 600 のブロック図である。この情報処理システムは、中央処理ユニット 604 を有する。この中央処理ユニットは、システムバス 610 によりランダムアクセスメモリー (RAM) 630 に結合されている。この RAM は、前の図に示す記憶装置 110 として構成することができる。

40

【0031】

上記説明は例示的なものであり、限定的なものとして意図されていない。特定の実施例を図示説明したが、当業者にとっては、同一目的を達成すると考えられる任意の構成を、図示の特定の実施例の代わりに利用可能なことがわかるであろう。本願は、本発明の任意の適応例又は変形例を包含するものと意図されている。本発明の範囲は、頭書の特許請求の範囲と共に特許請求の範囲が享受する均等物の全範囲を考慮して判断すべきである。

【図面の簡単な説明】

【図 1】 図 1 は、本発明による記憶回路のブロック図である。

【図 2】 図 2 は、図 1 の記憶回路の記憶セルのアレイ、行及び列デコーダ、入出力 (I

50

/ O) 制御回路をさらに詳細に示すブロック図である。

【図3】 図3は、図1の記憶回路のI/O制御回路部分をさらに詳細に示すブロック図である。

【図4A】 図4Aは、図3のI/O制御回路のI/O読取り論理部分の実施例をさらに詳細に示すプルアップ/プルダウン部分の実施例をさらに詳細に示す外略図である。

【図4B】 図4Bは、図3のI/O制御回路のプルアップ/プルダウン部分の実施例をさらに詳細に示す外略図である。

【図4C】 図4Cは、図4Aの論理回路の実施例による入力及び出力を示す真理表である。

【図5A】 図5Aは、図3のI/O制御回路のコンパレータ回路部分の実施例をさらに

10

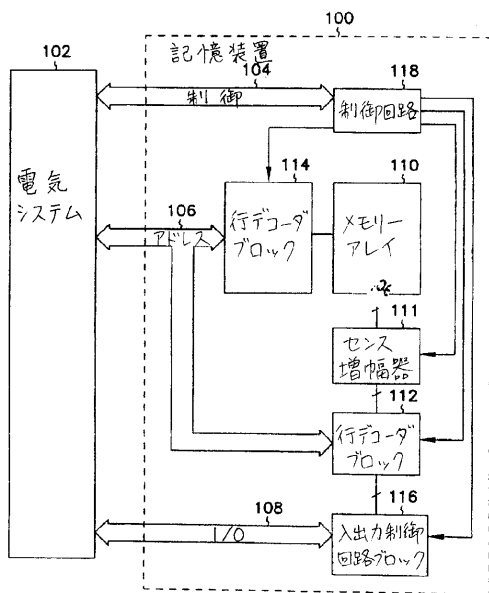
詳細に示す概略図である。

【図5B】 図5Bは、図3のI/O制御回路のI/O書込み論理回路部分の実施例をさらに詳細に示すプル論理回路である。

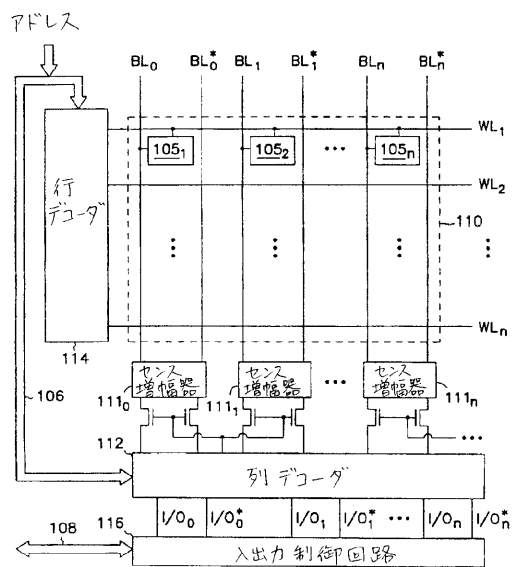
【図5C】 図5Cは、図5Bの論理回路の実施例による入力及び出力を示す真理表である。

【図6】 図6は、本発明の実施例による情報処理システムを示すブロック図である。

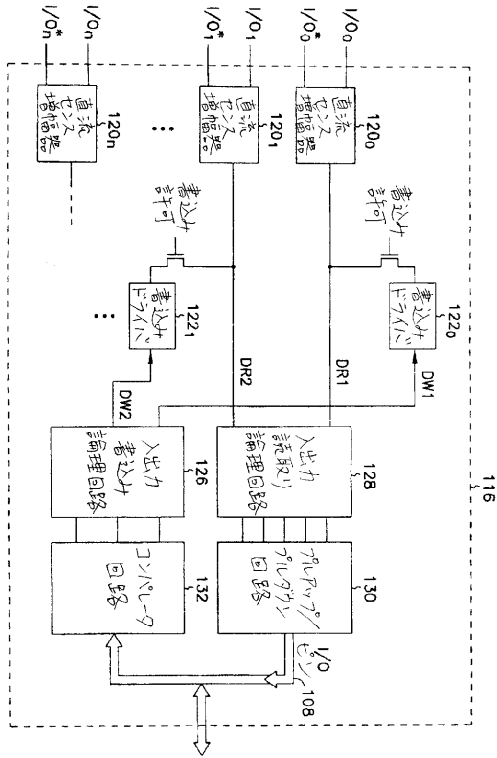
【図1】



【図2】



【 図 3 】



【 図 4 A 】

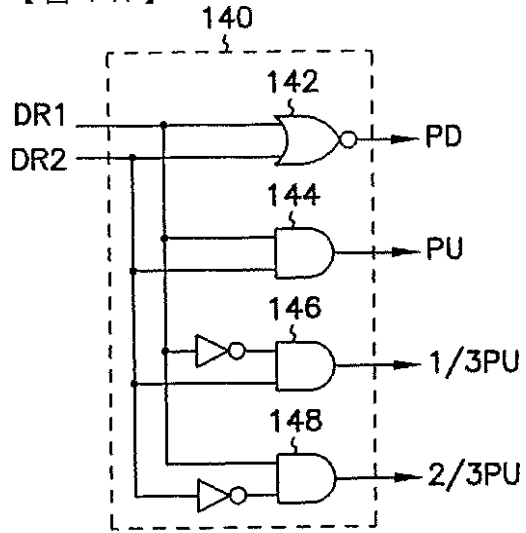


FIG. 4A

【 図 4 B 】

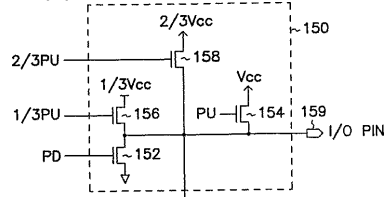


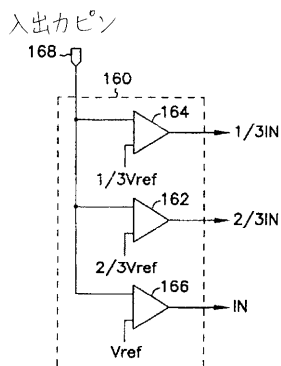
FIG. 4B

【 図 4 C 】

DR1	DR2	PD	1/3PU	2/3PU	PU
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

FIG. 4C

【 図 5 A 】



【 図 5 B 】

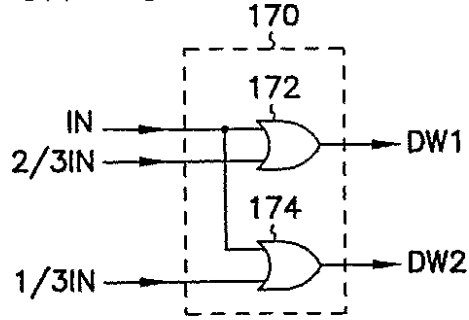


FIG. 5B

【 図 5 C 】

IN	2/3IN	1/3IN	DW1	DW2
0	0	0	0	0
0	0	1	0	1
0	1	0	1	0
1	0	0	1	1

FIG. 5C

【 図 6 】

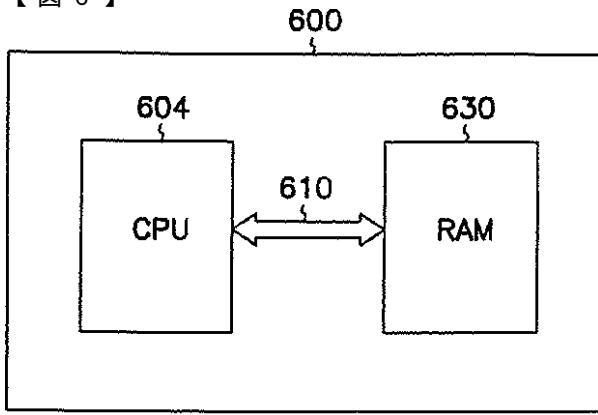


FIG. 6

フロントページの続き

審査官 石川 正二

- (56)参考文献 特開平09 - 073799 (JP, A)
特開平08 - 031186 (JP, A)
特開平04 - 150229 (JP, A)
特開昭61 - 020289 (JP, A)
特開平08 - 297990 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G11C 7/00