

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5043499号
(P5043499)

(45) 発行日 平成24年10月10日(2012.10.10)

(24) 登録日 平成24年7月20日(2012.7.20)

(51) Int.Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 6 C
	HO 1 L 29/78 6 1 9 A
	HO 1 L 29/78 6 1 7 J
	HO 1 L 29/78 6 1 7 S

請求項の数 23 (全 21 頁)

(21) 出願番号	特願2007-121932 (P2007-121932)	(73) 特許権者	397070439
(22) 出願日	平成19年5月2日(2007.5.2)		財団法人高知県産業振興センター
(65) 公開番号	特開2008-277665 (P2008-277665A)		高知県高知市布師田3992-2
(43) 公開日	平成20年11月13日(2008.11.13)	(73) 特許権者	000001443
審査請求日	平成22年3月1日(2010.3.1)		カシオ計算機株式会社
			東京都渋谷区本町1丁目6番2号
特許法第30条第1項適用 ▲1▼研究集会名 高知県		(74) 代理人	100095407
地域結集型共同研究事業 第3回研究成果発表会 ▲2			弁理士 木村 満
▼主催者名 財団法人高知県産業振興センター、高知県		(72) 発明者	山本 直樹
、独立行政法人科学技術振興機構 ▲3▼開催日 平成			高知県高知市布師田3992番地2 財団
18年11月2日			法人 高知県産業振興センター内
		審査官	竹口 泰裕

最終頁に続く

(54) 【発明の名称】 電子素子及び電子素子の製造方法

(57) 【特許請求の範囲】

【請求項1】

ウルツ鉱型結晶からなる半導体膜と、
前記半導体膜の一面上に形成され、前記半導体膜を該半導体膜の膜外へ引っ張る向きの外力を加える外力印加膜と、を備えることを特徴とする電子素子。

【請求項2】

前記半導体膜は、内部応力を有することを特徴とする請求項1に記載の電子素子。

【請求項3】

前記半導体膜は、前記外力に沿った方向に、前記ウルツ鉱型結晶のc軸が配向することを特徴とする請求項1又は2に記載の電子素子。

【請求項4】

前記半導体膜は、前記外力印加膜が形成されていない場合と比較し、c軸長が大きくされ且つa軸長が小さくされたことを特徴とする請求項1乃至3のいずれか1項に記載の電子素子。

【請求項5】

前記半導体膜は、前記外力印加膜が形成されていない場合と比較し、単位胞体積が小さくされたことを特徴とする請求項1乃至3のいずれか1項に記載の電子素子。

【請求項6】

前記半導体膜は、前記外力印加膜が形成されていない場合と比較し、膜密度が大きくされたことを特徴とする請求項1乃至3のいずれか1項に記載の電子素子。

【請求項 7】

前記半導体膜は、前記外力印加膜が形成されていない場合と比較し、 c/a が大きくされたことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の電子素子。

【請求項 8】

前記外力印加膜は凸状に形成されており、前記半導体膜を前記外力印加膜に沿わせることにより、前記半導体膜を該半導体膜の膜外へ引っ張る向きの外力を加えることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の電子素子。

【請求項 9】

前記半導体膜上に形成された絶縁層をさらに備え、
前記絶縁層は、前記半導体膜を該半導体膜の膜外へ引っ張る向きの外力を加えるような応力を有することを特徴とする請求項 8 に記載の電子素子。 10

【請求項 10】

前記絶縁層上に形成された電極をさらに備え、
前記電極は、前記半導体膜を該半導体膜の膜外へ引っ張る向きの外力を加えるような応力を有することを特徴とする請求項 8 又は 9 に記載の電子素子。

【請求項 11】

前記外力印加膜は、絶縁材料から形成され、平面状に形成されることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の電子素子。

【請求項 12】

前記外力印加膜上に形成された電極をさらに備え、
前記電極は、前記半導体膜を該半導体膜の膜外へ引っ張る向きの外力を加えるような応力を有することを特徴とする請求項 11 に記載の電子素子。 20

【請求項 13】

前記外力印加膜は、凹状に形成された凹状部を有し、前記半導体膜を前記外力印加膜に沿わせることにより、前記半導体膜を該半導体膜の膜外へ引っ張る向きの外力を加えることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の電子素子。

【請求項 14】

前記外力印加膜と、前記半導体膜との間に形成された絶縁層をさらに備え、
前記絶縁層は前記前記半導体膜を該半導体膜の膜外へ引っ張る向きの外力を加えるように、応力を有することを特徴とする請求項 13 に記載の電子素子。 30

【請求項 15】

絶縁材料からなる保護膜をさらに備え、
前記保護膜は、前記半導体膜を該半導体膜の膜外へ引っ張る向きの外力を加えるように、応力を有することを特徴とする請求項 1 乃至 14 のいずれか 1 項に記載の電子素子。

【請求項 16】

前記半導体膜は、ZnO膜であることを特徴とする請求項 1 乃至 15 のいずれか 1 項に記載の電子素子。

【請求項 17】

ウルツ鉱型結晶からなる半導体膜を形成する半導体膜形成工程と、
前記半導体膜の一面側に形成され、前記半導体膜を該半導体膜の膜外へ引っ張る向きの外力を加える外力印加膜を形成する外力印加膜形成工程と、を備えることを特徴とする電子素子の製造方法。 40

【請求項 18】

前記半導体膜形成工程では、前記半導体膜が内部応力を有するように形成することを特徴とする請求項 17 に記載の電子素子の製造方法。

【請求項 19】

前記半導体膜は、前記外力に沿った方向に、前記ウルツ鉱型結晶のc軸が配向することを特徴とする請求項 17 又は 18 に記載の電子素子の製造方法。

【請求項 20】

前記外力印加膜は、前記半導体膜を前記外力印加膜に沿わせることにより、前記半導体 50

膜を該半導体膜の膜外へ引っ張る向きの外力を加えるように、凸状に形成されることを特徴とする請求項 17 乃至 19 のいずれか 1 項に記載の電子素子の製造方法。

【請求項 21】

前記外力印加膜は、絶縁材料からなり、平面状に形成され、

前記外力印加膜形成工程で、前記外力印加膜は前記半導体膜を該半導体膜の膜外へ引っ張る向きの外力を加えるような応力が残存するように形成されることを特徴とする請求項 17 乃至 19 のいずれか 1 項に記載の電子素子の製造方法。

【請求項 22】

前記外力印加膜は、前記半導体膜を前記外力印加膜に沿わせることにより、前記半導体膜を該半導体膜の膜外へ引っ張る向きの外力を加えるように、凹状に形成されることを特徴とする請求項 17 乃至 19 のいずれか 1 項に記載の電子素子の製造方法。

10

【請求項 23】

前記半導体膜は、ZnO 膜であることを特徴とする請求項 17 乃至 22 のいずれか 1 項に記載の電子素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、酸化亜鉛を用いた電子素子及び電子素子の製造方法に関する。

【背景技術】

【0002】

20

従来、多結晶を含む酸化亜鉛（ZnO）結晶は、結晶構造が中心対称性を有しないため圧電特性を有することが知られている。そこで、この圧電効果を利用し、ZnO 結晶は各種アクチュエータに利用されている。一方、ZnO はワイドギャップ半導体としても近年注目されており、TFET（Thin Film Transistor）やLED（Light Emitting Diode）、更には透明導電膜等、ZnO を半導体材料として用いるための開発が進められている。また、特許文献 1 では ZnO を用いて p 型半導体結晶を形成する方法が開示されている。

【0003】

ZnO を用いた TFET や LED は研究が始まった段階であり、また透明導電膜としての利用も同様である。従って、ZnO の電子デバイスへの応用に関しては未解明な部分が多く、特に先に述べた圧電効果を発現する ZnO 膜を TFET や透明導電膜、LED に適用した場合の問題点についてはほとんど議論されていない。このため、どのような因子を制御すれば、性能改善が図られるか、その方向性を探っている段階であるといえる。

30

【特許文献 1】特開 2002 - 289918 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、TFET、LED 等の電子デバイスでは、膜内のキャリア移動などの特性がその性能を左右する。従って、ZnO を TFET 等の電子デバイスで用いる場合、ZnO 膜内のキャリア移動度を良好なものとする必要がある。

【0005】

40

また、このような要請はウルツ鉱型の結晶構造を有する膜に共通する問題である。

【0006】

本発明は上述した実情に鑑みてなされたものであり、良好なキャリア移動度を備えるウルツ鉱型結晶からなる半導体膜を用い、良好な電気的特性を有する電子素子と電子素子の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記目的を達成するため、本発明の第 1 の観点に係る電子素子は、

ウルツ鉱型結晶からなる半導体膜と、

前記半導体膜の一面上に形成され、前記半導体膜を該半導体膜の膜外へ引っ張る向きの

50

外力を加える外力印加膜と、を備えることを特徴とする。

【0008】

前記半導体膜は、内部応力を有してもよい。

【0009】

前記半導体膜は、前記外力に沿った方向に、前記ウルツ鉱型結晶のc軸が配向してもよい。

【0010】

前記半導体膜は、前記外力印加膜が形成されていない場合と比較し、c軸長が大きくなり且つa軸長が小さくされてもよい。

【0011】

前記半導体膜は、前記外力印加膜が形成されていない場合と比較し、単位胞体積が小さくされてもよい。

【0012】

前記半導体膜は、前記外力印加膜が形成されていない場合と比較し、膜密度が大きくされてもよい。

【0013】

前記半導体膜は、前記外力印加膜が形成されていない場合と比較し、 c/a が大きくされてもよい。

【0014】

前記外力印加膜は凸状に形成されており、前記半導体膜を前記外力印加膜に沿わせることにより、前記半導体膜を該半導体膜の膜外へ引っ張る向きに外力を加えてもよい。

【0015】

前記半導体膜上に形成された絶縁層をさらに備え、

前記絶縁層は、前記半導体膜を該半導体膜の膜外へ引っ張る向きに外力を加えてもよい。

【0016】

前記絶縁層上に形成された電極をさらに備え、

前記電極は、前記半導体膜を該半導体膜の膜外へ引っ張る向きに外力を加えるような応力を有してもよい。

【0017】

前記外力印加膜は、絶縁材料から形成され、平面状に形成されてもよい。

【0018】

前記外力印加膜上に形成された電極をさらに備え、

前記電極は、前記半導体膜を該半導体膜の膜外へ引っ張る向きに外力を加えるような応力を有してもよい。

【0019】

前記外力印加膜は、凹状に形成された凹状部を有し、前記半導体膜を前記外力印加膜に沿わせることにより、前記半導体膜を該半導体膜の膜外へ引っ張る向きに外力を加えてもよい。

【0020】

前記外力印加膜と、前記半導体膜との間に形成された絶縁層をさらに備え、

前記絶縁層は前記前記半導体膜を該半導体膜の膜外へ引っ張る向きに外力を加えるように、応力を有してもよい。

【0021】

絶縁材料からなる保護膜をさらに備え、

前記保護膜は、前記半導体膜を該半導体膜の膜外へ引っ張る向きに外力を加えるように、応力を有してもよい。

【0022】

前記半導体膜は、ZnO膜であってもよい。

【0023】

10

20

30

40

50

上記目的を達成するため、本発明の第2の観点に係る電子素子の製造方法は、ウルツ鉱型結晶からなる半導体膜を形成する半導体膜形成工程と、前記半導体膜の一面側に形成され、前記半導体膜を該半導体膜の膜外へ引っ張る向きの外力を加える外力印加膜を形成する外力印加膜形成工程と、を備えることを特徴とする。

【0024】

前記半導体膜形成工程では、前記半導体膜が内部応力を有してもよい。

【0025】

前記半導体膜は、前記外力に沿った方向に、前記ウルツ鉱型結晶のc軸が配向してもよい。

【0026】

前記外力印加膜は、前記半導体膜を前記外力印加膜に沿わせることにより、前記半導体膜を該半導体膜の膜外へ引っ張る向きの外力を加えるように、凸状に形成されてもよい。

【0027】

前記外力印加膜は、絶縁材料からなり、平面状に形成され、前記外力印加膜形成工程で、前記外力印加膜は前記半導体膜を該半導体膜の膜外へ引っ張る向きの外力を加えるような応力が残存するように形成されてもよい。

【0028】

前記外力印加膜は、前記半導体膜を前記外力印加膜に沿わせることにより、前記半導体膜を該半導体膜の膜外へ引っ張る向きの外力を加えるように、凹状に形成されてもよい。

【0029】

前記半導体膜は、ZnO膜であってもよい。

【発明の効果】

【0030】

本発明によれば、半導体膜の膜外へ引っ張る向きの外力を加えることにより、良好なキャリア移動度を備え、良好な電気的特性を備える電子素子及び電子素子の製造方法を提供することができる。

【発明を実施するための最良の形態】

【0031】

本発明の実施形態1に係る電子素子と電子素子の製造方法について、以下、図面を参照して説明する。

【0032】

(実施形態1)

本発明の実施形態1に係る電子素子10を図1に示す。図1は、電子素子10を示す断面図である。本実施形態では電子素子としてTFTを例に挙げて説明する。電子素子10は、例えば液晶表示装置の画素電極に信号を供給するために用いられる。

【0033】

本実施形態に係る電子素子10は、図1に示すように基板11と、アンダーコート層12と、突起部13、半導体膜(ZnO膜)14と、チャンネル領域15と、ソース領域16と、ドレイン領域17と、ゲート絶縁膜18と、層間絶縁膜19と、保護膜20と、ゲート電極31と、ソース電極32と、ドレイン電極33と、を備える。また、電子素子10には、電子素子10が設置される液晶表示装置(図示せず)に所定信号を供給するための透明電極(図示せず)が形成される。

【0034】

基板11は、例えば無アルカリガラス基板、樹脂基板等から構成される。基板11上にはアンダーコート層12が形成される。なお、基板11としては、サファイア基板、シリコン単結晶基板、その他の絶縁、半絶縁または半導体基板、プラスチックなどの樹脂フィルムならびにそれらの複合体を用いることも可能である。

【0035】

アンダーコート層12は、基板11の主面上に形成される。アンダーコート層12は、例えば100nmの厚みに形成されたシリコン窒化膜12aと、例えば100nmの厚み

10

20

30

40

50

でシリコン窒化膜 1 2 a 上に形成されたシリコン酸化膜 1 2 b と、から構成される。アンダーコート層 1 2 を形成することによって、レーザ熱処理のような高温熱処理が加えられる場合等のプロセスにおいて基板に含有している不純物が半導体膜等に拡散することを抑止することができ、特性の安定性、良好な信頼性を得ることができる。

【 0 0 3 6 】

突起部 1 3 は、絶縁材料、例えばシリコン酸化膜からなり、アンダーコート層 1 2 の上面に形成される。突起部 1 3 の上面には、半導体膜 (Z n O 膜) 1 4 が形成される。突起部 1 3 は、平面形状が例えば略方形に形成され、厚みは例えば 1 0 0 n m に形成される。詳細に後述するように、本実施形態では突起部 1 3 を Z n O 膜 1 4 の下に形成し、Z n O 膜 1 4 を凸状に変形させることにより Z n O 膜の法線に略平行となるように膜外へ引っ張る向きの外力を Z n O 膜に印加し、Z n O 膜 1 4 のキャリア移動度を向上させることができる。なお、突起部 1 3 の形状は Z n O 膜 1 4 に所定の外力を加えることが可能であれば、形状、厚みは上述したものに限られない。

【 0 0 3 7 】

半導体膜 (Z n O 膜) 1 4 は、Z n O 結晶からなる膜である。半導体膜 1 4 は、アンダーコート層 1 2 及び突起部 1 3 を覆うように形成され、半導体膜 1 4 の表面領域には、チャンネル領域 1 5 とソース領域 1 6 とドレイン領域 1 7 とが形成される。Z n O 膜 1 4 は、例えばスパッタ法によって基板上に形成される。この際、本実施形態では Z n O 膜 1 4 内の残留応力が圧縮応力となるように形成する。Z n O 結晶は、図 2 に示すようにウルツ鉱型結晶構造をとり、単位胞は c 軸と a 軸によって定義される。この際、Z n O 膜は、基板面に対し垂直方向に c 軸が配向し、水平方向に a 軸が配向する傾向にある。このような Z n O 膜 1 4 に対し、本実施形態では、圧縮残留応力が生じるように Z n O 膜 1 4 を形成することによって、詳細に後述するように半導体膜 1 4 内のキャリア移動度を高めることができる。さらに、基板面に垂直方向に c 軸が配向した Z n O 膜上に、基板面に垂直方向に Z n O 膜が凸状に変形し膜内に圧縮応力が生ずるように突起部 1 3 を形成することによりこれにより、詳細に後述するように半導体膜 1 4 内のキャリア移動度を高めることができる。

【 0 0 3 8 】

チャンネル領域 1 5 は、半導体膜 1 4 の上面に形成される。チャンネル領域 1 5 は、ゲート電極に所定の電圧が印加された際、導電型が反転し、チャンネルが形成される領域であり、リンやボロン等の不純物が拡散されている。なお、所定の閾値電圧を実現するため、イオン注入法等によって、 $1 0^{13}$ atoms/cm² ~ $1 0^{14}$ atoms/cm² のオーダーのドーピングが施されている。

【 0 0 3 9 】

ソース領域 1 6 は、半導体膜 1 4 の表面領域に形成される。ソース領域 1 6 には、リン、ボロン等の n 型又は p 型の不純物が拡散されている。また、ソース領域 1 6 の上面にはソース電極 3 2 が形成される。

【 0 0 4 0 】

ドレイン領域 1 7 は、半導体膜 1 4 の表面領域に形成される。ドレイン領域 1 7 には、リン、ボロン等の n 型又は p 型の不純物が拡散されている。また、ドレイン領域 1 7 の上面にはドレイン電極 3 3 が形成される。

【 0 0 4 1 】

ゲート絶縁膜 1 8 は、絶縁材料、例えばシリコン酸化膜、シリコン窒化膜等から構成され、半導体膜 1 4 上に形成される。ゲート絶縁膜 1 8 上にはゲート電極 3 1 (ゲート電極配線) が形成される。また、ゲート絶縁膜 1 8 は、例えば 1 0 0 n m の厚みに形成される。また、ゲート絶縁膜 1 8 は、例えばスパッタ法、C V D 法等によって形成され、残留応力が圧縮応力となるように形成される。このようにゲート絶縁膜 1 8 を形成することにより、更に Z n O 膜 1 4 に対して Z n O 膜 1 4 の法線に略平行となるように引っ張る向きの外力を印加することができ、好ましい。また、ゲート絶縁膜 1 8 には層間絶縁膜 1 9 のコンタクト孔と対応する形状に形成されたコンタクト孔 1 8 s、1 8 d が形成されており、

10

20

30

40

50

コンタクト孔 18 s、18 d にはソース電極 32 とドレイン電極 33 とが形成される。

【0042】

層間絶縁膜 19 は、絶縁材料、例えばシリコン酸化膜、シリコン窒化膜等から構成され、ゲート絶縁膜 18 とゲート電極 31 とを覆うように形成される。層間絶縁膜 19 には、ソース電極 32 を形成するためのコンタクト孔 19 s と、ドレイン電極 33 を形成するためのコンタクト孔 19 d と、ゲート引出電極 34 を形成するためのコンタクト孔 19 g と、が形成される。層間絶縁膜 19 は、例えば 500 nm の厚みに形成される。

【0043】

保護膜 20 は、絶縁材料からなり、層間絶縁膜 19 と、ソース電極 32 と、ドレイン電極 33 と、ゲート引出電極 34 と、を覆うように形成される。保護膜 20 の膜厚は例えば 500 nm に形成される。本実施形態では、保護膜 20 が圧縮応力を持つように形成されることによって、ZnO 膜 14 に生ずる応力をさらに高めることが可能である。

10

【0044】

ゲート電極 31 は、導電材料、例えば Al, Ta, W, Mo 等から形成され、ゲート絶縁膜 18 上に形成される。本実施形態では、ゲート電極は例えばスパッタ法で形成される。この際、アルゴンガス圧を 10^{-1} レベルと制御することにより、強い圧縮応力を持つ金属膜を形成することが出来る。これにより、ZnO 膜に対して、ZnO 膜 14 の法線に略平行となるように膜外へ引っ張る向きの外力を加えることができ好ましい。また、ゲート電極 31 は例えば 150 nm の厚みに形成される。このゲート電極 31 へは、層間絶縁膜 19 に設けたコンタクト孔 19 g に形成されたゲート引出電極 34 から、所定電圧が印加される。

20

【0045】

ソース電極 32 は、導電材料、例えばアルミニウム等から形成され、層間絶縁膜 19 に設けられたコンタクト孔 19 s を充填するように形成される。また、ソース電極 32 は、例えば 0.9 μm の厚みに形成される。なお、コンタクト孔 19 s の側壁にはバリア層として、窒化チタン膜が形成されている。

【0046】

ドレイン電極 33 は、導電材料、例えばアルミニウム等から形成され、層間絶縁膜 19 に設けられたコンタクト孔 19 d を充填するように形成される。また、ドレイン電極 33 は、例えば 0.9 μm の厚みに形成される。なお、コンタクト孔 19 d の側壁にはバリア層として、窒化チタン膜が形成されている。

30

【0047】

ゲート引出電極 34 は、導電材料、例えばアルミニウム等から形成され、層間絶縁膜 19 に設けられたコンタクト孔 19 g を充填するように形成される。

【0048】

本実施形態では半導体膜 (ZnO 膜) 14 上に、半導体膜 14 に対して法線に略平行となるように膜外へ引っ張る向きの外力を生ぜしめる絶縁膜を形成する。これにより、以下に述べるように半導体膜 14 内のキャリア移動度を高めることが可能である。

【0049】

まず、ZnO 結晶は、従来知られているように、図 2 に示すようなウルツ鉱型結晶構造を有する。ウルツ鉱型結晶構造では、結晶単位胞の格子定数 c と a とを規定することによって結晶構造が規定される。また、ウルツ鉱型結晶構造の理想構造は $c/a = 1.633$ である。ここで、ウルツ鉱型結晶構造は六方晶構造をしており、単位胞はすなわち底面は 1 辺が a の正三角形であり c 軸方向に伸びた柱状構造をしたものが 6 個集まって一個の単位胞を形成する。また、 c 軸長と a 軸長を求めれば単位胞の容量 (体積) を求めることが可能である。また、ウルツ鉱型結晶構造を有する ZnO 膜の膜密度は、通常の密度と同様に膜の厚さと面積を求めてその体積を求め、その値を膜の質量で割ることにより求められる。したがって膜密度には結晶粒内と粒界部分が含まれる。また結晶欠陥なども包含している。粒界の体積は粒内と比較すると無視できるレベルであるため、単位胞容量と膜密度は完全に対応しないもののほぼ相関する。

40

50

【 0 0 5 0 】

また、一般に ZnO 膜はスパッタ法、パルスレーザ蒸着法、分子蒸着法あるいは CVD 等の方法で形成される。このような方法で形成された ZnO 膜は基板面に垂直な方向に c 軸配向し、面内方向に a 軸が配向した膜が成長しやすい傾向がある。

【 0 0 5 1 】

一方、先に述べた ZnO 膜を用いた電子デバイスでは、基板に略平行な面内方向 (a 軸方向) にキャリアを移動 (電流を流す) させて所望の特性を得る。上述したように ZnO 膜は基板面に対して垂直な方向に c 軸が配向し、水平な方向に a 軸が配向する傾向にある。従って、ZnO 膜を用いた電子デバイスでは、電子や正孔などの情報担体であるキャリアは主として c 軸に垂直な方向、換言すれば Zn 面内あるいは O 面内を移動する。

10

【 0 0 5 2 】

従って、キャリアの移動をしやすくするには、Zn 面あるいは O 面内の各元素間距離を狭めて電子雲の重なりを多くすること、また Zn-O 間距離を広げて相手方分極元素からの面内移動キャリアへの影響を少なくすればよい。すなわち格子定数 c を大きく、格子定数 a を小さくすればよい。上述したように、ZnO 膜は、基板面に対して垂直方向 (法線方向) に c 軸が、水平方向に a 軸が配向しやすい傾向を有する。

【 0 0 5 3 】

そこで、本実施形態では、ZnO 膜 14 に対して膜外へ引っ張る向きの外力、好ましくは基板面の法線方向に引っ張る向きの外力を印加するよう凸状に突起部 13 を形成する。換言すれば、突起部 13 は、基板面の法線方向、つまり c 軸に略平行な方向に力を与える。一般に、膜に引張応力を与えるように外力を与えると膜は体積が膨らんで密度が低下すると考えられる。しかし、本実施の形態のように c 軸に略平行な方向に力を与えるよう突起部 13 を形成し、ZnO 膜 14 を上に凸となるように変形させることにより、ZnO 膜 14 に引張応力を生ぜしめると、c 軸長が伸び、a 軸長が縮み、c/a が増加することが明らかとなった。また、この際、ZnO 膜の単位胞体積が減少し、膜密度が減少する。また、詳細に後述するように c/a の値は、ZnO 膜を変形させなかった場合と比較し、ウルツ鉱型結晶構造の理想値である 1.633 に近づく。このように、c 軸長が伸び、a 軸長が縮むことによって Zn 面、O 面の隣接する原子間の原子雲の重なりが増加し、より Zn 面、O 面をキャリアが移動しやすくなる。つまり ZnO 膜の抵抗値を下げることができ、また換言すればキャリア移動度を高めることが可能となる。これは、抵抗率とキャリア移動度との間には、抵抗率、キャリア密度 n、キャリア移動度 μ 、電子の電荷 e とした場合、

20

30

(式 1)

$$1/\rho = n \cdot e \cdot \mu$$

が成立する点からも明らかである。

【 0 0 5 4 】

このように、本実施形態によればアンダーコート層 12 の上に凸状の突起部 13 を形成することによって、ZnO 膜 14 の抵抗値を下げることができ、また換言すればキャリア移動度を高めることが可能となる。また、本実施形態では ZnO 膜内に残留圧縮応力が生ずるように、ZnO 膜を形成することにより、さらにキャリア移動度を高めることができる。さらに、本実施形態では、ゲート絶縁膜、ゲート電極、保護膜を ZnO 膜の膜外へ引っ張る向きの外力、好ましくは法線に略平行となる外力を印加できるように形成することにより、更にキャリア移動度を高めることができる。

40

【 0 0 5 5 】

次に、本発明の実施形態 1 に係る電子素子の製造方法について、図 3 乃至図 5 を用いて説明する。

【 0 0 5 6 】

まず、例えば図 3 (a) に示すように、無アルカリガラス基板からなる基板 11 を用意する。この基板 11 の一主面上に、例えば CVD (Chemical Vapor Deposition) 法等によってシリコン窒化膜 12a を、例えば 100 nm の厚みで形成する。さらにシリコン窒

50

化膜 12a 上に、例えば CVD 法等によってシリコン酸化膜 12b を、例えば 100 nm の厚みで形成する。これにより図 3 (b) に示すように、アンダーコート層 12 が形成される。

【0057】

次に、アンダーコート層 12 の上面に、例えば CVD 法によって、シリコン酸化膜を例えば 150 nm の厚みに形成する。続いて、フォトリソグラフィ、ウエットエッチング等によって、図 3 (c) に示すように突起部 13 を形成する。

【0058】

続いて、アンダーコート層 12 及び突起部 13 上に、例えばスパッタ法によって、図 4 (d) に示すように ZnO 膜 14 を例えば 100 nm の厚みに形成する。この際、スパッタ法で用いるアルゴンガスのガス圧を 10^{-1} Pa レベルに設定することによって、ZnO 膜 14 内に圧縮残留応力を生じさせる。なお、所望の圧縮残留応力を生じさせることができれば、ガス圧はこれに限られない。

10

【0059】

次に、ZnO 膜 14 の所定領域に、イオン注入法等を用い、不純物を導入しチャンネル領域 15 と、ソース領域 16 と、ドレイン領域 17 とを形成する。

【0060】

次に ZnO 膜 14 上に、CVD 法等によって、絶縁材料、例えばシリコン酸化膜、シリコン窒化膜、又はこれらの複合されたものからなるゲート絶縁膜 18 を図 4 (e) に示すように形成する。ゲート絶縁膜 18 は、例えば 100 nm の厚みに形成される。

20

【0061】

続いて、ゲート絶縁膜 18 上に、導電材料、例えば Al, Ta, W, Mo 等からなる金属膜をスパッタ法等によって形成する。この際、スパッタ法で用いるアルゴンガスのガス圧を 10^{-1} Pa レベルに設定することによって、金属膜中に圧縮応力を生ぜしめることが可能となる。続いて、フォトリソグラフィ、ドライエッチング又はウエットエッチング等によって、所定パターンに金属膜を加工し、図 4 (f) に示すようにゲート電極 31 を形成する。

【0062】

次に、ゲート絶縁膜 18 及びゲート電極 31 上に、CVD 法等によって、絶縁材料、例えばシリコン酸化膜、シリコン窒化膜、又はこれらの複合されたものからなる図 5 (g) に示すように層間絶縁膜 19 を形成する。層間絶縁膜 19 は、例えば 150 nm の厚みに形成される。

30

【0063】

次に、層間絶縁膜 19 の所定箇所に、フォトリソグラフィ、エッチング等によってコンタクト孔 19s、19d、19g を形成する。これと同時に、ゲート絶縁膜 18 の所定箇所に、コンタクト孔 18s、18d を形成する。続いて、スパッタ法等によって、導電材料、例えばアルミニウムからなる金属膜を、各コンタクト孔 19s、19d、19g、18s、18d を充填するように形成する。次に、この金属膜を所定のパターンが残存するように除去し、ソース電極 32 と、ドレイン電極 33 と、ゲート引出電極 34 とを形成する。

40

【0064】

続いて、層間絶縁膜 19 と、ソース電極 32 と、ドレイン電極 33 と、ゲート引出電極 34 と、を覆うように絶縁材料からなり、圧縮応力を有する保護膜 20 を形成する。

以上の工程から、図 5 (h) に示すように電子素子 10 が製造される。

【0065】

上述したように、本実施形態では、突起部 13 を形成することにより、ZnO 膜 14 を膜外へと引っ張る外力、より好ましくは ZnO 膜 14 の法線方向に略水平に膜外に引っ張る方向に力を印加することが可能となる。これにより、ZnO 膜 14 の ZnO 結晶の c 軸が伸び、a 軸が縮むことによって ZnO 膜 14 内のキャリア移動度を向上させることができる。

50

【 0 0 6 6 】

また、本実施形態では、ZnO膜14を形成する際、ガス圧等を制御することによりZnO膜14に残留する応力を圧縮応力とすることができ、さらにZnO膜14のキャリア移動度を向上させることができる。さらに、ゲート絶縁膜18と、ゲート電極31と、保護膜20とを形成する際に成膜条件をコントロールし、ZnO膜14を膜外へと引っ張る外力、より好ましくはZnO膜14の法線方向に略水平に膜外に引っ張る方向に力を印加することが可能なように応力を残留させることにより、さらにZnO膜14のキャリア移動度を向上させることができる。

【 0 0 6 7 】

(実施形態2)

本発明の実施形態2に係る電子素子40を図6に示す。本実施形態の電子素子40が上述した実施形態1と異なるのは、実施形態1の電子素子10では、ZnO膜14上にZnO膜に圧縮応力を生じさせる突起部13をZnO膜14上に備えているが、実施形態2では突起部13を省略する点にある。実施形態1と共通する部分については詳細な説明を省略する。

10

【 0 0 6 8 】

本実施形態の電子素子40は、図6に示すように、基板11と、アンダーコート層12と、半導体膜(ZnO膜)14と、チャネル領域15と、ソース領域16と、ドレイン領域17と、ゲート絶縁膜18と、層間絶縁膜19と、保護膜20と、ゲート電極31と、ソース電極32と、ドレイン電極33と、を備える。

20

【 0 0 6 9 】

本実施形態の電子素子40では、ZnO膜14は平坦に形成されているが、ZnO膜14そのものに生ずる圧縮残留応力と、ZnO膜14の上面に形成されるゲート絶縁膜18の有する圧縮応力と、ゲート電極31に有する圧縮応力と、保護膜20の有する圧縮応力と、の少なくともいずれか一つ、またはこれらを組み合わせることによって、ZnO膜14を膜外へと引っ張る外力、より好ましくはZnO膜14の法線方向に略水平に膜外へ引っ張る力を加えることができ、ZnO膜14中のキャリア移動度を高めることができる。

【 0 0 7 0 】

(実施形態3)

実施形態3に係る電子素子50を図7に示す。本実施形態の電子素子が実施形態1及び2と異なる点は、電子素子の製造方法にある。実施形態1と共通する部分については同一の引用番号を付し、詳細な説明は省略する。

30

【 0 0 7 1 】

電子素子50は、図7に示すように、基板11と、アンダーコート層12と、突起部13、半導体膜(ZnO膜)14と、チャネル領域15と、ソース領域16と、ドレイン領域17と、ゲート絶縁膜51と、層間絶縁膜19と、保護膜20と、ゲート電極31と、ソース電極52と、ドレイン電極53と、ゲート引き出し電極34と、ソース配線56と、ドレイン配線57と、を備える。

【 0 0 7 2 】

本実施の形態では、詳細に後述するようにゲート電極と、ソース電極、ドレイン電極との形成の順序が異なる。このため、本実施形態の電子素子50では、ソース電極52は、ゲート絶縁膜51下に形成されており、ソース電極52にはゲート絶縁膜51に設けられたコンタクト孔51sを充填するように形成されたソース配線56を介して電圧が印加される。また、ドレイン電極53も、同様にゲート絶縁膜51下に形成されており、ドレイン電極53にはゲート絶縁膜51に設けられたコンタクト孔51dを充填するように形成されたドレイン配線57を介して電圧が印加される。

40

【 0 0 7 3 】

また、ゲート絶縁膜51は、ZnO膜14及びソース電極52及びドレイン電極53を覆うように形成される。

【 0 0 7 4 】

50

次に、本発明の実施形態 3 にかかる電子素子の製造方法について図 8 及び 9 を用いて説明する。

【0075】

まず、例えば無アルカリガラス基板からなる基板 11 を用意する。この基板 11 の一主面上に、シリコン窒化膜 12a とシリコン酸化膜 12b とを、形成しアンダーコート層 12 を形成する。次に、アンダーコート層 12 の上面に、例えば CVD 法によって、シリコン酸化膜を例えば 150 nm の厚みに形成する。続いて、フォトリソグラフィ、ウエットエッチング等によって、図 8 (a) に示すように突起部 13 を形成する。

【0076】

続いて、アンダーコート層 12 及び突起部 13 上に、例えばスパッタ法によって、図 8 (b) に示すように ZnO 膜 14 を例えば 100 nm の厚みに形成する。この際、スパッタ法で用いるアルゴンガスのガス圧を 10^{-1} Pa レベルに設定することによって、ZnO 膜 14 内に圧縮残留応力を生じさせる。なお、所望の圧縮残留応力を生じさせることができれば、ガス圧はこれに限られない。

【0077】

次に、ZnO 膜 14 の所定領域に、イオン注入法等を用い、不純物を導入しチャンネル領域 15 と、ソース領域 16 と、ドレイン領域 17 とを形成する。

【0078】

次に ZnO 膜 14 上に、導電材料、例えば Al, Ta, W, Mo 等からなる金属膜をスパッタ法等によって形成する。この際、スパッタ法で用いるアルゴンガスのガス圧を 10^{-1} Pa レベルに設定することによって、金属膜中に圧縮応力を生ぜしめることが可能となる。続いて、フォトリソグラフィ、ドライエッチング又はウエットエッチング等によって、所定パターンに金属膜を加工し、図 8 (b) に示すようにソース電極 52 及びドレイン電極 53 を形成する。

【0079】

続いて、スパッタ法、CVD 法等によって、絶縁材料、例えばシリコン酸化膜、シリコン窒化膜、又はこれらの複合されたものからなるゲート絶縁膜 51 を、図 8 (c) に示すようにソース電極 52 とドレイン電極 53 と ZnO 膜 14 を覆うように形成する。

【0080】

続いて、ゲート絶縁膜 18 上に、導電材料、例えば Al, Ta, W, Mo 等からなる金属膜をスパッタ法等によって形成する。この際、スパッタ法で用いるアルゴンガスのガス圧を 10^{-1} Pa レベルに設定することによって、金属膜中に圧縮応力を生ぜしめることが可能となる。続いて、フォトリソグラフィ、ドライエッチング又はウエットエッチング等によって、所定パターンに金属膜を加工し、図 9 (d) に示すようにゲート電極 31 を形成する。

【0081】

次に、ゲート絶縁膜 51 及びゲート電極 31 上に、CVD 法等によって、絶縁材料、例えばシリコン酸化膜、シリコン窒化膜、又はこれらの複合されたものからなる層間絶縁膜 19 を形成する。

【0082】

次に、ゲート絶縁膜 51 の所定箇所及び層間絶縁膜 19 の所定箇所に、フォトリソグラフィ、エッチング等によってコンタクト孔 51s、51d、19g を形成する。続いて、スパッタ法等によって、導電材料、例えばアルミニウムからなる金属膜を、各コンタクト孔 51s、51d、19g を充填するように形成する。次に、この金属膜を所定のパターンが残存するように除去し、ソース配線 56 と、ドレイン配線 57 と、ゲート引出電極 34 とを形成する。

【0083】

続いて、層間絶縁膜 19 と、ソース電極 52 と、ドレイン電極 53 と、ゲート引出電極 34 と、を覆うように絶縁材料からなり、圧縮応力を有する保護膜 20 を形成する。

以上の工程から、図 9 (e) に示すように電子素子 50 が製造される。

10

20

30

40

50

【 0 0 8 4 】

(実施形態4)

本発明の実施形態4に係る電子素子60を図10を用いて説明する。本実施形態の電子素子が上述した実施形態1~3と異なるのは、実施形態1~3では電子素子としてトップゲート型のTFETを例に挙げて説明したが、本実施形態ではボトムゲート型のTFETである点にある。上述した各実施形態と共通する部分については同一の引用番号を付し、詳細な説明は省略する。

【 0 0 8 5 】

本実施形態に係る電子素子60は、図10に示すように基板11と、アンダーコート層12と、凹状部63と、ZnO膜64と、チャンネル領域65と、ソース領域66と、ドレイン領域67と、ゲート絶縁膜68と、保護膜70と、ゲート電極71と、ソース電極72と、ドレイン電極73と、を備える。

10

【 0 0 8 6 】

基板11は、例えば無アルカリガラス基板、樹脂基板等から構成される。基板11上には、シリコン酸化膜12aとシリコン窒化膜12bとを有するアンダーコート層12が形成される。

【 0 0 8 7 】

凹状部63は、アンダーコート層12の上に形成され、絶縁材料、例えばシリコン酸化膜からなる。凹状部63は、例えば150nmの厚みに形成される。また、凹状部63は、平面形状が例えば方形、断面形状が台形の開口63aを有する。また、開口63a内および凹状部63の上面に、例えばスパッタ法によって、Al, Ta, W, Moなどの金属膜を150nm堆積し、続いて、フォトリソグラフィ、ウエットエッチング等によって、ゲート電極71が形成される。

20

【 0 0 8 8 】

次に、ゲート電極71及び凹状部63上に、CVD法等によって、絶縁材料、例えばシリコン酸化膜、シリコン窒化膜、又はこれらの複合されたものからなるゲート絶縁膜68を図10に示すように形成する。ゲート絶縁膜68は、例えば100nmの厚みに形成される。また、ゲート絶縁膜68は、残留応力が引張応力となるように形成される。これにより、後述の凹状部63と併せて、ZnO膜64にさらに引張応力を生じさせることができる。

30

【 0 0 8 9 】

本実施形態は、ボトムゲート型のTFETであるため、次に、ZnO結晶からなる半導体膜(ZnO膜)64が、例えばスパッタ法によって、ゲート絶縁膜68を覆うように形成される。また、半導体膜64の表面領域には、チャンネル領域65とソース領域66とドレイン領域67とが形成される。この際、本実施形態では、実施形態1とは異なり、ZnO膜64内の残留応力が引張応力となるように形成する。なお、ZnO膜64のZnO結晶は基板面に対し垂直方向にc軸が水平方向にa軸が配向する点は実施形態1と同様である。

【 0 0 9 0 】

また、上述の凹状部63は、実施形態1の突起部13に対応するものであり、凹状部63上に形成されるゲート電極71並びにゲート絶縁膜68を凹状とし、この凹状とされたゲート絶縁膜68上に形成されるZnO膜64に引張応力を生じさせる機能を有する。このように、この凹状部63によりZnO膜64に引張応力を生じさせることができ、ZnO膜64内のキャリア移動度を向上させることができる。なお、凹状部63の形状はZnO膜64に所定の引張応力を生ぜしめることが可能であれば、形状、厚みは上述したものに限られない。

40

【 0 0 9 1 】

チャンネル領域65は、半導体膜64の表面領域に形成される。チャンネル領域65は、ゲート電極71に所定の電圧が印加された際、導電型が反転し、チャンネルが形成される領域であり、リンやボロン等の不純物が拡散されている。なお、所定の閾値電圧を実現するた

50

め、イオン注入法等によって、 10^{13} atoms/cm² ~ 10^{14} atoms/cm²のオーダーのドーピングが施されている。

【0092】

ソース領域66は、半導体膜64の表面領域に形成される。ソース領域66には、リン、ボロン等のn型又はp型の不純物が拡散されている。また、ソース領域66の上面にはソース電極72が形成される。

【0093】

ドレイン領域67は、半導体膜64の表面領域に形成される。ドレイン領域67には、リン、ボロン等のn型又はp型の不純物が拡散されている。また、ドレイン領域67の上面にはドレイン電極73が形成される。

10

【0094】

保護膜70は、絶縁材料からなり、ZnO膜64と、ソース電極72と、ドレイン電極73と、を覆うように形成される。保護膜70の膜厚は例えば500nmに形成される。本実施形態では、保護膜70が引張応力を持つように形成されることによって、ZnO膜64に生ずる応力をさらに高めることが可能である。

【0095】

ゲート電極71は、導電材料、例えばAl, Ta, W, Mo等から形成され、アンダーコート層12と凹状部63との上に形成される。本実施形態では、ゲート電極71は例えばスパッタ法で形成される。この際、例えば、アルゴンガス圧を 10^{-1} レベルと制御することにより、強い引張応力を持つ金属膜を形成することが出来る。これにより、ZnO膜64に生じる応力がさらに強くなる。また、ゲート電極71は例えば150nmの厚みに形成される。なお、本実施形態の構造では、ゲート電極71の有する残留応力にこだわらなくともよい。

20

【0096】

ソース電極72は、導電材料、例えばアルミニウム等から形成され、ソース領域66上に形成される。また、ソース電極72は、例えば0.9μmの厚みに形成される。

【0097】

ドレイン電極73は、導電材料、例えばアルミニウム等から形成され、ドレイン領域67上に形成される。また、ドレイン電極73は、例えば0.9μmの厚みに形成される。

【0098】

本実施形態では、アンダーコート層12上に、開口63aを有する凹状部63を形成することにより、この上に形成されるZnO膜64を下に凸に変形させることができ、ZnO膜64を膜外へと引っ張る外力、より好ましくはZnO膜14の法線方向に略水平に引っ張る力を印加することができる。これにより上述した実施形態1と同様にZnO膜64内のキャリア移動度を高めることが可能である。

30

【0099】

また、本実施形態では、ZnO膜64を引張応力が残存するように形成することによって、ZnO膜64内のキャリア移動度をさらに高めることが可能である。ゲート絶縁膜68と保護膜70とを引張応力を有するように形成することにより、ZnO膜64を膜外へと引っ張る外力、より好ましくはZnO膜14の法線方向に略水平に引っ張る力を印加することができ、ZnO膜64内のキャリア移動度をさらに高めることが可能である。

40

【0100】

次に、本発明の実施形態4に係る電子素子の製造方法について、図11乃至図13を用いて説明する。

【0101】

まず、図11(a)に示すように例えば無アルカリガラス基板からなる基板11を用意する。この基板11の一主面上に、例えばCVD (Chemical Vapor Deposition) 法等によってシリコン窒化膜12aを、例えば100nmの厚みで形成する。さらにシリコン窒化膜12a上に、例えばCVD法等によってシリコン酸化膜12bを、例えば100nmの厚みで形成する。これにより図11(b)に示すようにアンダーコート層12が形成さ

50

れる。

【0102】

次に、アンダーコート層12の上面に、例えばスパッタ法、CVD法によって、シリコン酸化膜を例えば150nmの厚みに形成する。続いて、フォトリソグラフィ、ウエットエッチング等によって、図11(c)に示すように開口63aを有する凹状部63を形成する。

【0103】

続いて、アンダーコート層12及び凹状部63上に、導電材料、例えばAl, Ta, W, Mo等からなる金属膜をスパッタ法等によって形成する。この際、スパッタ法で用いるアルゴンガスのガス圧を 10^{-0} Paレベルに設定することによって、金属膜中に引張応力を生ぜしめるようにしてもよい。続いて、フォトリソグラフィ、ドライエッチング又はウエットエッチング等によって、所定パターンに金属膜を加工し、図12(d)に示すようにゲート電極71を形成する。

10

【0104】

次に、アンダーコート層12及びゲート電極71を覆うように、CVD法等によって、絶縁材料、例えばシリコン酸化膜、シリコン窒化膜、又はこれらの複合されたものからなるゲート絶縁膜68を形成する。ゲート絶縁膜68は、例えば100nmの厚みに形成される。この際、ゲート絶縁膜68を引張応力を有するように形成するとよい。

【0105】

次に図12(e)に示すように、ゲート絶縁膜68を覆うように、ZnO膜64を例えば100nmの厚みに形成する。この際、スパッタ法で用いるアルゴンガスのガス圧を 10^{-0} Paレベルに設定することによって、ZnO膜64内に引張残留応力を生じさせる。なお、所望の圧縮残留応力を生じさせることができれば、ガス圧はこれに限られない。

20

【0106】

次に、ZnO膜64の所定領域に、イオン注入法等を用い、不純物を導入しチャンネル領域65と、ソース領域66と、ドレイン領域67とを形成する。

【0107】

次に、ZnO膜64上に金属膜形成した上でパターニングすることにより、図13(f)に示すようにソース電極72及びドレイン電極73を形成する。

【0108】

続いて、ZnO膜64と、ソース電極72と、ドレイン電極73と、を覆うように、CVD法等により絶縁材料からなる保護膜70を形成する。この保護膜70を形成する際に、保護膜70が引張応力を有するように形成するとよい。

30

以上の工程から、図13(g)に示すように電子素子60が製造される。

【0109】

上述したように、本実施形態では、アンダーコート層12上に、開口63aを有する凹状部63を形成することにより、この上に形成されるZnO膜64を下に凸に変形させることができ、ZnO膜64を膜外へと引っ張る外力、より好ましくはZnO膜14の法線方向に略水平に引っ張る力を印加することができる。これにより上述した実施形態1と同様にZnO膜64内のキャリア移動度を高めることが可能である。

40

【0110】

また、本実施形態では、ZnO膜64をスパッタ法等によって形成する際、ガス圧等を制御することによりZnO膜64に残留する応力を引張応力とすることができ、さらにZnO膜64のキャリア移動度を向上させることができる。さらに、ゲート絶縁膜68と、ゲート電極71と、保護膜70とを形成する際に成膜条件をコントロールし、引張応力が残存するように形成し、ZnO膜64を膜外へと引っ張る外力、より好ましくはZnO膜14の法線方向に略水平に引っ張る方向に力を印加することが可能なように応力を残留させることにより、さらにZnO膜64のキャリア移動度を向上させることができる。

【0111】

(実施例)

50

以下、ZnO膜に対して外力を印加する膜を形成した場合の、ZnO膜を検証した結果を記す。ZnO膜に対して外力を印加する手段としては、SiN膜（絶縁膜）を形成する場合を例に挙げる。

【0112】

まず、ガラス基板上にZnO膜を形成する。ZnO膜は、RFマグネトロンスパッタ装置によって成膜する。成膜時の基板温度を175℃、Ar、O₂雰囲気中で成膜する。ZnO膜は100nmの厚みに形成する。なお、本実施例では無添加のZnOを用いているが、Ga₂O₃を添加させた場合であってもほぼ同様の結果が得られる。次に、ZnO膜上に500～700MPaの強い圧縮応力を有するシリコン窒化膜を250℃程度の低温でプラズマCVD法を用いて10nm、30nm、50nm厚に形成した。

10

【0113】

このときのZnO膜のc/aをX線回折法で評価した。ZnO膜のc軸及びa軸は、リガク製の表面構造評価用多機能X線回折装置モデルATX-Gを用いて測定した。具体的に、a軸長はin-plane回折測定法で測定した。この方法ではX線を全反射角近傍の0.35度から入射し、試料と検出器を試料の面内近傍で回転させて測定する、いわゆる2qc-f光学配置で測定した。この測定で2qcが110度近傍で観察されるZnOの(300)回折ピークよりa軸を求めた。c軸は通常のX線回折測定、いわゆる2q-q光学配置測定におけるウルツ鉱型結晶構造ZnOにおいて2qが34度近傍で現れる(002)回折ピークから求めた。X線は銅のk線を用いており、すなわち波長は0.154184nmである。

【0114】

これによって得られたc軸長およびa軸長を図14に示す。図14から明らかなようにSiN膜が形成されていない場合、c軸長は0.5216nm、a軸長が0.3260nmである。これに対し、SiN膜を10nmの厚みに形成すると、c軸長を0.5216nm、a軸長を0.3257nmとすることができ、SiN膜を30nmの厚みに形成すると、c軸長を0.5222nm、a軸長を0.3254nmとすることができ、SiN膜を50nmの厚みに形成するとc軸長を0.5232nm、a軸長を0.3244nmとすることができる。このようにSiN膜厚が高くなるほど、c軸長が伸び、a軸長が縮むことがわかる。

20

【0115】

また、c/aを求めると、SiN膜が形成されていない場合、c/aは1.600であるが、SiN膜を10nmの厚みに形成するとc/aは1.6015、30nmの厚みに形成すると1.6014、50nmの厚みにすると1.613とc/aを理想状態の1.633に近づけることが可能となる。

30

【0116】

また、同様に、100nmのZnO膜上に10nm、30nm、50nmの膜厚のSiN膜を形成した場合の膜密度とセル体積（単位胞体積）の関係を図15に示す。膜密度はc軸及びa軸を求めたのと同じ装置を用い、通常のX線反射率測定法により膜上面反射X線と膜基板側界面で反射して試料表面から放射されるX線との干渉スペクトルを測定し、その波形に対して計算機シミュレーションによるフィティング解析を行い密度を求めた。なおX線源としてCuターゲット（ロータ式 50kV-300mA）を用いた。

40

【0117】

図15から明らかなように、SiN膜を形成した場合と形成しない場合とを比較すると、SiN膜を形成することによりセル体積は小さく膜密度は高くなることがわかる。また、SiN膜厚を高くするほど、徐々にセル体積は小さく膜密度は高くなるといえる。SiN膜を150nmの厚みに形成した場合と、SiN膜を形成しない場合とを比較すると、単位胞収縮を反映して、膜密度が約11%高くなっていることを確認した。また、単位胞容量（セル体積）は0.7%小さくなっていることを確認した。

【0118】

本発明は上述した実施形態に限られず、様々な変形及び応用が可能である。

例えば、上述した実施形態2を実施形態3に適用することが可能である。

50

【0119】

また、上述した実施形態ではZnO膜上に形成されるゲート絶縁膜、ゲート電極、保護膜等の膜それぞれに、ZnO膜を膜外へと引っ張る外力、より好ましくはZnO膜14の法線方向に略水平に引っ張るような応力を生じさせ、ZnO膜に外力を印加させているが、いずれの膜によってどの程度の外力を印加するかは適宜変更することが可能である。

【0120】

また、上述した実施形態では、ZnO膜、SiN膜等の膜を成膜する際、スパッタ法においてアルゴンガス圧を 10^{-1} Pa又は 10^{-0} Paとすることにより残留応力を制御する点を述べたがガス圧はこれに限られない。また、特にスパッタ法においては、ガス圧に限らず、基板温度、投入電力等により膜に生ずる応力を制御できるため、ガス圧以外を変化させることも可能である。

10

【0121】

また、上述した各実施形態では電子素子としてトップゲート型及びボトムゲート型のTFETを例に挙げて説明したが、これに限られない。例えば、ZnO膜を、LED、液晶表示装置、有機EL素子等の電極として用い、このZnO膜に圧縮応力又は引張応力を生じさせてもよく、また、このZnO膜に対して膜外へと引っ張る力を印加するように圧縮応力又は引張応力を有する膜を形成してもよい。

【0122】

上述した実施形態4では、凹状部63はアンダーコート層12が露出するように開口63a形成される場合を例に挙げて説明したが、これに限られない。例えば、凹状部63の上に形成されるZnO膜64に所定の引張応力を生じさせることができる程度に窪みを形成すれば、開口62aを形成しなくともよい。

20

【0123】

また、上述した各実施形態では半導体膜としてZnO膜を用いる構成を例に挙げて説明したが、これに限られずウルツ鉱型結晶構造を有する化合物であれば、これに適用することも可能である。

【図面の簡単な説明】

【0124】

【図1】本発明の実施形態1に係る電子素子の構成例を示す断面図である。

【図2】ウルツ鉱型結晶構造を模式的に示す図である。

30

【図3】本発明の実施形態1に係る電子素子の製造方法を示す図である。

【図4】本発明の実施形態1に係る電子素子の製造方法を示す図である。

【図5】本発明の実施形態1に係る電子素子の製造方法を示す図である。

【図6】本発明の実施形態2に係る電子素子の構成例を示す断面図である。

【図7】本発明の実施形態3に係る電子素子の構成例を示す断面図である。

【図8】本発明の実施形態3に係る電子素子の製造方法を示す図である。

【図9】本発明の実施形態3に係る電子素子の製造方法を示す図である。

【図10】本発明の実施形態4に係る電子素子の構成例を示す断面図である。

【図11】本発明の実施形態4に係る電子素子の製造方法を示す図である。

【図12】本発明の実施形態4に係る電子素子の製造方法を示す図である。

40

【図13】本発明の実施形態4に係る電子素子の製造方法を示す図である。

【図14】ZnO膜上にSiN膜を形成した場合のc軸及びa軸の変化を示す図である。

【図15】ZnO膜上にSiN膜を形成した場合の膜密度及び単位胞体積の変化を示す図である。

【符号の説明】

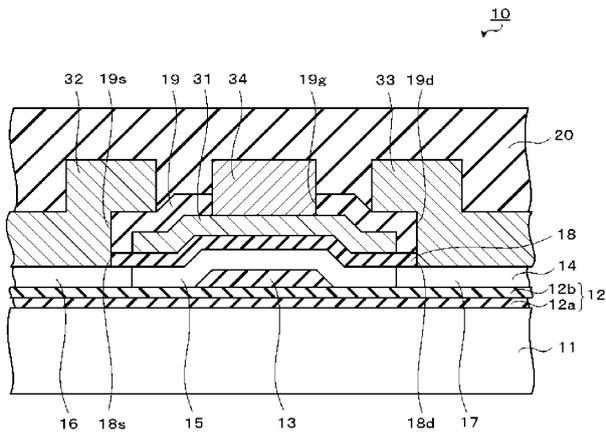
【0125】

10・・・電子素子、11・・・基板、12・・・アンダーコート層、13・・・突起部、14・・・半導体膜半導体膜(ZnO膜)、15・・・チャネル領域、16・・・ソース領域、17・・・ドレイン領域、18・・・ゲート絶縁膜、19・・・層間絶縁膜、20・・・保護膜、31・・・ゲート電極、32・・・ソース電極、33・・・ドレイ

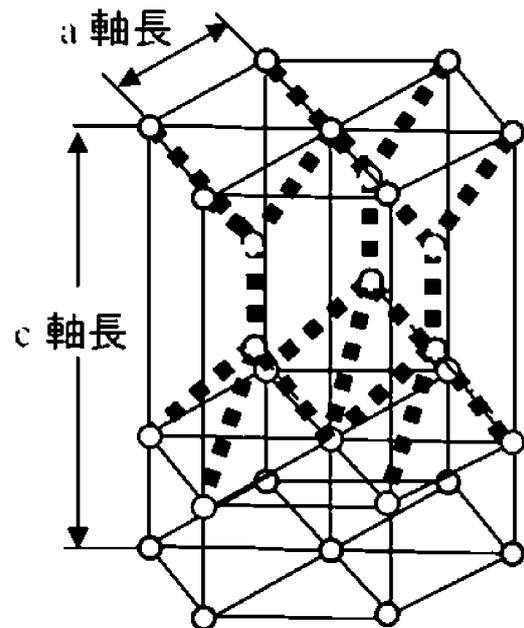
50

ン電極、3 4 . . . ゲート引出電極

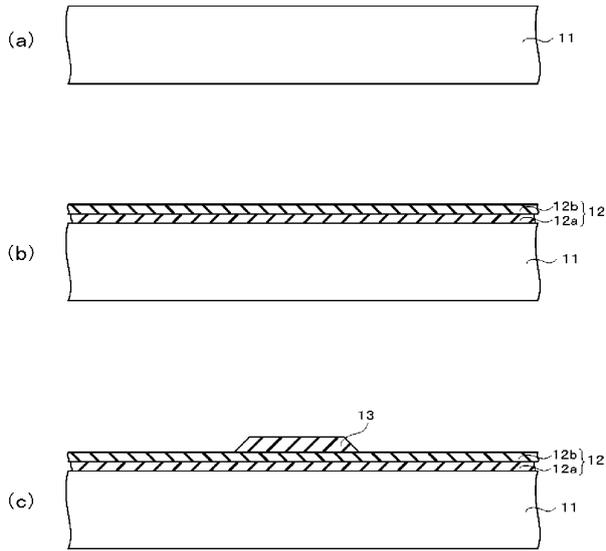
【図1】



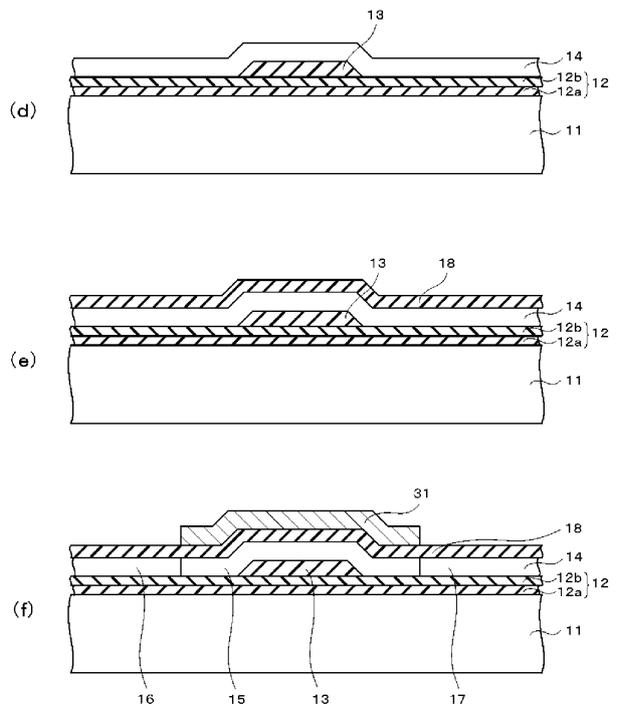
【図2】



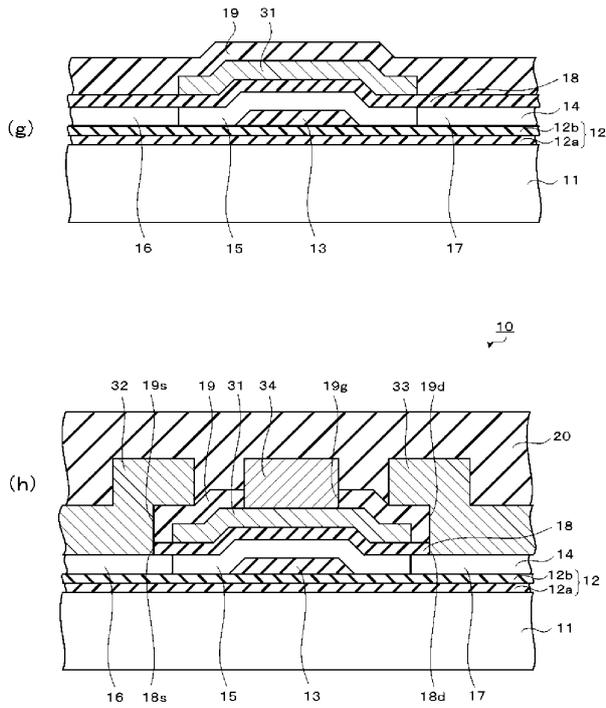
【図3】



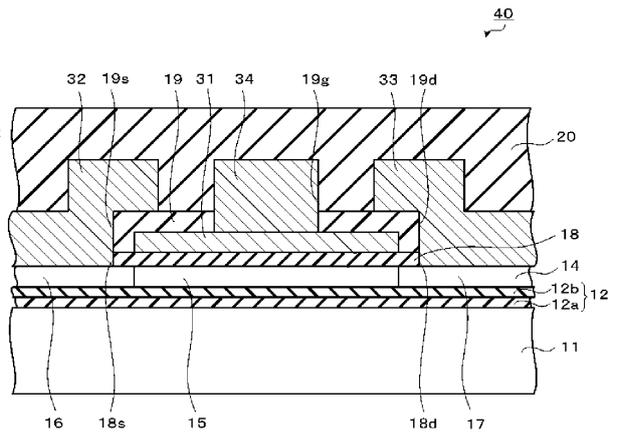
【図4】



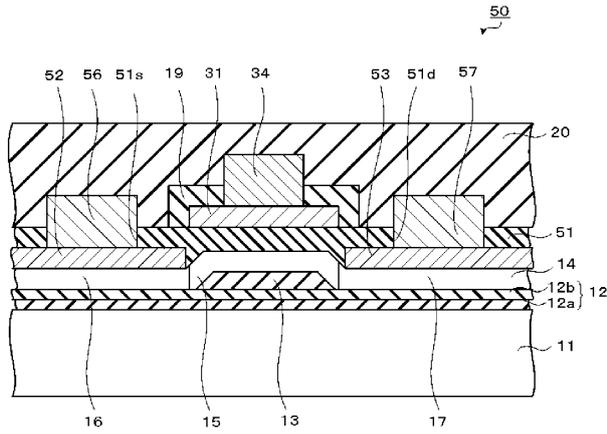
【図5】



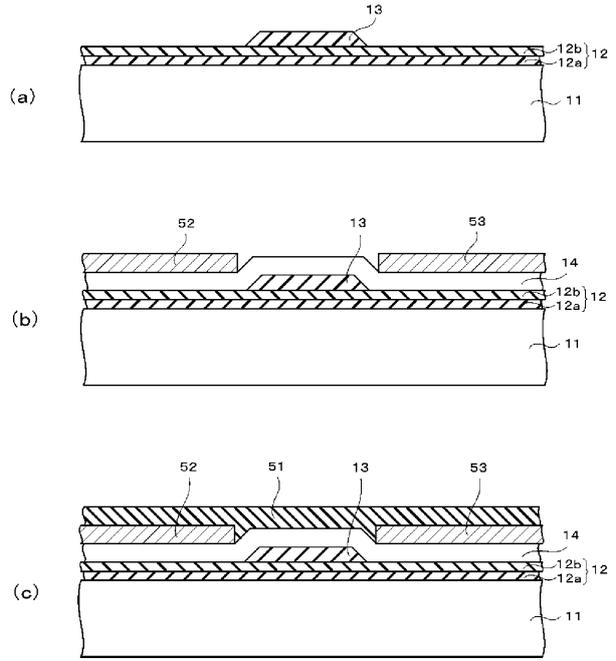
【図6】



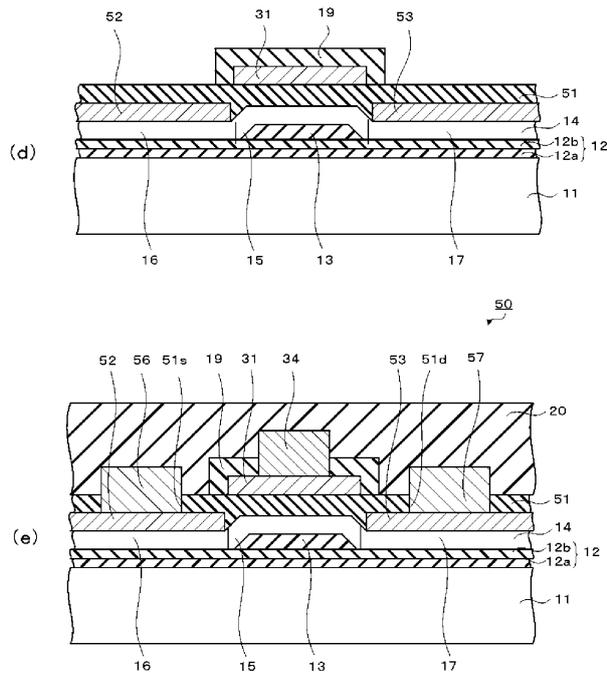
【図7】



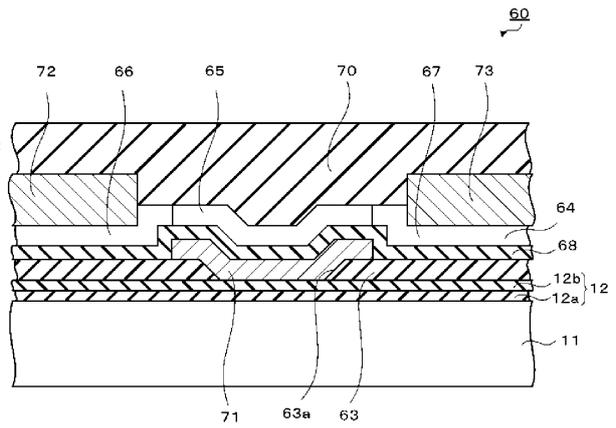
【図8】



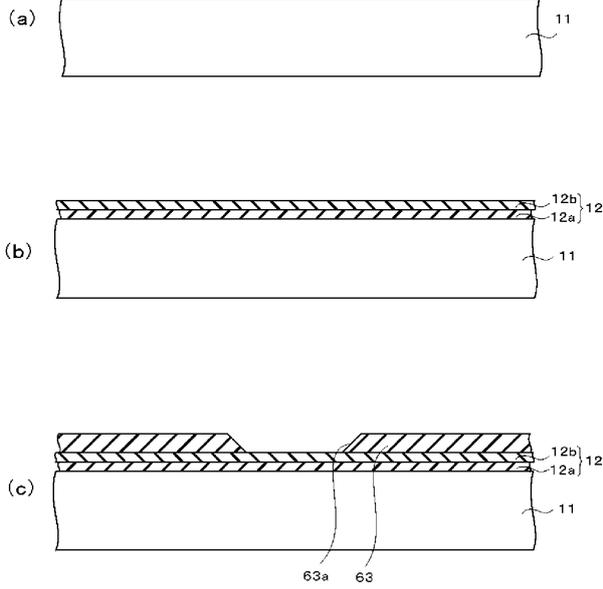
【図9】



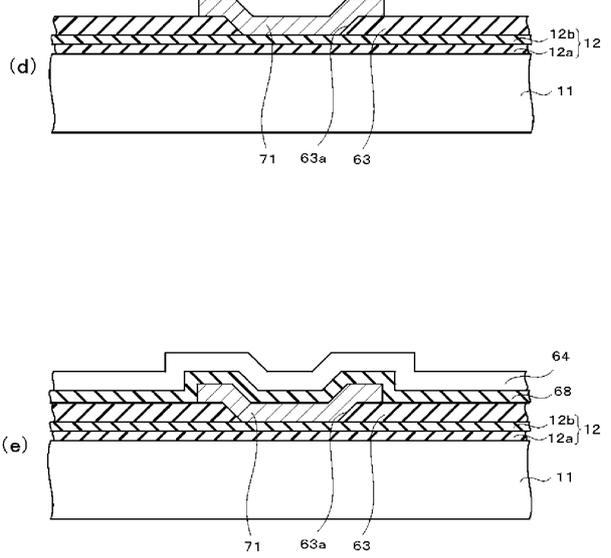
【図10】



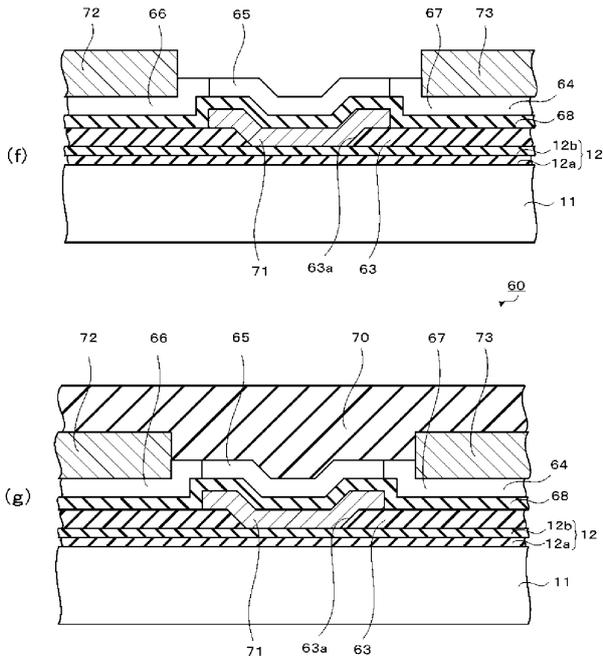
【図 1 1】



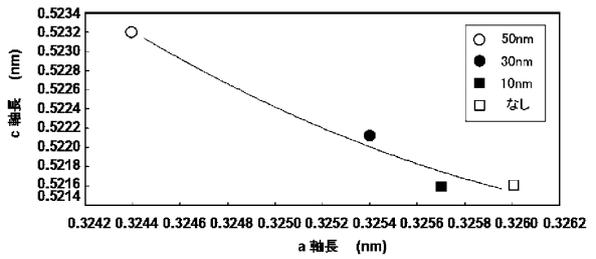
【図 1 2】



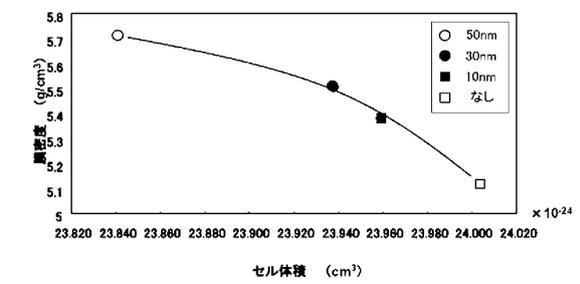
【図 1 3】



【図 1 4】



【図 1 5】



フロントページの続き

(56)参考文献 特開2005-150635(JP,A)
特開2003-81692(JP,A)
特開2006-332593(JP,A)
特開2001-60691(JP,A)
特開2003-298062(JP,A)
特開2006-245371(JP,A)
特開2006-100760(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/33、29/786

JSTPlus/JMEDPlus/JST7580(JDreamII)