

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-295802

(P2006-295802A)

(43) 公開日 平成18年10月26日(2006.10.26)

(51) Int. Cl.	F I			テーマコード (参考)		
H03K 7/06 (2006.01)	H03K 7/06	B	5H730			
H02M 3/28 (2006.01)	H02M 3/28	H				

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号	特願2005-117041 (P2005-117041)	(71) 出願人	390013723 デンセイ・ラムダ株式会社 東京都品川区東五反田一丁目11番15号 電波ビルディング
(22) 出願日	平成17年4月14日 (2005.4.14)	(74) 代理人	100080089 弁理士 牛木 護
		(72) 発明者	竹上 栄治 東京都品川区東五反田1-11-15 デンセイ・ラムダ株式会社内
		Fターム(参考)	5H730 BB23 DD04 EE02 EE07 EE59 FD01 FD24 FF06 FG04 FG07 FG11 FG15

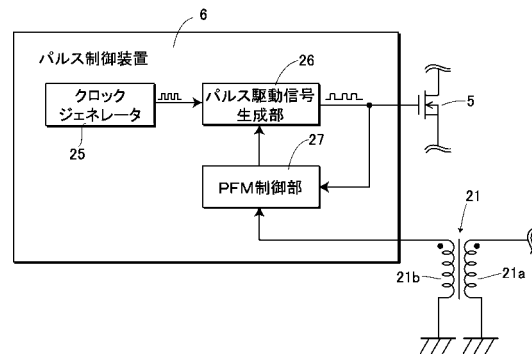
(54) 【発明の名称】 パルス制御装置

(57) 【要約】

【課題】 スイッチング周波数を落とさずにPFM制御することができるパルス制御装置を提供する。

【解決手段】 PFM制御部27では、帰還トランス21のフィードバック信号をA/D変換してサンプリングし、当該サンプリング情報に基づいてPFM演算を行う、という一連の制御処理が所定の制御周期毎に繰り返行われることにより、PFMパルス周波数が逐次決定され、パルス駆動信号生成部26に設定される。また、PFM演算が終了した後、パルス駆動信号生成部26からフィードバックされたPFMパルスが1パルス入力され終わった時点から、次の制御周期に移行するよう構成されている。これにより、スイッチング周波数が上がっても、制御周期はPFM演算に最低限必要な時間に確保される。

【選択図】 図2



**【特許請求の範囲】****【請求項 1】**

パルス周波数の周期と制御周期とが異なるパルス制御装置において、前記制御周期が、当該制御に必要な演算時間より大きく、かつ前記パルス周波数の周期の整数倍となるよう逐次調整し、この制御周期毎に前記パルス周波数を P F M 制御する P F M 制御手段を備えたことを特徴とするパルス制御装置。

**【請求項 2】**

前記 P F M 制御手段は、前記制御周期が最小となるよう制御するものであることを特徴とするパルス制御装置。

10

**【発明の詳細な説明】****【技術分野】****【0001】**

制御周期毎に出力パルスに対して例えば P W M (Pulse Width Modulation) 制御や P F M (Pulse Frequency Modulation) 制御などを行なうパルス制御装置に関する。

**【背景技術】****【0002】**

近年、スイッチング電源のデジタル制御化の開発が進んでいる。一般に、スイッチング電源装置などでは、スイッチング素子にパルス駆動信号を供給してスイッチング動作させることにより、入力電力から所望の出力電力を取り出して負荷に供給する。このスイッチング動作の制御には、出力電圧を安定化させるために例えば P W M 制御 I C などのパルス制御装置が広く使用されている。このパルス制御装置は、所定の制御周期毎に出力電力（出力電圧，出力電流）をサンプリングしてデジタル演算処理を行うことにより、安定した出力が得られるように、出力パルスとしてのパルス駆動信号に対して P W M 制御若しくは P F M 制御などの周知のパルス制御を行なう。

20

**【0003】**

しかしながら、スイッチング電源は非常に高速に動作するため、前記パルス制御装置に安価な（低速な）デジタル I C を使用した場合には、スイッチング周波数が上げられないという問題があった。

**【0004】**

図 4 の ( a ) 制御系周波数は、P W M 制御 I C で行なわれる制御処理を示したものであるが、当該 P W M 制御 I C では、スイッチング電源の出力電力を A / D 変換してサンプリングし、当該出力電力が所定の電圧又は所定の電流となるように P W M 演算を行う、という一連の制御処理が所定の制御周期毎に繰り返し行われることにより、P W M パルス幅が逐次決定される。また、( b ) スwitching 周波数で表されるように、( a ) 制御系周波数と同じ周波数（周期）を有する三角波の電圧レベルと比較値とを比較することにより、( c ) P W M パルスとして図示された前記パルス駆動信号が生成される。このとき、当該三角波の電圧レベルが比較値以上となる時間が、そのまま ( c ) P W M パルスのパルス幅となる。つまり、前記 P W M 演算では、サンプリングした出力電力の情報に基づいて前記比較値が算出される。なお、P W M 演算により決定された P W M パルス幅（比較値）は、次の制御区間に出力される ( c ) P W M パルスに反映される。

30

40

**【0005】**

このように、( a ) 制御系周波数と ( b ) スwitching 周波数とが同一のタイマーで動作しているため、必然的にその周期が同じになる。デジタル制御には必ず演算時間が発生するが、1 周期内で P W M 演算が終わらないと P W M パルス幅が決定できないため、演算速度の遅いデバイスだと制御処理の周波数が上げられない。この結果、スイッチング周波数が上げられなくなってしまう。

**【0006】**

そこで、特許文献 1 では、スイッチング周波数に相当する P W M キャリア信号と、制御系周波数に相当し、P W M 制御手段の起動トリガとなる同期用パルスのタイマーを分ける

50

ことで、各々の周波数が独立的に最適化できるよう構成している。このような、制御系周波数とスイッチング周波数のタイマーを分けたパルス制御装置の制御処理を示しものが図5である。同図において、(a)制御系周波数では、従来と同様に、一連のPWM制御処理が所定の制御周期毎に繰り返し行われることにより、PWMパルス幅が逐次決定されるが、その制御周期は(b)スイッチング周波数の周期の2倍に設定されている。これにより、パルス制御装置の演算速度による制約を受けずにスイッチング周波数を上げることができる。

【特許文献1】特開2004-96815号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0007】

しかし、上記従来のパルス制御装置では、制御系周波数の周期をスイッチング周波数の周期の所定倍としているため、これをPFM制御にそのまま適用することができないという問題があった。PFM制御では、サンプリングした出力電力に関する情報に基づいて、スイッチング周波数が制御されるため、これに追従して制御系周波数も変動してしまう。従って、制御系周波数が高くなりすぎると、1周期内で当該PFM演算が終わらず、出力パルスのPFM周波数が決定できなくなってしまう虞がある。

【0008】

そこで本発明は上記問題点に鑑み、スイッチング周波数を落とさずにPFM制御することができるパルス制御装置を提供することを目的とする。

20

【課題を解決するための手段】

【0009】

本発明における請求項1のパルス制御装置では、パルス周波数の周期と制御周期とが異なるパルス制御装置において、前記制御周期が、当該制御に必要な演算時間より大きく、かつ前記パルス周波数の周期の整数倍となるよう逐次調整し、この制御周期毎に前記パルス周波数をPFM制御するPFM制御手段を備えている。

【0010】

このようにすると、PFM制御によりパルス周波数が高くなっても、制御周期は、当該制御に必要な演算時間が確保された長さに調整されるため、演算処理を確実に1周期内で終わらせることができる。また、制御周期をパルス周波数の周期の整数倍とすることにより、両者の同期が取られ、サンプリングタイミングがばらついたり、パルス周波数がパルス出力の途中で変更されたりすることがなく、安定した制御を行なうことができる。

30

【0011】

本発明における請求項2のパルス制御装置では、前記PFM制御手段は、前記制御周期が最小となるよう制御するものである。

【0012】

このようにすると、制御周期が、演算に最低限必要な時間を確保しつつ、最短の時間に制御されるため、出力パルスの応答特性を向上させることができる。

【発明の効果】

【0013】

本発明の請求項1によると、スイッチング周波数を落とさずにPFM制御することができるパルス制御装置を提供することができる。

40

【0014】

本発明の請求項2によると、出力パルスの応答特性を向上させることができる。

【発明を実施するための最良の形態】

【0015】

以下、添付図面を参照しながら、本発明におけるパルス制御装置の好ましい実施例を説明する。なお、従来例と同一箇所には同一符号を付し、共通する部分の説明は重複するため極力省略する。

【0016】

50

図1は、一般的なスイッチング電源の一例としてフォワードコンバータの回路構成を示した回路図である。2はフォワードコンバータ1に入力電圧 $V_i$ を入力する直流電源であり、パルストランス4の一次巻線4aと例えばMOSFETなどのスイッチング素子5のドレイン・ソースとからなる直列回路が接続されている。スイッチング素子5のゲートには、スイッチング素子5のスイッチング動作(オン・オフ動作)を制御するパルス駆動信号を供給するパルス制御装置6が接続されている。パルス制御装置6は、出力電圧 $V_o$ を安定化させるために、出力電圧 $V_o$ の変動に応じてスイッチング素子5に供給するパルス駆動信号を例えば周知のPWM制御やPFM制御などにより可変制御するものであるが、その詳細については後程説明する。もちろん、負荷電流を安定化させるよう構成してもよい。3は入力電圧 $V_i$ の脈流を除去するためのコンデンサであり、直流電源2に並列接続される。

10

## 【0017】

パルストランス4の二次巻線4bには、該二次巻線4bに誘起された誘起電圧を整流平滑するための、整流ダイオード13と、フライホイールダイオード14と、チョークコイル15と、平滑コンデンサ16とからなる整流平滑回路が接続される。より詳細には、二次巻線4bのドット側に整流ダイオード13のアノードが接続され、二次巻線4bの非ドット側にフライホイールダイオード14のアノードが接続され、そして整流ダイオード13のカソードとフライホイールダイオード14のカソードとが接続されている。フライホイールダイオード14の両端間には、チョークコイル15と平滑コンデンサ16とが逆L形に接続されており、この平滑コンデンサ16の両端間に、図示しない負荷に出力電圧 $V_o$ を供給するための一対の出力端子17, 17が設けられている。

20

## 【0018】

フォワードコンバータ1では、パルス制御装置6がパルス駆動信号をスイッチング素子5のゲートに供給し、スイッチング素子5をスイッチング動作させることにより、直流電源2から入力電圧 $V_i$ がパルストランス4の一次巻線4aに断続的に印加される。そして、パルストランス4の二次巻線4bに誘起された電圧は、整流ダイオード13, フライホイールダイオード14, チョークコイル15, 平滑コンデンサ16により整流平滑され、出力端子17, 17間に直流出力電圧 $V_o$ として出力される。この出力端子17, 17には、二次側制御回路20が接続されており、二次側制御回路20, 帰還トランス21, パルス制御装置6が、出力電圧 $V_o$ を安定化させる帰還ループを形成する。

30

## 【0019】

二次側制御回路20は、出力電圧 $V_o$ を検出し、その内容をフィードバック信号として帰還トランス21を通じてパルス制御装置6に伝送する。このフィードバック信号に基づいて、スイッチング制御回路6が前記パルス駆動信号を制御することで、出力電圧 $V_o$ の安定化を図るようにしている。なお、帰還トランス21は一次巻線21aと二次巻線21bとを備えており、一次巻線21aの一端が二次側制御回路20、他端がグランドにそれぞれ接続される一方、二次巻線21bの一端がパルス制御装置6、他端がグランドにそれぞれ接続される。

## 【0020】

図2は、パルス制御装置6の具体的な構成を示したものであるが、パルス制御装置6は、クロックジェネレータ25と、パルス駆動信号生成部26と、PFM制御部27とから構成される。同図では、PFM制御に関する構成のみ図示しており、パルス制御装置6に必要なに応じて設けられる例えばPWM制御部などの他の構成は省略している。クロックジェネレータ25は、例えば水晶発振器やオシレータなどの発振器(図示せず)から出力される、安定した周波数を有するパルスから任意の周波数を有するクロック信号を生成してパルス駆動信号生成部26に供給する。もちろん、前記発信器から出力されるパルスをそのままクロック信号としてパルス駆動信号生成部26に供給してもよい。パルス駆動信号生成部26は、入力されたクロック信号から、PFM制御部27により設定されたスイッチング周波数を有するパルス駆動信号を生成し、スイッチング素子5へ出力する。PFM制御部27は、制御周期毎に、帰還トランス21の二次巻線21bに誘起されるフィードバック信号をサンプリングしてデジタル演算処理たるPFM演算を行い、算出したスイッチング周波数をパルス

40

50

駆動信号生成部26へ設定する。本実施例においても、上記特許文献1と同様に、制御系周波数とスイッチング周波数とが独立するよう、パルス駆動信号生成部26とP F M制御部27のタイマーを分けて構成しており、これらの同期をとるため、パルス駆動信号がP F M制御部27にフィードバックされる。

【0021】

次に、パルス制御装置6の動作について図3を参照しながら説明する。

【0022】

(a)制御系周波数は、P F M制御部27で行なわれる制御処理を示したものであるが、P F M制御部27では、前記フィードバック信号をA / D変換してサンプリングし、サンプリングした出力電力の情報に基づいて、(c) P F Mパルスのパルス周波数を表す(b) スwitching周波数に対してP F M演算を行う、という一連の制御処理が所定の制御周期毎に繰り返し行われることにより、P F Mパルス周波数が逐次決定され、パルス駆動信号生成部26に設定される。前記パルス駆動信号は、同図においては(c) P F Mパルスとして図示されており、パルス駆動信号生成部26がクロック信号のカウント数に応じて適宜出力信号レベルを立ち上げ又は立ち下げることにより生成される。このとき、パルス駆動信号生成部26では、(c) P F Mパルスのオン幅を一定とし、P F M制御部27により設定されたP F Mパルス周波数に合わせてオフ幅を可変することにより、(c) P F Mパルスの周波数変調が行われる。もちろん、オフ幅を一定としてオン幅を可変したり、オン幅とオフ幅の両方を可変したりしてもよい。

10

【0023】

P F M制御部27の制御周期を示す(a)制御系周波数は、当該制御処理に必要な演算時間より大きく、かつ(b)スイッチング周波数ひいては(c) P F Mパルスの周期のn倍(nは任意の整数)となるよう逐次調整されている。

20

【0024】

具体的には、P F M制御部27は、例えば、P F M演算が終了した後、パルス駆動信号生成部26からフィードバックされたP F Mパルスが1パルス入力され終わった時点から、次の制御周期に移行するよう構成されている。この場合、P F M制御部27は、当該制御周期がP F M演算時間より大きく、かつ(c) P F Mパルスの周期の最小倍となるよう制御することとなる。図中では、(a)制御系周波数の制御区間が移行するに従って、制御周期の長さが(c) P F Mパルスの周期の3倍 1倍 4倍と順次変化しているのがわかる。このようにすると、制御周期が、P F M演算に最低限必要な時間を確保しつつ、最短の時間に制御されるため、P F Mパルスの応答特性を向上させることができる。

30

【0025】

又は、P F M制御部27におけるP F M演算に掛かる最大演算時間が予め分かっている場合には、例えば、 $n = \text{整数部}(\text{最大演算時間} / \text{P F Mパルス周期}) + 1 = \text{整数部}(\text{最大演算時間} * \text{P F Mパルス周波数}) + 1$ で決定される整数nを用いて、当該制御周期をP F Mパルス周波数の周期のn倍としてもよい。この場合、制御周期の長さを演算により算出することができるため、P F M制御部27にP F Mパルスをフィードバックしなくても、(a)制御系周波数と(b)スイッチング周波数を同期させることができる。

【0026】

以上のように本実施例では、パルス周波数の周期と制御周期とが異なるパルス制御装置6において、前記制御周期が、当該制御に必要なP F M演算時間より大きく、かつ前記パルス周波数の周期の整数倍となるよう逐次調整し、この制御周期毎に前記パルス周波数をP F M制御するP F M制御手段としてのP F M制御部27を備えている。

40

【0027】

このようにすると、P F M制御によりパルス周波数が高くなっても、制御周期は、当該制御に必要なP F M演算時間が確保された長さに調整されるため、P F M演算処理を確実に1周期内で終わらせることができる。また、制御周期をパルス周波数の周期の整数倍とすることにより、両者の同期が取られ、サンプリングタイミングがばらついたり、パルス周波数が周期の途中で変更されたりすることがなく、安定した制御を行なうことができる

50

。以上より、スイッチング周波数を落とさずに P F M 制御することができるパルス制御装置 6 を提供することができる。

【 0 0 2 8 】

また本実施例のパルス制御装置 6 では、P F M 制御部 27 は、前記制御周期が最小となるよう制御するものである。

【 0 0 2 9 】

このようにすると、制御周期が、P F M 演算に最低限必要な時間を確保しつつ、最短の時間に制御されるため、出力パルスの応答特性を向上させることができる。

【 0 0 3 0 】

なお、本発明は、上記実施例に限定されるものではなく、本発明の趣旨を逸脱しない範囲で変更可能である。パルス制御装置 6 は、例えばマイクロコンピュータやシステム L S I などを用いて 1 つの部品 (ワンチップ) で構成することができ、スイッチング電源装置以外の種々の電子機器に使用することも可能である。

【 図面の簡単な説明 】

【 0 0 3 1 】

【 図 1 】本発明の第 1 実施例におけるパルス制御装置を用いたスイッチング電源装置の回路図である。

【 図 2 】同上、パルス制御装置の構成を示すブロック図である。

【 図 3 】同上、パルス制御装置の制御処理と出力パルスとの相関関係を示す説明図である。

【 図 4 】従来例におけるパルス制御装置の制御処理と出力パルスとの相関関係を示す説明図である。

【 図 5 】従来例における別のパルス制御装置の制御処理と出力パルスとの相関関係を示す説明図である。

【 符号の説明 】

【 0 0 3 2 】

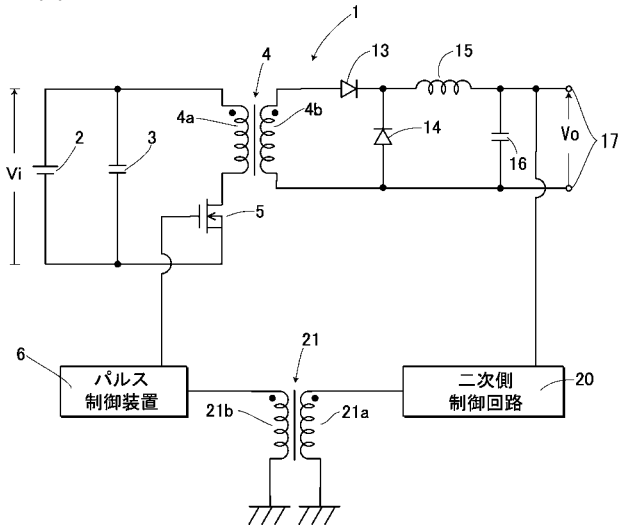
6 パルス制御装置

27 P F M 制御部 ( P F M 制御手段 )

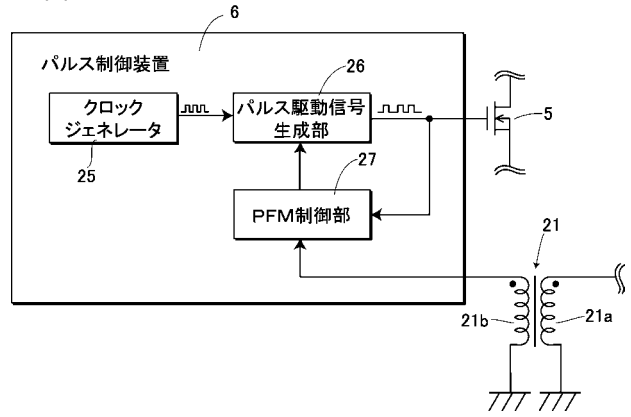
10

20

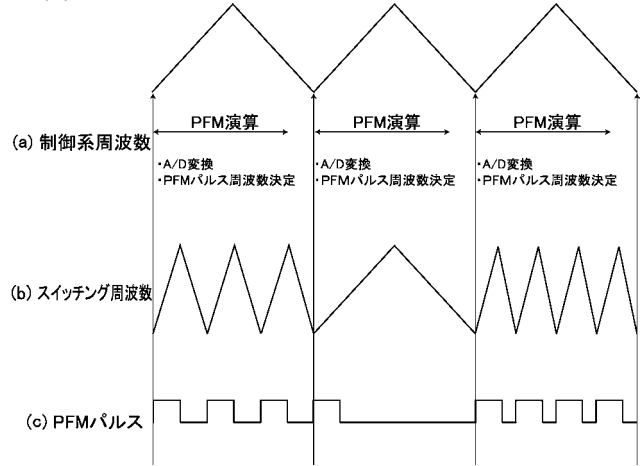
【 図 1 】



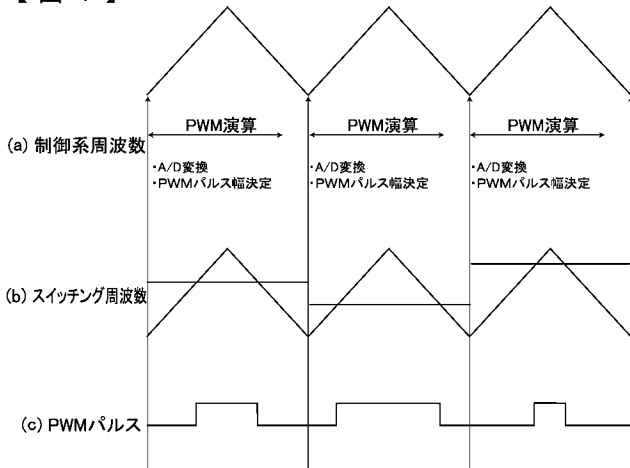
【 図 2 】



【 図 3 】



【 図 4 】



【 図 5 】

