



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

| | | |
|---|-------------------------------------|--|
| (51) 。 Int. Cl. G11C 16/26 (2006.01) G11C 16/34 (2006.01) | (45) 공고일자 (11) 등록번호 (24) 등록일자 | 2007년01월09일 10-0666171 2007년01월02일 |
|---|-------------------------------------|--|

| | | | |
|----------------------------------|---|------------------------|--------------------------------|
| (21) 출원번호 (22) 출원일자 심사청구일자 | 10-2005-0002192 2005년01월10일 2005년01월10일 | (65) 공개번호 (43) 공개일자 | 10-2006-0081782 2006년07월13일 |
|----------------------------------|---|------------------------|--------------------------------|

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 이승재
 서울 강남구 도곡1동 948-10

(74) 대리인 곽덕영

| | |
|---|-----------------------------------|
| (56) 선행기술조사문헌 JP11053887 A KR1019990003105 A * 심사관에 의하여 인용된 문헌 | JP11203879 A KR1020050071738 A |
|---|-----------------------------------|

심사관 : 조명관

전체 청구항 수 : 총 11 항

(54) 로드 프리 타입의 와이어드 오어 구조를 가지는 불휘발성반도체 메모리 장치와, 이에 대한 구동방법

(57) 요약

로드 프리 타입의 와이어드 오어 구조를 가지는 불휘발성 반도체 메모리 장치와, 이에 대한 구동방법이 게시된다. 상기와 같은 본 발명의 불휘발성 반도체 메모리 장치는 내부출력선과 데이터선 프리차아지 회로를 구비한다. 상기 내부출력선은, 페이지 버퍼들 각각의 출력 드라이버에 의하여, 구동될 수 있다. 이때, 상기 내부출력선은 상기 페이지 버퍼들의 메인래치 데이터들 중의 어느하나가 논리 "H"이면, 나머지 상기 페이지 버퍼들의 메인래치 데이터의 논리상태에 관계없이 접지전압으로 구동된다. 상기 데이터선 프리차아지 회로는 상기 글로벌 출력선을 프리차아지시킨다. 상기와 같은 본 발명의 불휘발성 반도체 메모리 장치에 의하면, '와이어드 오어(wired 'or')' 방식으로 프로그램 확인독출이 가능하다. 그러므로, 본 발명의 불휘발성 반도체 메모리 장치에 의하면, 프로그램 확인독출에 소요되는 시간이 현저히 감소된다.

대표도

도 3

특허청구의 범위

청구항 1.

불휘발성 반도체 메모리 장치에 있어서,

다수개의 비트라인들을 포함하는 메모리셀 어레이로서, 대응하는 비트라인의 데이터를 프로그램하여 저장하는 다수개의 메모리셀을 포함하는 상기 메모리셀 어레이;

대응하는 각자의 비트라인과 송수신되는 데이터에 대응하는 데이터를 메인래치 데이터로 저장하는 다수개의 페이지 버퍼들;

상기 페이지 버퍼들의 메인래치 데이터들 각각에 대응하여 구동될 수 있는 내부출력선으로서, 상기 페이지 버퍼들의 메인래치 데이터들 중의 어느하나가 자신에 대응하는 상기 메모리셀이 프로그램 불량임을 나타내는 논리상태이면, 나머지 상기 페이지 버퍼들의 메인래치 데이터의 논리상태에 관계없이 상기 프로그램 불량임을 나타내는 논리상태의 상기 메인래치 데이터에 따라 구동되는 상기 내부출력선;

글로벌 출력선;

상기 다수개의 페이지 버퍼들의 메인래치 데이터들을 한꺼번에 확인하는 와이어드 오어 구간에서, 상기 글로벌 출력선과 상기 내부출력선을 전기적으로 연결하는 출력스위치; 및

상기 내부출력선이 상기 메인래치 데이터에 의하여 구동되기 전에, 상기 글로벌 출력선을 프리차아지시키는 데이터선 프리차아지 회로를 구비하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 2.

제1 항에 있어서, 상기 데이터선 프리차아지 회로는

소정의 데이터선 프리차아지 신호에 응답하여, 상기 글로벌 출력선을 프리차아지시키는 데이터선 프리차아지부로서, 상기 내부출력선이 상기 메인래치 데이터에 의하여 구동되는 동안에는, 디스에이블되는 상기 데이터선 프리차아지부를 구비하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 3.

제2 항에 있어서, 상기 데이터선 프리차아지 회로는

상기 내부출력선이 상기 메인래치 데이터에 의하여 구동되는 동안에, 상기 글로벌 출력선에 차아지 전류를 공급하는 로드 공급부를 더 구비하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 4.

제3 항에 있어서,

상기 데이터선 프리차아지부는

상기 데이터선 프리차아지 신호에 의하여 게이팅되는 제1 피모스 트랜지스터를 포함하며,

상기 로드 공급부는

소정의 데이터선 로딩 신호에 응답하여, 상기 글로벌 출력선에 상기 차아지 전류를 제공하는 제2 피모스 트랜지스터를 구비하며,

상기 제2 피모스 트랜지스터의 전기전도성은 상기 제1 피모스 트랜지스터보다 작은 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 5.

제1 항에 있어서, 상기 불휘발성 반도체 메모리 장치는

상기 글로벌 출력선의 데이터를 래치하는 데이터선 래치회로를 더 구비하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 6.

제5 항에 있어서, 상기 데이터선 래치회로는

상기 글로벌 출력선의 데이터를 래치하고, 상기 글로벌 출력선의 데이터를 소정의 공통 출력선으로 제공하는 글로벌선 래치블락으로서, 상기 와이어드 오어 구간에서, 상기 글로벌 출력선의 래치를 해제하고, 상기 글로벌 출력선의 데이터의 상기 공통 출력선으로의 제공을 차단하는 상기 글로벌선 래치블락; 및

상기 와이어드 오어 구간에서 인에이블되어, 상기 공통 출력선을 래치하는 공통 래치블락을 구비하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 7.

제1 항에 있어서, 상기 불휘발성 반도체 메모리 장치는

상기 와이어드 오어 구간에서, 상기 내부출력선과 상기 글로벌 출력선을 전기적으로 연결하기 위한 출력 스위치를 더 구비하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 8.

제1 항에 있어서, 상기 페이지 버퍼들 각각은

상기 메인래치 데이터를 래치하여 저장하는 메인래치블락으로서, 상기 메인래치 데이터는 데이터 프로그램시에는 외부에서 제공되는 입력 데이터에 대응하는 논리상태를 가지며, 데이터 독출시에는 상기 비트라인의 전압레벨에 대응하는 논리상태를 가지는 상기 메인래치블락; 및

상기 메인래치 데이터에 대응하여, 상기 내부출력선을 일방향으로 드라이빙하는 출력 드라이버를 구비하며,

상기 내부출력선은

궁극적으로 외부에 제공되는 데이터를 전송하되, 상기 입력데이터의 전송경로와는 전기적으로 분리되는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 9.

불휘발성 반도체 메모리 장치에 있어서,

다수개의 비트라인들을 포함하는 메모리셀 어레이로서, 대응하는 비트라인의 데이터를 프로그램하여 저장하는 다수개의 메모리셀을 포함하는 상기 메모리셀 어레이;

대응하는 각자의 비트라인과 송수신되는 데이터에 대응하는 데이터를 메인래치 데이터로 저장하는 다수개의 페이지 버퍼들;

상기 페이지 버퍼들의 메인래치 데이터들 각각에 대응하여 구동될 수 있는 내부출력선으로서, 상기 페이지 버퍼들의 메인래치 데이터들 중의 어느하나가 소정의 논리상태이면, 나머지 상기 페이지 버퍼들의 메인래치 데이터의 논리상태에 관계없이 소정의 출력 드라이빙 전압으로 구동되는 상기 내부출력선;

궁극적으로 상기 내부출력선의 구동에 따른 데이터를 전송하는 글로벌 출력선; 및

상기 내부출력선이 상기 메인래치 데이터에 의하여 구동되기 전에, 상기 글로벌 출력선을 프리차아지시키는 데이터선 프리차아지 회로를 구비하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 10.

대응하는 비트라인의 데이터를 프로그램하여 저장하는 다수개의 메모리셀을 포함하는 메모리셀 어레이와, 각자의 메인래치 데이터를 저장하는 다수개의 페이지 버퍼들과, 상기 페이지 버퍼들의 메인래치 데이터들 각각에 대응하여 일방향으로 구동될 수 있는 내부출력선과, 궁극적으로 상기 내부출력선의 구동에 따른 데이터를 전송하는 글로벌 출력선을 포함하는 상기 불휘발성 반도체 메모리 장치의 구동방법에 있어서,

각각의 대응하는 비트라인의 전압을 상기 페이지 버퍼들의 메인래치 데이터에 반영하는 데이터 플립단계; 및

상기 데이터 플립단계에 의한 상기 페이지 버퍼들의 상기 메인래치 데이터를 이용하여, 상기 궁극적으로 상기 글로벌 출력선을 구동하는 와이어드 오어 단계를 구비하며,

상기 와이어드 오어 단계는

상기 글로벌 출력선을 프리차아지 한 후에, 상기 메인래치 데이터에 대응하여 디스차아지하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 11.

제10 항에 있어서, 상기 와이어드 오어 단계는

상기 글로벌 출력선을 전원전압으로 프리차아지하는 데이터선 프리차아지 단계; 및

상기 프리차아지되는 상기 글로벌 출력선에 상기 메인래치 데이터에 대응하여 디스차아지하는 데이터선 디스차아지 단계를 구비하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 불휘발성 반도체 메모리 장치에 관한 것으로서, 특히 와이어드 오어(Wired Or) 구조를 가지는 불휘발성 반도체 메모리 장치의 구동방법에 관한 것이다.

일반적으로, 불휘발성 반도체 메모리 장치의 메모리셀들에 대한 프로그램 및 독출은 선택되는 메모리셀에 대응하는 비트라인의 전압을 제어함으로써 수행된다. 이와 같은 비트라인의 구동을 위하여, 불휘발성 반도체 메모리 장치는, 메모리셀에 프로그램되거나 메모리셀로부터 독출되는 데이터를 일시적으로 저장하는 페이지 버퍼를 내장한다.

도 1은 종래의 불휘발성 반도체 메모리 장치를 나타내는 도면이며, 도 2는 도 1의 페이지 버퍼(PBP)들 중의 하나와 대응하는 열게이트(YG)를 대표적으로 나타내는 도면이다. 종래의 페이지 버퍼(PBP)에서는, 메모리셀에 기입되는 데이터에 대응하는 데이터가 감지래치블락(150)에 로딩되어 래치된다. 그리고, 상기 감지래치블락(150)에 저장된 데이터는 바트라인(BLe, BLo)에 반영되고, 이후 메모리셀의 프로그램이 진행된다. 또한, 메모리셀로부터 독출되는 데이터에 대응하는 데이터도 상기 감지래치블락(150)에 일시저장된다. 그리고, 열게이트 신호(Ya<n:1>)에 응답하여, 상기 감지래치블락(150)에 저장된 데이터가 글로벌 데이터선(GDL)로 전송된다.

그런데, 종래의 불휘발성 반도체 메모리 장치에서는, 도1 및 도 2에 나타나는 바와 같이, 각 페이지 버퍼(PBP)들의 내부 데이터선(IDL)은 열게이트(YG)들을 통하여 글로벌 데이터선(GDL)에 공통적으로 연결된다. 그리고, 상기 글로벌 데이터선(GDL)과 상기 페이지 버퍼(PBP)의 감지래치노드(NLATP)까지의 데이터 전송경로는, 데이터의 프로그램 및 독출시에 함께 이용된다. 그러므로, 종래의 불휘발성 반도체 메모리 장치에서는, 글로벌 데이터선(GDL)과 각 내부 데이터선(IDL)의 전하공유(charge sharing) 현상에 의하여, 상기 페이지 버퍼(PBP)의 감지래치노드(NLATP)에 저장되는 데이터가 플립(flip)될 수 있다.

따라서, 종래의 불휘발성 반도체 메모리 장치에서의 프로그램 확인독출은, 다수개의 프로그램된 메모리셀의 데이터를 한꺼번에 확인하는 와이어드 오어(Wired OR) 방식이 아니라, 각 메모리셀의 데이터를 하나씩 확인하는 Y-스캔방식으로 수행된다. 이에 따라, 종래의 불휘발성 반도체 메모리 장치에서는, 프로그램 확인독출 시간이 길어진다는 문제점이 발생한다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 종래기술의 문제점을 해결하기 위한 것으로서, 와이어드 오어 방식으로 프로그램 확인독출이 가능한 불휘발성 반도체 메모리 장치 및 이의 구동방법을 제공하는 데 있다.

발명의 구성

상기와 같은 기술적 과제를 달성하기 위한 본 발명의 일면은 불휘발성 반도체 메모리 장치에 관한 것이다. 본 발명의 불휘발성 반도체 메모리 장치는 다수개의 비트라인들을 포함하는 메모리셀 어레이로서, 대응하는 비트라인의 데이터를 프로그램하여 저장하는 다수개의 메모리셀을 포함하는 상기 메모리셀 어레이; 대응하는 각자의 비트라인과 송수신되는 데이터에 대응하는 데이터를 메인래치 데이터로 저장하는 다수개의 페이지 버퍼들; 상기 페이지 버퍼들의 메인래치 데이터들 각각에 대응하여 구동될 수 있는 내부출력선으로서, 상기 페이지 버퍼들의 메인래치 데이터들 중의 어느하나가 자신에 대응하는 상기 메모리셀이 프로그램 불량임을 나타내는 논리상태이면, 나머지 상기 페이지 버퍼들의 메인래치 데이터의 논리상태에 관계없이 상기 프로그램 불량임을 나타내는 논리상태의 상기 메인래치 데이터에 따라 구동되는 상기 내부출력선; 글로벌 출력선; 상기 다수개의 페이지 버퍼들의 메인래치 데이터들을 한꺼번에 확인하는 와이어드 오어 구간에서, 상기 글로벌 출력선과 상기 내부출력선을 전기적으로 연결하는 출력스위치; 및 상기 내부출력선이 상기 메인래치 데이터에 의하여 구동되기 전에, 상기 글로벌 출력선을 프리차아지시키는 데이터선 프리차아지 회로를 구비한다.

상기와 같은 다른 기술적 과제를 달성하기 위한 본 발명의 다른 일면은 불휘발성 반도체 메모리 장치의 구동방법에 관한 것이다. 본 발명의 구동방법이 적용되는 불휘발성 반도체 메모리 장치는 대응하는 비트라인의 데이터를 프로그램하여 저장하는 다수개의 메모리셀을 포함하는 메모리셀 어레이와, 각자의 메인래치 데이터를 저장하는 다수개의 페이지 버퍼들과, 상기 페이지 버퍼들의 메인래치 데이터들 각각에 대응하여 일방향으로 구동될 수 있는 내부출력선과, 궁극적으로 상기 내부출력선의 구동에 따른 데이터를 전송하는 글로벌 출력선을 포함한다. 이와 같은 본 발명의 불휘발성 반도체 메모리 장치의 구동방법은 각각의 대응하는 비트라인의 전압을 상기 페이지 버퍼들의 메인래치 데이터에 반영하는 데이터 플립단계; 및 상기 데이터 플립단계에 의한 상기 페이지 버퍼들의 상기 메인래치 데이터를 이용하여, 상기 궁극적으로 상기 글로벌 출력선을 구동하는 와이어드 오어 단계를 구비한다. 그리고, 상기 와이어드 오어 단계는 상기 글로벌 출력선을 프리차아지 한 후에, 상기 메인래치 데이터에 대응하여 디스차아지한다.

본 발명과 본 발명의 동작상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다. 각 도면을 이해함에 있어서, 동일한 부재는 가능한 한 동일한 참조부호로 도시하고자 함에 유의해야 한다.

본 명세서에서는, 인접한 2개의 비트라인이 하나의 비트라인쌍을 이루는 구조의 실시예가 도시되고 기술된다. 그러나, 본 발명의 기술적 사상은 2개의 비트라인이 하나의 비트라인쌍을 이루는 구조의 실시예뿐만 아니라, 각 비트라인마다 별개의 칼럼 어드레스(column address)에 의하여 선택되는 구조로도 실현될 수 있음은 당업자에게는 자명하다. 그러므로, 본 명세서에서는, 쌍을 이루는 2개의 비트라인 즉, 이본 비트라인과 오드 비트라인은 별도로 구별되지 않고, 그냥, '비트라인'으로 통칭될 수도 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다.

도 3은 본 발명의 일 실시예에 따른 불휘발성 반도체 메모리 장치를 나타내는 도면이다. 도 3에 도시되는 바와 같이, 본 발명의 불휘발성 반도체 메모리 장치는 메모리셀 어레이(10), 페이지 버퍼 세트(200), 출력스위치(400), 데이터선 프리차이지 회로(500) 및 데이터선 래치회로(600)를 가진다.

상기 메모리셀 어레이(10)는 다수개의 비트라인들(BLe<n:1>, BLo<n:1>)을 포함하며, 대응하는 비트라인(BLe<n:1>, BLo<n:1>)의 데이터를 프로그램하여 저장하는 다수개의 메모리셀을 포함한다. 이와 같은, 상기 메모리셀 어레이(10)는 도 4에 구체적으로 도시된다.

도 4를 참조하면, 상기 메모리셀 어레이(10)는 대응하는 비트라인(BLe, BLo)에 각각 연결되는 복수개의 셀 스트링들(cell strings, STe<n:1>, STo<n:1>)로 이루어진다. 각 셀 스트링(STe<n:1>, STo<n:1>)은, 도 4에 도시되는 바와 같이, 대응하는 비트라인(BLe<n:1>, BLo<n:1>)에 연결되는 스트링 선택 트랜지스터(string selecting transistor, SST), 공통 소스 라인(common source line, CSL)에 연결되는 그라운드 선택 트랜지스터(ground selecting transistor, GST), 그리고, 상기 스트링 선택 트랜지스터(SST)와 상기 그라운드 선택 트랜지스터(GST) 사이에 직렬로 연결되는 메모리셀(MC)들로 구성된다. 그리고, 상기 비트라인(BLe<n:1>, BLo<n:1>)들은 페이지 버퍼 세트(200)에 전기적으로 연결된다.

상기 메모리셀들(MC)은 소오스, 드레인, 플로팅 게이트(floating gate) 및 제어 게이트(control gate)를 갖는 플로팅 게이트 트랜지스터로 구현된다. 상기 메모리셀(MC)들은, 잘 알려진 바와 같이, 채널 핫일렉트론(Channel Hot Electron, 이하, 'CHE'라 함) 또는 파울러-노드하임(Fowler-Nordheim, 이하, 'F-N'이라 함) 터널링 현상을 이용하여, 프로그램이 수행된다. 이때, 상기 메모리셀(MC)들은, 각자의 비트라인(BLe<n:1>, BLo<n:1>)의 전압레벨에 대응하는 데이터를 프로그램한다.

다시 도 3을 참조하면, 상기 페이지 버퍼 세트(200)는 대응하는 비트라인쌍(BLe<n:1>, BLo<n:1>)마다 배치되는 다수개의 페이지 버퍼(PBN<n:1>)들을 포함한다. 상기 페이지 버퍼(PBN<n:1>)들은 연결관계에서만 차이가 있을 뿐이며, 모두 동일한 구조로 구현될 수 있다. 따라서, 본 명세서에서는, 상기 페이지 버퍼(PBN<n:1>)들을 구별하지 않고, 첨자를 생략한 하나의 페이지 버퍼(PBN)에 대해서만 기술한다. 또한, 상기 비트라인쌍(BLe<n:1>, BLo<n:1>)에 대해서도 첨자가 생략된다.

도 5는 도 3의 페이지 버퍼(PBN)를 구체적으로 나타내는 회로도이다. 상기 페이지 버퍼(PBN)는 대응하는 각자의 비트라인(BLe, BLo)과 송수신되는 데이터를 소정의 메인래치노드(NLAM)에 저장한다. 본 명세서에서, 상기 메인래치노드(NLAM)의 데이터는 '메인래치 데이터(MLD)'로 불린다. 도 5를 참조하면, 상기 페이지 버퍼(PBN)는 비트라인 바이어스 블락(210), 비트라인 차단블락(220), 프리차이지 블락(230), 메인래치블락(250) 및 출력 드라이버(260)를 포함한다.

상기 비트라인 바이어스 블락(210)은 쌍을 이루는 2개의 비트라인(BLe, BLo) 중의 어느하나를 선택하며, 바이어스 전압을 제어한다. 상기 비트라인 차단블락(220)은 상기 비트라인(BLe, BLo)과 상기 센싱노드(NSEN)의 연결을 제어한다. 상기 프리차이지 블락(240)은, 소정의 센싱 프리차이지 신호(/PRSEN)에 응답하여, 상기 메인래치블락(250)의 상기 센싱노드(NSEN)을 전원전압(VCC)로 프리차이지한다.

상기 비트라인 바이어스 블락(210), 비트라인 차단블락(220), 프리차이지 블락(230)의 구성 및 작용은, 도 5를 참조하여, 당업자에게 용이하게 이해될 수 있으므로, 본 명세서에서는, 그에 대한 구체적인 기술은 생략된다.

상기 메인래치블락(250)은 소정의 메인래치노드(NLAM)를 포함한다. 상기 메인래치노드(NLAM)에 저장되는 상기 '메인래치 데이터(MLD)'는 다양한 방법으로 제공될 수 있다. 본 실시예에서는, 상기 '메인래치 데이터(MLD)'의 논리상태는, 데이터 프로그램시에, 응답전송노드(NCPA)의 전압상태에 의하여, 제어된다. 이때, 상기 '응답전송노드(NCPA)'의 전압상태는 '입력데이터'에 대응하는 논리상태를 가지는 '캐쉬래치데이터(CLD)'에 의하여 결정된다. 결국, 상기 '메인래치 데이터(MLD)'의 논리상태는, 데이터 프로그램시에, 상기 입력데이터를 반영하여 결정되게 된다.

정리하면, 대응하는 상기 비트라인(BLe, BLo)이 프로그램 가능상태 즉, 접지전압(VSS)로 제어하고자 하는 경우에는, 상기 '메인래치데이터(MLD)'는 논리"H"로 된다. 그리고, 대응하는 상기 비트라인(BLe, BLo)이 프로그램 금지상태로 제어하고자 하는 경우에는, 상기 '메인래치데이터(MLD)'는 논리"L"로 된다.

상기 출력 드라이버(260)는 상기 '메인래치 데이터(MLD)'에 대응하여, 내부출력선(IDOUT)을 일방향으로 드라이빙한다. 즉, 상기 내부출력선(IDOUT)은 논리 "H"의 상기 '메인래치 데이터(MLD)'에 의하여 출력 드라이빙 전압(VODR)(본 실시예에서는, 접지전압(VSS)임)으로 드라이빙된다.

그리고, 상기 내부출력선(IDOUT)의 데이터는, 상기 출력스위치(400, 도 3 참조)를 통하여, 궁극적으로 외부에 제공된다. 이때, 상기 내부출력선(IDOUT)은, 외부로부터 상기 메인래치노드(NLAM)까지의 입력데이터의 전송경로와는, 전기적으로 분리된다. 따라서, 상기 '메인래치 데이터(MLD)'의 논리상태는 상기 내부출력선(IDOUT)의 전압레벨에 의한 영향이 배제된다.

좀더 자세히 기술하면, 상기 내부출력선(IDOUT)은 자신과 연결되는 다수개의 페이지 버퍼들(PBN<n:1>, 도 3 참조)의 상기 '메인래치 데이터(MLD)'들 각각에 의하여 구동된다. 그러므로, 상기 페이지 버퍼들(PBN<n:1>)의 상기 '메인래치 데이터(MLD)'들 중의 어느하나가 자신에 대응하는 상기 메모리셀이 프로그램 불량임을 나타내는 논리상태(본 실시예에서는, 논리"H")인 경우에는, 나머지 상기 페이지 버퍼들(PBN<n:1>)의 상기 '메인래치 데이터(MLD)'의 논리상태가 모두 "L"라 하더라도, 상기 내부출력선(IDOUT) 궁극적으로는 상기 글로벌 출력선(GDOUT)이 상기 출력 드라이빙 전압(VODR)으로 구동된다.

즉, 상기 내부출력선(IDOUT)은 와이어드 오어 구간에서, 상기 프로그램 불량임을 나타내는 논리상태의 상기 메인래치 데이터(MLD)에 따라 구동된다.

따라서, 본 발명의 페이지 버퍼(PBN)를 포함하는 불휘발성 반도체 메모리 장치는, 상기 출력 드라이버(260)에 의하여, 와이어드 오어(wired 'or') 구조로 구현될 수 있다. 즉, 선택되는 메모리셀(MC)의 프로그램을 확인하는 프로그램 확인독출에서, 상기 다수개의 페이지 버퍼들(PBN<n:1>)의 상기 '메인래치 데이터(MLD)'를 동시에 이용하여, 한번의 확인독출을 수행함으로써, 상기 다수개의 페이지 버퍼들(PBN<n:1>)과 연결되는 메모리셀의 프로그램 불량여부가 확인될 수 있다. 본 명세서에서, 상기 다수개의 페이지 버퍼들(PBN<n:1>)의 상기 '메인래치 데이터(MLD)'를 동시에 이용하여, 한번의 확인독출을 수행하는 동작은 '와이어드 오어 동작'으로 불릴 수 있다. 그리고, 이러한 '와이어드 오어 동작'이 수행되는 구간은 '와이어드 오어 구간'으로 불릴 수 있다.

그러므로, 본 발명의 불휘발성 반도체 메모리 장치는 와이어드 오어(wired 'or') 구조로 구현될 수 있으므로, 프로그램 확인독출에 소요되는 시간이 현저히 감소된다.

계속 도 5를 참조하여, 상기 메인래치블락(250) 및 상기 출력 드라이버(260)가 자세히 기술된다.

상기 메인래치블락(250)에는, 상기 센싱노드(NSEN), 메인래치부(251), 캐쉬덤핑부(256), 센싱응답부(257) 및 버퍼선택부(259)가 포함된다. 상기 센싱노드(NSEN)는 상기 비트라인(BLe, BLo)으로부터 제공되는 데이터를 수신하기 위한 것으로서, 비트라인 차단블락(220)을 통하여 비트라인(BLe, BLo)과 전기적으로 연결된다.

상기 메인래치부(251)는 상기 메인래치노드(NLAM)를 포함하며, 상기 응답전송노드(NCPA)의 상태에 대응하는 데이터를 상기 '메인래치 데이터(MLD)'로 저장한다.

그리고, 상기 캐쉬덤핑부(256)는 소정의 덤프제어신호(DUM)에 응답하며, 상기 '캐쉬래치데이터(CLD)'에 따라 소정의 캐쉬구동전압(VCADR)을 상기 응답전송노드(NCPA)로 제공한다.

상기 센싱응답부(257)는 상기 센싱노드(NSEN) 및 소정의 독출래치신호(RLAT)에 응답하여, 상기 응답전송노드(NCPA)에 센싱응답전압(본 실시예에서는, 접지전압(VSS)임)을 제공한다. 상기 버퍼선택부(259)은, 상기 '메인래치 데이터(MLD)'에 대응하는 데이터를 상기 센싱노드(NSEN)를 거쳐 궁극적으로 상기 비트라인(BLe, BLo)으로 제공한다.

한편, 상기 출력 드라이버(260)는 데이터 독출시에 상기 '메인래치 데이터(MLD)'에 대응하여, 상기 내부출력선(IDOUT)을 구동한다. 바람직하기로는, 상기 출력 드라이버(260)는 제1 출력 드라이빙 트랜지스터(261)와 제2 출력 드라이빙 트랜지스터(263)를 포함한다. 상기 제1 출력 드라이빙 트랜지스터(261)는 상기 '메인래치 데이터(MLD)'에 의하여 게이팅된다. 즉, 제1 출력 드라이빙 트랜지스터(261)는, 상기 '메인래치 데이터(MLD)'가 논리"H"일 때, 턴온(turn-on)된다. 상기 제2 출력 드라이빙 트랜지스터(263)는, 상기 메인래치 선택 어드레스(YMr)에 게이팅되어, 상기 내부출력선(IDOUT)을 상기 접지전압(VSS)으로 드라이빙한다.

그러므로, 본 실시예에 의하면, 상기 '메인래치 데이터(MLD)'가 논리"H"일 때, 상기 메인래치 선택 어드레스(YMr)의 논리"H"로의 천이에 응답하여, 상기 내부출력선(IDOUT)은 접지전압(VSS)으로 드라이빙된다.

다시 도 3을 참조하면, 본 발명의 불휘발성 반도체 메모리 장치에는, 출력스위치(400)가 포함된다. 상기 출력 스위치(400)는, 소정의 와이어드 오어링 신호(/WOREN) 및 소정의 블락디코딩 신호(/BLDEC)에 응답하여, 상기 내부출력선(IDOUT)과 상기 글로벌 출력선(GDOUT)을 전기적으로 연결한다. 여기서, 와이어드 오어링 신호(/WOREN)는, 본 발명의 불휘발성 반도체 메모리 장치에서, 하나의 내부출력선(IDOUT)에 연결되는 페이지 버퍼들로부터 제공되는 데이터를 한꺼번에 확인하는 와이어드 오어(Wired OR) 동작시에 "L"로 활성화되는 신호이다. 그리고, 상기 블락 디코딩 신호(/BLDEC)는 내부출력선(IDOUT)을 특정하는 신호이다. 즉, 상기 블락 디코딩 신호(/BLDEC)는 하나의 내부출력선(IDOUT)에 연결되는 페이지 버퍼(PBN)들(도 3에서는, 페이지 버퍼 세트(200))을 특정하는 어드레스 신호이다.

그러므로, 상기 출력 스위치(400)는, 상기 와이어드 오어 구간이거나, 상기 블락디코딩 신호(/BLDEC)에 의하여 상기 페이지 버퍼 세트(200)가 선택될 때, 상기 내부출력선(IDOUT)과 상기 글로벌 출력선(GDOUT)을 전기적으로 연결한다.

도 6은 도 3의 출력스위치(400)를 구체적으로 나타내는 도면이다. 도 6을 참조하면, 상기 출력스위치(400)는 스위치 논리 게이트(410)와 스위치 트랜지스터(420)를 포함한다. 상기 스위치 논리 게이트(410)는 상기 블락디코딩 신호(/BLDEC)와 상기 와이어드 오어링 신호(/WOREN)를 논리곱하여, 상기 스위치 트랜지스터(420)를 제어하는 스위치 제어신호(SW)를 발생한다.

상기 스위치 트랜지스터(420)는, 상기 블락디코딩 신호(BLDEC) 또는 상기 와이어드 오어링 신호(/WOREN)가 "L"로 활성화할 때, 상기 내부출력선(IDOUT)의 데이터를 상기 글로벌 출력선(GDOUT)으로 제공한다.

다시 도 3을 참조하면, 본 발명의 불휘발성 반도체 메모리 장치에는, 데이터선 제어회로(500)가 포함된다. 상기 데이터선 제어회로(500)는, 상기 와이어드 오어 구간에서, 상기 글로벌 출력선(GDOUT)을 디스차아지시킨 후, 상기 글로벌 출력선(GDOUT)에 소정의 '차아지 전류'를 일정시간동안 계속적으로 차아지되도록 제어된다.

도 7은 도 3의 데이터선 프리차아지 회로(500)를 구체적으로 나타내는 도면이다. 도 8은 도7의 주요노드 및 주요신호의 타이밍도로서, '와이어드 오어 동작' 중의 타이밍도이다. 도 7을 참조하면, 상기 데이터선 프리차아지 회로(500)는 데이터선 프리차아지부(510)를 구비한다.

상기 데이터선 프리차아지부(510)는 상기 '와이어드 오어 동작'을 위하여, 상기 글로벌 출력선(GDOUT)을 프리차아지하도록 제어된다. 본 실시예에서, 상기 디스차아지되는 상기 글로벌 출력선(GDOUT)은 전원전압(VCC)으로 제어된다. 바람직하기로는, 상기 데이터선 프리차아지부(510)는 소정의 데이터선 프리차아지 신호(/DLLPM)에 응답하여, 상기 글로벌 출력선(GDOUT)을 프리차아지시키는 제1 피모스 트랜지스터(510a)를 포함한다.

한편, 상기 데이터선 프리차아지 신호(/DLLPM)는 '데이터선 프리차아지 구간(T1, 도 8 참조)'에서 "L"로 제어된다. 이때, 상기 '데이터선 프리차아지 구간(T1)'에서, 상기 글로벌 출력선(GDOUT)이 전원전압(VCC)으로 프리차아지된다.

그리고, 상기 데이터선 프리차아지 신호(/DLLPM)는 '데이터선 디스차아지 구간(T2, 도 8 참조)'에서 "H"로 된다. 그리고, 상기 글로벌 출력선(GDOUT)은, 상기 페이지 버퍼(PBN)의 상기 '메인래치 데이터(MLD)'에 대응하여, 접지전압(VSS) 또는 전원전압(VCC)를 가진다.

바람직하기로는, 상기 데이터선 프리차아지 회로(500)는 로드 공급부(520)를 더 구비한다. 상기 로드 공급부(520)는, 상기 내부출력선(IDOUT)이 상기 메인래치 데이터(MLD)에 대응하여 구동되는 동안에, 상기 글로벌 출력선(GDOUT)에 소정의 '차아지 전류(ICC)'를 공급한다. 바람직하기로는, 상기 로드 공급부(210)는 소정의 데이터선 로딩신호(/DLLPS)에 응답하여 게이팅되는 제2 피모스 트랜지스터(520a)를 포함한다. 이와 같이, 상기 로드 공급부(520)에 의하여, 상기 글로벌 출력선(GDOUT)에 상기 '차아지 전류(ICC)'가 공급됨으로써, 상기 글로벌 출력선(GDOUT)에 발생될 수 있는 누설전류에 따른 영향이 보상될 수 있다. 이 경우, 상기 제2 피모스 트랜지스터(520a)의 전기전도성은 상기 제1 피모스 트랜지스터(510a) 보다 현저히 작은 값을 가진다.

정리하면, 본 발명의 불휘발성 반도체 메모리 장치의 '와이어드 오어 동작'은, 도 8에 도시되는 바와 같이, 상기 글로벌 출력선(GDOUT)을 전원전압(VCC)으로 프리차아지하는 데이터선 프리차아지 구간(T1)이 먼저 진행된다. 이어서, 상기 페이지 버퍼(PBN)의 상기 메인래치 데이터(MLD)에 대응하여, 상기 프리차아지되는 상기 글로벌 출력선(GDOUT)을 디스차아지하는 데이터선 디스차아지 구간(T2)이 진행된다.

즉, 본 발명의 불휘발성 반도체 메모리 장치의 '와이어드 오어 동작'은, 상기 글로벌 데이터선(GDOUT)'을 먼저 프리차아지한 후, 상기 메인래치블락(250, 도 5 참조)의 상기 '메인래치데이터(MLD)'에 대응하여 다시 상기 '글로벌 출력선(GDOUT)'을 디스차아지하는 방식(본 명세서에서는, '로드 프리차아지 방식'이라 함)으로 수행된다.

다시 도 3을 참조하면, 본 발명의 불휘발성 반도체 메모리 장치에는, 데이터선 래치회로(600)가 포함된다. 상기 데이터선 래치회로(600)는, 상기 글로벌 출력선(GDOUT)의 데이터를 래치하며, 상기 글로벌 출력선(GDOUT)의 데이터를 소정의 공통 출력선(CDOUT)으로 제공한다.

도 9는 도 3의 데이터 래치회로(600)를 자세히 나타내는 회로도이다. 도 9를 참조하면, 상기 데이터 래치회로(600)는 글로벌선 래치블락(610) 및 공통 래치블락(620)을 구비한다.

상기 글로벌선 래치블락(610)은 소정의 데이터 래치신호(DLLAT)에 응답하여, 상기 글로벌 출력선(GDOUT)의 데이터를 래치한다. 상기 데이터 래치신호(DLLAT)는, 상기 와이어드 오어 구간에서 논리 "L"가 된다. 이때, 인버터(611)가 디스에이블되므로, 상기 글로벌 출력선(GDOUT)의 래치는 해제된다. 또한, 상기 글로벌선 래치블락(610)은, 상기 와이어드 오어 링 신호(/WOREN)에 응답하여, 상기 글로벌 출력선(GDOUT)의 데이터를 소정의 공통 출력선(CDOUT)으로 제공한다. 상기 와이어드 오어 링 신호(/WOREN)는, 상기 와이어드 오어 구간에서 논리 "L"가 된다. 이때, 인버터(613)가 디스에이블되므로, 상기 글로벌 출력선(GDOUT)의 데이터의 상기 공통 출력선(CDOUT)로의 전송은 차단된다.

상기 공통 래치블락(620)은, 상기 와이어드 오어 링 신호(/WOREN)에 응답하여, 상기 공통 출력선(CDOUT)의 데이터를 래치한다. 상기 와이어드 오어 구간에서 전송게이트(621)가 턴온된다. 이때, 상기 공통 래치블락(620)은 인에이블되어서, 상기 공통 출력선(CDOUT)의 데이터를 래치한다.

계속하여, 본 발명의 불휘발성 반도체 메모리 장치에서의 프로그램 확인독출 동작이 기술된다.

도 10은 본 발명의 불휘발성 반도체 메모리 장치에서의 확인독출 동작에서의 주요신호 및 주요노드의 타이밍도로서, 프로그램이 "패스(pass)"인 경우의 타이밍도이다. 그리고, 도 11은 도 10의 확인독출 동작에 따른 데이터의 흐름을 설명하기 위한 도면이다.

도 10을 참조하면, 데이터 인출구간(P1A)에서, 센싱 프리차아지 신호(/PRSEN)가 "L"로 되면, 상기 센싱노드(NSEN)는 전원전압(VCC)으로 프리차아지된다. 이때, 상기 '메인래치 데이터(MLD)'는 논리"H"이다. 그리고, 선택되는 메모리셀에 대한 프로그램이 '패스' 상태이므로, 상기 비트라인(BLe, BLo)은 거의 유지한다.

이후, 데이터플립 구간(P1B)에서, 상기 비트라인 차단신호(BLSHF)가 "H"로 되더라도, 상기 센싱노드(NSEN)는 거의 전원전압(VCC)을 유지한다. 이때, 독출래치신호(RLAT) 및 메인래치 셋팅신호(MLSET)가 "H"로 되면, 상기 메인래치노드(NLAM)가 "H"에서 "L"로 플립된다(도 11의 ① 참조). 이후, 상기 노드(N302)가 "L"로 되더라도, 상기 내부출력선(IDOUT)은 접지전압(VSS)로 구동되지 않는다(도 11의 ② 참조).

계속하여, 와이어드 오어 구간(P1C)에서, 상기 와이어드 오어링 신호(/WOREN)가 "L"로 된다. 이때, 상기 글로벌출력선(GDOUT)이 상기 내부출력선(IDOUT)과 연결되더라도, 상기 글로벌출력선(GDOUT)은 프리차아지된 논리"H" 상태를 그대로 유지한다. 이와 같이, 상기 글로벌 출력선(GDOUT)의 논리"H"가 확인됨으로써, 프로그램하고자 하는 모든 메모리셀(MC)에 대한 프로그램 수행이 "패스"임이 확인된다.

이어서, 프로그램이 불량(fail)인 경우의 확인독출이 기술된다. 도 12는 본 발명의 불휘발성 반도체 메모리 장치에서의 확인독출 동작에서의 주요신호 및 주요노드의 타이밍도로서, 프로그램이 "불량(fail)"인 경우의 타이밍도이다. 그리고, 도 13은 도 12의 확인독출 동작에 따른 데이터의 흐름을 설명하기 위한 도면이다.

도 12를 참조하면, 데이터 인출구간(P6A)에서, 상기 센싱노드(NSEN)는 전원전압(VCC)으로 프리차아지되며, 이때, 상기 '메인래치 데이터(MLD)'는 논리"H"이다. 그리고, 선택되는 메모리셀에 대한 프로그램이 '불량' 상태이므로, 상기 비트라인(BLe, BLo)은 접지전압(VSS)과 전류패스(path)를 형성한다.

이후, 데이터플립 구간(P6B)에서, 상기 비트라인 차단신호(BLSHF)가 "H"로 되면, 상기 센싱노드(NSEN)는 접지전압(VSS)으로 된다. 이때, 상기 독출래치신호(RLAT) 및 상기 메인래치 셋팅신호(MLSET)가 "H"로 되더라도, 상기 메인래치 노드(NLAM)는 플립되지 않고, "H"를 유지한다(도 13의 ① 참조). 이후, 상기 노드(N302)가 "L"로 되면, 상기 내부출력선(IDOUT)은 접지전압(VSS)로 구동된다.

계속하여, 와이어드 오어 구간(P1C)에서, 상기 와이어드 오어링 신호(/WOREN)가 "L"로 되면, 상기 글로벌출력선(GDOUT)은 프리차아지된 논리 "H"상태에서 논리"L"상태로 제어된다. 이와 같이, 상기 글로벌 출력선(GDOUT)의 논리 "L"가 확인됨으로써, 프로그램하고자 하는 모든 메모리셀(MC)들 적어도 어느하나에 대한 프로그램 수행이 "불량"임이 확인된다.

이와 같이, 본 발명의 불휘발성 반도체 메모리 장치에서의 프로그램 확인독출은 다수개의 프로그램된 메모리셀의 데이터를 한꺼번에 확인하는 와이어드 오어 방식으로 구현될 수 있다. 그러므로, 본 발명의 불휘발성 반도체 메모리 장치에서는, 프로그램 확인독출에 소요되는 시간이 현저히 감소될 수 있다.

본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 예를 들면, 본 명세서에서는, 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상기와 같은 본 발명의 불휘발성 반도체 메모리 장치는 내부출력선과 데이터선 프리차아지 회로를 구비한다. 상기 내부출력선은, 페이지 버퍼들 각각의 출력 드라이버에 의하여, 구동될 수 있다. 이때, 상기 내부출력선은 상기 페이지 버퍼들의 메인래치 데이터들 중의 어느하나가 논리 "H"이면, 나머지 상기 페이지 버퍼들의 메인래치 데이터의 논리상태에 관계없이 접지전압으로 구동된다. 그리고, 상기 데이터선 프리차아지 회로는 상기 내부출력선이 상기 메인래치 데이터에 의하여 구동되기 전에, 상기 글로벌 출력선을 프리차아지시킨다. 상기와 같은 본 발명의 불휘발성 반도체 메모리 장치에 의하면, '와이어드 오어(wired 'or')' 방식으로 프로그램 확인독출이 가능하다. 그러므로, 본 발명의 불휘발성 반도체 메모리 장치 및 이에 대한 구동방법에 의하면, 프로그램 확인독출에 소요되는 시간이 현저히 감소된다.

도면의 간단한 설명

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 불휘발성 반도체 메모리 장치를 나타내는 도면이다.

도 2는 도 1의 페이지 버퍼들 중의 하나와 대응하는 열게이트를 대표적으로 나타내는 도면이다.

도 3은 본 발명의 일실시예에 따른 불휘발성 반도체 메모리 장치를 나타내는 도면이다.

도 4는 도 3의 메모리셀 어레이를 나타내는 도면이다.

도 5는 도 3의 페이지 버퍼를 구체적으로 나타내는 회로도이다.

도 6은 도 3의 출력스위치를 구체적으로 나타내는 도면이다.

도 7은 도 3의 데이터선 프리차이지 회로를 구체적으로 나타내는 도면이다. 도 8은 도7의 주요노드 및 주요신호의 타이밍도로서, '와이어드 오어 동작' 중의 타이밍도이다.

도 9는 도 3의 데이터 래치회로를 자세히 나타내는 회로도이다.

도 10은 본 발명의 불휘발성 반도체 메모리 장치에서의 확인독출 동작에서의 주요신호 및 주요노드의 타이밍도로서, 프로그램이 "패스(pass)"인 경우의 타이밍도이다. 도 11은 도 10의 확인독출 동작에 따른 데이터의 흐름을 설명하기 위한 도면이다.

도 12는 본 발명의 불휘발성 반도체 메모리 장치에서의 확인독출 동작에서의 주요신호 및 주요노드의 타이밍도로서, 프로그램이 "불량(fail)"인 경우의 타이밍도이다. 도 13은 도 12의 확인독출 동작에 따른 데이터의 흐름을 설명하기 위한 도면이다.

* 도면의 주요부분에 대한 부호의 설명 *

PBN: 페이지 버퍼 200: 페이지 버퍼 세트

BLe, BLo: 비트라인

/BLDEC: 블락디코딩 신호 /WOREN: 와이어드 오어링 신호

GDOUT: 글로벌 출력선 IDOUT: 내부출력선

CDOUT: 공통 출력선

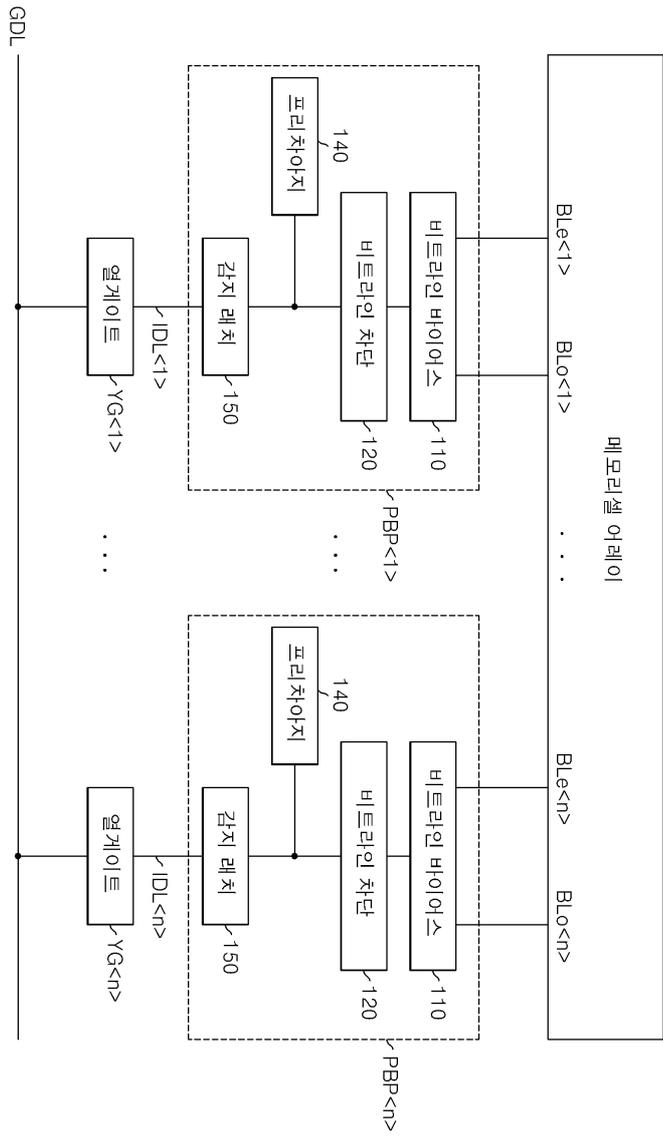
NLAM: 메인래치노드 MLD: 메인래치 데이터

VODR:출력 드라이빙 전압 VCADR:캐쉬구동전압

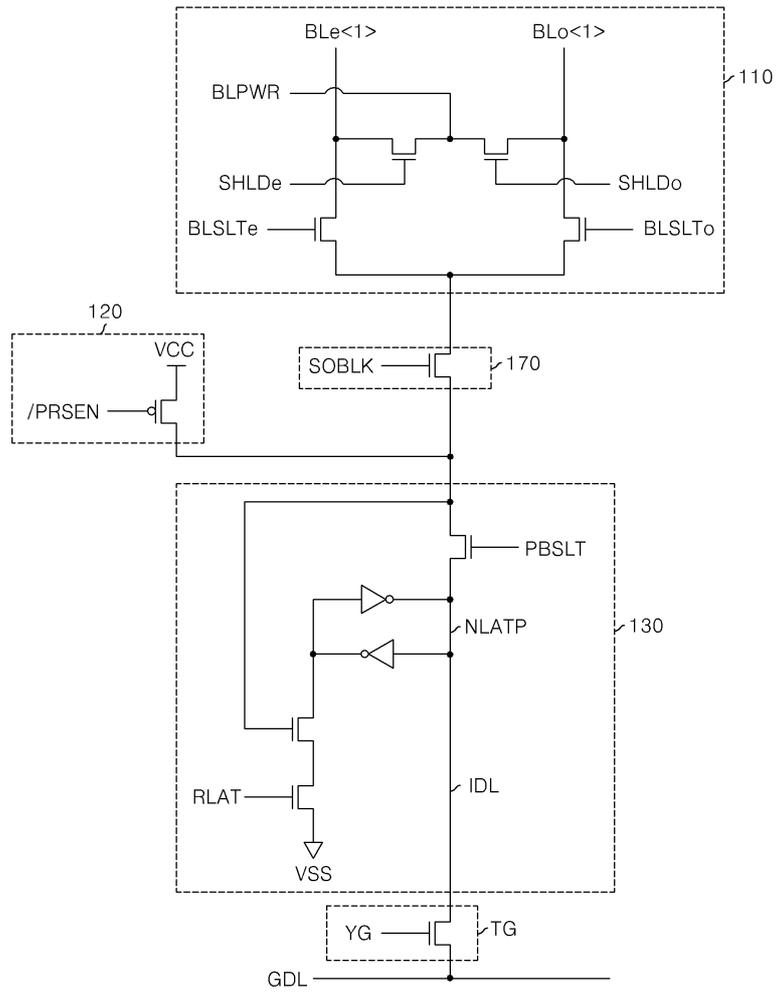
NSEN: 센싱노드

도면

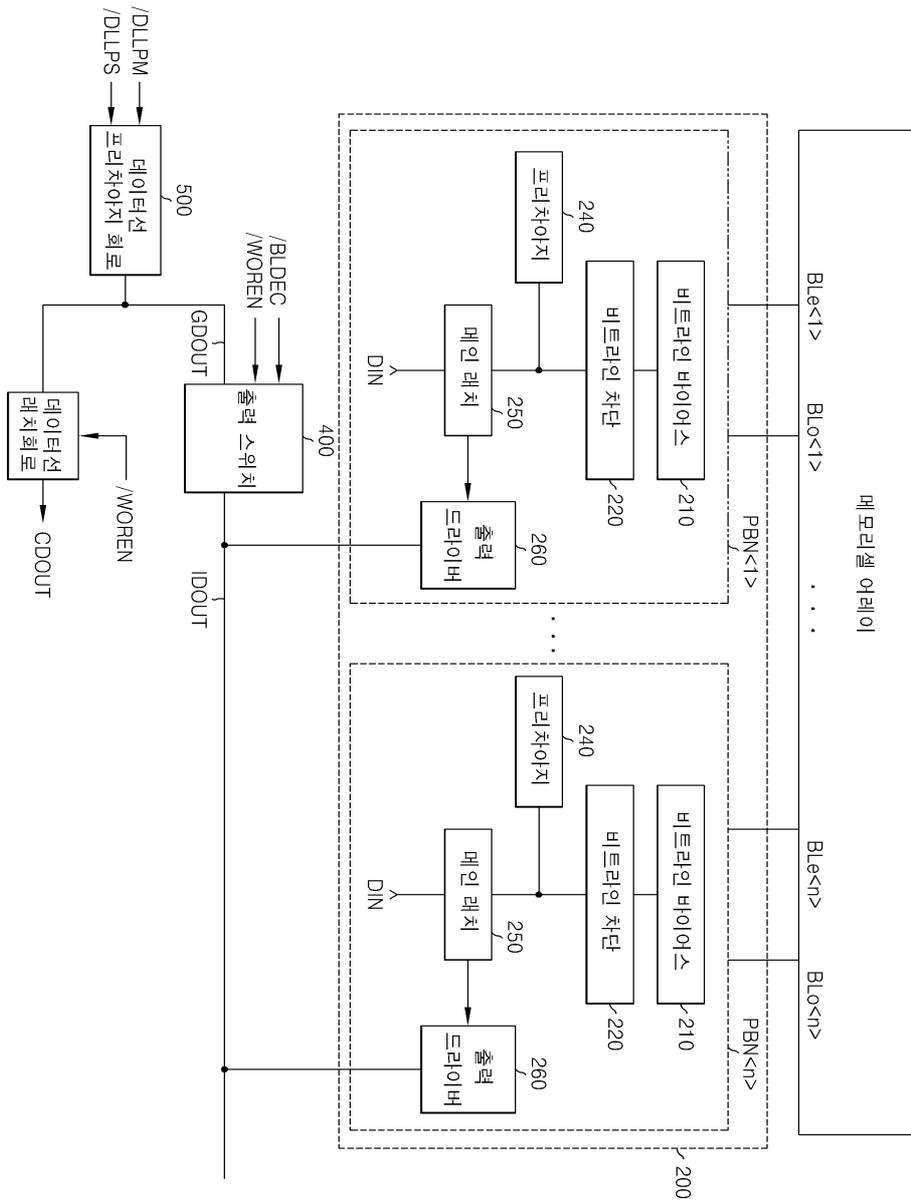
도면1



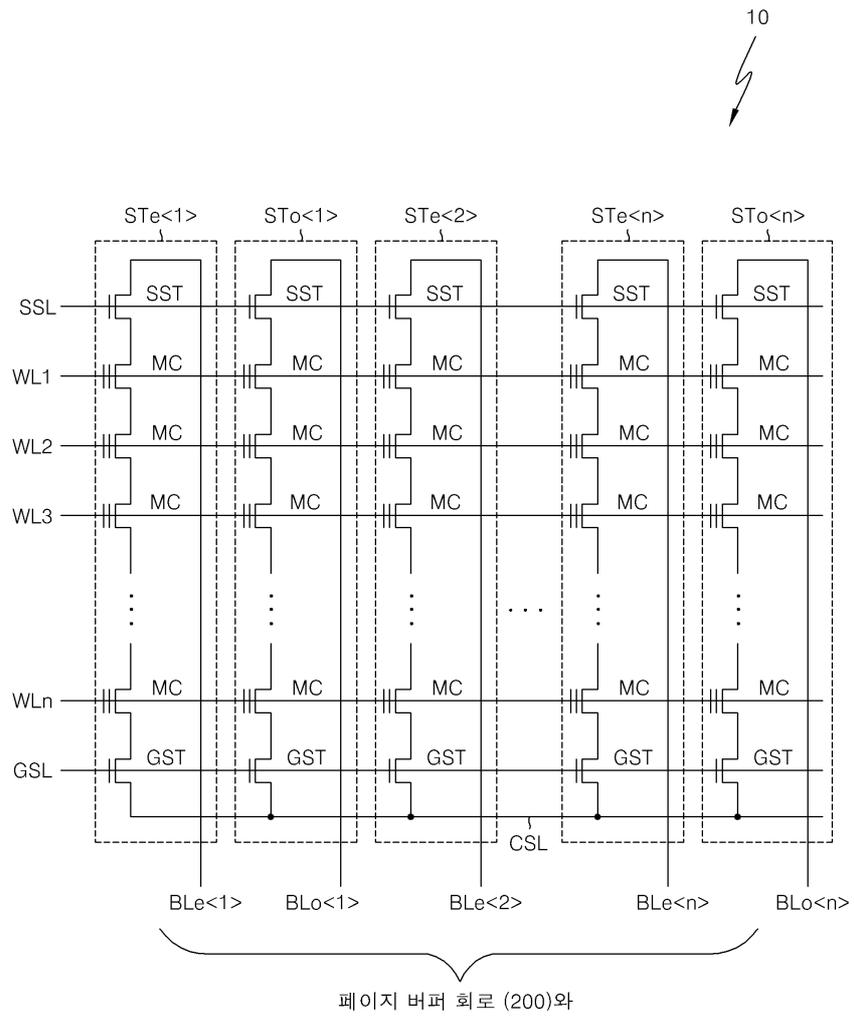
도면2



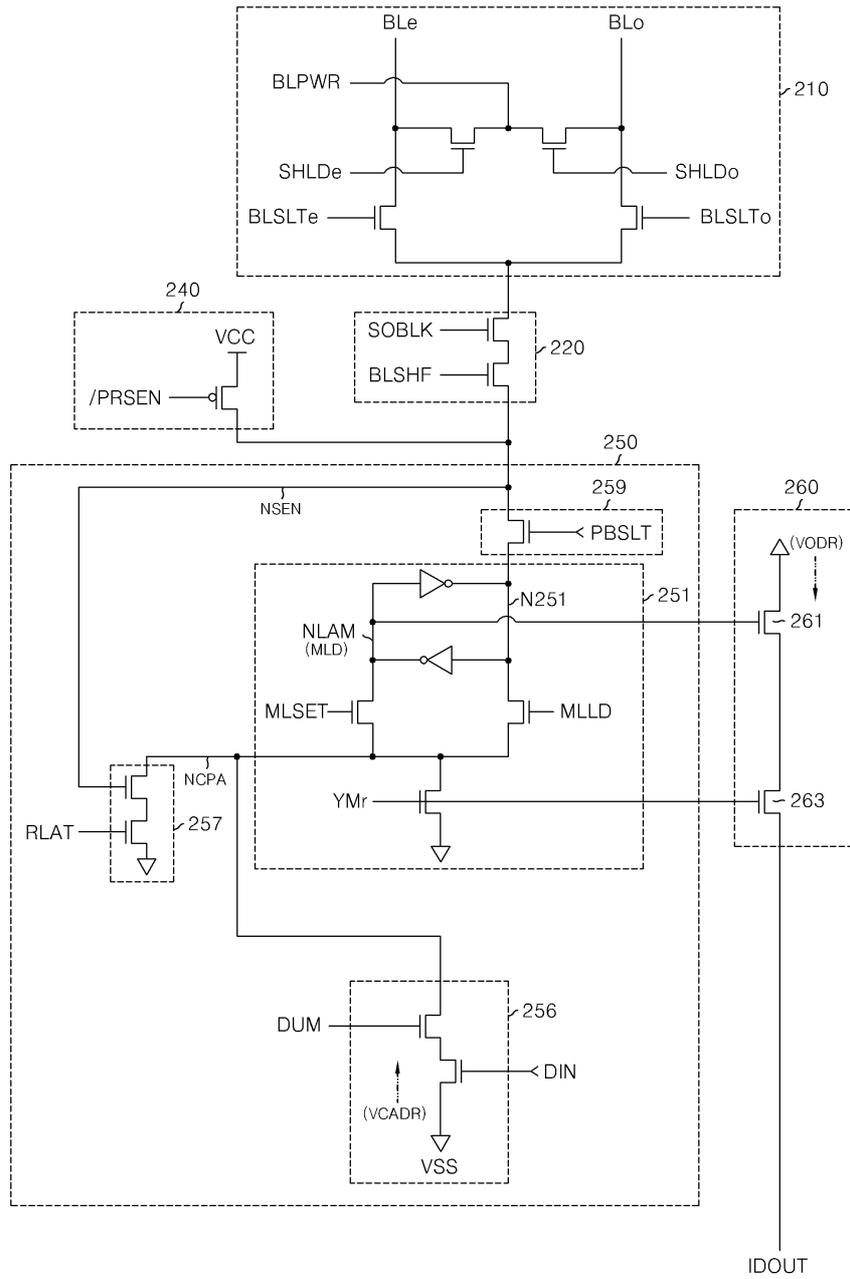
도면3



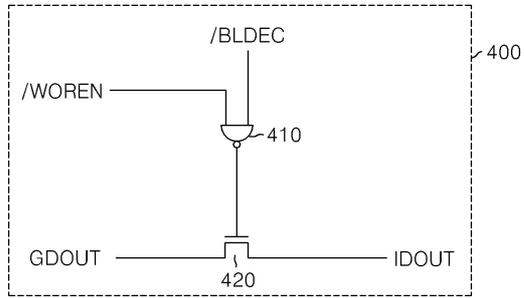
도면4



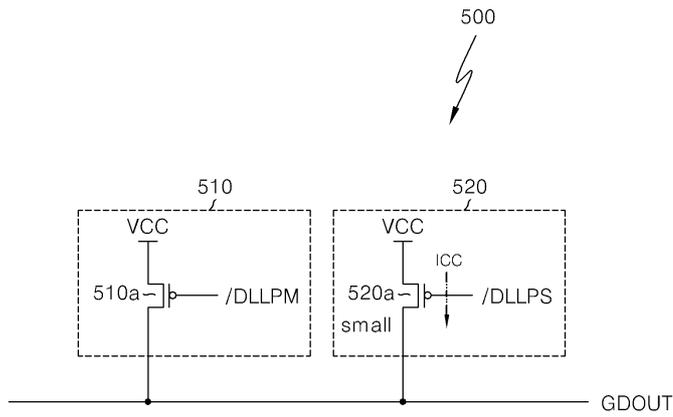
도면5



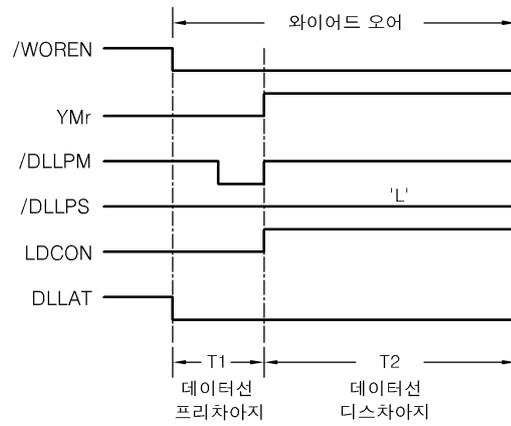
도면6



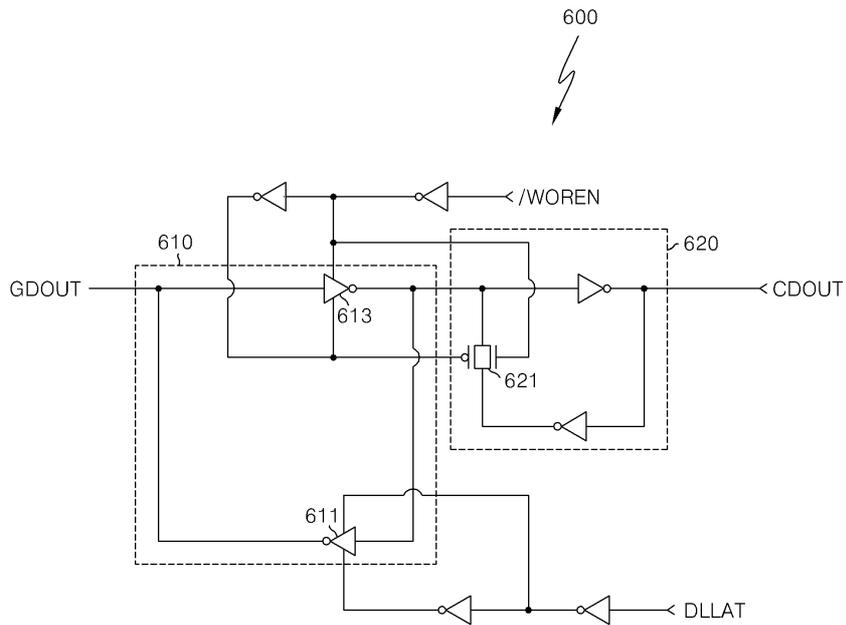
도면7



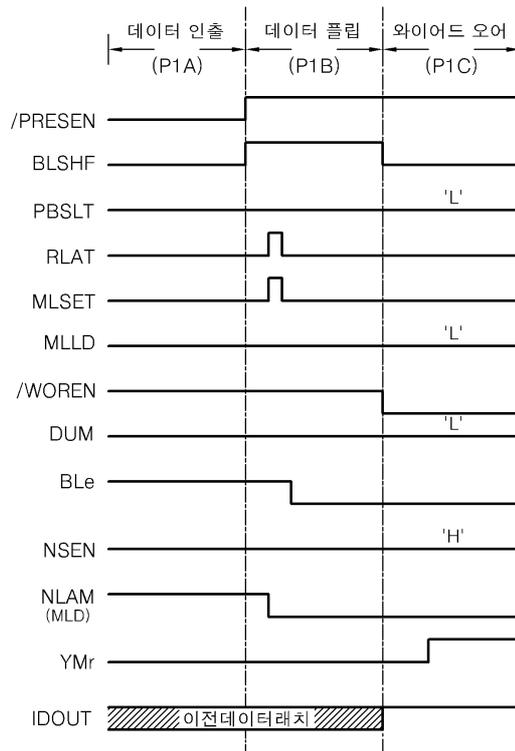
도면8



도면9

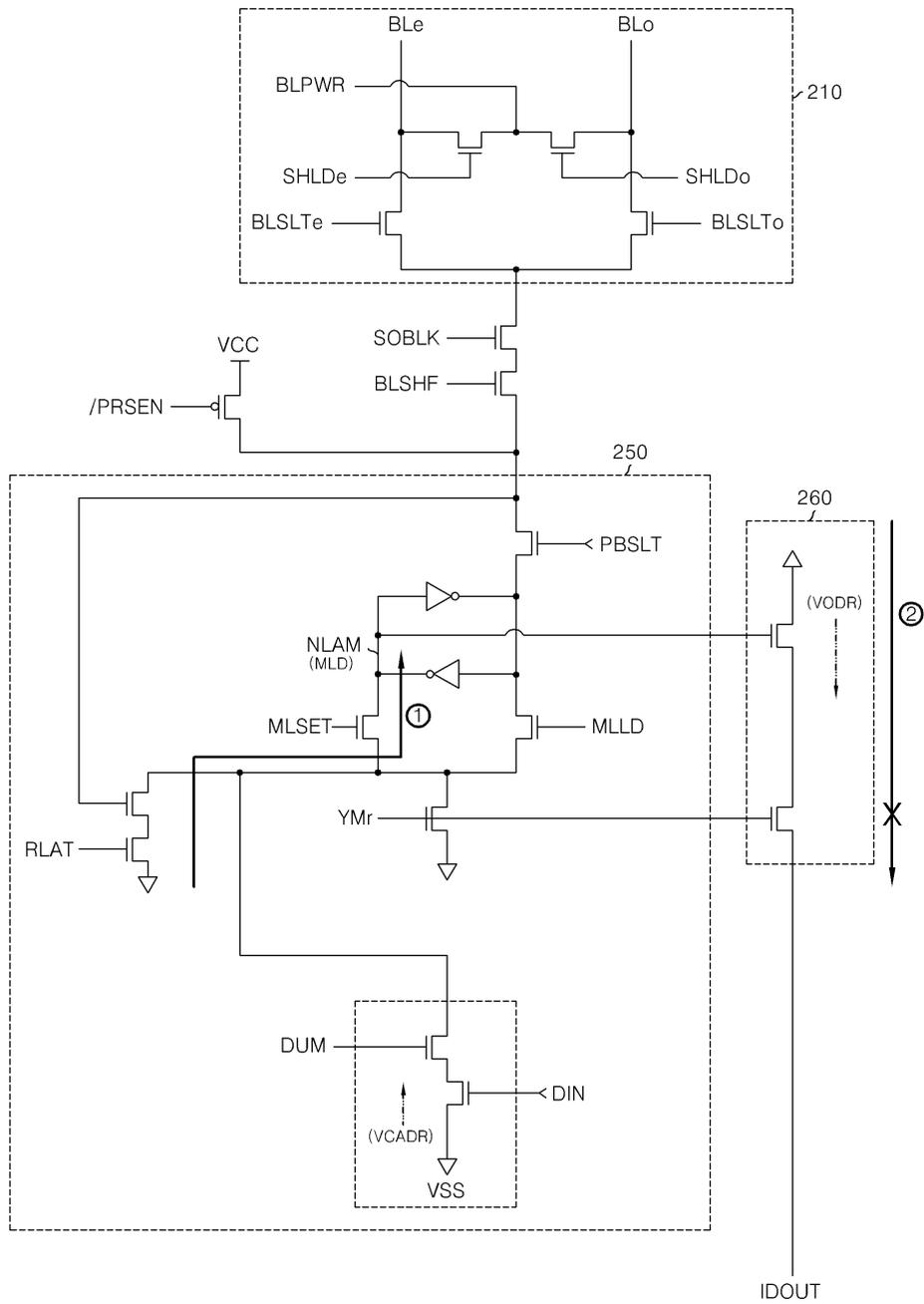


도면10

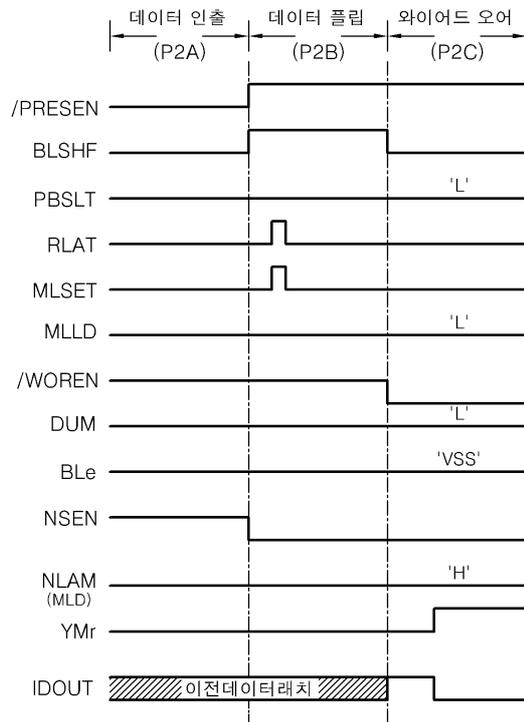


(프로그램 Pass인 경우)

도면11



도면12



(프로그램 Fail인 경우)

