



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I692030 B

(45) 公告日：中華民國 109 (2020) 年 04 月 21 日

(21) 申請案號：105137404 (22) 申請日：中華民國 105 (2016) 年 11 月 16 日

(51) Int. Cl. : *H01L21/311 (2006.01)* *H01L21/56 (2006.01)*  
*H01L21/768 (2006.01)* *H01L23/31 (2006.01)*  
*H01L23/538 (2006.01)* *H01L25/065 (2006.01)*

(30) 優先權：2015/11/17 美國 62/256,686  
2015/12/08 美國 62/264,847

(71) 申請人：南韓商 N E P E S 股份有限公司 (南韓) NEPES CO., LTD. (KR)  
南韓

(72) 發明人：朴潤默 PARK, YUNMOOK (KR)

(74) 代理人：葉璟宗；卓俊傑

(56) 參考文獻：

TW	201349402A	TW	201419465A
TW	201426928A	TW	201501223A
TW	201517186A		

審查人員：唐之凱

申請專利範圍項數：20 項 圖式數：27 共 48 頁

(54) 名稱

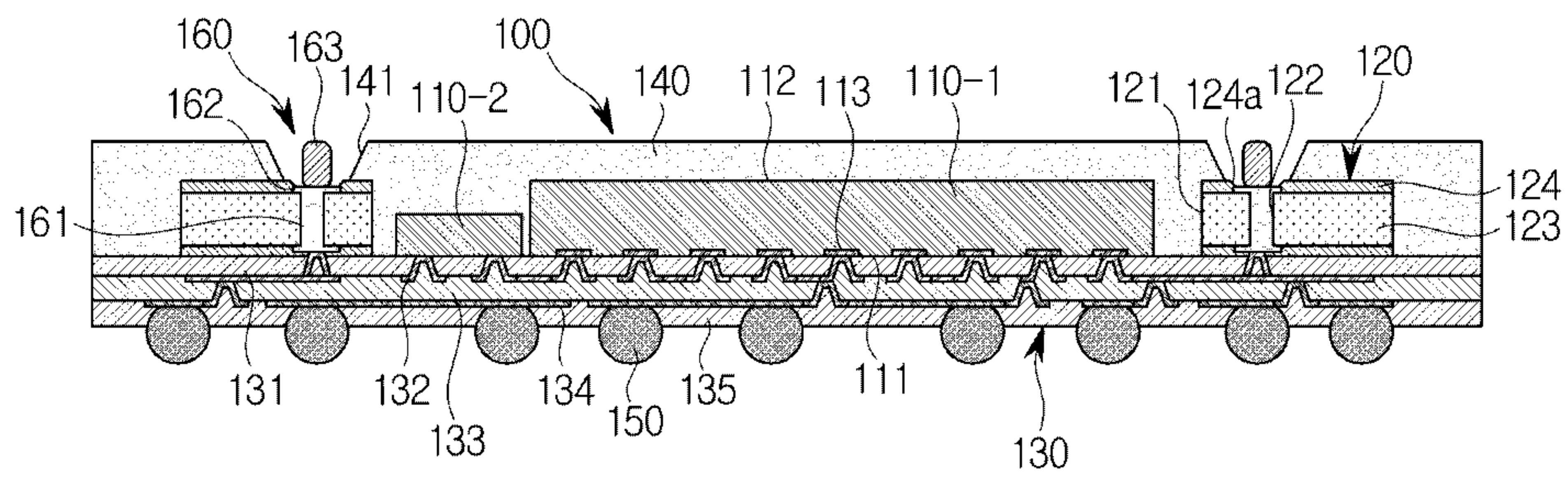
半導體封裝件及其製造方法

(57) 摘要

公開了一種包括導電插塞的半導體封裝件以及製造方法。半導體封裝件包括：框架，具有容納部，並被構造成通過設置在容納部周圍的導電插塞在其上部與下部之間傳輸電訊號；一個或更多個半導體晶片，容納在容納部中；佈線部，設置在框架和半導體晶片下方，並被構造成為將導電插塞連接到半導體晶片；包封件，被成型，以將框架和半導體晶片一體化；導電球或導電柱，連接到導電插塞的上部。

Disclosed are a semiconductor package including a through via and a method of manufacturing the same. The semiconductor package includes a frame having an accommodation part and configured to transmit an electrical signal between upper and lower portions thereof through a through via provided around the accommodation part, one or more semiconductor chips accommodated in the accommodation part, a wiring part provided below the frame and the semiconductor chips and configured to connect the through via to the semiconductor chips, an encapsulant molded to integrate the frame and the semiconductor chips, and a conductive ball or a conductive post connected to an upper portion of the through via.

指定代表圖：



【圖1】

符號簡單說明：

100:半導體封裝件

110-1:第一半導體晶片

110-2:第二半導體晶片

111:有源表面

112:非有源表面

113:訊號焊盤

120:框架

121:容納部

122:過孔

123:芯層

124:保護層

124a:開口

130:佈線部

131:第一絕緣層

132:第一佈線層

133:第二絕緣層

134:第二佈線層

135:第三絕緣層

140:包封件

141:凹區域

150:外部連接端子

160:導電插塞

161:穿透部

162:連接延伸部

163:導電柱



## 公告本

106年10月26日 所提修正

申請日：105年11月16日

I692030

## 【發明摘要】

IPC分類：  
*H01L 21/311* (2006.01)  
*H01L 21/56* (2006.01)  
*H01L 21/768* (2006.01)  
*H01L 23/31* (2006.01)  
*H01L 23/538* (2006.01)  
*H01L 25/065* (2006.01)

【中文發明名稱】半導體封裝件及其製造方法

【英文發明名稱】SEMICONDUCTOR PACKAGE AND METHOD

OF MANUFACTURING THE SAME

【中文】公開了一種包括導電插塞的半導體封裝件以及製造方法。半導體封裝件包括：框架，具有容納部，並被構造成通過設置在容納部周圍的導電插塞在其上部與下部之間傳輸電訊號；一個或更多個半導體晶片，容納在容納部中；佈線部，設置在框架和半導體晶片下方，並被構造為將導電插塞連接到半導體晶片；包封件，被成型，以將框架和半導體晶片一體化；導電球或導電柱，連接到導電插塞的上部。

【英文】Disclosed are a semiconductor package including a through via and a method of manufacturing the same. The semiconductor package includes a frame having an accommodation part and configured to transmit an electrical signal between upper and lower portions thereof through a through via provided around the accommodation part, one or more semiconductor chips accommodated in the accommodation part, a wiring part provided below the frame and the semiconductor chips and configured to connect the through via to the semiconductor chips, an encapsulant molded to integrate the frame and the semiconductor chips, and a

conductive ball or a conductive post connected to an upper portion of the through via.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

100：半導體封裝件

110-1：第一半導體晶片

110-2：第二半導體晶片

111：有源表面

112：非有源表面

113：訊號焊盤

120：框架

121：容納部

122：過孔

123：芯層

124：保護層

124a：開口

130：佈線部

131：第一絕緣層

132：第一佈線層

133：第二絕緣層

134：第二佈線層

- 135：第三絕緣層
- 140：包封件
- 141：凹區域
- 150：外部連接端子
- 160：導電插塞
- 161：穿透部
- 162：連接延伸部
- 163：導電柱

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】半導體封裝件及其製造方法

【英文發明名稱】 SEMICONDUCTOR PACKAGE AND METHOD  
OF MANUFACTURING THE SAME

【技術領域】

【0001】 本發明是有關於一種半導體封裝件及其製造方法，且特別是有關於一種包括導電插塞的半導體封裝件及其製造方法。

【先前技術】

【0002】 近來，在半導體裝置中，隨著由於小型化製程技術和功能的多樣化而引起的晶片尺寸的減小和輸入端子與輸出端子的數量的增加，電極焊盤之間的節距逐漸減小，加速了各種功能的聚合，並因此已經出現了將各種裝置集成在單個封裝件中的系統級封裝件技術。另外，為了使操作之間的噪音最小化並改善訊號速率，系統級封裝件技術正在變成可保持短訊號距離的三維（3D）堆疊技術。

【0003】 同時，除了這樣的用於技術改善的需要之外，為了控制產品成本、增加產量並減少製造成本，正在引進通過堆疊多個半導體晶片形成的半導體封裝件。例如，正在採用多個半導體晶片堆疊在單個半導體封裝件中的多晶片封裝件（MCP）和不同類型的堆疊晶片作為單個系統操作的系統級封裝件（SiP）。

【0004】 雖然作為用於將諸如半導體裸片的高密度積體電路（IC）模組化的封裝件的 SiP 被應用到難以確保安裝空間的可攜式終端，但是近年來它正在以各種方式被應用到其它產品。

【0005】 以這種方式，近年來，半導體封裝件已經逐漸最小化，其厚度也已經減小。

【0006】 然而，在相關領域的層疊封裝件（PoP）中，將半導體封裝件纖薄化存在限制，難以滿足由最小化而引起的精細節距。

#### 【發明內容】

【0007】 因此，提供本發明的示例實施例以基本上解決由於相關領域的限制和缺點而導致的一個或更多個問題。

【0008】 本發明的示例實施例提供了一種能夠製造纖薄封裝件和精細節距的半導體封裝件及其製造方法。

【0009】 在一些示例實施例中，半導體封裝件包括：框架，具有容納部，並被構造成通過設置在容納部周圍的導電插塞在其上部與下部之間傳輸電訊號；一個或更多個半導體晶片，容納在容納部中；佈線部，設置在框架和半導體晶片下方，並被構造為將導電插塞連接到半導體晶片；包封件，被成型，以將框架和半導體晶片一體化；導電球，連接到導電插塞的上部，其中，框架被提供為印刷電路板（PCB），印刷電路板具有設置在其中心處的芯層和堆疊在芯層的上表面上的保護層，導電插塞包括填充穿過框架的過孔的穿透部和被構造為從穿透部的上部沿芯層的上表面延伸

到穿透部的外側的連接延伸部，保護層具有形成為暴露連接延伸部的開口。

【0010】 容納部可以形成在框架的中心處，過孔可以被設置為多個，多個過孔可以設置在容納部的周圍，導電球可以連接到連接延伸部。

【0011】 連接延伸部可以在框架的寬度方向上延伸穿透部的剖面區域。

【0012】 框架可以被提供為 PCB，其中，上保護層和下保護層分別可以堆疊在芯層的上表面和芯層的下表面上，連接延伸部可以包括沿芯層的上表面延伸的上連接延伸部和沿芯層的下表面延伸的下連接延伸部，其中，上保護層可以具有形成為暴露上連接延伸部的開口，下保護層可以具有形成為暴露下連接延伸部的開口。

【0013】 開口可以被設置為具有比連接延伸部的面積大的面積，以容納在連接延伸部中，連接延伸部的側表面可以被開口暴露。

【0014】 包封件可以通過在導電球附近凹入而形成有凹區域，導電球的側表面可以被凹區域暴露。

【0015】 凹區域可以形成為向下被錐化，傾斜的表面可以設置在凹區域的側表面上。

【0016】 佈線部可以包括：第一絕緣層，堆疊在框架和半導體晶片的一個表面上，以暴露半導體晶片的訊號焊盤和導電插塞的一個表面；佈線層，設置在第一絕緣層上，並被構造為將半導體晶片的訊號焊盤連接到導電插塞的一個表面；第二絕緣層，被構造



為覆蓋佈線層，並使佈線層絕緣。

【0017】 另外，半導體封裝件還可以包括設置在佈線部下方的外部連接端子，以電連接到佈線層。

【0018】 另外，導電球可以包括焊球。

【0019】 另外，導電球可以具有平坦的上表面，包封件的上表面和導電球的上表面可以共面。

【0020】 另外，框架可以被設置為具有與半導體晶片的高度相同的高度或高於半導體晶片的高度。

【0021】 在其它示例實施例中，製造半導體封裝件的方法包括：設置具有形成在其中的導電插塞的框架；將導電球附著到導電插塞的一側；在第一載體上設置框架，使得導電球被設置在其上；設置半導體晶片，以容納在框架的容納部中；設置半導體晶片的有源表面，以面向下；使用包封件密封框架、半導體晶片和導電球，以集成為單個結構；去除第一載體；將包封件的一個表面設置在第二載體上；在去除第一載體的表面上形成佈線層；去除第二載體；通過研磨第二載體被去除的表面來暴露導電球。

【0022】 另外，凹區域可以被形成為通過蝕刻圍繞暴露的導電球的包封件來暴露導電球的外側表面。

### 【圖式簡單說明】

【0023】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

圖 1 是示出根據本發明的第一實施例的半導體封裝件的剖視圖。

圖 2 至圖 11 是示出根據本發明的第一實施例的製造半導體封裝件的製程的剖視圖。

圖 12 是示出根據本發明的第一實施例的層疊封裝件（PoP）的剖視圖。

圖 13 是示出根據本發明的第一實施例的第一修改實施例的半導體封裝件的剖視圖。

圖 14 是示出根據本發明的第一實施例的第二修改實施例的半導體封裝件的剖視圖。

圖 15 是示出根據本發明的第二實施例的半導體封裝件的剖視圖。

圖 16 至圖 25 是示出根據本發明的第二實施例的製造半導體封裝件的製程的剖視圖。

圖 26 是示出根據本發明的第二實施例的 PoP 的剖視圖。

圖 27 是示出根據本發明的第二實施例的修改實施例的 PoP 的剖視圖。

## 【實施方式】

【0024】在下文中，將參照附圖詳細地描述本發明的示例實施例。以下描述的示例實施例僅是示例，以將本發明的範圍更加清楚地傳達給本領域的技術人員的，而本發明不限於此。本發明可

以以其它示例實施例來實施。為了清楚地解釋本發明，附圖中省略了與描述無關的部分，為了便於解釋，可以誇大附圖中的元件的寬度、長度和厚度。貫穿該說明書，同樣的附圖標記表示同樣的元件。另外，如這裡使用的，術語“和/或”包括一個或更多個相關所列項的任何組合和所有組合。

**【0025】** 圖 1 是示出根據本發明的第一實施例的半導體封裝件 100 的剖視圖。

**【0026】** 根據本發明的第一實施例的半導體封裝件 100 可以包括：框架 120，包含導電插塞 160；一個或更多個半導體晶片 110（110-1 和 110-2），容納在框架 120 的容納部 121 中；佈線部 130，電連接到半導體晶片 110 和導電插塞 160；包封件 140，被成型，以將框架 120 和半導體晶片 110 一體化；外部連接端子 150，電連接到佈線部 130，並將半導體封裝件 100 連接到外部電路（未示出）。

**【0027】** 半導體晶片 110 可以包括第一半導體晶片 110-1 和第二半導體晶片 110-2。第一半導體晶片 110-1 可以是積體電路（IC）（或裸片），第二半導體晶片 110-2 可以是有源元件或無源元件。可選擇地，與附圖不同，根據本發明的第一實施例的半導體封裝件 100 可以僅包括單個半導體晶片。

**【0028】** 可選擇地，第一半導體晶片 110-1 和第二半導體晶片 110-2 可以是記憶體晶片或邏輯晶片。例如，記憶體晶片可以包括動態隨機存取記憶體（DRAM）、靜態隨機存取記憶體（SRAM）、

快閃記憶體、相變隨機存取記憶體 (PRAM)、電阻式隨機存取記憶體 (ReRAM)、鐵電隨機存取記憶體 (FeRAM)、磁阻隨機存取記憶體 (MRAM) 等。例如，邏輯晶片可以是控制記憶體晶片的控制器。

**【0029】** 第一半導體晶片 110-1 和第二半導體晶片 110-2 可以是相同類型的晶片或不同類型的晶片。例如，第一半導體晶片 110-1 和第二半導體晶片 110-2 可以被提供為不同類型的晶片，並可以以晶片彼此電連接並作為單個系統操作的系統級封裝件 (SiP) 的形式來設置。

**【0030】** 第一半導體晶片 110-1 可以包括有源表面 111，有源表面 111 包括其中形成有電路的有源區域。另外，與有源表面 111 相對的表面可以是非有源表面 112。用於與外部交換訊號的訊號焊盤 113 可以形成在有源表面 111 上。訊號焊盤 113 可以與第一半導體晶片 110-1 集成。

**【0031】** 訊號焊盤 113 電連接到佈線部 130。訊號焊盤 113 和佈線部 130 可以通過凸塊或導電黏合材料來連接。例如，該連接可以是使用金屬 (諸如鉛 (Pb) 和錫 (Sn)) 的熔融材料鍵合的焊接點。

**【0032】** 第一半導體晶片 110-1 和第二半導體晶片 110-2 可以設置在容納部 121 中，容納部 121 形成在框架 120 的中心處。另外，半導體晶片 110 的側表面可以與框架 120 間隔開。另外，半導體晶片 110 與框架 120 之間間隙可以填充有包封件 140。

**【0033】** 另外，第一半導體晶片 110-1 的有源表面 111 可以設置為

面向下，因此可以面對佈線部 130。在此情況下，第一半導體晶片 110-1 的有源表面 111（即，下表面）和框架 120 的下表面可以共面。

**【0034】** 另外，第一半導體晶片 110-1 和第二半導體晶片 110-2 的高度可以與框架 120 的高度相同或低於框架 120 的高度。在附圖中，第一半導體晶片 110-1 的高度示出為與框架 120 的高度的相同，第二半導體晶片 110-2 的高度示出為低於框架 120 的高度。由於半導體晶片 110 未從框架 120 的上部突出，因此半導體晶片 110 可以免受外部衝擊。

**【0035】** 框架 120 可以包括：容納部 121，容納半導體晶片 110，並形成在框架 120 的中心處；多個穿孔（即，多個過孔 122），形成在容納部 121 周圍。容納部 121 可以設置為位於框架 120 的中心處的開口區域，或者可以形成為穿過框架 120。

**【0036】** 例如，在俯視圖中，框架 120 可以具有被與容納部 121 對應的區域變空的矩形形狀，或者設置為被與容納部 121 對應的區域間隔開的一對矩形形狀。另外，框架 120 可以設置為具有代替以上形狀的另一形狀。

**【0037】** 另外，過孔 122 可以形成為穿過框架 120 並沿半導體晶片 110 的邊緣設置為多個。另外，在垂直方向上傳輸電訊號的導電插塞 160 設置在過孔 122 中。以下將詳細地描述導電插塞 160。

**【0038】** 框架 120 可以是通孔框架。通孔框架可以設置為穿過其形成有導電插塞 160 的基底。例如，框架 120 可以是其上形成有

電路的印刷電路板 (PCB)。可選擇地，框架 120 可以是絕緣框架。絕緣框架可以包括絕緣材料。例如，絕緣材料可以包括矽、玻璃、陶瓷、塑膠或聚合物。

【0039】 在附圖中，PCB 被示出為框架 120 的示例。PCB 可以包括設置在其中心處的芯層 123 以及設置在芯層 123 上方和下方的保護層 124。例如，芯層 123 可以是插件 (interposer)，保護層 124 可以是覆蓋插件的兩個表面的鈍化層。

【0040】 另外，框架 120 可以用作支撐半導體封裝件 100 的支撐構件。框架 120 可以用作支撐半導體晶片並保護半導體晶片免受外部濕氣或衝擊的框架。

【0041】 另外，當框架 120 由金屬製成時，可以使由製造製程中產生的熱導致的翹曲最小化，並且其可以有利於散熱和遮罩噪音。

【0042】 導電插塞 160 可以在半導體封裝件 100 的垂直方向上傳輸電訊號。例如，導電插塞 160 的一側連接到設置在框架 120 的一個表面處的佈線部 130，並且可以通過佈線層 132 和 134 電連接到第一半導體晶片 110-1 和/或第二半導體晶片 110-2，導電插塞 160 的另一側可以電連接到外部電路或堆疊在半導體封裝件 100 上的另一個半導體封裝件 (未示出)。

【0043】 另外，導電插塞 160 的一側可以電連接到外部連接端子 150。

【0044】 另外，可以通過設置在框架 120 中的過孔 122 在垂直方向上設置導電插塞 160。導電插塞 160 可以是填充過孔 122 的導電

材料。例如，導電插塞 160 可以設置為具有圓柱形形狀。

【0045】 可選擇地，導電插塞 160 可以是過孔 122 的內周表面塗覆的金屬層。可選擇地，導電插塞 160 可以具有焊球形狀等並穿過過孔 122，或者可以是填充過孔 122 的阻焊墨。

【0046】 同時，形成導電插塞 160 的方法包括無電解電鍍、電解電鍍、濺射、印刷等。

【0047】 同時，雖然附圖中未示出，但是框架 120 可以包括多條訊號引線（未示出）。訊號引線可以附著到框架 120 的一個表面。

【0048】 另外，導電插塞 160 可以包括容納在過孔 122 中的穿透部 161 以及設置在穿透部 161 的上部和下部中的至少一處的連接延伸部 162。連接延伸部 162 可以設置為具有比穿透部 161 的面積大的面積。因此，連接延伸部 162 可以擴大導電插塞 160 的連接面積，因此可以改善其連接可靠性。

【0049】 參照附圖，連接延伸部 162 可以與穿透部 161 集成。可選擇地，與附圖不同，連接延伸部 162 可以具有附著到穿透部 161 的一端的焊盤的形狀。

【0050】 另外，電連接到連接延伸部 162 的上部或穿透部 161 的導電柱 163 可以附著到導電插塞 160 的一個表面。導電柱 163 可以電連接到外部端子（未示出），外部端子設置在導電插塞 160 上並且設置在可堆疊在半導體封裝件 100 上的封裝件的下部上。

【0051】 導電柱 163 可以由包括金屬的導電材料製成，並可以包括例如銅（Cu）。另外，導電柱 163 可以設置為具有圓柱形形狀。

另外，導電柱 163 的上表面可以不比以下將描述的包封件 140 的上表面處於更高水平處。例如，導電柱 163 的上表面和包封件 140 的上表面可以共面。

**【0052】** 佈線部 130 可以將半導體晶片 110 電連接到導電插塞 160。佈線部 130 可以例如通過重排金屬導線的製程來形成。

**【0053】** 佈線部 130 可以包括佈線層 132 和 134 以及絕緣層 131、133 和 135。佈線層 132 和 134 可以包括例如金屬的導電材料。例如，佈線層 132 和 134 可以包括銅、鋁或它們的合金。另外，絕緣層 131、133 和 135 可以包括有機絕緣材料或無機絕緣材料。例如，絕緣層 131、133 和 135 可以包括環氧樹脂。

**【0054】** 絕緣層 131、133 和 135 可以形成為具有三層結構，佈線層 132 和 134 可以置於絕緣層 131、133 和 135 之間。例如，佈線部 130 可以包括第一佈線層 132、第二佈線層 134、第一絕緣層 131、第二絕緣層 133 和第三絕緣層 135，第一佈線層 132 和第二佈線層 134 被設置為具有兩層結構並彼此電連接，第一絕緣層 131 使半導體晶片 110 和框架 120 與第一佈線層 132 的一個表面絕緣，第二絕緣層 133 使第一佈線層 132 的另一表面與第二佈線層 134 的一個表面絕緣，第三絕緣層 135 使第二佈線層 134 的另一表面與外部絕緣。

**【0055】** 另外，第一佈線層 132 可以連接到導電插塞 160 和半導體晶片 110，第二佈線層 134 可以連接到以下將描述的外部連接端子 150。



【0056】 佈線部 130 可以再佈線半導體晶片 110 以形成電路。該製程也被稱作積層製程 (build-up process)。即，半導體晶片 110 可以通過佈線部 130 來再佈線，因此半導體封裝件 100 可以具有扇出結構。因此，可以最小化半導體晶片 110 的輸入和輸出端子，也可以增加輸入和輸出端子的數量。

【0057】 包封件 140 可以被成型，以將第一半導體晶片 110-1、第二半導體晶片 110-2、框架 120 和佈線部 130 集成。包封件 140 可以包括絕緣材料，例如，環氧成型化合物 (EMC) 或密封劑。

【0058】 包封件 140 可以以流體態注入，然後在高溫環境下固化。例如，上面的製程可以包括加熱並壓縮包封件 140 的製程，在此情況下，可以通過添加真空製程來去除包封件 140 中的氣體等。在固化包封件 140 的同時框架 120、第一半導體晶片 110-1 和第二半導體晶片 110-2 被集成為單個結構包封件。

【0059】 另外，包封件 140 可以填充框架 120 的容納部 121 與半導體晶片 110 之間間隙以及第一半導體晶片 110-1 與第二半導體晶片 110-2 之間間隙。另外，包封件 140 可以設置為覆蓋框架 120 和半導體晶片 110 的上部。另外，包封件 140 可以設置為圍繞框架 120 的邊緣。因此，框架 120 和半導體晶片 110 可以被包封件 140 圍繞並且不被暴露到外部，並且可以保護框架 120 和半導體晶片 110 免受外部衝擊。

【0060】 另外，由於包封件 140 密封框架 120 和半導體晶片 110 的上表面和側表面，因此可以使在製造製程中由框架 120 濕氣吸

附而產生的氣體的量最小化，因此可以穩定製程。另外，由於防止了框架 120 直接吸附濕氣，因此可以使由於濕氣吸附而導致的變形最小化。

**【0061】** 在具有扇出結構的半導體封裝件 100 中，外部連接端子 150 被設置為具有大於半導體晶片 110 的有源區域的連接區域。這裡，外部連接端子 150 的連接區域指最外側的外部連接端子 150 連接到佈線層 132 和 134 時形成的區域，半導體晶片 110 的有源區域指連接最外側訊號焊盤 113 時形成的區域。

**【0062】** 外部連接端子 150 連接到佈線層 132 和 134，以將半導體封裝件 100 電連接到外部電路或另一個半導體封裝件（未示出）。在附圖中，儘管焊球被示出為外部連接端子 150 的示例，但是外部連接端子 150 可以包括焊料凸塊等。另外，在外部連接端子 150 的表面上執行了諸如有機塗覆或金屬鍍覆等的表面處理，因此可以防止表面被氧化。例如，有機塗覆可以是有機焊料保護（OSP）塗覆，可以通過金（Au）、鎳（Ni）、鉛（Pb）或銀（Ag）鍍覆來執行金屬鍍覆。

**【0063】** 由於根據本發明的第一實施例的半導體封裝件 100 包括在垂直方向上穿過框架 120 的導電插塞 160，因此半導體封裝件 100 可以在垂直方向上傳輸電訊號。具體地，連接到導電插塞 160 的上部的外部端子（未示出）可以電連接至連接到導電插塞 160 的下部的佈線部 130，佈線部 130 可以連接到半導體晶片 110。

**【0064】** 另外，可以通過連接到導電插塞 160 的上部的導電柱 163

來幫助外部端子（未示出）的連接。

【0065】 具體地，包封件 140 可以形成有暴露導電柱 163 的凹區域 141。另外，凹區域 141 可以包括將外部端子（未示出）引導到導電柱 163 的引導表面。例如，凹區域 141 可以形成為向下錐化。例如，凹區域 141 可以具有錐形形狀的部分。

【0066】 如上所述，導電柱 163 被設置並且凹區域 141 形成在包封件 140 中，因此，當另一個封裝件（未示出）堆疊在半導體封裝件 100 上時，封裝件的外部端子（未示出）可以容易地與導電柱 163 對準，並可以改善其連接可靠性。

【0067】 接著，將參照附圖描述根據第一實施例的製造半導體封裝件 100 的製程。圖 2 至圖 11 是示出根據本發明的第一實施例的製造半導體封裝件 100 的製程的剖視圖。

【0068】 圖 2 示出了設置其中形成有導電插塞 160 的框架 120 的製程。

【0069】 參照圖 2，框架 120 可以被提供為 PCB。即，框架 120 可以包括佈置在其中心處的芯層 123、堆疊在芯層 123 上方和下方的保護層 124。

【0070】 另外，框架 120 可以處於其中設置有導電插塞 160 的狀態。即，形成在框架 120 中的過孔 122 可以被導電插塞 160 填充。

【0071】 另外，導電插塞 160 可以包括在垂直方向上穿過芯層 123 的穿透部 161 以及沿芯層 123 的上表面和下表面擴大穿透部 161 的連接區域的連接延伸部 162。

【0072】 在附圖中，連接延伸部 162 被示出為形成在芯層 123 的上表面和下表面兩者上。然而，與附圖不同，連接延伸部 162 可以僅形成在其表面上或者可以不形成在任何表面上。

【0073】 另外，可以在單個製程中形成導電插塞 160 和連接延伸部 162。例如，連接延伸部 162 可以是訊號引線。可選擇地，在形成導電插塞 160 之後，可以將連接延伸部 162 形成為附著到導電插塞 160。例如，連接延伸部 162 可以是訊號焊盤。

【0074】 另外，可以將保護層 124 設置為覆蓋連接延伸部 162。在此情況下，保護層 124 可以包括絕緣體。

【0075】 圖 3 示出了通過在保護層 124 中形成開口 124a 和 124b 來暴露導電插塞 160 的製程，圖 4 示出了附著導電柱 163 的製程。

【0076】 參照圖 3，通過形成在框架 120 的兩個表面中的開口 124a 和 124b 來暴露導電插塞 160。例如，可以通過形成在框架 120 的一個表面中的開口 124a 或 124b 來暴露導電插塞 160 的連接延伸部 162。

【0077】 在附圖中，形成在框架 120 的一個表面中的開口 124a 或 124b 的面積被示出為小於連接延伸部 162 的面積。另外，可以將芯層 123 不形成為被開口 124a 和 124b 暴露。

【0078】 可選擇地，與附圖不同，開口 124a 和 124b 的面積可以大於連接延伸部 162 的面積。在此情況下，由於暴露了連接延伸部 162 的側表面，因此可以改善導電柱 163 的連接可靠性。即，即使當導電柱 163 錯位時，也增加了導電柱 163 和連接延伸部 162

可電連接的可能性。

【0079】 參照圖 4，導電柱 163 可以是例如銅（Cu）柱。另外，導電柱 163 下部的截面面積可以小於形成在框架 120 的一個表面中的開口 124a 的截面面積。即，由於具有相對小的面積的導電柱 163 連接到具有被開口 124a 暴露的相對大的面積的連接延伸部 162，可以有助於導電柱 163 的對準製程，並且可以改善其連接可靠性。另外，如上所述，當暴露連接延伸部 162 的側表面時，因為開口 124a 的面積大於連接延伸部 162 的面積，所以可以在附著導電柱 163 的製程中進一步改善連接可靠性。

【0080】 參照附圖，形成在導電插塞 160 的上部中的開口 124a 是導電柱 163 連接於此的區域，形成在導電插塞 160 的下部中的開口 124b 是以下將描述的第一佈線層 132 連接於此的區域。

【0081】 圖 5 示出了在第一載體 170 上的附著製程。

【0082】 參照圖 5，將框架 120 設置在第一載體 170 上，將第一半導體晶片 110-1 和第二半導體晶片 110-2 設置在形成在框架 120 的中心處的容納部 121 中。可以通過結合層 171 將框架 120 和第一半導體晶片 110-1 與第二半導體晶片 110-2 固定到第一載體 170。

【0083】 在此情況下，將框架 120 設置在第一載體 170 上，使得導電柱 163 面向上，將第一半導體晶片 110-1 設置在第一載體 170 上，使得有源表面 111 面向下。

【0084】 另外，可以將第一半導體晶片 110-1 和第二半導體晶片 110-2 設置為與框架 120 的容納部 121 的側表面分離，可以將兩個

半導體晶片 110-1 和 110-2 設置為彼此分離。

【0085】 同時，儘管第一半導體晶片 110-1 的有源表面 111 被示出為直接附著到圖 5 中的結合層 171，但是電連接到訊號焊盤 113 的訊號傳輸部（未示出）可以結合到結合層 171，因此，與附圖不同，可以將第一半導體晶片 110-1 設置為與結合層 171 分離。

【0086】 同時，儘管在附圖中單個半導體封裝件 100 被示出為在第一載體 170 上製造，可以將多個框架 120 和半導體晶片 110 以預定的間隔附著到第一載體 170，因此，與附圖不同，可以在一個製程中同時地製造多個半導體封裝件 100。

【0087】 用於支撐框架 120 和半導體晶片 110 的第一載體 170 可以由具有高剛性和低熱應變的材料製成。第一載體 170 可以由剛性材料製成，可以將諸如成型製品或聚醯亞胺帶等的材料用作第一載體 170。

【0088】 可以將雙側黏合膜用作結合層 171，可以將結合層 171 的一個表面固定地附著到第一載體 170，可以將結合層 171 的其它表面附著到框架 120 等。

【0089】 圖 6 示出了使包封件 140 成型的製程。

【0090】 參照圖 6，可以通過在第一載體 170 與上模具（未示出）之間注入包封件來將處於流體態的包封件 140 設置在第一載體 170 上，並且可以在高溫下通過上模具來壓縮並固化包封件 140。

【0091】 通過將包封件 140 注入到模具中來使包封件 140 填充框架 120 與第一半導體晶片 110-1 和第二半導體晶片 110-2 之間の間

隙，並將包封件設置為覆蓋框架 120 以及第一半導體晶片 110-1 和第二半導體晶片 110-2 的上部，並設置為圍繞框架 120 的兩側。

【0092】 隨著時間的推移，固化包封件 140，在該製程中，將框架 120、第一半導體晶片 110-1 和第二半導體晶片 110-2 一體化。

【0093】 儘管處於流體態的包封件 140 被描述為作為成型包封件 140 的方法注入，但是可以使用塗覆、印刷等不同的方法。另外，在相關領域中通用的各種技術可以被用作成型包封件 140 的方法。

【0094】 同時，在附圖中，包封件 140 被示出為被設置成具有覆蓋導電柱 163 的合適的高度。然而，與附圖不同，可以將包封件 140 形成為暴露導電柱 163 的端部。即，為了在成型包封件 140 的製程中暴露導電柱 163 的端部，可以調節包封件 140 的厚度。這在後續製程中可以省略蝕刻包封件 140 以暴露導電柱 163 的端部的製程方面是有意義的。

【0095】 為了調節包封件 140 的厚度，遮罩構件（未示出）可以與導電柱 163 的暴露部分接觸。遮罩構件可以用於防止上模具（未示出）和包封件 140 黏合的膜，並可以是例如釋放膜。另外，遮罩構件包括單獨地插入到上模具的下部的構件。

【0096】 遮罩構件可以具有彈性，從而容納導電柱 163 的暴露部分。因此，當包封件 140 填充第一載體 170 與遮罩構件之間的間隙時，導電柱 163 的暴露部分可以不被包封件 140 密封。

【0097】 圖 7 示出了在第二載體 180 上的附著製程，圖 8 示出了形成佈線部 130 和外部連接端子 150 的製程。

【0098】 參照圖 7，將固化的包封件 140 的一個表面設置在第二載體 180 上。在此情況下，將包封件 140 設置為向上暴露第一半導體晶片 110-1 和第二半導體晶片 110-2 的有源表面 111 及框架 120 的一個表面。另外，暴露佈置在框架 120 的上表面上的導電插塞 160 的一端。

【0099】 用於支撐框架 120、半導體晶片 110 和包封件 140 的第二載體 180 可以由具有高剛性和低熱應變的材料製成。第二載體 180 可以由剛性材料製成，可以將諸如成型製品、聚醯亞胺帶等的材料用作第二載體 180。

【0100】 可以將雙側黏合膜用作結合層 181，可以將結合層 181 的一個表面固定地附著到第二載體 180，可以將結合層 181 的另一表面附著到包封件 140。

【0101】 參照圖 8，可以在框架 120、第一半導體晶片 110-1 和第二半導體晶片 110-2 中的每個的一個表面上形成佈線部 130。另外，可以將外部連接端子 150 附著到佈線部 130 的上部。

【0102】 具體地，可以將第一絕緣層 131 堆疊在框架 120、第一半導體晶片 110-1 和第二半導體晶片 110-2 中的每個的一個表面上，以暴露導電插塞 160 和第一半導體晶片 110-1 的訊號焊盤 113 的部分。通過雷射製程、化學製程等蝕刻第一絕緣層 131 的方法可以用作暴露第一絕緣層 131 的一部分的方法。

【0103】 另外，在第一絕緣層 131 上形成第一佈線層 132。第一佈線層 132 可以通過第一絕緣層 131 的暴露部分來電連接到訊號焊



盤 113 和導電插塞 160，並且可以形成再佈線層。另外，可以使用諸如沉積、電鍍等的各種方法來形成第一佈線層 132。另外，可以以圖案預先形成在其中的狀態在第一絕緣層 131 上堆疊第一佈線層 132，或者可以在將第一佈線層 132 堆疊在第一絕緣層 131 上之後通過遮罩來形成圖案。

**【0104】** 另外，可以在第一絕緣層 131 的一個表面上堆疊第二絕緣層 133，以暴露第一佈線層 132 的一部分。另外，可以在第二絕緣層 133 上形成第二佈線層 134。可以將第二佈線層 134 為連接到第一佈線層 132，並且可以形成再佈線層。另外，可以在第二絕緣層 133 的一個表面上堆疊第三絕緣層 135，以暴露第二佈線層 134 的一部分。另外，可以將外部連接端子 150 附著到第三絕緣層 135 的暴露區域，並電連接到第二佈線層 134。

**【0105】** 第一絕緣層 131 的描述可以應用到第二絕緣層 133 和第三絕緣層 135 的描述，第一佈線層 132 的描述可以應用到第二佈線層 134 的描述。

**【0106】** 另外，儘管附圖中示出了包括具有兩層結構的佈線層 132 和 134 的佈線部 130，但是佈線部 130 可以包括具有與附圖不同的一層結構的佈線層。在此情況下，可以設置具有兩層結構的絕緣層。

**【0107】** 外部連接端子 150 附著到佈線部 130 的一個表面，並將半導體封裝件 100 電連接到外部部件。外部部件可以是外部電路或另一個半導體封裝件（未示出）。雖然焊球在附圖中被示出為外

部連接端子 150 的示例，但是外部連接端子 150 可以包括焊料凸塊等。

【0108】 圖 9 示出了去除第二載體 180 的製程，圖 10 示出了通過研磨包封件 140 來暴露導電柱 163 的製程，圖 11 示出了在導電柱 163 附近形成凹區域 141 的製程。

【0109】 參照圖 9，可以去除支撐包封件 140 的一個表面的第二載體 180。另外，可以設置中間產品，使得外部連接端子 150 面向下。

【0110】 同時，儘管未在附圖中示出，但是可以通過結合層將中間產品固定到另一個載體（未示出）。另外，結合層或載體可以容納外部連接端子 150 以防止外部連接端子 150 損壞。

【0111】 參照圖 10，可以通過研磨包封件 140 的一個表面來暴露導電柱 163 的端部。在此情況下，也可以研磨導電柱 163 的端部的部分。

【0112】 參照圖 11，可以通過蝕刻導電柱 163 的周圍來形成凹區域 141。凹區域 141 可以引導連接到的導電柱 163 的外部端子（未示出）以電連接到導電柱 163。另外，由於增大了導電柱 163 和外部端子（未示出）的連接區域，因此可允許對準誤差。即，可以降低對準製程的困難程度。

【0113】 同時，儘管凹區域 141 在附圖中被示出為被蝕刻以暴露框架 120 的部分，但是可以蝕刻凹區域 141，使得框架 120 與附圖不同地不被暴露。

【0114】 圖 12 是示出根據本發明的第一實施例的層疊封裝件

(PoP) 的剖視圖。

【0115】 在根據本發明的第一實施例的 PoP 中，另一封裝件 190 被堆疊在圖 11 中示出的半導體封裝件 100 上並連接到圖 11 中示出的半導體封裝件 100。堆疊的封裝件 190 可以是半導體晶片、半導體封裝件、電路板等。

【0116】 堆疊的封裝件 190 可以包括電路部 191 和連接端子 192。連接端子 192 電連接到電路部 191。

【0117】 連接端子 192 可以連接到半導體封裝件 100 的導電柱 163。例如，連接端子 192 可以被設置為焊球。另外，連接端子 192 和導電柱 163 可以彼此連接，使得導電插塞 160 的一端不被暴露到外部。

【0118】 圖 13 是示出根據本發明的第一實施例的第一修改實施例的半導體封裝件 101 的剖視圖。

【0119】 在根據第一修改實施例的半導體封裝件 101 中，可以設置不同類型的導電柱 163-1。具體地，導電柱 163-1 可以被設置為具有比導電插塞 160 的連接延伸部 162 的截面面積大的截面面積。即，在根據第一修改實施例的半導體封裝件 101 中，由於導電柱 163-1 被設置為具有比導電插塞 160 的截面面積大的截面面積，因此可以改善其連接可靠性。

【0120】 例如，連接延伸部 162 可以被設置，使得其整個區域被暴露。具體地，形成在框架 120 的保護層 124 中的開口 124c 可以形成為具有適合於將連接延伸部 162 容納在其中的尺寸。因此，

連接延伸部 162 的側表面可以被開口 124c 暴露。

【0121】 另外，導電柱 163-1 可以連接到被開口 124c 暴露的連接延伸部 162 的整個區域。即，導電柱 163-1 可以連接到連接延伸部 162 的側表面和連接延伸部 162 的上表面。

【0122】 同時，當導電柱 163-1 錯位時，導電柱 163-1 可以僅連接到連接延伸部 162 的一個表面。然而，在此情況下，可以保持導電柱 163-1 的連接可靠性。

【0123】 圖 14 是示出根據本發明的第一實施例的第二修改實施例的半導體封裝件 102 的剖視圖。

【0124】 在根據第二修改實施例的半導體封裝件 102 中，上佈線部 200 可以堆疊在包封件 140 上。上佈線部 200 可以包括：第一上絕緣層 201 堆疊在包封件 140 上，並被設置為暴露導電柱 163 的一端；上佈線層 202，電連接到導電柱 163，並在第一上絕緣層 201 上形成圖案；第二上絕緣層 203，堆疊在第一上絕緣層 201 上，並被設置為暴露上佈線層 202 的部分。

【0125】 另外，在根據第二修改實施例的半導體封裝件 102 中，凹區域 141（見圖 11）可以不形成在導電柱 163 附近。即，如圖 10 中所示，可以在通過研磨包封件 140 的一個表面暴露導電柱 163 的端部之後形成上佈線部 200。

【0126】 圖 15 是示出根據本發明的第二實施例的半導體封裝件 103 的剖視圖。

【0127】 在根據本發明的第二實施例的半導體封裝件 103 中，導

電柱 163-2 可以被設置為具有球形形狀。例如，導電柱 163-2 可以是焊球。

**【0128】** 由於導電柱 163-2 被設置為具有可變形的球形形狀，因此導電柱 163-2 可以容易地連接到導電插塞 160。當導電柱 163-2 被設置為焊球時，其形狀可以在連接製程中進行修改，可以在修改形狀的製程中擴大與導電插塞 160 的接觸面積。

**【0129】** 另外，當導電柱 163-2 被設置為焊球時，導電柱 163-2 可以容易地連接到外部端子（未示出）。例如，當外部端子（未示出）也被設置為焊球時，能夠在將外部端子（未示出）連接到導電柱 163-2 的製程中執行自對準。另外，由於焊球的柔性（焊球的形狀可變形性），可以克服因半導體封裝件的翹曲而產生的臺階。

**【0130】** 另外，可以設置導電插塞 160 的連接延伸部 162，使得其整個區域被暴露。具體地，形成在框架 120 的保護層 124 中的開口 124c 可以被形成為具有適合於將連接延伸部 162 容納在其中的尺寸。因此，連接延伸部 162 的側表面可以被開口 124c 暴露。

**【0131】** 在附圖中，導電柱 163-2 被示出為僅連接到連接延伸部 162 的上表面。然而，與附圖不同，導電柱 163-2 可以連接到連接延伸部 162，以將連接延伸部 162 容納在其中。即，導電柱 163-2 可以連接到連接延伸部 162 的側表面和連接延伸部 162 的上表面。即，儘管導電柱 163-2 的對準誤差，也可以改善其連接可靠性。

**【0132】** 另外，可以在研磨包封件 140 的製程中將導電柱 163-2

的上部平坦化。隨著導電柱 163-2 的上部被平坦化，可以擴大與外部端子（未示出）的接觸面積。在此情況下，導電柱 163-2 的上表面和包封件 140 的上表面可以共面。

【0133】 接著，將參照附圖描述根據第二實施例的製造半導體封裝件 103 的製程。圖 16 至圖 25 是示出根據本發明的第二實施例的製造半導體封裝件 103 的製程的剖視圖。

【0134】 圖 16 示出了設置其中形成有導電插塞 160 的框架 120 的製程。

【0135】 參照圖 16，框架 120 可以被提供為 PCB。即，框架 120 可以包括佈置在其中心處的芯層 123 以及堆疊在芯層 123 上方和下方的保護層 124。

【0136】 另外，框架 120 可以處於其中設置有導電插塞 160 的狀態。即，形成在框架 120 中的過孔 122 可以填充有導電插塞 160。

【0137】 另外，導電插塞 160 可以包括在垂直方向上穿過芯層 123 的穿透部 161 以及沿芯層 123 的上表面和下表面擴大穿透部 161 的連接區域的連接延伸部 162。儘管連接延伸部 162 在附圖中被示出為形成在芯層 123 的上表面和下表面兩者上，但是連接延伸部 162 可以僅形成在其一個表面上，或者可以不形成其兩個表面上。

【0138】 另外，可以在單個製程中形成導電插塞 160 和連接延伸部 162。例如，連接延伸部 162 可以是訊號引線。可選擇地，在形成導電插塞 160 之後，可以將連接延伸部 162 形成為附著到導電插塞 160。例如，連接延伸部 162 可以是訊號焊盤。

【0139】 另外，可以將保護層 124 設置為覆蓋連接延伸部 162。在此情況下，保護層 124 可以包括絕緣體。

【0140】 圖 17 示出了通過在保護層 124 中形成開口 124b 和 124c 而暴露導電插塞 160 的製程，圖 18 示出了附著導電柱 163-2 的製程。

【0141】 參照圖 17，通過形成在框架 120 的兩個表面中的開口 124b 和 124c 來暴露導電插塞 160。例如，可以通過形成在框架 120 的兩個表面中的開口 124b 或 124c 來暴露導電插塞 160 的連接延伸部 162。

【0142】 在此情況下，形成在框架 120 的上表面中的開口 124c 的面積可以大於連接延伸部 162 的面積，形成在框架 120 的下表面中的開口 124b 的面積可以小於連接延伸部 162 的面積。即，可以通過形成在框架 120 的上表面中的開口 124c 來暴露連接延伸部 162 的側表面，可以不通過形成在框架 120 的下表面中的開口 124b 來暴露連接延伸部 162 的側表面。

【0143】 參照圖 18，導電柱 163-2 可以是例如焊球。在附著到導電插塞 160 之前，導電柱 163-2 可以具有球形形狀。然而，在附著製程期間，可以通過施加的壓力來修改導電柱 163-2 的下部的形狀，可以在導電柱 163-2 與導電插塞 160 之間應用表面接觸而不是點接觸。

【0144】 另外，導電柱 163-2 的下部的截面面積可以小於形成在框架 120 的一個表面中的開口 124c 的截面面積。即，由於具有相對

小的面積的導電柱 163-2 連接到具有被開口 124c 暴露的相對大的面積的連接延伸部 162，因此可以有助於導電柱 163 的對準製程，並且可以改善其連接可靠性。

【0145】 參照附圖，形成在導電插塞 160 的上部中的開口 124c 是導電柱 163-2 所連接到的區域，形成在導電插塞 160 的下部中的開口 124b 是以下將描述的第一佈線層 132 所連接到的區域。

【0146】 圖 19 示出了在第一載體 170 上的附著製程，圖 20 示出了成型包封件 140 的製程，圖 21 示出了在第二載體 180 上的附著製程，圖 22 示出了形成佈線部 130 和外部連接端子 150 的製程，圖 23 示出了去除第二載體 180 的製程。

【0147】 將用圖 5 至圖 9 的描述來替換圖 19 至圖 23 的描述。

【0148】 圖 24 示出了通過研磨包封件 140 來暴露導電柱 163-2 的製程，圖 25 示出了在導電柱 163-2 附近形成凹區域 141-1 的製程。

【0149】 參照圖 24，可以通過研磨包封件 140 的一個表面來暴露導電柱 163-2 的端部。在此情況下，也可以研磨導電柱 163-2 的端部的一部分。當將導電柱 163-2 設置為具有球形形狀時，可以將其上部研磨以形成平坦的剖面。

【0150】 參照圖 25，可以通過蝕刻導電柱 163-2 的周圍來形成凹區域 141-1。凹區域 141-1 可以引導連接到導電柱 163-2 的外部端子（未示出）電連接到導電柱 163-2。另外，擴大了導電柱 163-2 與外部端子（未示出）之間的連接區域，因此可以允許對準誤差。即，可以降低對準製程中的困難程度。



【0151】 同時，儘管凹區域 141-1 在附圖中被示出為被蝕刻以暴露框架 120 的部分，但是與附圖不同，可以蝕刻凹區域 141-1，使得框架 120 不被暴露。

【0152】 圖 26 是示出根據本發明的第二實施例的 PoP 的剖視圖。

【0153】 在根據本發明的第二實施例的 PoP 中，另一個封裝件 190 堆疊在圖 25 中示出的半導體封裝件 103 上並連接到圖 25 中示出的半導體封裝件 103。堆疊的封裝件 190 可以是半導體晶片、半導體封裝件、電路板等。

【0154】 堆疊的封裝件 190 可以包括電路部 191 和連接端子 192。連接端子 192 電連接到電路部 191。

【0155】 連接端子 192 可以連接到半導體封裝件 103 的導電柱 163-2。例如，連接端子 192 可以被設置為焊球。另外，連接端子 192 和導電柱 163-2 可以被連接，使得導電插塞 160 的一端不被暴露到外側。

【0156】 圖 27 是示出根據本發明的第二實施例的修改實施例的 PoP 的剖視圖。

【0157】 參照圖 27，在 PoP 中，另一封裝件 190 堆疊在根據本發明的第二實施例的修改實施例的半導體封裝件 104 上並連接到半導體封裝件 104。

【0158】 在半導體封裝件 104 中，凹區域 141-1（見圖 26）可以不形成在導電柱 163-2 附近。即，如圖 24 中所示，在通過研磨包封件 140-1 的一個表面暴露導電柱 163-2 的端部之後，另一封裝件

190 可以堆疊在半導體封裝件 104 上並連接到半導體封裝件 104。

【0159】 參照圖 12 和圖 27，與導電柱 163 如圖 12 中所示被設置為銅柱的情況相比，當導電柱 163-2 被設置為焊球時，可以增加與外部連接端子 192 的對準範圍。因此，即使當不形成用於引導外部端子的對準的凹區域 141-1（見圖 26）時，也不增大堆疊另一封裝件 190 的製程的困難程度。

【0160】 在根據本發明的實施例的半導體封裝件及其製造方法中，使用穿過框架的通孔和設置在通孔上的導電柱，因此可以克服對精細節距的限制，同時能使封裝件纖薄化。

【0161】 另外，形成凹區域，因此可以減少精細節距誤差的數量。

【0162】 另外，當將導電柱設置為焊球時，能夠執行自對準並且能夠克服翹曲。

【0163】 另外，當使用金屬設置框架時，可以減少封裝件的翹曲，並且有利於散熱和噪音遮罩。

【0164】 另外，使用在研磨包封件的同時暴露導電柱的製程，因此可以降低暴露導電柱的製程的困難程度。

【0165】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

## 【符號說明】

## 【0166】

100、102、103：半導體封裝件

101：半導體封裝件

110-1：第一半導體晶片

110-2：第二半導體晶片

111：有源表面

112：非有源表面

113：訊號焊盤

120：框架

121：容納部

122：過孔

123：芯層

124：保護層

124a、124b、124c：開口

130：佈線部

131：第一絕緣層

132：第一佈線層

133：第二絕緣層

134：第二佈線層

135：第三絕緣層

140：包封件

141、141-1：凹區域

- 150：外部連接端子
- 160：導電插塞
- 161：穿透部
- 162：連接延伸部
- 163、163-1、163-2：導電柱
- 170：第一載體
- 171：結合層
- 180：第二載體
- 181：結合層
- 190：封裝件
- 191：電路部
- 192：連接端子
- 200：上佈線部
- 201：第一上絕緣層
- 202：上佈線層
- 203：第二上絕緣層

## 【發明申請專利範圍】

【第1項】一種半導體封裝件，所述半導體封裝件包括：

框架，具有容納部，並被構造成通過設置在所述容納部周圍的導電插塞在其上部與下部之間傳輸電訊號；

至少一個半導體晶片，容納在所述容納部中；

佈線部，設置在所述框架和所述半導體晶片下方，所述佈線部被構造為將所述導電插塞連接到所述半導體晶片；

包封件，被成型，以將所述框架和所述半導體晶片一體化，並覆蓋所述半導體晶片的側面和背面；

導電柱，連接到所述導電插塞的上部，

其中，所述框架被提供為印刷電路板，所述印刷電路板具有設置在其中心處的芯層和堆疊在所述芯層的上表面上的保護層，

其中，所述導電插塞包括：

穿透部，填充穿過所述框架的過孔；

連接延伸部，在所述穿透部的上部上沿所述芯層的上表面延伸到所述穿透部的外側，所述連接延伸部在所述框架的寬度方向上延伸所述穿透部的剖面區域，以使所述連接延伸部的截面積比所述穿透部的截面積大，

其中，所述保護層具有暴露所述連接延伸部的開口。

【第2項】如申請專利範圍第1項所述的半導體封裝件，其中，所述容納部形成在所述框架的中心處，所述過孔被設置成多個，所述多個過孔設置在所述容納部的周圍，

其中，所述導電柱連接到所述連接延伸部。

【第3項】如申請專利範圍第1項所述的半導體封裝件，其中，所述框架被提供為所述印刷電路板，其中，上保護層和下保護層分別堆疊在所述芯層的上表面和所述芯層的下表面上，

其中，所述連接延伸部包括：

上連接延伸部，沿所述芯層的上表面延伸；

下連接延伸部，沿所述芯層的下表面延伸，

其中，所述上保護層具有暴露所述上連接延伸部的開口，所述下保護層具有暴露所述下連接延伸部的開口。

【第4項】如申請專利範圍第1項所述的半導體封裝件，其中，所述導電柱連接到位於比所述連接延伸部的區域大的區域中的所述導電插塞，以容納位於所述導電柱內側的所述連接延伸部，所述連接延伸部在所述框架的表面上被暴露。

【第5項】如申請專利範圍第1項所述的半導體封裝件，其中，所述包封件形成有凹區域，以暴露所述導電柱的外側，所述凹區域向下被錐化。

【第6項】如申請專利範圍第1項所述的半導體封裝件，其中，所述佈線部包括：

第一絕緣層，堆疊在所述框架和所述半導體晶片的表面上，以暴露所述半導體晶片的訊號焊盤和所述導電插塞的表面；

佈線層，設置在所述第一絕緣層上，並且被構造為將所述半導體晶片的所述訊號焊盤連接到所述導電插塞的表面；

第二絕緣層，覆蓋所述佈線層並使所述佈線層絕緣。

【第7項】如申請專利範圍第1項所述的半導體封裝件，其中，所述包封件的上表面和所述導電柱的上表面共面。

【第8項】如申請專利範圍第1項所述的半導體封裝件，所述半導體封裝件還包括堆疊在所述包封件的上部的上佈線部，

其中，所述上佈線部包括：

第一上絕緣層，堆疊在所述包封件的表面上，以暴露所述導電柱的端部；

上佈線層，設置在所述第一上絕緣層上，並被構造為連接到所述導電柱；

第二上絕緣層，覆蓋所述上佈線層並使所述上佈線層絕緣。

【第9項】如申請專利範圍第1項所述的半導體封裝件，其中，所述框架被設置為具有與所述半導體晶片的高度相同的高度，或者具有比所述半導體晶片的高度高的高度。

【第10項】一種半導體封裝件，所述半導體封裝件包括：

框架，具有容納部，並被構造為通過設置在所述容納部周圍的導電插塞在其上部與下部之間傳輸電訊號；

至少一個半導體晶片，容納在所述容納部中；

佈線部，設置在所述框架和所述半導體晶片下方，所述佈線部被構造為將所述導電插塞連接到所述半導體晶片；

包封件，被成型，以將所述框架和所述半導體晶片一體化，並覆蓋所述半導體晶片的側面和背面；

導電球，連接到所述導電插塞的上部，

其中，所述框架被提供為印刷電路板，所述印刷電路板具有設置在其中心處的芯層和堆疊在所述芯層的上表面上的保護層，

其中，所述導電插塞包括：

穿透部，填充穿過所述框架的過孔；

連接延伸部，在所述穿透部的上部上沿所述芯層的上表面延伸到所述穿透部的外側，所述連接延伸部在所述框架的寬度方向上延伸所述穿透部的剖面區域，以使所述連接延伸部的截面積比所述穿透部的截面積大，

其中，所述保護層具有暴露所述連接延伸部的開口。

【第11項】如申請專利範圍第10項所述的半導體封裝件，其中，所述容納部形成在所述框架的中心處，所述過孔被設置為多個，所述多個過孔設置在所述容納部的周圍，

其中，所述導電球連接到所述連接延伸部。

【第12項】如申請專利範圍第10項所述的半導體封裝件，其中，所述框架被提供為所述印刷電路板，其中，上保護層和下保護層分別堆疊在所述芯層的上表面上和所述芯層的下表面上，

其中，所述連接延伸部包括：

上連接延伸部，沿所述芯層的上表面延伸，

下連接延伸部，沿所述芯層的下表面延伸，

其中，所述上保護層具有暴露所述上連接延伸部的開口，所述下保護層具有暴露所述下連接延伸部的開口。



【第13項】如申請專利範圍第10項所述的半導體封裝件，其中，所述開口被設置在比所述連接延伸部的區域大的區域中，以容納位於導電球內側的所述連接延伸部，所述連接延伸部在所述框架的表面上被暴露。

【第14項】如申請專利範圍第10項所述的半導體封裝件，其中，所述包封件形成有暴露導電球的外側的凹區域，所述凹區域向下被錐化。

【第15項】如申請專利範圍第10項所述的半導體封裝件，其中，所述佈線部包括：

第一絕緣層，堆疊在所述框架和所述半導體晶片的表面上，以暴露所述半導體晶片的訊號焊盤和所述導電插塞的表面；

佈線層，設置在所述第一絕緣層上，並被構造為將所述半導體晶片的所述訊號焊盤連接到所述導電插塞的表面；

第二絕緣層，覆蓋所述佈線層並使所述佈線層絕緣。

【第16項】如申請專利範圍第10項所述的半導體封裝件，其中，所述導電球具有平坦的上表面，所述包封件的上表面和所述導電球的上表面共面。

【第17項】一種製造半導體封裝件的方法，所述方法包括以下步驟：

形成具有容納部的框架，所述框架被構造為通過設置在所述容納部周圍的導電插塞在其上部與下部之間傳輸電訊號；

在所述容納部中設置半導體晶片；

將包封件成型，以使所述框架和所述半導體晶片一體化，並讓所述包封件覆蓋所述半導體晶片的側面和背面；

在所述半導體晶片的有源表面上形成佈線部；

去除所述佈線部的對面的所述包封件部分，以暴露形成在所述框架中的導電柱的端部或導電球的端部，

其中，所述框架被提供為印刷電路板，所述印刷電路板具有設置在其中心處的芯層和堆疊在所述芯層的上表面上的保護層，

其中，所述導電插塞包括：

穿透部，填充穿過所述框架的過孔；

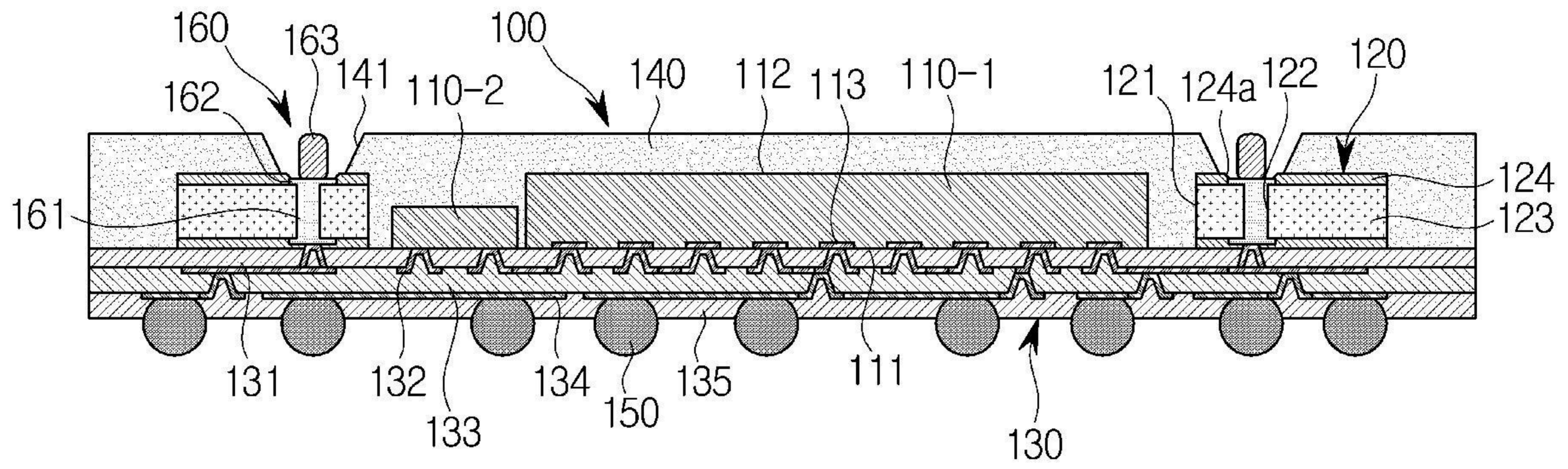
連接延伸部，在所述穿透部的上部上沿所述芯層的上表面延伸到所述穿透部的外側，所述連接延伸部在所述框架的寬度方向上延伸所述穿透部的剖面區域，以使所述連接延伸部的截面積比所述穿透部的截面積大。

**【第18項】**如申請專利範圍第17項所述的方法，其中，所述導電柱的端部或所述導電球的端部被形成為與所述包封件共面。

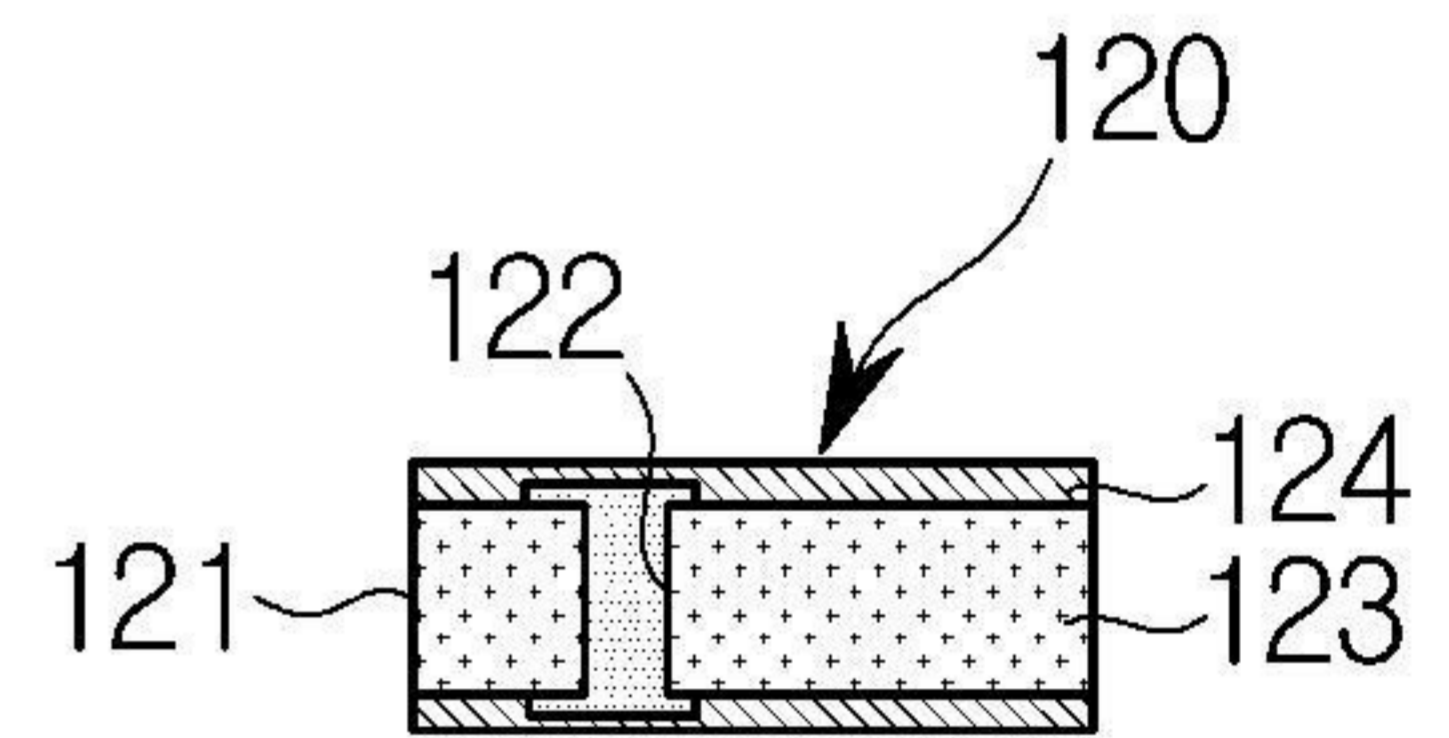
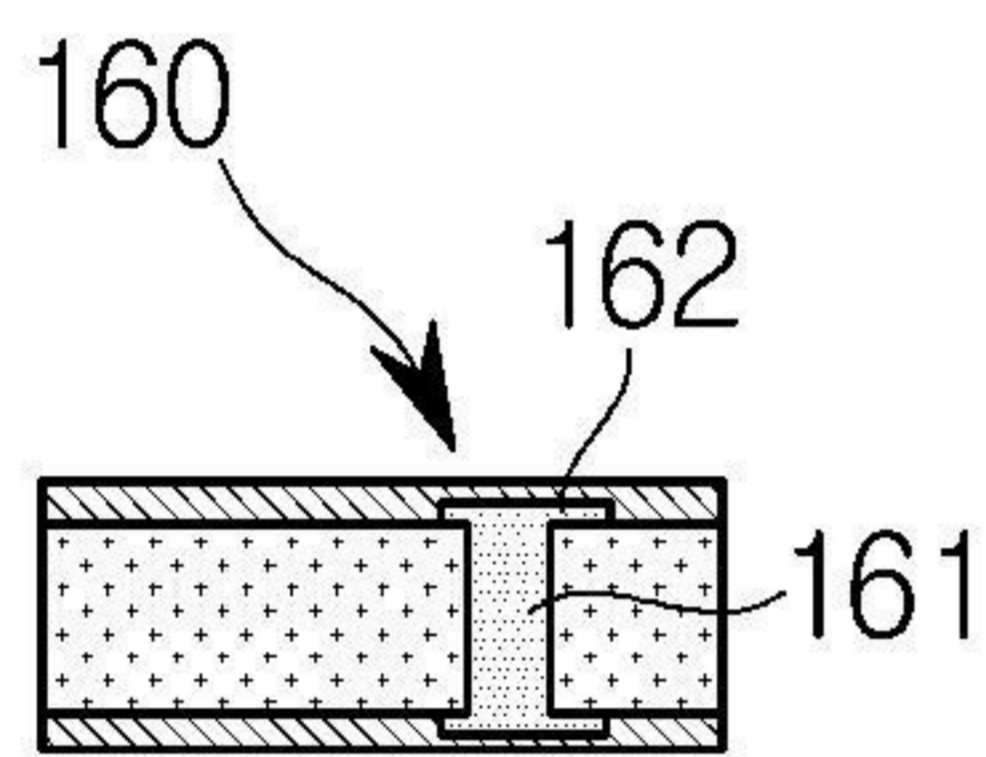
**【第19項】**如申請專利範圍第17項所述的方法，還包括：在暴露所述導電柱的端部或所述導電球的端部之後，在所述導電柱的端部或所述導電球的端部所暴露的附近蝕刻所述包封件，以形成凹區域。

**【第20項】**如申請專利範圍第19項所述的方法，其中，所述導電插塞的連接延伸部的形成在所述框架的所述導電插塞上的表面通過形成所述凹區域被完全地暴露。

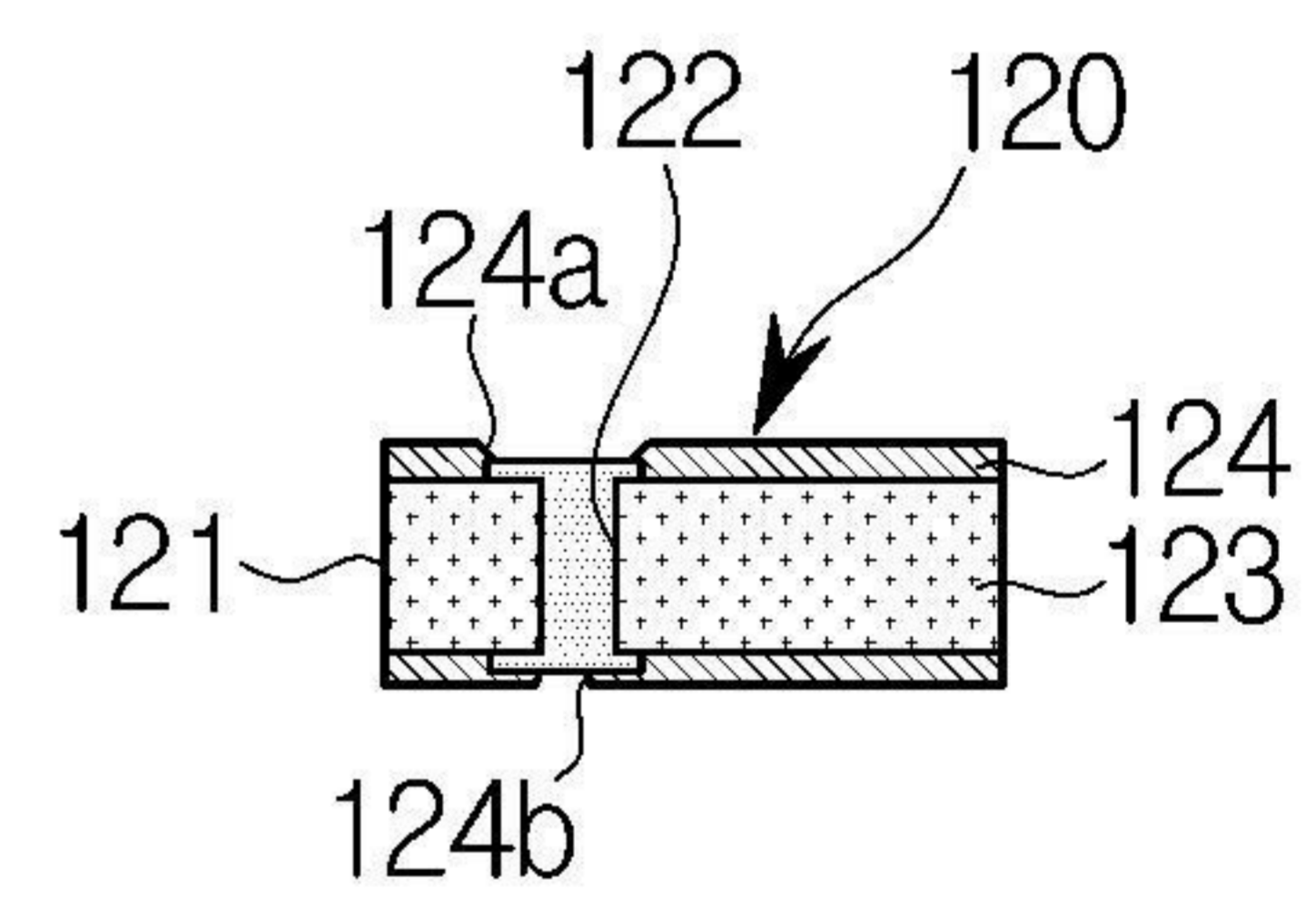
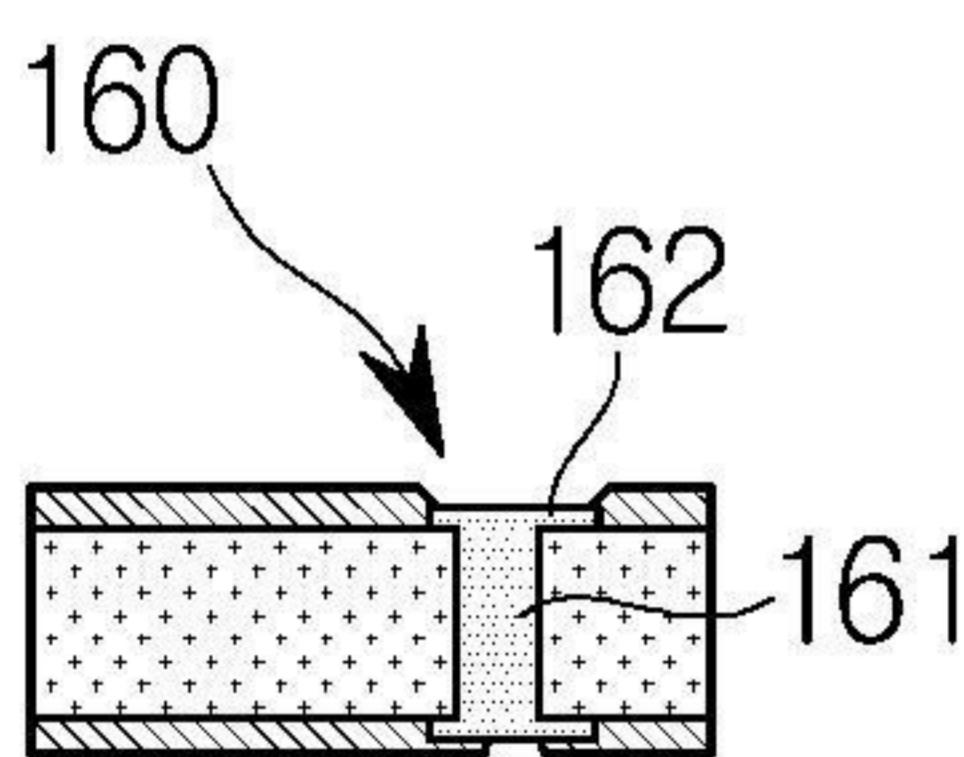
【發明圖式】



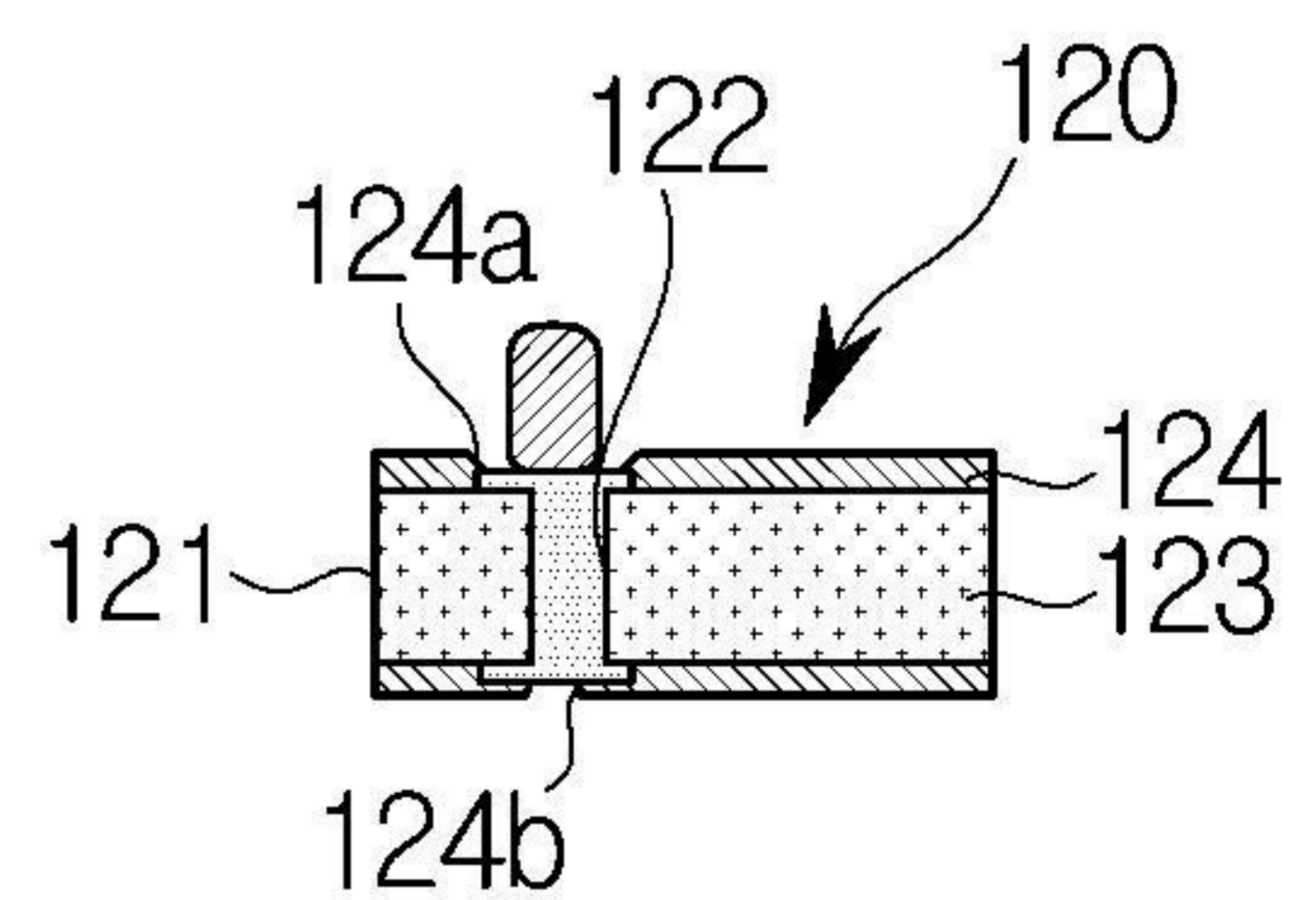
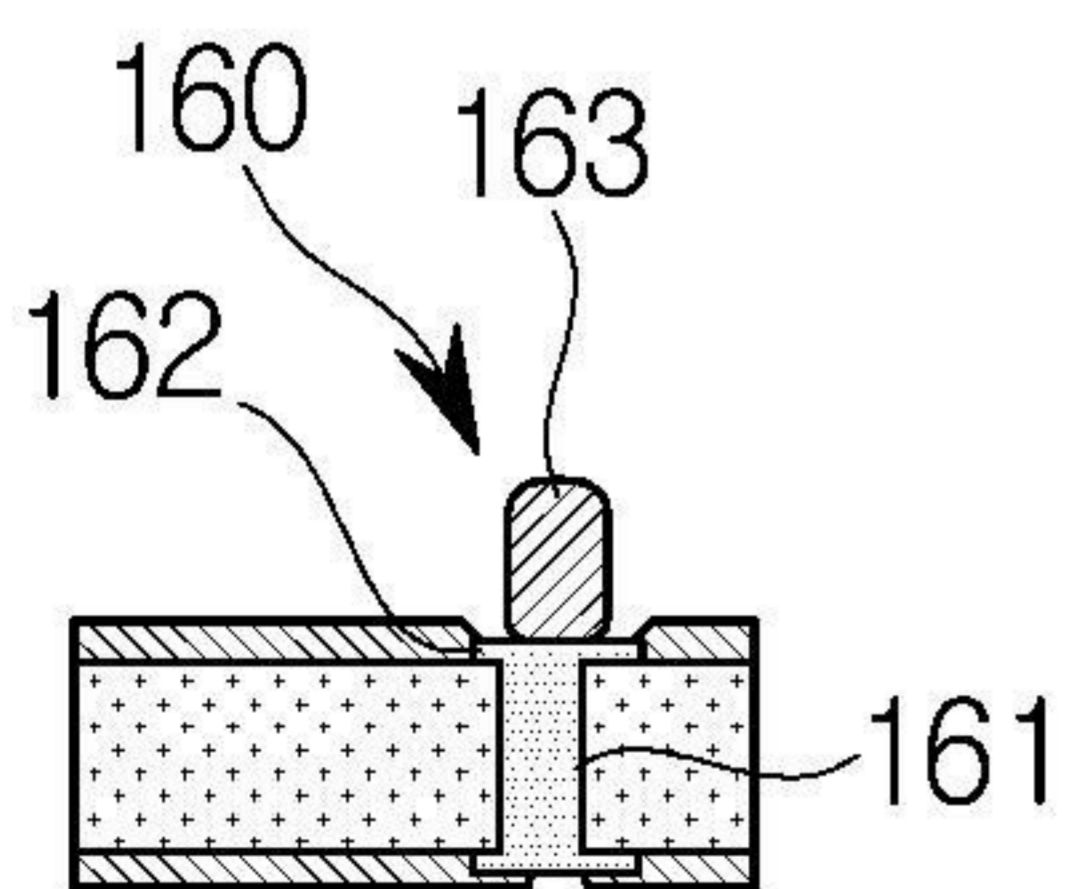
【圖1】



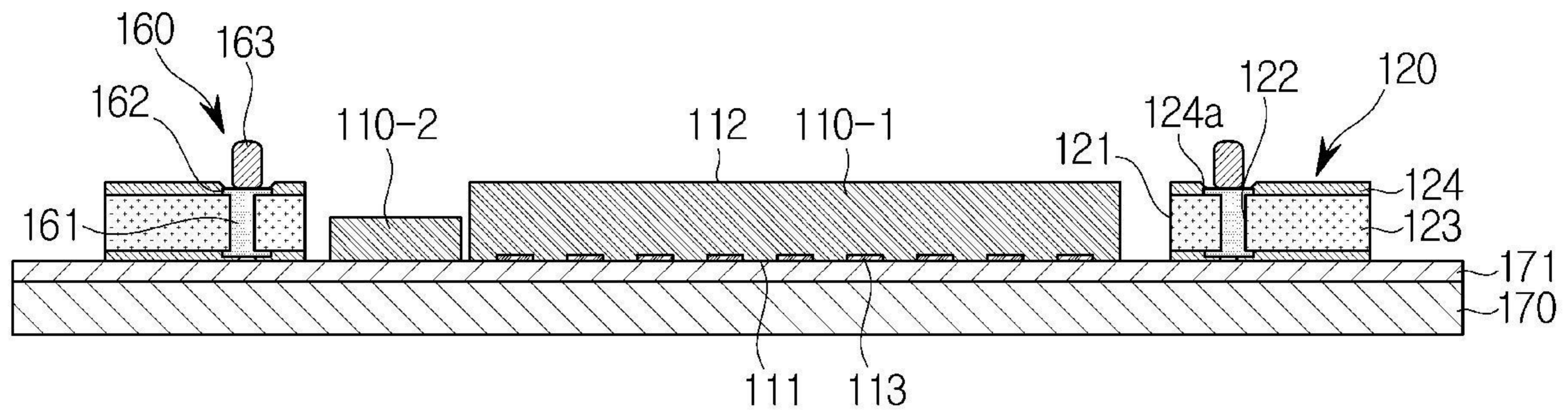
【圖2】



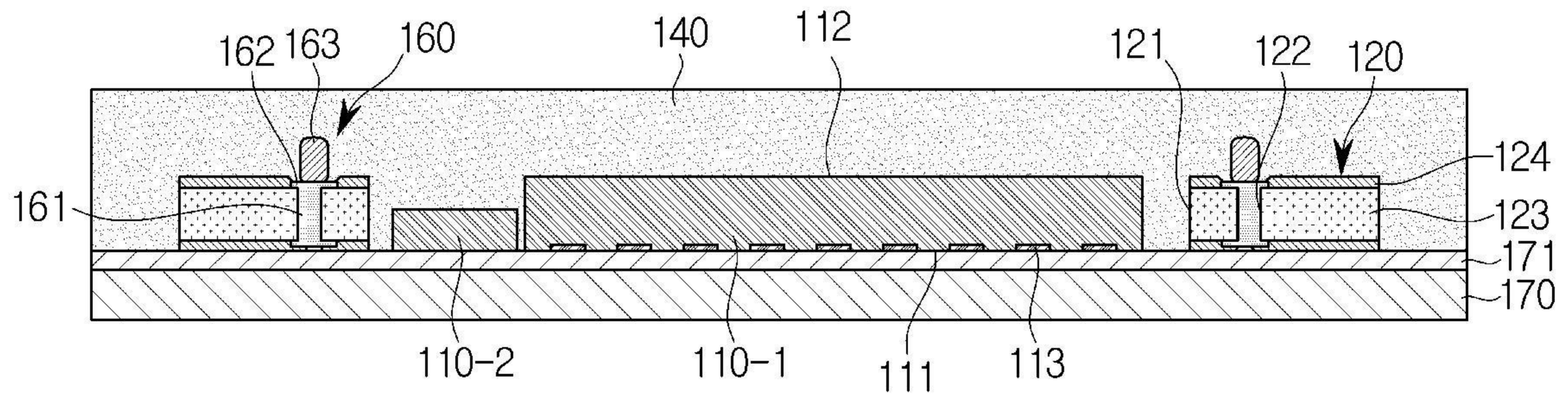
【圖3】



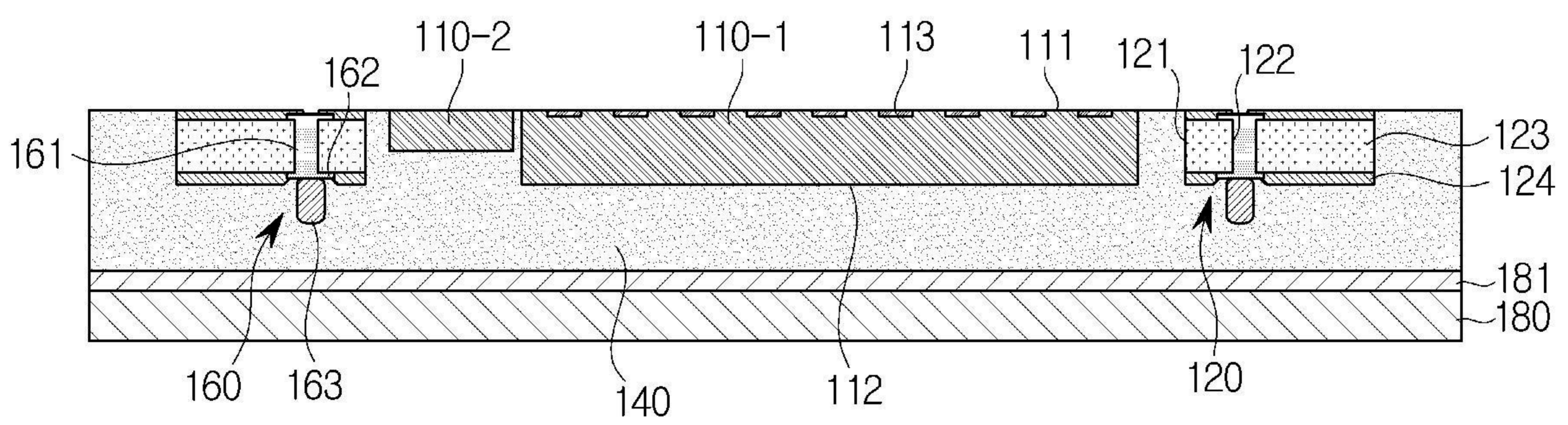
【圖4】



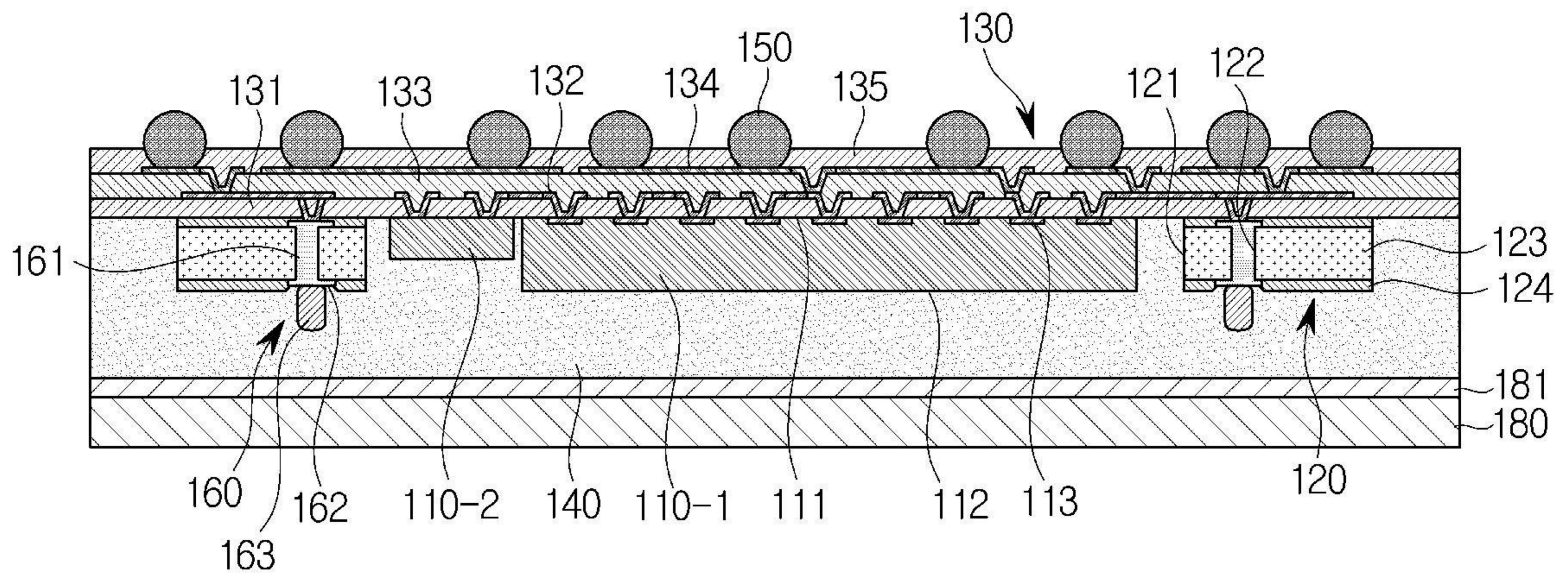
【圖5】



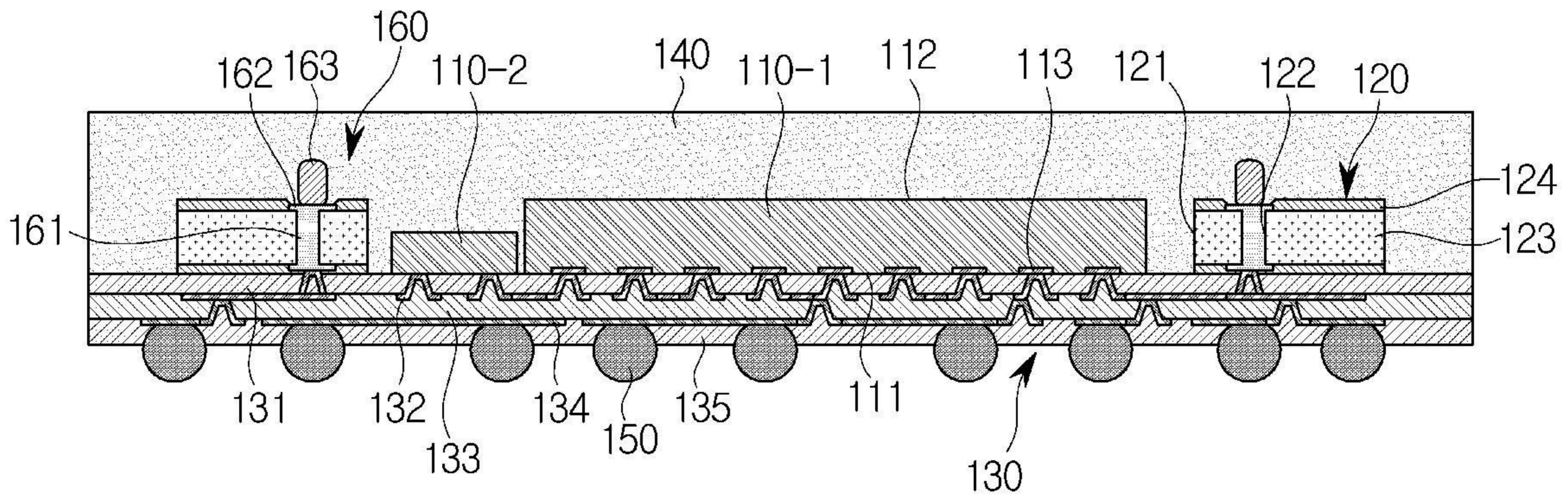
【圖6】



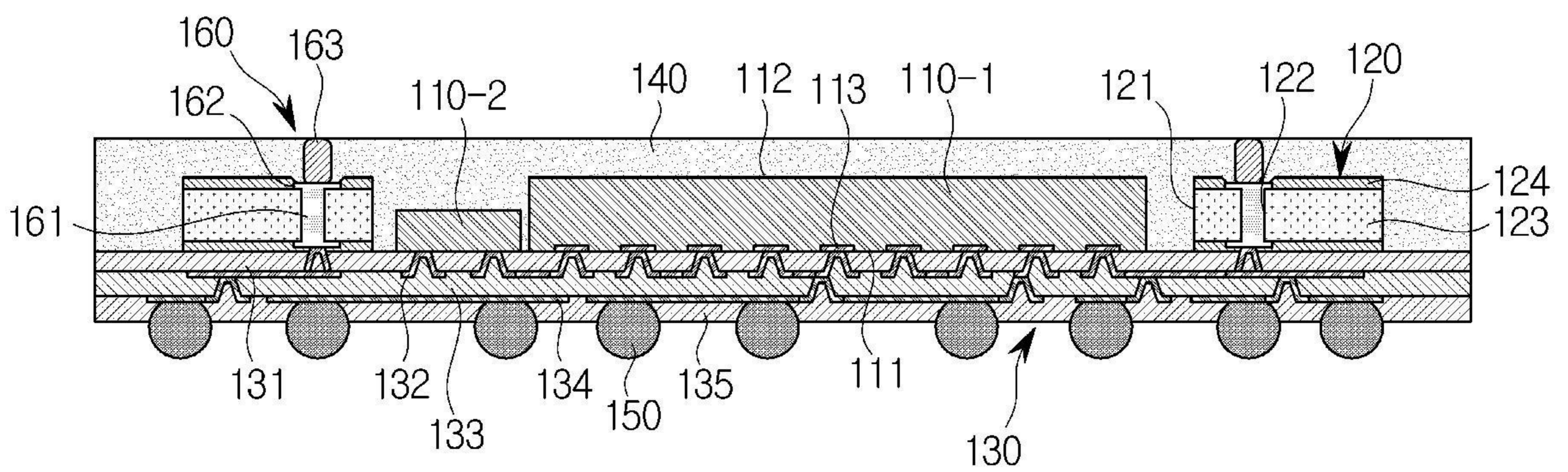
【圖7】



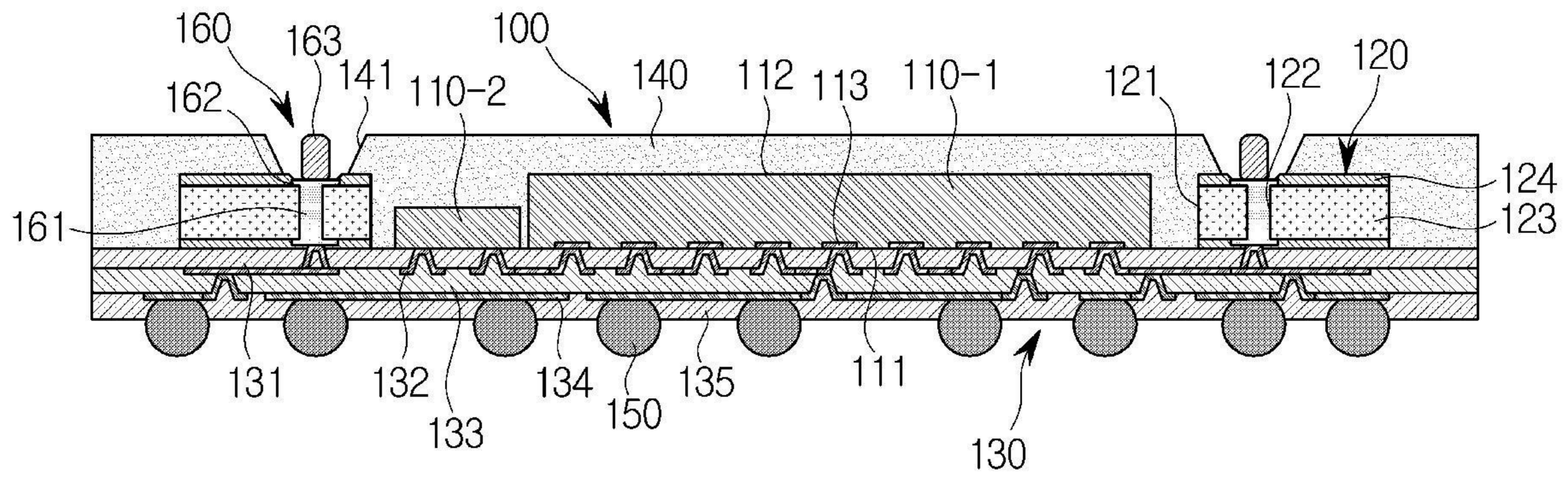
【圖8】



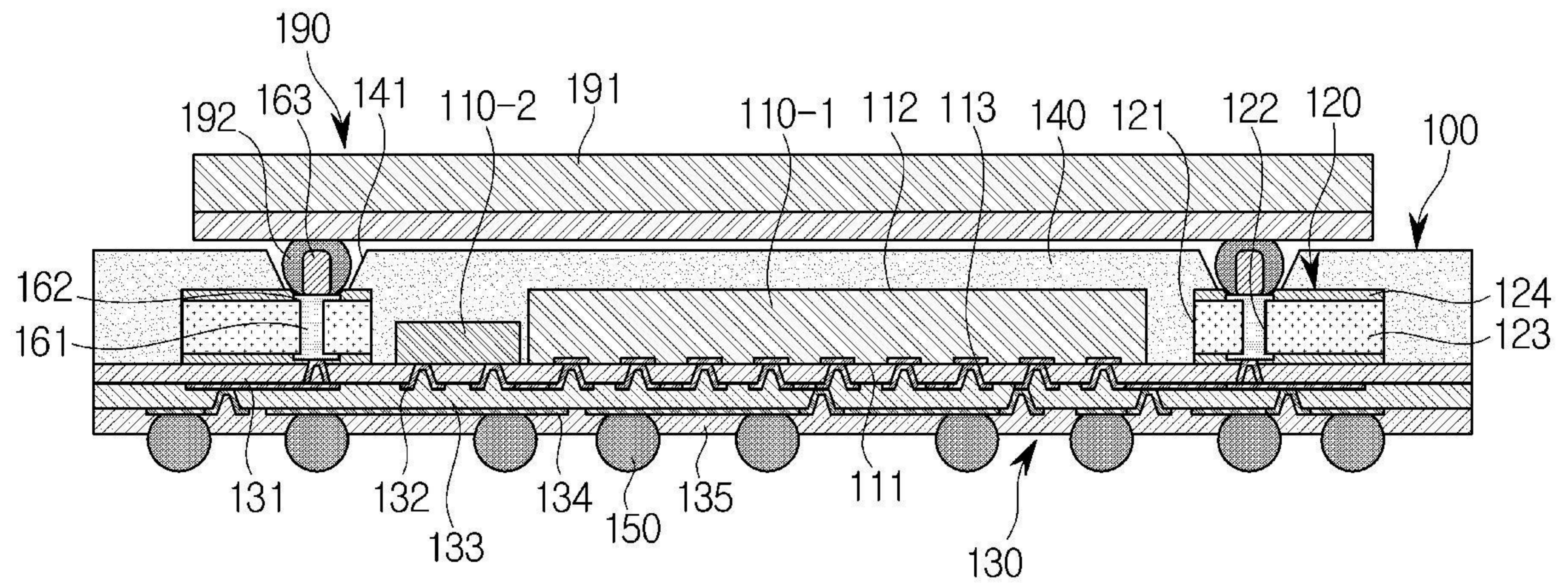
【圖9】



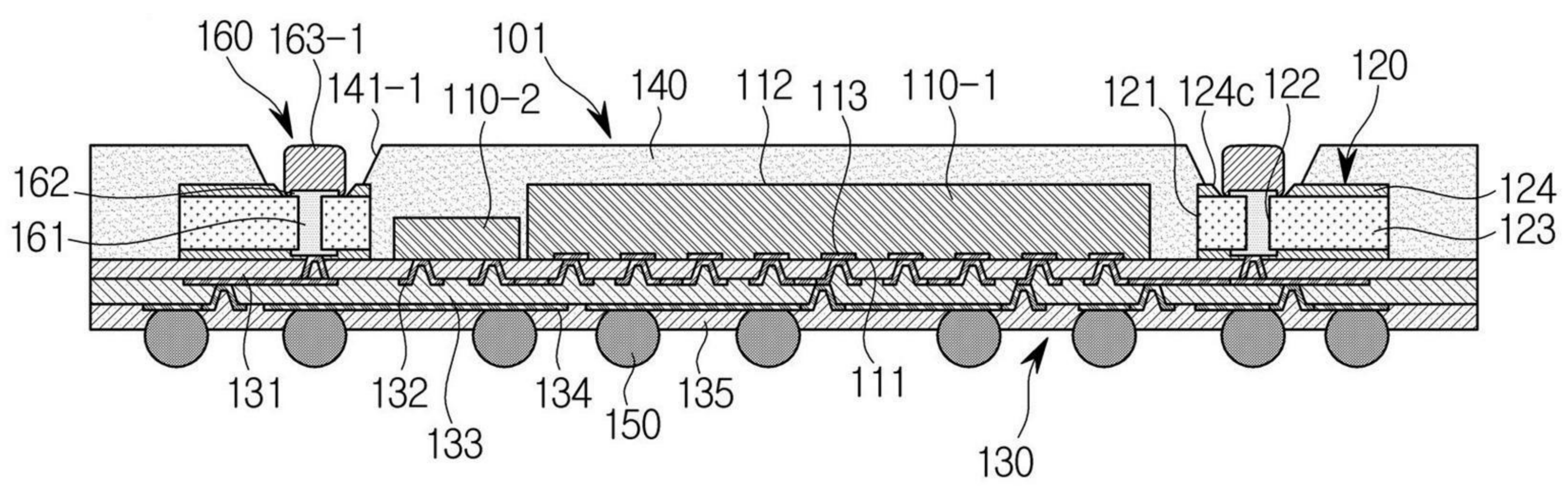
【圖10】



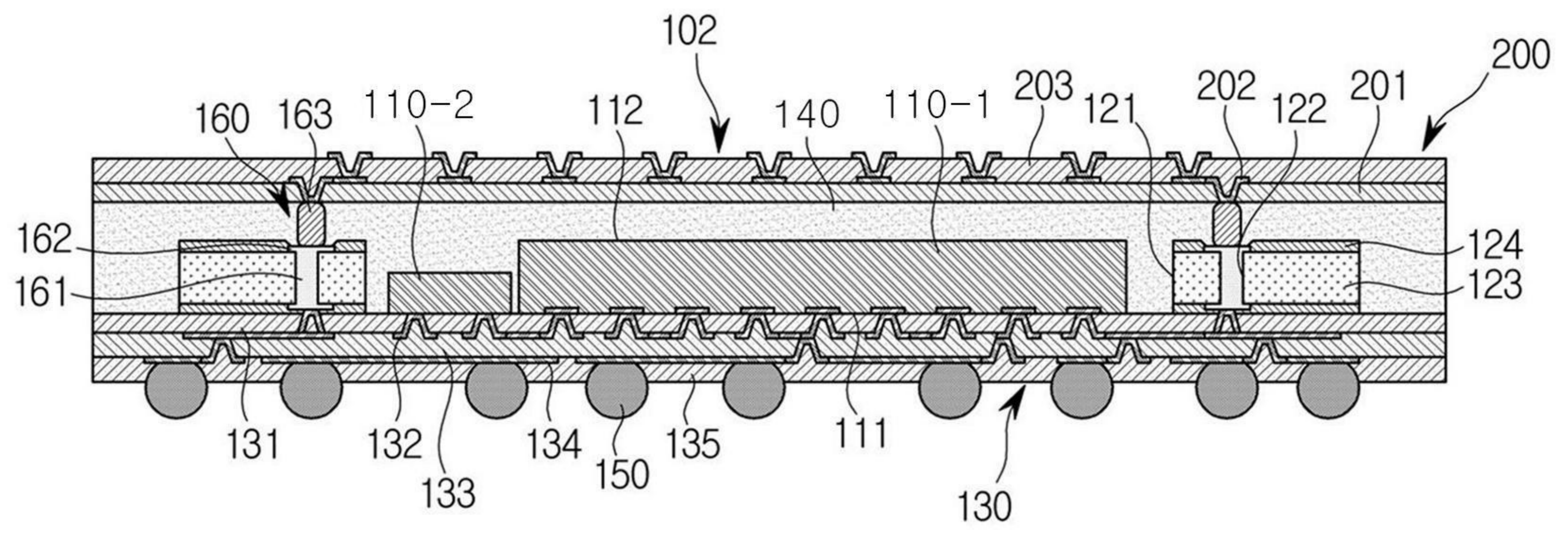
【圖11】



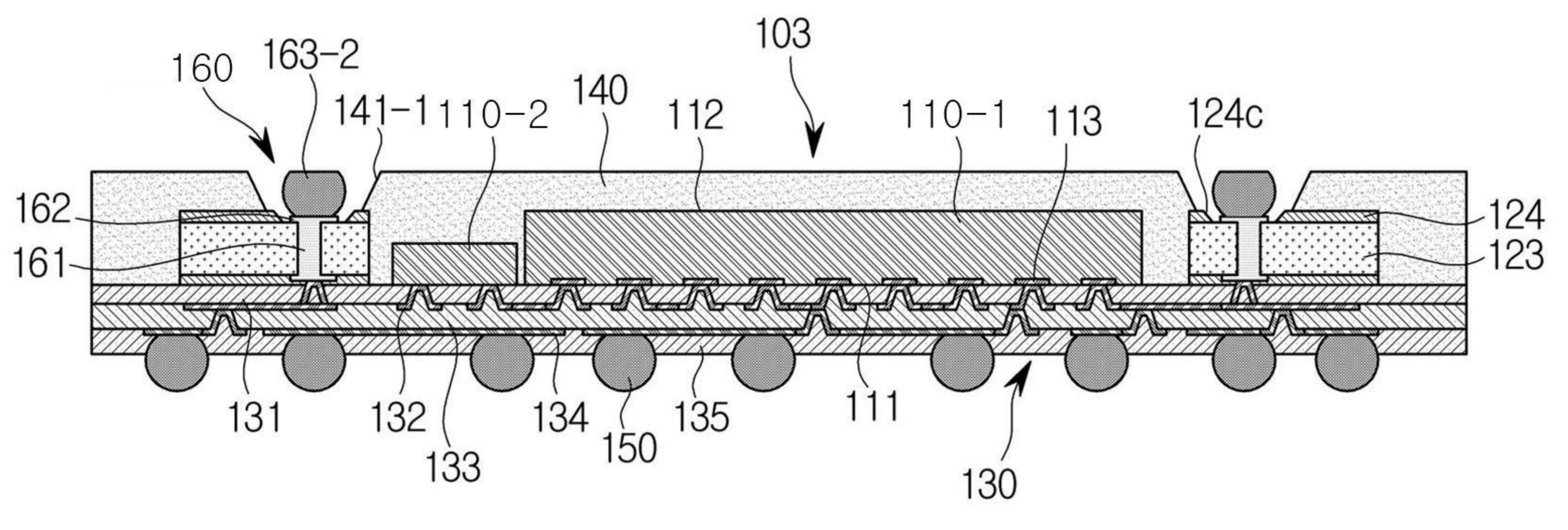
【圖12】



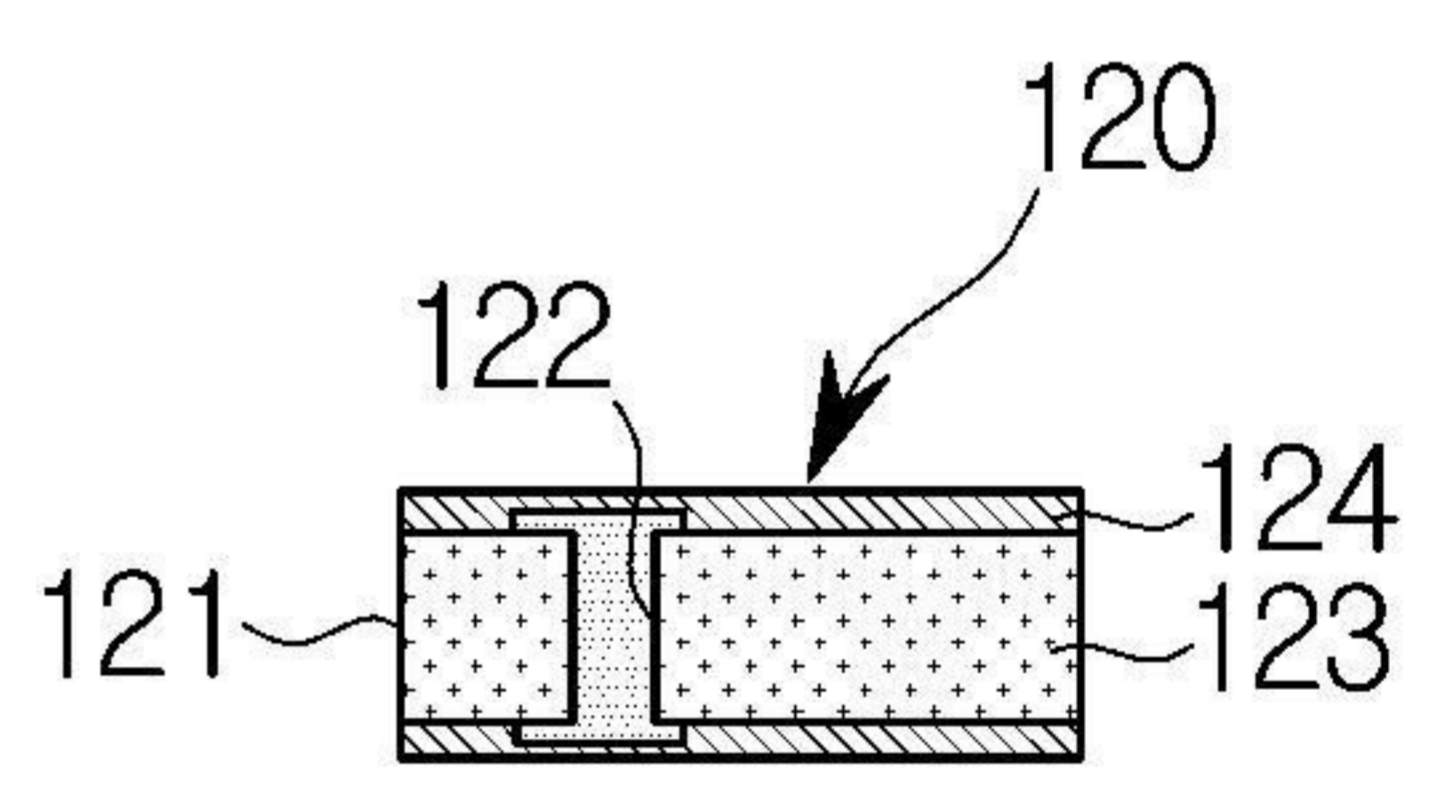
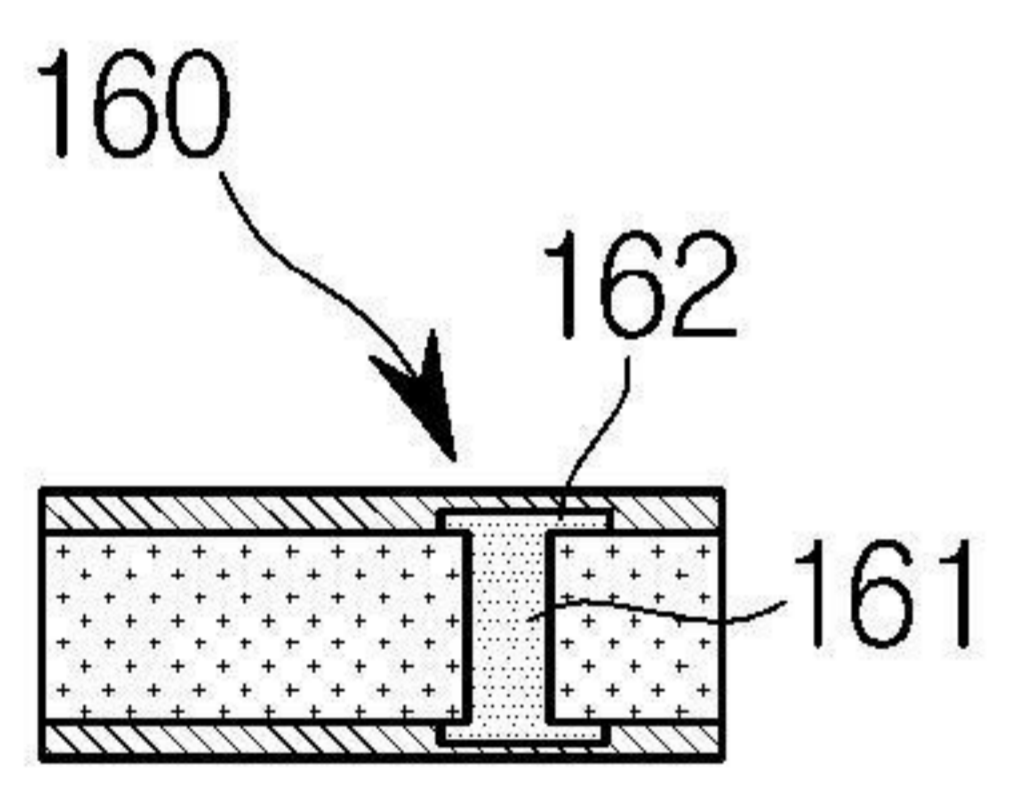
【圖13】



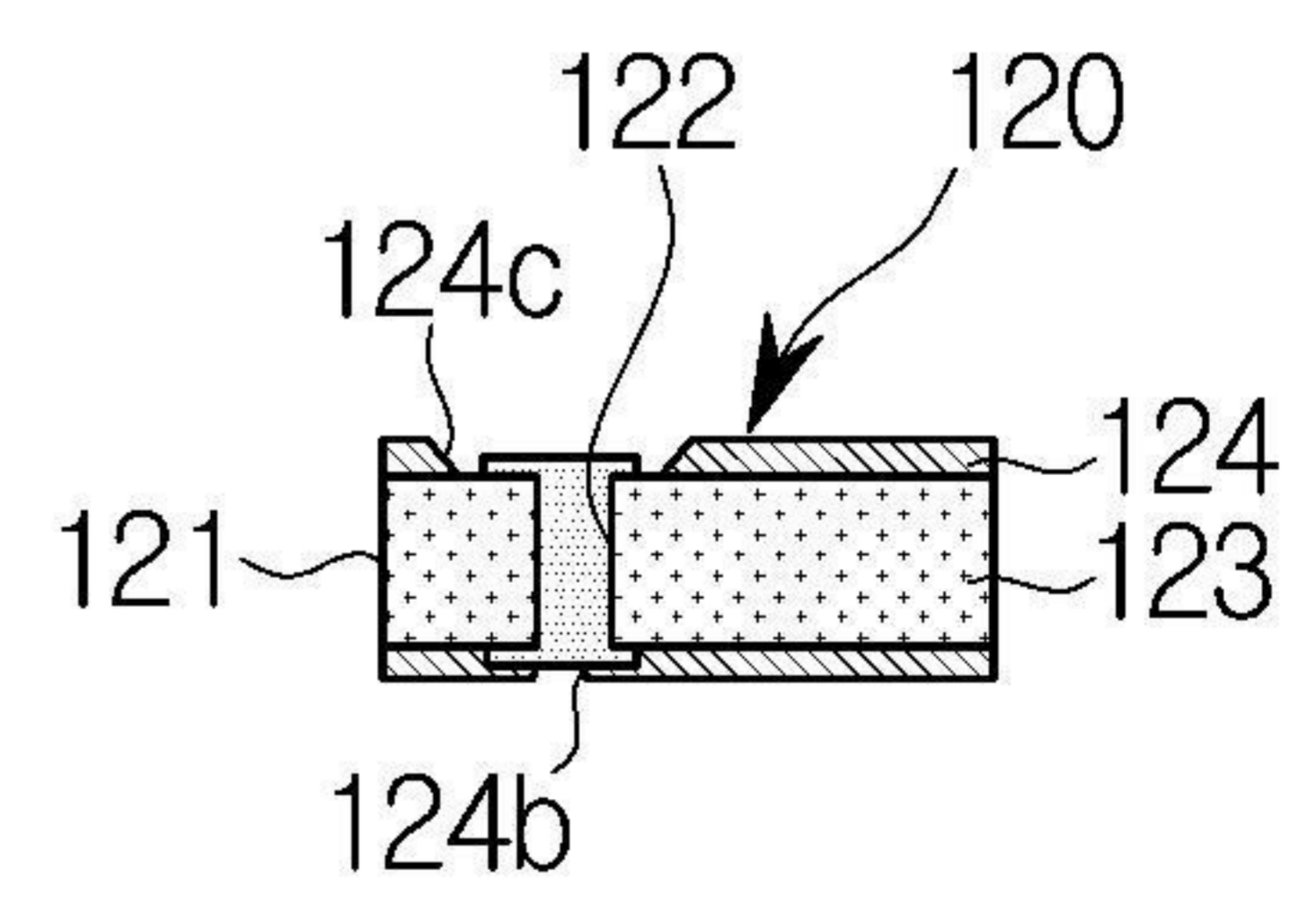
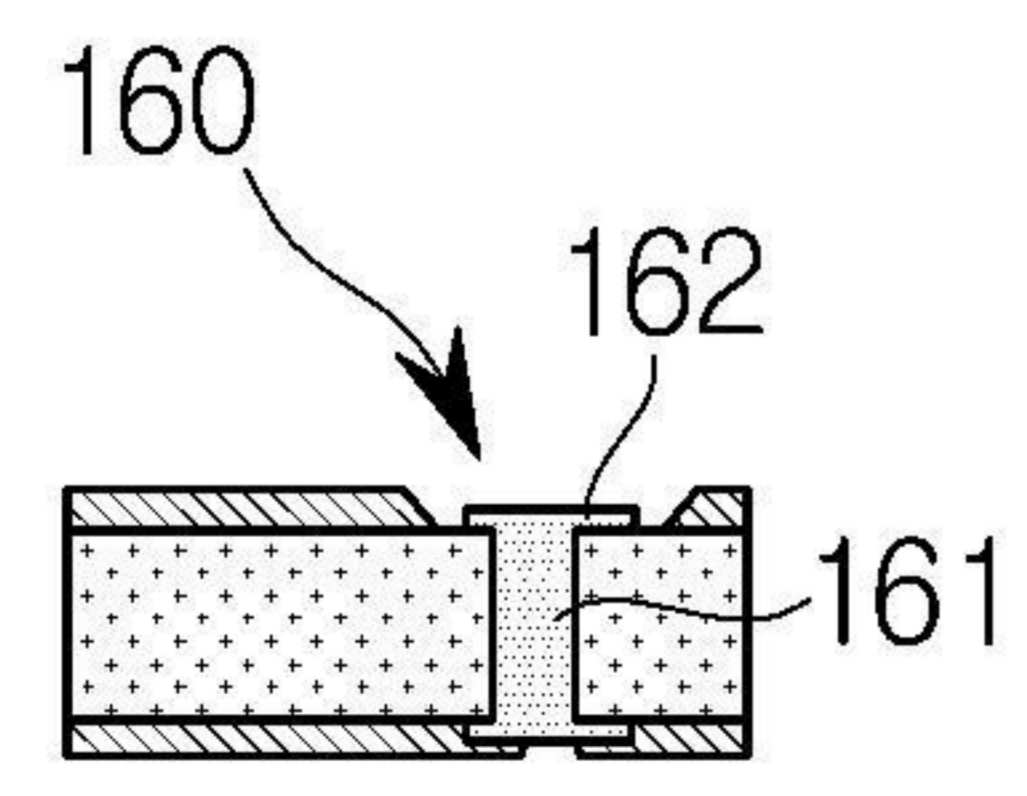
【圖14】



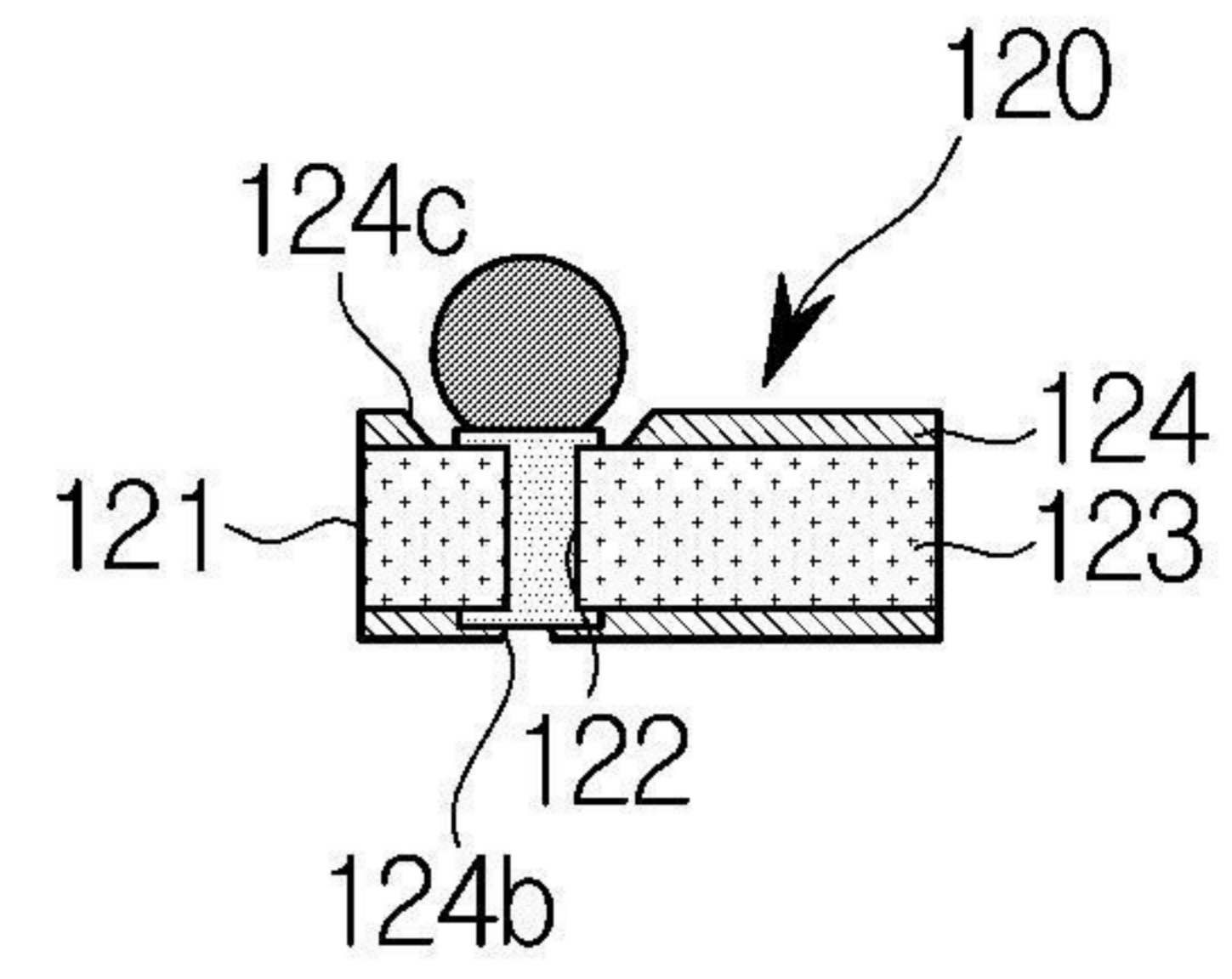
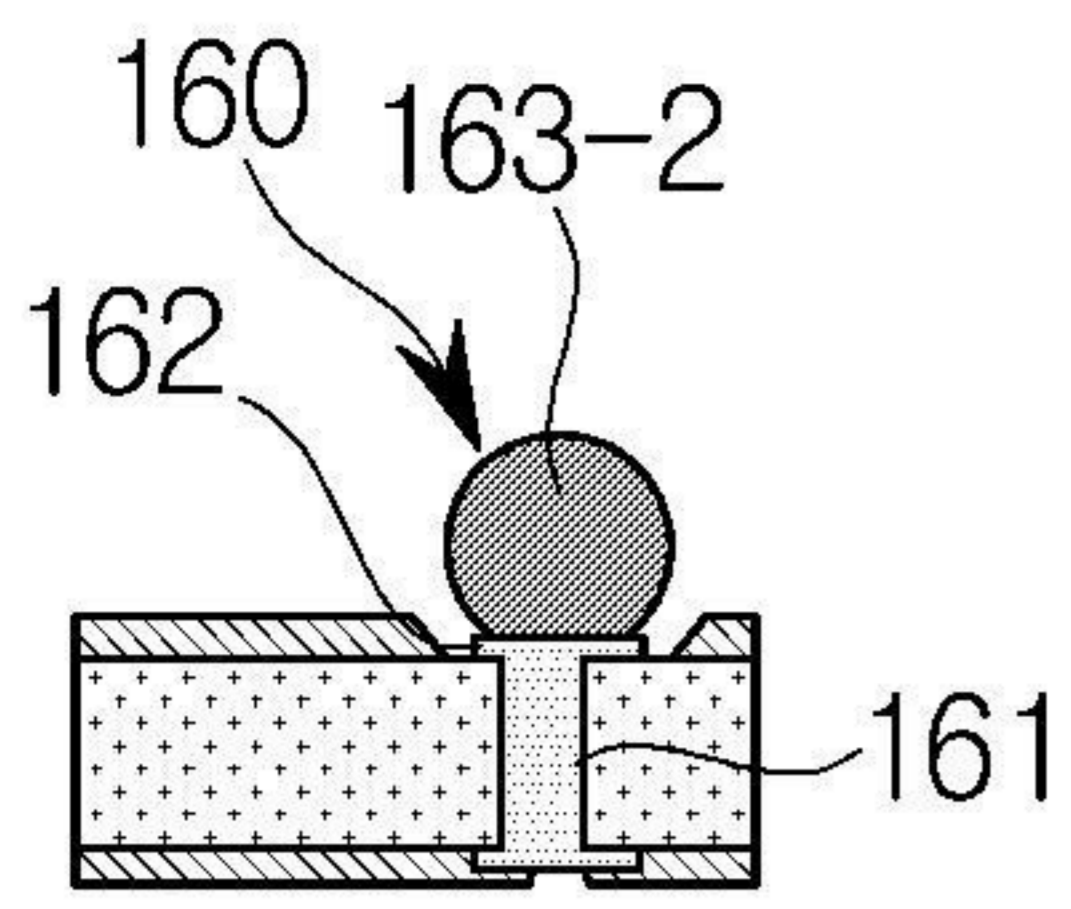
【圖15】



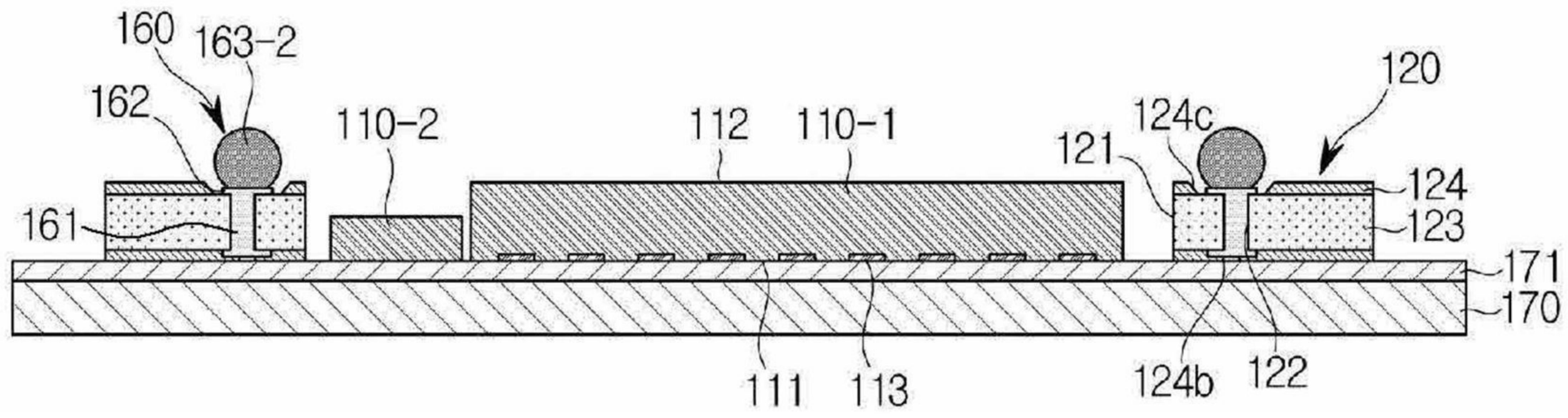
【圖16】



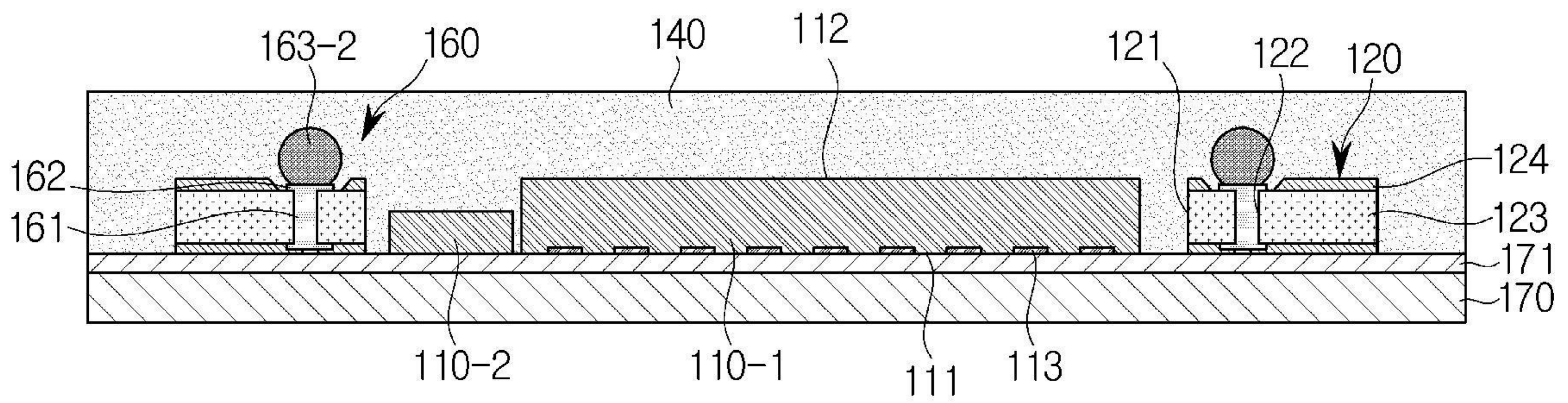
【圖17】



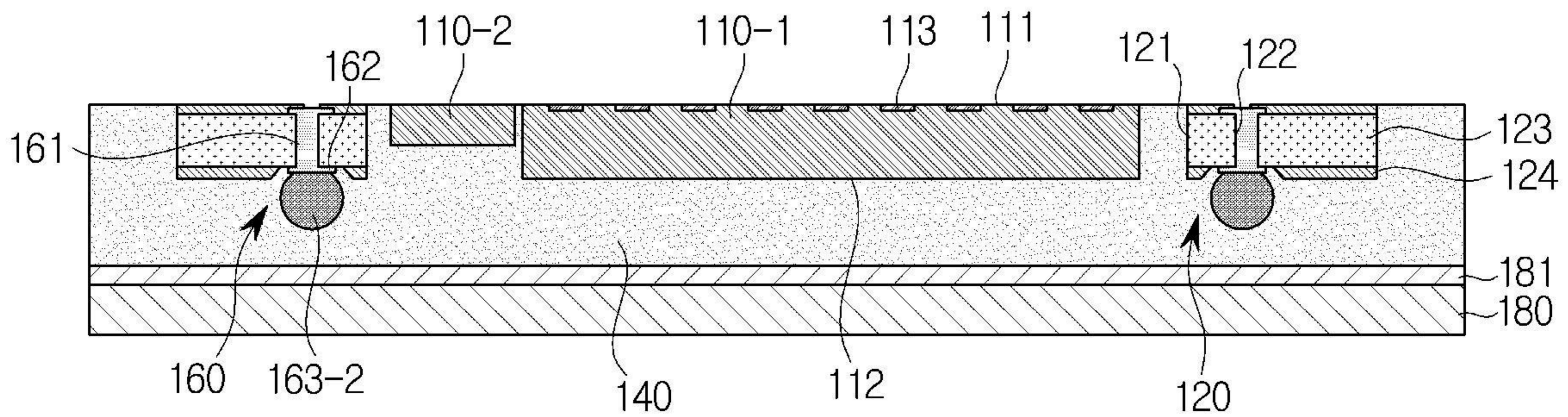
【圖18】



【圖19】

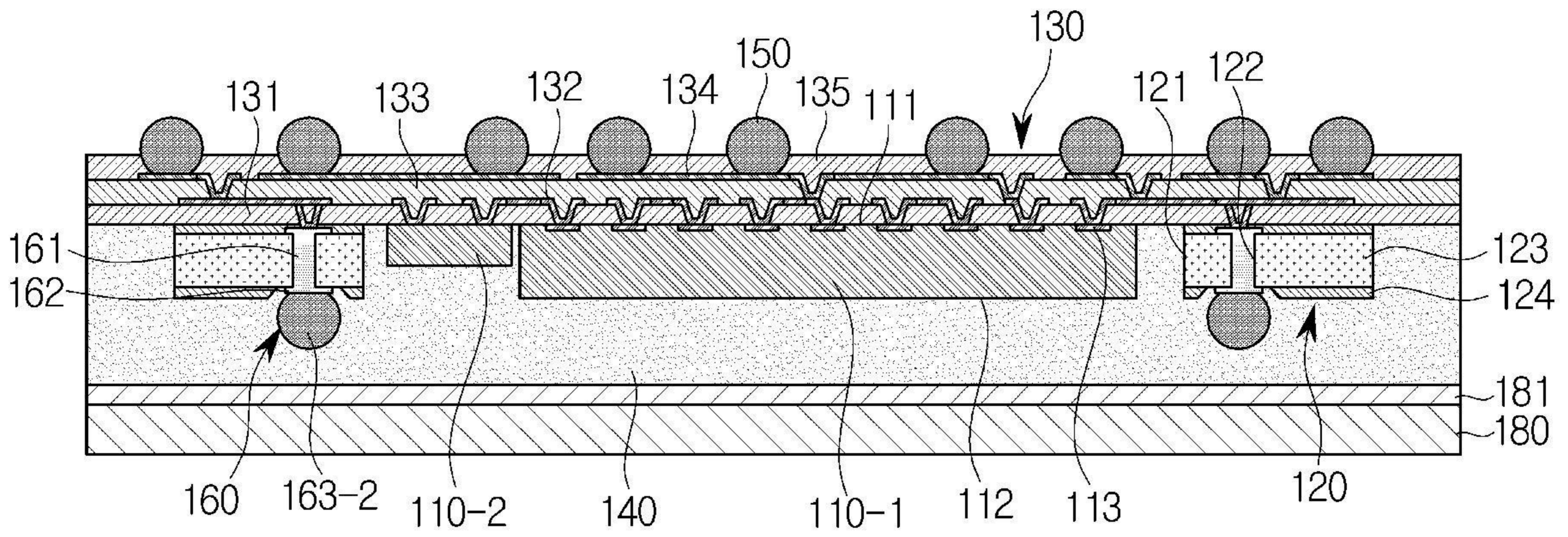


【圖20】

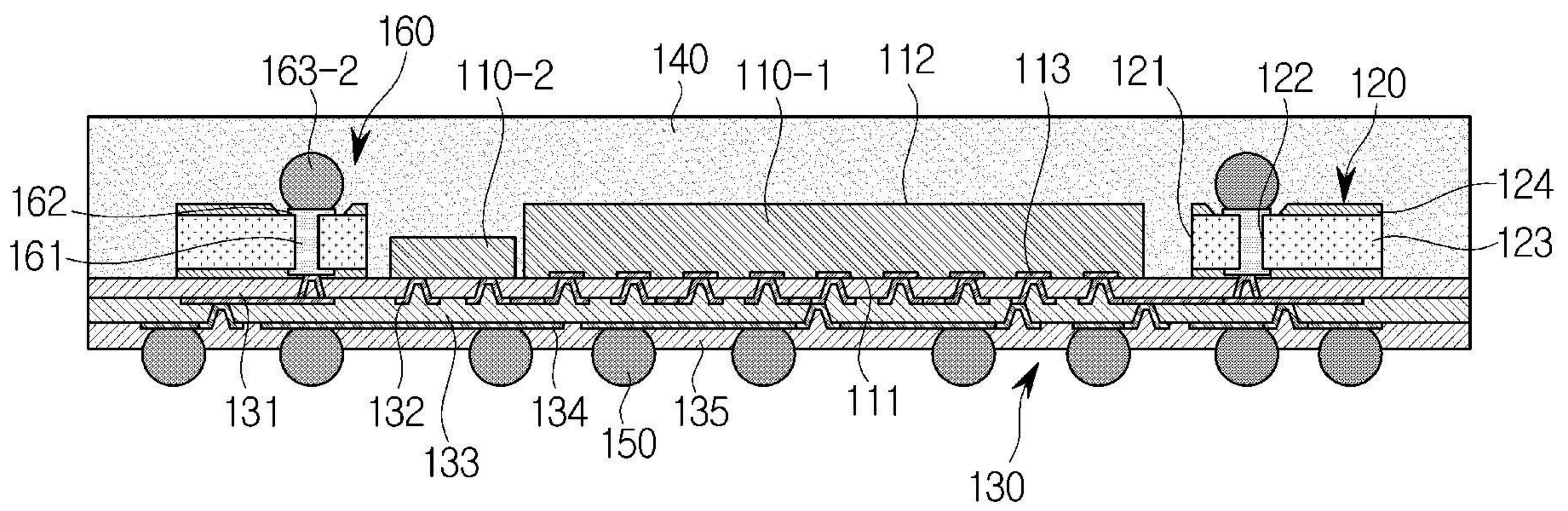


【圖21】

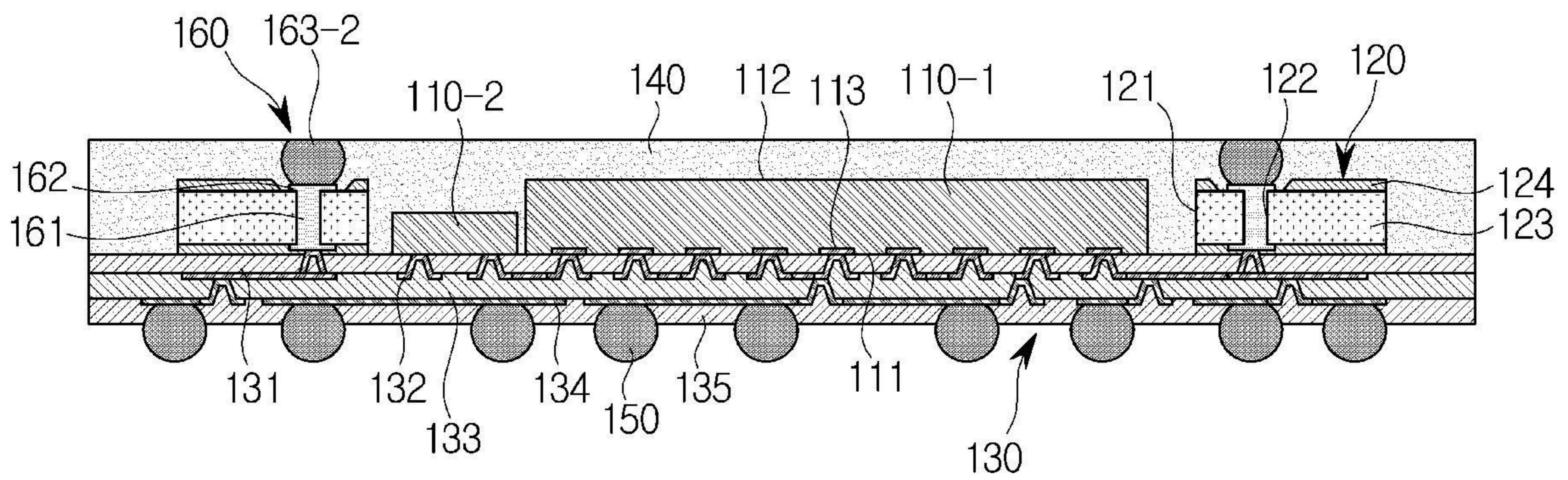




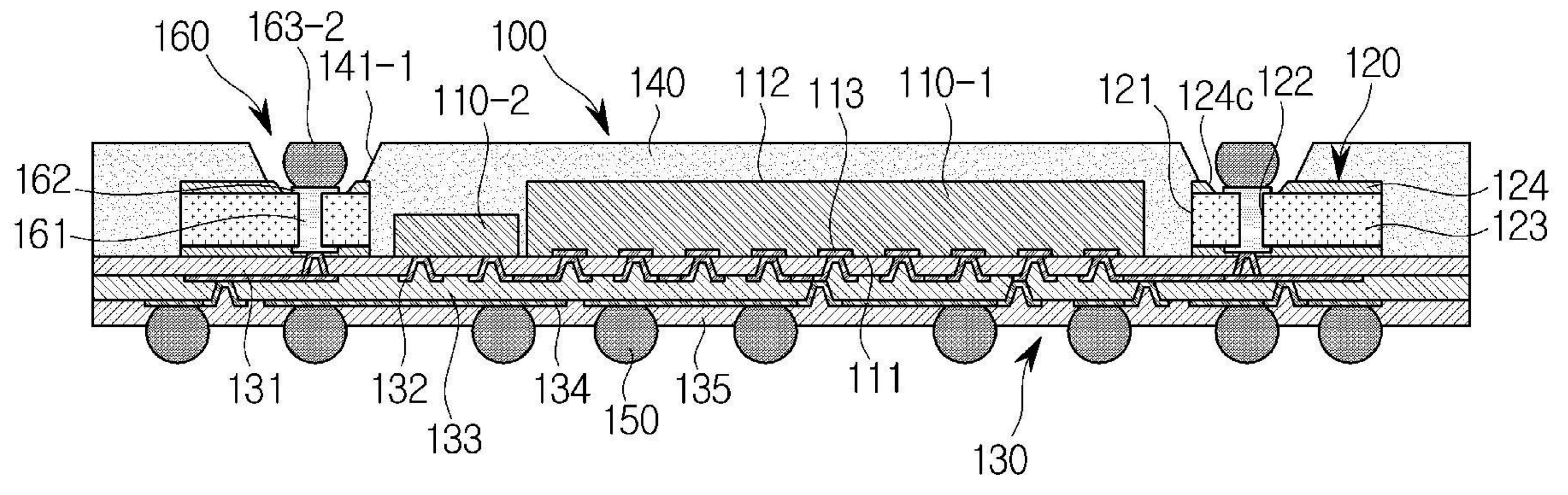
【圖22】



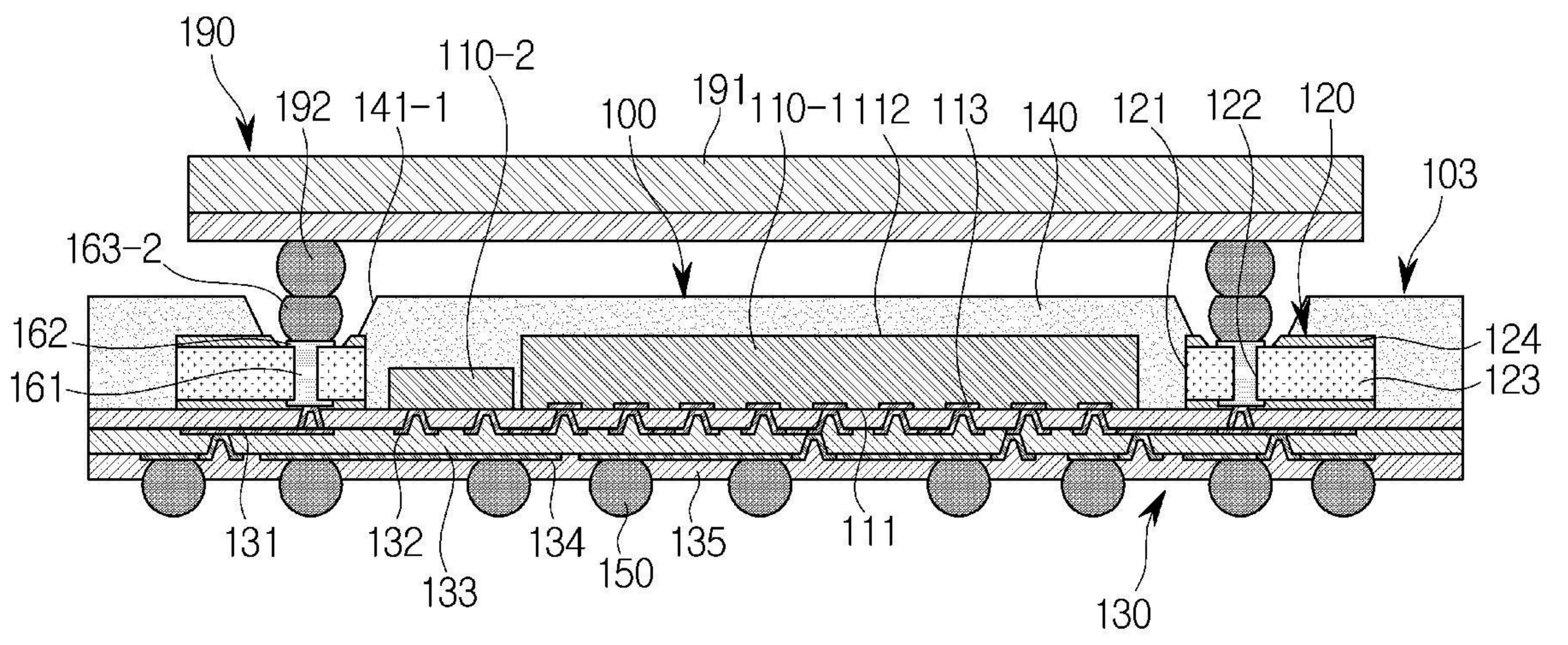
【圖23】



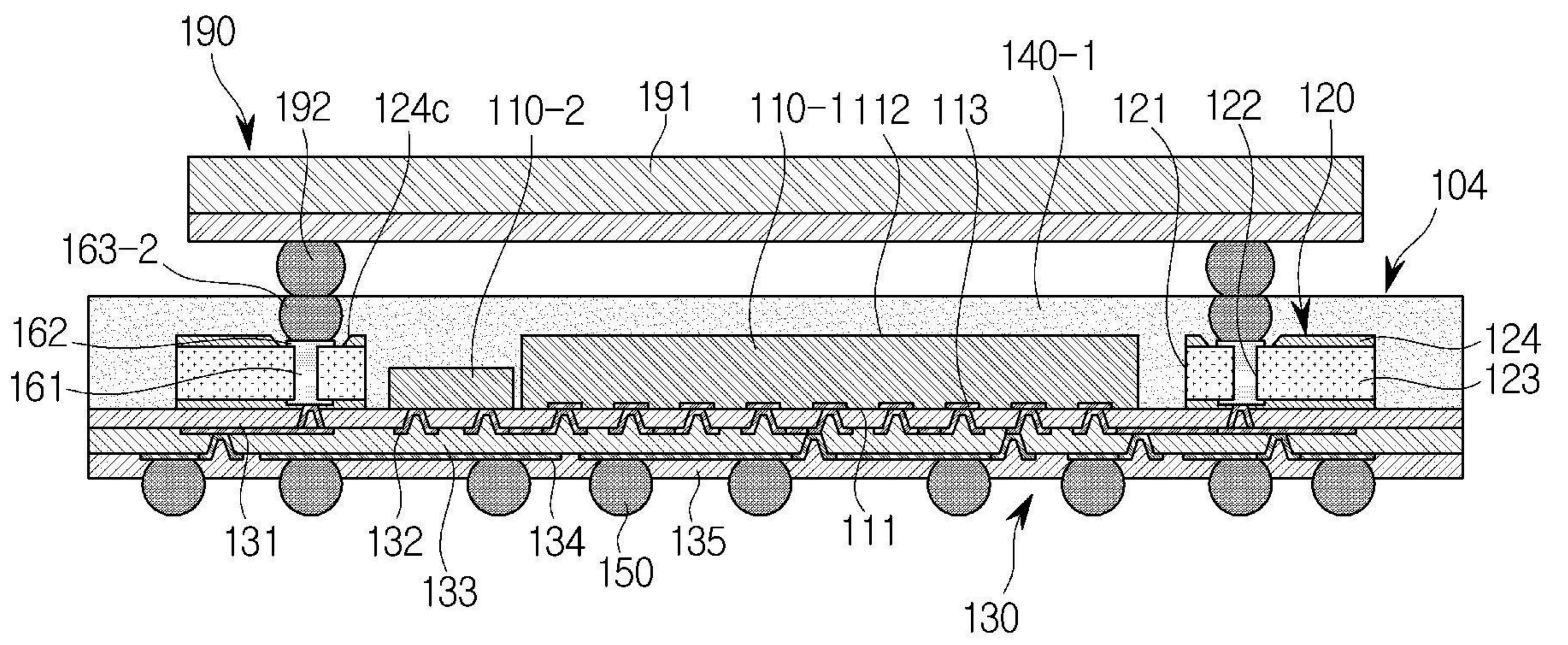
【圖24】



【圖25】



【圖26】



【圖27】