



(12) 发明专利申请

(10) 申请公布号 CN 103021996 A

(43) 申请公布日 2013. 04. 03

(21) 申请号 201210582792. 9

(22) 申请日 2012. 12. 28

(71) 申请人 华天科技(西安)有限公司

地址 710018 陕西省西安市经济技术开发区
凤城五路 105 号

(72) 发明人 郭小伟 蒲鸿鸣 崔梦 刘卫东
朱文辉

(51) Int. Cl.

H01L 23/495(2006. 01)

H01L 25/00(2006. 01)

H01L 21/50(2006. 01)

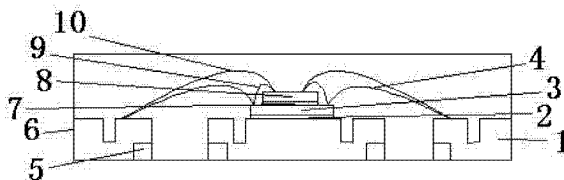
权利要求书 1 页 说明书 3 页 附图 1 页

(54) 发明名称

一种带有方形凹槽的冲压框架的扁平多芯片封装件及其制作方法

(57) 摘要

本发明公开了一种带有方形凹槽的冲压框架的扁平多芯片封装件及其制作方法,该封装件主要由引线框架、方形凹槽、下芯片、上芯片、下粘片胶、上粘片胶、下键合线、中键合线、上键合线和塑封体组成;所述引线框架开有方形凹槽,所述引线框架通过下粘片胶与下芯片粘接,所述下芯片通过上粘片胶与上芯片粘接,所述下键合线连接引线框架和下芯片,所述中键合线连接下粘片胶和上粘片胶,所述上键合线连接上粘片胶和引线框架,所述塑封体包围引线框架、下芯片、上芯片、下粘片胶、上粘片胶、下键合线、中键合线、上键合线,特别是塑封体填充方形凹槽,引线框架、下芯片、上芯片、下键合线、中键合线、上键合线构成电路的电源和信号通道。本发明的塑封体与引线框架的结合更牢固,抗分层效果更好。



1. 一种带有方形凹槽的冲压框架的扁平多芯片封装件,其特征在于:主要由引线框架(1)、方形凹槽(5)、下芯片(3)、上芯片(8)、下粘片胶(2)、上粘片胶(7)、下键合线(4)、中键合线(9)、上键合线(10)和塑封体(6)组成;所述引线框架(1)开有方形凹槽(5),所述引线框架(1)通过下粘片胶(2)与下芯片(3)粘接,所述下芯片(3)通过上粘片胶(7)与上芯片(8)粘接,所述下键合线(4)连接引线框架(1)和下芯片(3),所述中键合线(9)连接下粘片胶(2)和上粘片胶(7),所述上键合线(10)连接上粘片胶(7)和引线框架(1),所述塑封体(6)包围引线框架(1)、下芯片(3)、上芯片(8)、下粘片胶(2)、上粘片胶(7)、下键合线(4)、中键合线(9)、上键合线(10),特别是塑封体(6)填充方形凹槽(5),引线框架(1)、下芯片(3)、上芯片(8)、下键合线(4)、中键合线(9)、上键合线(10)构成电路的电源和信号通道。

2. 一种带有方形凹槽的冲压框架的扁平多芯片封装件的制作方法,其特征在于:所述方法主要按照以下步骤进行:

第一步:晶圆减薄:减薄厚度 $50\ \mu\text{m} \sim 200\ \mu\text{m}$,粗糙度 $R_a\ 0.10\text{mm} \sim 0.05\text{mm}$;

第二步:划片: $150\ \mu\text{m}$ 以上晶圆同普通 QFN 划片工艺,但厚度在 $150\ \mu\text{m}$ 以下晶圆,使用双刀划片机及其工艺;

第三步:上芯(粘片):既可采用粘片胶又可采用胶膜片(DAF)上芯;

第四步:压焊:压焊同常规 QFN/DFN 工艺相同;

第五步:塑封:在引线框架(1)上用冲孔或钻孔的方法做成方形凹槽(5)后,塑封时塑封体(6)会自动填入方形凹槽(5),在引线框架(1)与塑封体(6)之间形成有效的防拖拉结构;

第六步:后固化、磨胶、锡化、打印、产品分离、检验、包装等均为常规 QFN/DFN 工艺相同。

一种带有方形凹槽的冲压框架的扁平多芯片封装件及其制作方法

[0001]

技术领域

[0002] 本发明属于集成电路封装技术领域,具体是一种带有方形凹槽的冲压框架的扁平多芯片封装件及其制作方法。

背景技术

[0003] QFN(四面扁平无引脚封装)及DFN(双扁平无引脚封装)封装是在近几年随着通讯及便携式小型数码电子产品的产生(数码相机、手机、PC、MP3)而发展起来的、适用于高频、宽带、低噪声、高导热、小体积,高速度等电性要求的中小规模集成电路的封装。我们知道QFN/DFN封装有效地利用了引线脚的封装空间,从而大幅度地提高了封装效率。但目前大部分半导体封装厂商QFN/DFN的制造过程中对于框架的选用都面临一些难题,现有框架为冲压框架和蚀刻框架两种,冲压框架,其模具采用机械法工形成,生产效率高,单颗产品成本较低,但对于一些特殊图形的引线框架,无法选用冲压法加工,例如QFN/DFN/QFP等载体外露的框架,载体与内引脚之间有一定的高度差,形成一定的台阶,冲压法难以实现及控制好该台阶;化学蚀刻框架,其模具费用低,开发周期短,可达到2周~1个月,封装时塑封、切割模具可共用,投入成本低,但其生产效率低,且单颗产品成本较高。

[0004] 现有QFN/DFN工艺的塑封工序中,由于框架结构的局限性,导致QFN/DFN封装存在以下不足:

1. 集成电路芯片和载体的结合力不好,当受外界环境变化的影响时,会造成产品内部产生分层缺陷,致使性能退化,甚至失效;
2. 载体背面和塑封料的结合力不好,当受外界环境的影响,会造成产品产生缺陷(分层);或外露载体(基岛)上有较厚的溢料。

发明内容

[0005] 针对上述常规冲压框架、蚀刻框架的缺陷,本发明提供一种带有方形凹槽的冲压框架的扁平多芯片封装件及其制作方法,其塑封体与引线框架的结合更牢固,抗分层效果更好。

[0006] 本发明的技术方案是:一种带有方形凹槽的冲压框架的扁平多芯片封装件及其制作方法,主要由引线框架、方形凹槽、下芯片、上芯片、下粘片胶、上粘片胶、下键合线、中键合线、上键合线和塑封体组成;所述引线框架开有方形凹槽,所述引线框架通过下粘片胶与下芯片粘接,所述下芯片通过上粘片胶与上芯片粘接,所述下键合线连接引线框架和下芯片,所述中键合线连接下粘片胶和上粘片胶,所述上键合线连接上粘片胶和引线框架,所述塑封体包围引线框架、下芯片、上芯片、下粘片胶、上粘片胶、下键合线、中键合线、上键合线,特别是塑封体填充方形凹槽,引线框架、下芯片、上芯片、下键合线、中键合线、上键合线

构成电路的电源和信号通道。

[0007] 一种带有方形凹槽的冲压框架的扁平多芯片封装件的制作方法,其主要步骤为:晶圆减薄、划片、上芯(粘片)、压焊、框架背面贴膜、塑封、后固化、框架背面贴膜、磨胶、锡化、打印、产品分离、检验、包装、入库。

[0008] 本发明采用一种新型的框架,该框架采用冲压法加工而成,并采用冲压或钻孔的方法在框架上形成方形凹槽,用以替代蚀刻法在框架上蚀刻出台阶从而起到抗分层的作用,集成电路封装过程中塑封体填入方形凹槽中,从而在框架与塑封料之间形成有效的防拖拉结构,使塑封体与框架间的结合力更好,极大的降低了分层的可能性,显著提高产品可靠性。同时解决了以往研磨框架及半腐蚀框架费用高的缺陷,极大的降低了成本。

[0009] 说明书附图

图 1 为引线框架剖面图;

图 2 为多芯片封装剖面图。

[0010] 图中,引线框架 1、下粘片胶 2、下芯片 3、下键合线 4、方形凹槽 5、塑封体 6、上粘片胶 7、上芯片 8、中键合线 9、上键合线 10。

具体实施方式

[0011] 如图所示,一种带有方形凹槽的冲压框架的扁平多芯片封装件,主要由引线框架 1、方形凹槽 5、下芯片 3、上芯片 8、下粘片胶 2、上粘片胶 7、下键合线 4、中键合线 9、上键合线 10 和塑封体 6 组成;所述引线框架 1 开有方形凹槽 5,所述引线框架 1 通过下粘片胶 2 与下芯片 3 粘接,所述下芯片 3 通过上粘片胶 7 与上芯片 8 粘接,所述下键合线 4 连接引线框架 1 和下芯片 3,所述中键合线 9 连接下粘片胶 2 和上粘片胶 7,所述上键合线 10 连接上粘片胶 7 和引线框架 1,所述塑封体 6 包围引线框架 1、下芯片 3、上芯片 8、下粘片胶 2、上粘片胶 7、下键合线 4、中键合线 9、上键合线 10,特别是塑封体 6 填充方形凹槽 5,引线框架 1、下芯片 3、上芯片 8、下键合线 4、中键合线 9、上键合线 10 构成电路的电源和信号通道。

[0012] 一种带有方形凹槽的冲压框架的扁平多芯片封装件的制作方法,其主要步骤为:晶圆减薄、划片、上芯(粘片)、压焊、框架背面贴膜、塑封、后固化、框架背面贴膜、磨胶、锡化、打印、产品分离、检验、包装、入库。

[0013] 该制作方法按照以下主要具体步骤进行:

第一步:晶圆减薄:减薄厚度 $50\ \mu\text{m} \sim 200\ \mu\text{m}$,粗糙度 $Ra\ 0.10\text{mm} \sim 0.05\text{mm}$;

第二步:划片: $150\ \mu\text{m}$ 以上晶圆同普通 QFN 划片工艺,但厚度在 $150\ \mu\text{m}$ 以下晶圆,使用双刀划片机及其工艺;

第三步:上芯(粘片):既可采用粘片胶又可采用胶膜片(DAF)上芯;

第四步:压焊:压焊同常规 QFN/DFN 工艺相同;

第五步:塑封:传统冲压框架在塑封工序塑封料填充后,由于框架本身平整光滑,塑封料与框架之间的结合度低,极易出现分层的情况,封装件可靠性得不到保证。本发明采用的不同于以往的冲压框架,在框架上用冲孔或钻孔的方法方形凹槽后,塑封时塑封料会自动填入方形凹槽,在框架与塑封料之间形成有效的防拖拉结构,大大降低封装件分层情况的发生几率,极大提高产品可靠性,优于传统半蚀刻冲压框架的塑封效果;

第六步:后固化、磨胶、锡化、打印、产品分离、检验、包装等均与

常规 QFN/DFN 工艺相同。

[0014] 本发明也可用于单芯片封装。

[0015] 本发明采用的不同于以往的冲压框架,在引线框架 1 上用冲孔或钻孔的方法开方形凹槽 5 后,塑封时塑封体 6 会自动填入方形凹槽 5,在引线框架 1 与塑封体 6 之间形成有效的防拖拉结构,大大降低封装件分层情况的发生几率,极大提高产品可靠性,优于传统半蚀刻冲压框架的塑封效果。

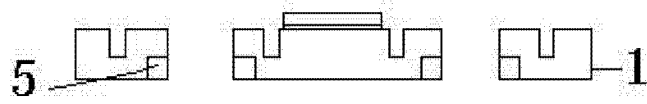


图 1

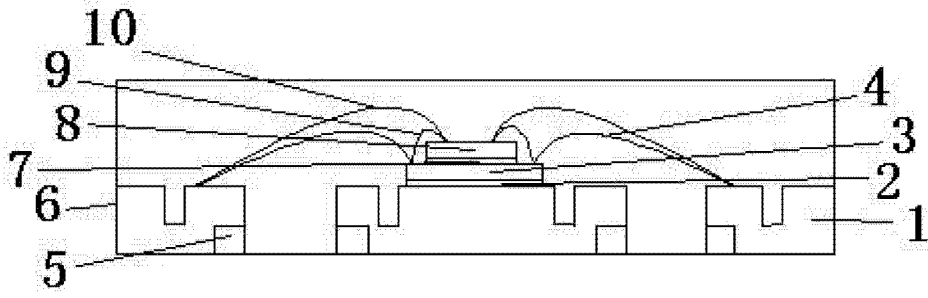


图 2