



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2013-0043063  
(43) 공개일자 2013년04월29일

(51) 국제특허분류(Int. Cl.)  
H01L 29/786 (2006.01) H01L 21/336 (2006.01)  
(21) 출원번호 10-2012-0113059  
(22) 출원일자 2012년10월11일  
심사청구일자 없음  
(30) 우선권주장  
JP-P-2011-230126 2011년10월19일 일본(JP)

(71) 출원인  
가부시키가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
야마자키, 슌페이  
일본국 243-0036 가나가와켄 아쓰기시 하세 398  
가부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
하야카와 마사히코  
일본국 243-0036 가나가와켄 아쓰기시 하세 398  
가부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
혼다 타츠야  
일본국 243-0036 가나가와켄 아쓰기시 하세 398  
가부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
(74) 대리인  
황의만

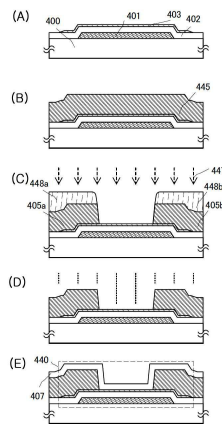
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 **반도체 장치 및 반도체 장치의 제작 방법**

**(57) 요약**

신뢰성이 높은 반도체 장치를 제공한다. 그 반도체 장치를 제작한다. 반도체 장치를 고수율로 제작하여 생산성을 향상시킨다. 게이트 전극층, 게이트 절연막, 산화물 반도체막이 순서대로 적층되어, 산화물 반도체막에 접하는 소스 전극층 및 드레인 전극층이 마련된 트랜지스터를 갖는 반도체 장치에 있어서, 에칭 공정에 의해 게이트 전극층, 또는 소스 전극층 및 드레인 전극층을 형성한 후, 게이트 전극층 또는 산화물 반도체막 표면 및 그 근방에 존재하는 에칭 공정에 기인한 잔류물을 제거하는 공정을 실시한다.

**대표도** - 도1



## 특허청구의 범위

### 청구항 1

반도체 장치에 있어서,  
 절연 표면을 가지는 기판,  
 상기 절연 표면 위의 게이트 전극층,  
 상기 게이트 전극층 위의 게이트 절연막,  
 상기 게이트 절연막 위의 산화물 반도체막,  
 상기 산화물 반도체막 위의 소스 전극층 및 드레인 전극층, 및  
 상기 소스 전극층 및 상기 드레인 전극층을 덮고, 상기 게이트 전극층과 중첩하는 상기 산화물 반도체막의 영역과 접촉하는 절연막을 포함하고,  
 상기 절연막과 접촉하는, 산화물 반도체막의 표면에 잔류물이 남아있으며,  
 상기 표면은  $1 \times 10^{13}$  atoms/cm<sup>2</sup> 이하인 잔류물의 면밀도를 가지는, 반도체 장치.

### 청구항 2

제 1 항에 있어서,  
 상기 잔류물은 염소, 불소, 붕소, 인, 알루미늄, 철, 또는 탄소 중 하나인, 반도체 장치.

### 청구항 3

제 1 항에 있어서,  
 상기 산화물 반도체막은 결정-비정질(crystal-amorphous) 혼합상(mixed phase) 구조를 가지는, 반도체 장치.

### 청구항 4

제 1 항에 있어서,  
 상기 게이트 전극층은 몰리브덴, 티탄, 탄탈륨, 텅스텐, 알루미늄, 동, 크롬, 네오디뮴, 또는 스칸듐을 포함하는, 반도체 장치.

### 청구항 5

제 1 항에 있어서,  
 상기 게이트 전극층은 산화 텅스텐을 포함한 인듐 산화물, 산화 티탄을 포함한 인듐 산화물, 인듐 주석 산화물, 산화 티탄을 포함한 인듐 주석 산화물, 산화 규소를 첨가한 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 텅스텐을 포함한 인듐 아연 산화물을 포함하는, 반도체 장치.

### 청구항 6

제 1 항에 있어서,

상기 게이트 절연막과 접촉하는 상기 게이트 전극층은, 질소를 포함한 In-Ga-Zn계 산화물막, 질소를 포함한 In-Sn계 산화물막, 질소를 포함한 In-Ga계 산화물막, 질소를 포함한 In-Zn계 산화물막, 질소를 포함한 산화 주석막, 질소를 포함한 산화 인듐막, InN, 또는 SnN을 포함하는, 반도체 장치.

**청구항 7**

제 1 항에 있어서,  
상기 반도체 장치는, 전자광학 장치, 반도체 회로, 또는 전자 기기인, 반도체 장치.

**청구항 8**

반도체 장치에 있어서,  
절연 표면을 가지는 기판,  
상기 절연 표면 위의 게이트 전극층,  
상기 게이트 전극층 위의 게이트 절연막,  
상기 게이트 절연막 위의 산화물 반도체막,  
상기 산화물 반도체막 위의 소스 전극층 및 드레인 전극층, 및  
상기 소스 전극층 및 상기 드레인 전극층을 덮고, 상기 게이트 전극층과 중첩하는 상기 산화물 반도체막의 영역과 접촉하는 절연막을 포함하고,  
상기 게이트 전극층의 표면에 잔류물이 남아있으며,  
상기 표면은  $1 \times 10^{13}$  atoms/cm<sup>2</sup> 이하인 잔류물의 면밀도를 가지는, 반도체 장치.

**청구항 9**

제 8 항에 있어서,  
상기 잔류물은 염소, 불소, 붕소, 인, 알루미늄, 철, 또는 탄소 중 하나인, 반도체 장치.

**청구항 10**

제 8 항에 있어서,  
상기 산화물 반도체막은 결정-비정질 혼합상 구조를 가지는, 반도체 장치.

**청구항 11**

제 8 항에 있어서,  
상기 게이트 전극층은 몰리브덴, 티탄, 탄탈륨, 텅스텐, 알루미늄, 동, 크롬, 네오디뮴, 또는 스칸듐을 포함하는, 반도체 장치.

**청구항 12**

제 8 항에 있어서,  
상기 게이트 전극층은 산화 텅스텐을 포함한 인듐 산화물, 산화 티탄을 포함한 인듐 산화물, 인듐 주석 산화물,

산화 티탄을 포함한 인듐 주석 산화물, 산화 규소를 첨가한 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 텅스텐을 포함한 인듐 아연 산화물을 포함하는, 반도체 장치.

**청구항 13**

제 8 항에 있어서,

상기 게이트 절연막과 접촉하는 상기 게이트 전극층은, 질소를 포함한 In-Ga-Zn계 산화물막, 질소를 포함한 In-Sn계 산화물막, 질소를 포함한 In-Ga계 산화물막, 질소를 포함한 In-Zn계 산화물막, 질소를 포함한 산화 주석막, 질소를 포함한 산화 인듐막, InN, 또는 SnN을 포함하는, 반도체 장치.

**청구항 14**

제 8 항에 있어서,

상기 반도체 장치는, 전자광학 장치, 반도체 회로, 또는 전자 기기인, 반도체 장치.

**청구항 15**

반도체 장치에 있어서,

절연 표면을 가지는 기판,

상기 절연 표면 위의 게이트 전극층,

상기 게이트 전극층 위의 게이트 절연막,

상기 게이트 절연막 위의 산화물 반도체막,

상기 산화물 반도체막 위의 소스 전극층 및 드레인 전극층, 및

상기 소스 전극층 및 상기 드레인 전극층을 덮고, 상기 게이트 전극층과 중첩하는 상기 산화물 반도체막의 영역과 접촉하는 절연막을 포함하고,

상기 산화물 반도체막의 표면과 상기 게이트 전극층의 표면에 잔류물이 남아 있으며, 상기 산화물 반도체막의 표면은 상기 절연막과 접촉하고 있고,

상기 산화물 반도체막의 표면은  $1 \times 10^{13}$  atoms/cm<sup>2</sup> 이하인 잔류물의 면밀도를 가지며,

상기 게이트 전극층의 표면은  $1 \times 10^{13}$  atoms/cm<sup>2</sup> 이하인 잔류물의 면밀도를 가지는, 반도체 장치.

**청구항 16**

제 15 항에 있어서,

상기 잔류물은 염소, 불소, 붕소, 인, 알루미늄, 철, 또는 탄소 중 하나인, 반도체 장치.

**청구항 17**

제 15 항에 있어서,

상기 산화물 반도체막은 결정-비정질 혼합상 구조를 가지는, 반도체 장치.

**청구항 18**

제 15 항에 있어서,

상기 게이트 전극층은 몰리브덴, 티탄, 탄탈륨, 텅스텐, 알루미늄, 동, 크롬, 네오디뮴, 또는 스칸듐을 포함하는, 반도체 장치.

**청구항 19**

제 15 항에 있어서,

상기 게이트 전극층은 산화 텅스텐을 포함한 인듐 산화물, 산화 티탄을 포함한 인듐 산화물, 인듐 주석 산화물, 산화 티탄을 포함한 인듐 주석 산화물, 산화 규소를 첨가한 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 텅스텐을 포함한 인듐 아연 산화물을 포함하는, 반도체 장치.

**청구항 20**

제 15 항에 있어서,

상기 게이트 절연막과 접촉하는 상기 게이트 전극층은, 질소를 포함한 In-Ga-Zn계 산화물막, 질소를 포함한 In-Sn계 산화물막, 질소를 포함한 In-Ga계 산화물막, 질소를 포함한 In-Zn계 산화물막, 질소를 포함한 산화 주석막, 질소를 포함한 산화 인듐막, InN, 또는 SnN을 포함하는, 반도체 장치.

**청구항 21**

제 15 항에 있어서,

상기 반도체 장치는, 전자광학 장치, 반도체 회로, 또는 전자 기기인, 반도체 장치.

**명세서**

**기술분야**

[0001] 반도체 장치 및 반도체 장치의 제작 방법에 관한 것이다.

[0002] 또한, 본 명세서중에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키며, 전기광학 장치, 반도체 회로 및 전자기기는 모두 반도체 장치다.

**배경기술**

[0003] 절연 표면을 갖는 기판상에 형성된 반도체 박막을 이용하여 트랜지스터(박막 트랜지스터(TFT)라고도 한다)를 구성하는 기술이 주목받고 있다. 그 트랜지스터는 집적회로(IC)나 화상 표시장치(표시장치)와 같은 전자 디바이스에 넓게 응용되고 있다. 트랜지스터에 적용 가능한 반도체 박막으로서 실리콘계 반도체 재료가 널리 알려져 있지만, 그 외의 재료로서 산화물 반도체가 주목받고 있다.

[0004] 예를 들면, 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함한 비정질(아몰퍼스) 산화물(In-Ga-Zn-O계 아몰퍼스 산화물)로 이루어지는 반도체층을 이용한 트랜지스터가 개시되어 있다(특허문헌 1 참조).

**선행기술문헌**

**특허문헌**

[0005] (특허문헌 0001) 일본 특개 2011-181801호 공보

### 발명의 내용

#### 해결하려는 과제

- [0006] 그런데, 산화물 반도체를 이용한 트랜지스터를 갖는 반도체 장치에 있어서, 고신뢰성의 달성은 제품화에 있어서 중요 사항이다.
- [0007] 그러나, 반도체 장치는 복잡한 구조의 복수의 박막으로 구성되어 있으며, 여러 종류의 재료, 방법 및 공정으로 제작된다. 따라서, 제작 공정에 기인하여, 얻어지는 반도체 장치의 형상 불량이나 전기 특성의 열화가 생길 우려가 있다.
- [0008] 이러한 문제를 감안하여, 산화물 반도체를 이용한 트랜지스터를 갖는 신뢰성이 높은 반도체 장치를 제공하는 것을 과제의 하나로 한다.
- [0009] 또한, 신뢰성이 높은 반도체 장치를 고수율로 제작하여 생산성을 향상시키는 것을 과제의 하나로 한다.

#### 과제의 해결 수단

- [0010] 보텀 게이트 구조의 역스태거형 트랜지스터를 갖는 반도체 장치에 있어서, 금속층(게이트 전극층, 또는 소스 전극층 및 드레인 전극층)을 형성하는 에칭 공정의 잔류물에 의해 산화물 반도체막, 또는 게이트 전극층 표면 및 그 근방이 오염되는 것을 방지한다.
- [0011] 게이트 전극층, 또는 소스 전극층 및 드레인 전극층 등의 금속층을 형성하는 에칭 공정에 있어서, 금속층 표면, 또는 산화물 반도체막 표면 및 그 근방에, 에칭제(에칭 가스, 또는 에칭 용액)에 의한 잔류물이 생겨 버린다. 이러한 잔류물은, 게이트 절연막의 전압에 대한 내성의 저하나 리크 전류 등 트랜지스터의 전기 특성의 저하나 변동을 초래하는 요인이 된다.
- [0012] 잔류물에는, 에칭제(에칭 가스, 또는 에칭 용액), 가공되는 금속층, 에칭제에 노출되는 산화물 반도체막에 포함되는 원소, 및 그 원소의 화합물이 포함된다. 예를 들면, 게이트 전극층, 또는 소스 전극층 및 드레인 전극층 등의 금속층을 형성하는 에칭 공정에서는 할로젠을 포함한 가스를 매우 적합하게 이용하지만, 이 경우, 잔류물은, 할로젠계 불순물(할로젠, 또는 할로겐화물)이 된다.
- [0013] 잔류물로서는, 예를 들면, 염소, 불소, 붕소, 인, 알루미늄, 철, 또는 탄소 등을 들 수 있다. 또한, 잔류물에는, 산화물 반도체막에 포함되는 금속 원소(예를 들면, 인듐, 갈륨, 또는 아연) 등이 포함되는 경우가 있다.
- [0014] 본 명세서에서 개시하는 발명의 구성의 일 형태는, 소스 전극층 및 드레인 전극층을 형성한 후, 산화물 반도체막 표면 및 그 근방에 있어서의 소스 전극층 및 드레인 전극층의 사이에 존재하는 잔류물을 제거하는 공정(잔류물 제거 공정)을 실시한다.
- [0015] 본 명세서에서 개시하는 발명의 구성의 다른 일 형태는, 게이트 전극층을 형성한 후, 게이트 전극층 표면에 존재하는 잔류물을 제거하는 공정(잔류물 제거 공정)을 실시한다.
- [0016] 상기 잔류물 제거 공정은, 물, 혹은 알칼리성의 용액에 의한 처리, 또는 플라즈마 처리에 의해 실시할 수가 있다. 구체적으로는, 물, 또는 TMAH(Tetra Methyl Ammonium Hydroxide) 용액을 이용한 처리, 또는 산소, 일산화이질소, 혹은 희가스(대표적으로는 아르곤)를 이용한 플라즈마 처리를 매우 적합하게 이용할 수가 있다. 또한, 희불산(불화수소산)을 이용한 처리를 실시하여도 괜찮다.
- [0017] 산화물 반도체막 또는 게이트 전극층 표면 및 그 근방이 잔류물에 의해 오염되는 것을 방지할 수 있기 때문에, 보텀 게이트 구조의 역스태거형 트랜지스터를 갖는 반도체 장치는, 산화물 반도체막(또는 게이트 전극층) 표면에 있어서의 잔류물(대표적으로는, 할로젠(예를 들면 염소, 불소), 붕소, 인, 알루미늄, 철, 또는 탄소)의 면밀도를  $1 \times 10^{13}$  atoms/cm<sup>2</sup> 이하(바람직하게는  $1 \times 10^{12}$  atoms/cm<sup>2</sup> 이하)로 할 수가 있다. 또한, 산화물 반도체막(또는 게이트 전극층) 표면에 있어서의 잔류물(대표적으로는, 할로젠(예를 들면 염소, 불소), 붕소, 인, 알루미늄, 철, 또는 탄소)의 농도를  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하(바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하)로 할 수가 있다.
- [0018] 따라서, 산화물 반도체막을 이용한 안정된 전기 특성을 갖는 트랜지스터를 포함한 신뢰성이 높은 반도체 장치를

제공할 수가 있다. 또한, 신뢰성이 높은 반도체 장치를 고수율로 제작하여 생산성을 향상시킬 수가 있다.

[0019] 본 명세서에서 개시하는 발명의 구성의 일 형태는, 절연 표면상에 게이트 전극층과, 게이트 전극층 상에 게이트 절연막과, 게이트 절연막 상에 산화물 반도체막과, 산화물 반도체막 상에 소스 전극층 및 드레인 전극층과, 산화물 반도체막의 게이트 전극층과 중첩하는 영역에 접하고 또한 소스 전극층, 및 드레인 전극층을 덮는 절연막을 가지며, 산화물 반도체막에서 절연막과 접하는 면의 할로겐의 면밀도는  $1 \times 10^{13}$  atoms/cm<sup>2</sup> 이하인 반도체 장치다.

[0020] 본 명세서에서 개시하는 발명의 구성의 일 형태는, 절연 표면상에 게이트 전극층과, 게이트 전극층 상에 게이트 절연막과, 게이트 절연막상에 산화물 반도체막과, 산화물 반도체막 상에 소스 전극층 및 드레인 전극층과, 산화물 반도체막의 게이트 전극층과 중첩하는 영역에 접하고 또한 소스 전극층, 및 드레인 전극층을 덮는 절연막을 가지며, 게이트 전극층 표면의 할로겐의 면밀도는  $1 \times 10^{13}$  atoms/cm<sup>2</sup> 이하인 반도체 장치다.

[0021] 본 명세서에서 개시하는 발명의 구성의 일 형태는, 절연 표면상에 게이트 전극층과, 게이트 전극층 상에 게이트 절연막과, 게이트 절연막 상에 산화물 반도체막과, 산화물 반도체막 상에 소스 전극층 및 드레인 전극층과, 산화물 반도체막의 게이트 전극층과 중첩하는 영역에 접하고 또한 소스 전극층, 및 드레인 전극층을 덮는 절연막을 가지며, 산화물 반도체막에서 절연막과 접하는 면의 할로겐의 면밀도는  $1 \times 10^{13}$  atoms/cm<sup>2</sup> 이하이며, 게이트 전극층 표면의 할로겐의 면밀도는  $1 \times 10^{13}$  atoms/cm<sup>2</sup> 이하인 반도체 장치다.

[0022] 본 명세서에서 개시하는 발명의 구성의 일 형태는, 절연 표면상에 게이트 전극층을 형성하고, 게이트 전극층 상에 게이트 절연막을 형성하고, 게이트 절연막 상에 산화물 반도체막을 형성하고, 산화물 반도체막 상에 도전막을 형성하고, 도전막을, 할로겐을 포함한 가스에 의해 에칭함으로써 소스 전극층 및 드레인 전극층을 형성하고, 산화물 반도체막에 잔류물 제거 공정을 실시하는 반도체 장치의 제작 방법이다.

[0023] 본 명세서에서 개시하는 발명의 구성의 일 형태는, 절연 표면상에 도전막을 형성하고, 도전막을, 할로겐을 포함한 가스에 의해 에칭함으로써 게이트 전극층을 형성하고, 게이트 전극층에 잔류물 제거 공정을 실시하고, 잔류물 제거 공정을 실시한 게이트 전극층 상에 게이트 절연막을 형성하고, 게이트 절연막 상에 산화물 반도체막을 형성하고, 산화물 반도체막 상에 소스 전극층 및 드레인 전극층을 형성하는 반도체 장치의 제작 방법이다.

[0024] 본 명세서에서 개시하는 발명의 구성의 일 형태는, 절연 표면상에 제1의 도전막을 형성하고, 제 1의 도전막을, 할로겐을 포함한 가스에 의해 에칭함으로써 게이트 전극층을 형성하고, 게이트 전극층에 잔류물 제거 공정을 실시하고, 잔류물 제거 공정을 실시한 게이트 전극층 상에 게이트 절연막을 형성하고, 게이트 절연막 상에 산화물 반도체막을 형성하고, 산화물 반도체막 상에 제2의 도전막을 형성하고, 제 2의 도전막을, 할로겐을 포함한 가스에 의해 에칭함으로써 소스 전극층 및 드레인 전극층을 형성하고, 산화물 반도체막에 잔류물 제거 공정을 실시하는 반도체 장치의 제작 방법이다.

[0025] 본 발명의 일 형태는, 트랜지스터 또는 트랜지스터를 포함하여 구성되는 회로를 갖는 반도체 장치에 관한 것이다. 예를 들면, 산화물 반도체에서 채널형성 영역이 형성되는, 트랜지스터 또는 트랜지스터를 포함하여 구성되는 회로를 갖는 반도체 장치에 관한 것이다. 예를 들면, LSI나, CPU나, 전원 회로에 탑재되는 파워 디바이스나, 메모리, 사이리스터, 컨버터, 이미지 센서 등을 포함한 반도체 집적회로, 액정 표시 패널로 대표되는 전기광학 장치나 발광소자를 갖는 발광 표시장치를 부품으로서 탑재한 전자기기에 관한 것이다.

**발명의 효과**

[0026] 산화물 반도체를 이용한 트랜지스터를 갖는 신뢰성이 높은 반도체 장치를 제공한다.

[0027] 또한, 신뢰성이 높은 반도체 장치를 고수율로 제작하여 생산성을 향상시킨다.

**도면의 간단한 설명**

[0028] 도 1은 반도체 장치, 및 반도체 장치의 제작 방법의 일 형태를 설명하는 단면도.

도 2는 반도체 장치, 및 반도체 장치의 제작 방법의 일 형태를 설명하는 단면도.

도 3은 반도체 장치, 및 반도체 장치의 제작 방법의 일 형태를 설명하는 단면도.

도 4는 반도체 장치의 일 형태를 설명하는 평면도.

도 5는 반도체 장치의 일 형태를 설명하는 평면도 및 단면도.

도 6은 반도체 장치의 일 형태를 나타내는 단면도.

도 7은 반도체 장치의 일 형태를 나타내는 회로도 및 단면도.

도 8은 전자기기를 나타내는 도면.

도 9는 전자기기를 나타내는 도면.

**발명을 실시하기 위한 구체적인 내용**

[0029] 이하에서는, 본 명세서에 개시하는 발명의 실시형태에 대하여 도면을 이용하여 상세하게 설명한다. 다만, 본 명세서에 개시하는 발명은 이하의 설명에 한정되지 않고, 그 형태 및 상세를 여러 가지로 변경할 수 있는 것은, 당업자라면 용이하게 이해된다. 또한, 본 명세서에 개시하는 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 제1, 제2로서 부여되는 서수사는 편의상 이용하는 것으로서, 공정순서 또는 적층순서를 나타내는 것은 아니다. 또한, 본 명세서에 있어서 발명을 특정하기 위한 사항으로서 고유의 명칭을 나타내는 것은 아니다.

[0030] (실시형태 1)

[0031] 본 실시형태에서는, 반도체 장치 및 반도체 장치의 제작 방법의 일 형태를, 도 1을 이용하여 설명한다. 본 실시형태에서는, 반도체 장치의 일 예로서 산화물 반도체막을 갖는 트랜지스터를 포함하는 반도체 장치를 나타낸다.

[0032] 트랜지스터는 채널형성 영역이 1개 형성되는 싱글 게이트 구조라도, 2개 형성되는 더블 게이트 구조 혹은 3개 형성되는 트리플 게이트 구조라도 괜찮다. 또한, 채널형성 영역의 상하에 게이트 절연막을 개재하여 배치된 2개의 게이트 전극층을 갖는, 듀얼 게이트형이라도 좋다.

[0033] 도 1(E)에 나타내는 트랜지스터(440)는, 보텀 게이트 구조의 하나이며 역스태거형 트랜지스터라고도 하는 트랜지스터의 일 예이다. 또한, 도 1은, 트랜지스터(440)의 채널 길이 방향의 단면도이다.

[0034] 도 1(E)에 나타내는 바와 같이, 트랜지스터(440)를 포함하는 반도체 장치는, 절연 표면을 갖는 기판(400)상에, 게이트 전극층(401), 게이트 절연막(402), 산화물 반도체막(403), 소스 전극층(405a), 드레인 전극층(405b)을 갖는다. 또한, 트랜지스터(440)를 덮는 절연막(407)이 마련되어 있다.

[0035] 산화물 반도체막(403)에 이용하는 산화물 반도체로서는, 적어도 인듐(In)을 포함한다. 특히 In와 아연(Zn)을 포함하는 것이 바람직하다. 또한, 그 산화물 반도체막을 이용한 트랜지스터의 전기 특성의 편차를 줄이기 위한 스테빌라이저로서 그들에 부가하여 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 하프늄(Hf)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 지르코늄(Zr)을 갖는 것이 바람직하다.

[0036] 또한, 다른 스테빌라이저로서 란타노이드인, 란타늄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유퀴륨(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀름(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중의 어느 일종 혹은 복수종을 가져도 괜찮다.

[0037] 예를 들면, 산화물 반도체로서 산화 인듐, 산화 주석, 산화 아연, In-Zn계 산화물, In-Mg계 산화물, In-Ga계 산화물, In-Ga-Zn계 산화물(IGZO라고도 표기한다), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 이용할 수가 있다.

[0038] 또한, 여기서, 예를 들면, In-Ga-Zn계 산화물이란, In와 Ga와 Zn를 주성분으로서 갖는 산화물이라고 하는 의미이며, In와 Ga와 Zn의 비율은 묻지 않는다. 또한, In와 Ga와 Zn 이외의 금속 원소가 들어가 있어도 괜찮다.

[0039] 또한, 산화물 반도체로서  $InMO_3(ZnO)_m$  ( $m>0$ , 또한, m은 정수가 아니다)로 표기되는 재료를 이용하여도 괜찮다. 또한, M는, Ga, Fe, Mn 및 Co로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 또한, 산화



물 반도체로서  $\text{In}_2\text{SnO}_5(\text{ZnO})_n$  ( $n>0$ , 한편,  $n$ 는 정수)로 표기되는 재료를 이용하여도 괜찮다.

- [0040] 예를 들면,  $\text{In:Ga:Zn}=1:1:1(=1/3:1/3:1/3)$ ,  $\text{In:Ga:Zn}=2:2:1(=2/5:2/5:1/5)$ , 혹은  $\text{In:Ga:Zn}=3:1:2(=1/2:1/6:1/3)$ 의 원자수비의 In-Ga-Zn계 산화물이나 그 조성의 근방의 산화물을 이용할 수가 있다. 혹은,  $\text{In:Sn:Zn}=1:1:1(=1/3:1/3:1/3)$ ,  $\text{In:Sn:Zn}=2:1:3(=1/3:1/6:1/2)$  혹은  $\text{In:Sn:Zn}=2:1:5(=1/4:1/8:5/8)$ 의 원자수비의 In-Sn-Zn계 산화물이나 그 조성의 근방의 산화물을 이용하면 좋다.
- [0041] 그러나, 인듐을 포함한 산화물 반도체는, 이들에 한정되지 않고, 필요로 하는 전기 특성(이동도, 스펙트럼, 편차 등)에 따라서 적절한 조성의 것을 이용하면 된다. 또한, 필요로 하는 전기 특성을 얻기 위해서, 캐리어 농도나 불순물 농도, 결합 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.
- [0042] 예를 들면, In-Sn-Zn계 산화물에서는 비교적 용이하게 높은 이동도를 얻을 수 있다. 그렇지만, In-Ga-Zn계 산화물에서도, 벌크내 결합 밀도를 낮게 함에 의해 이동도를 높일 수가 있다.
- [0043] 또한, 예를 들면, In, Ga, Zn의 원자수비가  $\text{In:Ga:Zn}=a:b:c(a+b+c=1)$ 인 산화물의 조성인, 원자수비가  $\text{In:Ga:Zn}=A:B:C(A+B+C=1)$ 의 산화물의 조성의 근방이라는 것은,  $a, b, c$ 가,  $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ 를 만족시키는 것을 말한다.  $r$ 로서는, 예를 들면, 0.05로 하면 좋다. 다른 산화물에서도 마찬가지다.
- [0044] 산화물 반도체막(403)은, 단결정, 다결정(폴리크리스탈이라고도 한다) 또는 비정질 등의 상태를 취한다.
- [0045] 바람직하게는, 산화물 반도체막(403)은, CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor) 막으로 한다.
- [0046] CAAC-OS막은, 완전한 단결정은 아니고, 완전한 비정질도 아니다. CAAC-OS막은, 비정질상에 결정부 및 비정질부를 갖는 결정-비정질 혼상(混相)구조의 산화물 반도체막이다. 또한, 해당 결정부는, 한 변이 100 nm미만의 입방체내에 들어가는 크기인 것이 많다. 투과형 전자현미경(TEM:Transmission Electron Microscope)에 의한 관찰상에서는, CAAC-OS막에 포함되는 비정질부와 결정부의 경계는 반드시 명확하지 않다. 또한, TEM에 의해 CAAC-OS막에는 입계(그레인바운드리라고도 한다)는 확인할 수 없다. 그 때문에, CAAC-OS막은, 입계에 기인하는 전자 이동도의 저하가 억제된다.
- [0047] CAAC-OS막에 포함되는 결정부는,  $c$ 축이 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 갖추어지며, 또한  $ab$ 면에 수직한 방향으로부터 보아서 삼각형상 또는 육각형상의 원자 배열을 가지며,  $c$ 축으로 수직한 방향으로부터 보아서 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한, 다른 결정부 사이에서, 각각  $a$ 축 및  $b$ 축의 방향이 달라도 괜찮다. 본 명세서에 있어서, 단지 수직이라고 기재하는 경우, 85도 이상 95도 이하의 범위도 포함되는 것으로 한다. 또한, 단지 평행이라고 기재하는 경우, -5도 이상 5도 이하의 범위도 포함되는 것으로 한다. 또한, 산화물 반도체막을 구성하는 산소의 일부는 질소로 치환되어도 괜찮다.
- [0048] 또한, CAAC-OS막에 있어서, 결정부의 분포가 일정하지 않아도 좋다. 예를 들면, CAAC-OS막의 형성 과정에 있어서, 산화물 반도체막의 표면측으로부터 결정 성장시키는 경우, 피형성면의 근방에 반하여 표면의 근방에서는 결정부가 차지하는 비율이 높아지는 일이 있다. 또한, CAAC-OS막에 불순물을 첨가함으로써, 해당 불순물 첨가 영역에서 결정부가 비정질화하는 일도 있다.
- [0049] CAAC-OS막에 포함되는 결정부의  $c$ 축은, CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 갖추어지기 때문에, CAAC-OS막의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 다른 방향을 향하는 일이 있다. 또한, 결정부의  $c$ 축의 방향은, CAAC-OS막이 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 된다. 결정부는, 성막함으로써, 또는 성막 후에 가열처리 등의 결정화 처리를 실시함으로써 형성된다.
- [0050] CAAC-OS막을 이용한 트랜지스터는, 가시광선이나 자외광의 조사에 의한 전기 특성의 변동을 저감하는 것이 가능하다. 따라서, 해당 트랜지스터는 신뢰성이 높다.
- [0051] 또한, 산화물 반도체막을 구성하는 산소의 일부는 질소로 치환되어도 괜찮다.
- [0052] 또한, CAAC-OS막과 같이 결정부를 갖는 산화물 반도체에서는, 벌크내 결합을 보다 저감할 수가 있으며, 표면의 평탄성을 높이면 비정질 상태의 산화물 반도체 이상의 이동도를 얻을 수 있다. 표면의 평탄성을 높이기 위해서

는, 평탄한 표면에 산화물 반도체를 형성하는 것이 바람직하고, 구체적으로는, 평균면 조도(Ra)가 1 nm이하, 바람직하게는 0.3 nm이하, 보다 바람직하게는 0.1 nm이하의 표면에 형성하면 좋다.

[0053] 또한, Ra는, JIS B601:2001(ISO4287:1997)으로 정의되어 있는 산술평균 조도를 곡면에 대하여 적용할 수 있도록 삼차원으로 확장한 것이며, 「기준면으로부터 지정면까지의 편차의 절대치를 평균한 값」이라고 표현할 수 있으며, 이하의 식으로 정의된다.

[0054] [수학식 1]

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

[0055]

[0056] 여기서, 지정면이란, 조도 측정의 대상이 되는 면이며, 좌표( $x_1, y_1, f(x_1, y_1)$ ), ( $x_1, y_2, f(x_1, y_2)$ ), ( $x_2, y_1, f(x_2, y_1)$ ), ( $x_2, y_2, f(x_2, y_2)$ )의 4점으로써 나타내지는 사각형의 영역으로 하며, 지정면을 xy평면에 투영한 직사각형의 면적을  $S_0$ , 기준면의 높이(지정면의 평균의 높이)를  $Z_0$ 로 한다. Ra는 원자간력 현미경(AFM:Atomic Force Microscope)으로 측정 가능하다.

[0057] 또한, 기준면은, 지정면의 평균의 높이에 있어서의, XY평면과 평행한 면이다. 즉, 지정면의 높이의 평균치를  $Z_0$ 로 할 때, 기준면의 높이도  $Z_0$ 로 나타내어진다.

[0058] 다만, 본 실시형태에서 설명하는 트랜지스터(440)는, 보텀 게이트형이기 때문에, 산화물 반도체막의 하부에는 기판(400)과 게이트 전극층(401)과 게이트 절연막(402)이 존재하고 있다. 따라서, 상기 평탄한 표면을 얻기 위해서 게이트 전극층(401) 및 게이트 절연막(402)을 형성한 후, 화학적 기계적 연마(CMP:Chemical Mechanical Polishing) 처리 등의 평탄화 처리를 실시하여도 괜찮다.

[0059] 산화물 반도체막(403)의 막두께는, 1 nm이상 30 nm이하(바람직하게는 5 nm이상 10 nm이하)로 하고, 스퍼터링법, MBE(Molecular Beam Epitaxy)법, CVD법, 펄스 레이저 퇴적법, ALD(Atomic Layer Deposition)법 등을 적절히 이용할 수가 있다. 또한, 산화물 반도체막(403)은, 스퍼터링 타겟 표면에 대하여, 대략 수직하게 복수의 기판 표면이 세트된 상태에서 성막을 실시하는 스퍼터링 장치를 이용하여 성막하여도 괜찮다.

[0060] 도 1(A) 내지 도 1(E)에 트랜지스터(440)를 갖는 반도체 장치의 제작 방법의 일 예를 나타낸다.

[0061] 절연 표면을 갖는 기판(400)에 사용할 수가 있는 기판에 큰 제한은 없지만, 적어도, 후의 열처리에 견딜 수 있는 정도의 내열성을 가지고 있는 것이 필요하다. 예를 들면, 바륨보로실리케이트 유리나 알루미늄보로실리케이트 유리 등의 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 이용할 수가 있다. 또한, 실리콘이나 탄화 실리콘 등의 단결정반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 적용할 수도 있으며, 이러한 기판상에 반도체소자가 마련된 것을 기판(400)으로서 이용하여도 괜찮다.

[0062] 또한, 기판(400)으로서 가요성 기판을 이용하여 반도체 장치를 제작하여도 괜찮다. 가요성을 갖는 반도체 장치를 제작하려면, 가요성 기판상에 산화물 반도체막(403)을 포함한 트랜지스터(440)를 직접 제작하여도 괜찮고, 다른 제작 기판에 산화물 반도체막(403)을 포함한 트랜지스터(440)를 제작하고, 그 후 가요성 기판에 박리하여 전치(轉置)하여도 괜찮다. 또한, 제작 기판으로부터 가요성 기판에 박리하여 전치하기 위해서, 제작 기판과 산화물 반도체막을 포함한 트랜지스터(440)의 사이에 박리층을 마련하면 좋다.

[0063] 기판(400)상에 기초막으로서 절연막을 마련하여도 좋다. 절연막으로서는, 플라즈마 CVD법 또는 스퍼터링법 등에 의해, 산화 실리콘, 산화 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 산화 하프늄, 산화 갈륨 등의 산화물 절연막, 질화 실리콘, 질화 산화 실리콘, 질화 알루미늄, 질화 산화 알루미늄 등의 질화물 절연막, 또는 이러한 혼합 재료를 이용하여 형성할 수가 있다.

[0064] 기판(400)(또는 기판(400) 및 절연막)에 가열처리를 실시하여도 괜찮다. 예를 들면, 고온의 가스를 이용하여 가열처리를 실시하는 GRTA(Gas Rapid Thermal Anneal) 장치에 의해, 650℃, 1분 ~ 5분간, 가열처리를 실시하면 좋다. 또한, GRTA에 있어서의 고온의 가스에는, 아르곤 등의 회가스, 또는 질소와 같은, 가열처리에 의해 피처리물과 반응하지 않는 불활성 기체가 이용된다. 또한, 전기로에 의해, 500℃, 30분 ~ 1시간, 가열처리를 실시하여도 괜찮다.

[0065] 다음으로 기판(400)상에 도전막을 형성하고, 그 도전막을 에칭함으로써, 게이트 전극층(401)을 형성한다. 도전

막의 예칭은, 건식 예칭이라도 습식 예칭이라도 좋고, 양쪽 모두를 이용하여도 괜찮다.

- [0066] 게이트 전극층(401)의 재료는, 몰리브덴, 티탄, 탄탈륨, 텅스텐, 알루미늄, 동, 크롬, 네오디뮴, 스칸듐 등의 금속재료 또는 이들을 주성분으로 하는 합금 재료를 이용하여 형성할 수가 있다. 또한, 게이트 전극층(401)으로서 인 등의 불순물 원소를 도핑한 다결정 실리콘막으로 대표되는 반도체막, 니켈 실리사이드 등의 실리사이드막을 이용하여도 괜찮다. 게이트 전극층(401)은, 단층 구조로 하여도 좋고, 적층 구조로 하여도 좋다.
- [0067] 또한, 게이트 전극층(401)의 재료는, 산화 텅스텐을 포함한 인듐 산화물, 산화 티탄을 포함한 인듐 산화물, 인듐 주석 산화물, 산화 티탄을 포함한 인듐 주석 산화물, 산화 규소를 첨가한 인듐 주석 산화물, 인듐 아연 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 등의 도전성 재료를 적용할 수도 있다. 또한, 상기 도전성 재료와 상기 금속재료의 적층 구조로 할 수도 있다.
- [0068] 또한, 게이트 절연막(402)과 접하는 게이트 전극층(401)으로서 질소를 포함한 금속 산화물, 구체적으로는, 질소를 포함한 In-Ga-Zn계 산화물막이나, 질소를 포함한 In-Sn계 산화물막이나, 질소를 포함한 In-Ga계 산화물막이나, 질소를 포함한 In-Zn계 산화물막이나, 질소를 포함한 산화 주석막이나, 질소를 포함한 산화 인듐막이나, 금속 질화물막(InN, SnN 등)을 이용할 수가 있다. 이러한 막은 5 eV(전자 볼트), 바람직하게는 5.5 eV(전자 볼트) 이상의 일 함수를 가지며, 게이트 전극층으로서 이용하였을 경우, 트랜지스터의 전기 특성의 스레숄드 전압을 플러스로 할 수 있다.
- [0069] 본 실시형태에서는, 스퍼터링법에 의해 막두께 100 nm의 텅스텐막을 형성한다.
- [0070] 또한, 게이트 전극층(401)을 형성한 후에, 기판(400), 및 게이트 전극층(401)에 가열처리를 실시하여도 괜찮다. 예를 들면, GRTA 장치에 의해, 650℃, 1분 ~ 5분간, 가열처리를 실시하면 좋다. 또한, 전기로에 의해, 500℃, 30분 ~ 1시간, 가열처리를 실시하여도 괜찮다.
- [0071] 그 다음에, 게이트 전극층(401)상에 게이트 절연막(402)을 형성한다.
- [0072] 또한, 게이트 절연막(402)의 피복성을 향상시키기 위해서, 게이트 전극층(401) 표면에 평탄화 처리를 실시하여도 괜찮다. 특히 게이트 절연막(402)으로서 막두께가 얇은 절연막을 이용하는 경우, 게이트 전극층(401) 표면의 평탄성이 양호한 것이 바람직하다.
- [0073] 게이트 절연막(402)의 막두께는, 1 nm이상 20 nm이하로 하고, 스퍼터링법, MBE법, CVD법, 펄스 레이저 퇴적법, ALD법 등을 적절히 이용할 수가 있다. 또한, 게이트 절연막(402)은, 스퍼터링 타겟 표면에 대하여, 대략 수직하게 복수의 기판 표면이 세트된 상태에서 성막을 실시하는 스퍼터링 장치를 이용하여 성막하여도 괜찮다.
- [0074] 게이트 절연막(402)의 재료로서는, 산화 실리콘막, 산화 갈륨막, 산화 알루미늄막, 질화 실리콘막, 산화 질화 실리콘막, 산화 질화 알루미늄막, 또는 질화 산화 실리콘막을 이용하여 형성할 수가 있다.
- [0075] 또한, 게이트 절연막(402)의 재료로서 산화 하프늄, 산화 이트륨, 하프늄 실리케이트(HfSi<sub>x</sub>O<sub>y</sub> (x>0, y>0)), 질소가 첨가된 하프늄 실리케이트(HfSiO<sub>x</sub>N<sub>y</sub> (x>0, y>0)), 하프늄 알루미늄에이트(HfAl<sub>x</sub>O<sub>y</sub> (x>0, y>0)), 산화 란타넘 등의 high-k재료를 이용함으로써 게이트 리크 전류를 저감할 수 있다. 게다가 게이트 절연막(402)은, 단층 구조로 하여도 좋고, 적층 구조로 하여도 좋다.
- [0076] 게이트 절연막(402)은, 산화물 반도체막(403)과 접하는 부분에서 산소를 포함하는 것이 바람직하다. 특히, 게이트 절연막(402)은, 막중(벌크중)에 적어도 화학량론적 조성에서 있어서의 함유량을 넘는 양의 산소가 존재하는 것이 바람직하고, 예를 들면, 게이트 절연막(402)으로서 산화 실리콘막을 이용하는 경우에는, SiO<sub>2+a</sub> (다만, a>0)로 한다.
- [0077] 산소의 공급원이 되는, 산소를 많이(과잉으로) 포함한 게이트 절연막(402)을 산화물 반도체막(403)과 접하여 마련함에 의해, 그 게이트 절연막(402)으로부터 산화물 반도체막(403)에 산소를 공급할 수가 있다. 산화물 반도체막(403) 및 게이트 절연막(402)을 적어도 일부가 접한 상태에서 가열처리를 실시하는 것에 의해 산화물 반도체막(403)으로의 산소의 공급을 실시하여도 괜찮다.
- [0078] 산화물 반도체막(403)에 산소를 공급함으로써, 막중의 산소 결손을 보충할 수가 있다. 게다가 게이트 절연막(402)은, 제작하는 트랜지스터의 사이즈나 게이트 절연막(402)의 단차 피복성을 고려하여 형성하는 것이 바람직하다.
- [0079] 본 실시형태에서는, 고밀도 플라즈마 CVD법에 의해 막두께 200 nm의 산화 질화 실리콘막을 형성한다.

- [0080] 또한, 게이트 절연막(402) 형성 후에, 기판(400), 게이트 전극층(401), 및 게이트 절연막(402)에 가열처리를 실시하여도 괜찮다. 예를 들면, GRTA 장치에 의해, 650℃, 1분 ~ 5분간, 가열처리를 실시하면 좋다. 또한, 전기로에 의해, 500℃, 30분 ~ 1시간, 가열처리를 실시하여도 괜찮다.
- [0081] 다음으로, 게이트 절연막(402)상에 산화물 반도체막(403)을 형성한다(도 1(A) 참조).
- [0082] 산화물 반도체막(403)의 형성 공정에 있어서, 산화물 반도체막(403)에 수소, 또는 물이 가능한 한 포함되지 않게 하기 위해서, 산화물 반도체막(403)의 성막의 사전 처리로서 스퍼터링 장치의 예비 가열실에서 게이트 절연막(402)이 형성된 기판을 예비 가열하여, 기판 및 게이트 절연막(402)에 흡착한 수소, 수분 등의 불순물을 이탈시켜 배기하는 것이 바람직하다. 또한, 예비 가열실에 마련하는 배기 수단은 크라이오 펌프가 바람직하다.
- [0083] 게이트 절연막(402)에 있어서 산화물 반도체막(403)이 접하여 형성되는 영역에, 평탄화 처리를 실시하여도 괜찮다. 평탄화 처리로서는, 특별히 한정되지 않지만, 연마 처리(예를 들면, CMP 처리), 건식 에칭 처리, 플라즈마 처리를 이용할 수가 있다.
- [0084] 플라즈마 처리로서는, 예를 들면, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 실시할 수가 있다. 역스퍼터링이란, 아르곤 분위기하에서 기판측에 RF전원을 이용하여 전압을 인가하여 기판 근방에 플라즈마를 형성해 표면을 개질하는 방법이다. 또한, 아르곤 분위기를 대신하여 질소, 헬륨, 산소 등을 이용하여도 괜찮다. 역스퍼터링을 실시하면, 게이트 절연막(402)의 표면에 부착되어 있는 분말상 물질(파티클, 쓰레기라고도 한다)을 제거할 수가 있다.
- [0085] 평탄화 처리로서, 연마 처리, 건식 에칭 처리, 플라즈마 처리는 여러 차례 실시하여도 좋고, 그들을 조합하여 실시하여도 괜찮다. 또한, 조합하여 실시하는 경우, 공정순서도 특별히 한정되지 않고, 게이트 절연막(402) 표면의 요철 상태에 맞추어 적절히 설정하면 좋다.
- [0086] 또한, 산화물 반도체막(403)은, 성막시에 산소가 많이 포함되는 것 같은 조건(예를 들면, 산소 100%의 분위기하에서 스퍼터링법에 의해 성막을 실시하는 등)에서 성막하여, 산소를 많이 포함한(바람직하게는 산화물 반도체가 결정 상태에 있어서의 화학량론적 조성에 대하여, 산소의 함유량이 과잉인 영역이 포함되어 있는) 막으로 하는 것이 바람직하다.
- [0087] 또한, 본 실시형태에 있어서, 산화물 반도체막(403)으로서 AC전원 장치를 갖는 스퍼터링 장치를 이용한 스퍼터링법을 이용하여 막두께 35 nm의 In-Ga-Zn계 산화물막(IGZO막)을 성막한다. 본 실시형태에 있어서, In:Ga:Zn=1:1:1(=1/3:1/3:1/3)의 원자비의 In-Ga-Zn계 산화물 타겟을 이용한다. 또한, 성막 조건은, 산소 및 아르곤 분위기하(산소 유량 비율 50%), 압력 0.6 Pa, 전원 전력 5 kW, 기판 온도 170℃로 한다. 이 성막 조건에서의 성막 속도는 16 nm/min이다.
- [0088] 산화물 반도체막(403)을 성막할 때에 이용하는 스퍼터링 가스는 수소, 물, 수산기 또는 수소화물 등의 불순물이 제거된 고순도 가스를 이용하는 것이 바람직하다.
- [0089] 감압 상태로 유지된 성막실내에 기판을 유지한다. 그리고, 성막실내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 상기 타겟을 이용하여 기판(400)상에 산화물 반도체막(403)을 성막한다. 성막실내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프, 예를 들면, 크라이오 펌프, 이온 펌프, 티탄 서브리메이션(sublimation) 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단으로서, 터보 분자 펌프에 콜드 트랩을 부가한 것이라도 괜찮다. 크라이오 펌프를 이용하여 배기한 성막실은, 예를 들면, 수소 원자, 물(H<sub>2</sub>O) 등 수소 원자를 포함한 화합물(보다 바람직하게는 탄소 원자를 포함한 화합물도) 등이 배기되기 때문에, 해당 성막실에서 성막한 산화물 반도체막(403)에 포함되는 불순물의 농도를 저감할 수 있다.
- [0090] 또한, 게이트 절연막(402)을 대기로 해방하지 않고 게이트 절연막(402)과 산화물 반도체막(403)을 연속적으로 형성하는 것이 바람직하다. 게이트 절연막(402)을 대기에 노출시키지 않고 게이트 절연막(402)과 산화물 반도체막(403)을 연속하여 형성하면, 게이트 절연막(402) 표면에 수소나 수분 등의 불순물이 흡착하는 것을 방지할 수가 있다.
- [0091] 산화물 반도체막(403)은, 막상의 산화물 반도체막을 포토리소그래피 공정에 의해 섬 형상의 산화물 반도체막으로 가공하여 형성할 수가 있다.
- [0092] 또한, 섬 형상의 산화물 반도체막(403)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

- [0093] 또한, 산화물 반도체막의 에칭은, 건식 에칭이라도 습식 에칭이라도 좋고, 양쪽 모두를 이용하여도 괜찮다. 예를 들면, 산화물 반도체막의 습식 에칭에 이용하는 에칭액으로서는, 인산과 초산과 초산을 혼합한 용액 등을 이용할 수가 있다. 또한, ITO-07 N(관동화학 제품)를 이용하여도 괜찮다. 또한, ICP(Inductively Coupled Plasma:유도 결합형 플라즈마) 에칭법에 따른 건식 에칭에 의해 에칭 가공하여도 괜찮다.
- [0094] 또한, 산화물 반도체막(403)에, 과잉의 수소(물이나 수산기를 포함한다)를 제거(탈수화 또는 탈수소화)하기 위한 가열처리를 실시하여도 괜찮다. 가열처리의 온도는, 300℃이상 700℃이하, 또는 기관의 왜곡점 미만으로 한다. 가열처리는 감압하 또는 질소 분위기하 등에서 실시할 수가 있다.
- [0095] 또한, 산화물 반도체막(403)으로서 결정성 산화물 반도체막을 이용하는 경우, 결정화를 위한 가열처리를 실시하여도 괜찮다.
- [0096] 본 실시형태에서는, 가열처리 장치의 하나인 전기로에 기관을 도입하고, 산화물 반도체막(403)에 대하여 질소 분위기하 450℃에서 1시간, 게다가 질소 및 산소를 포함한 분위기하 450℃에서 1시간의 가열처리를 실시한다.
- [0097] 또한, 가열처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 이용하여도 괜찮다. 예를 들면, GRTA 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수가 있다. LRTA 장치는, 할로겐 램프, 메탈할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해 피처리물을 가열하는 장치다. GRTA 장치는, 고온의 가스를 이용하여 가열처리를 실시하는 장치다. 고온의 가스에는, 아르곤 등의 희가스, 또는 질소와 같은, 가열처리에 의해 피처리물과 반응하지 않는 불활성 기체가 이용된다.
- [0098] 예를 들면, 가열처리로서 650℃~700℃의 고온으로 가열한 불활성 가스중에 기관을 넣어 몇 분간 가열한 후, 기관을 불활성 가스중에서 방출하는 GRTA를 실시하여도 괜찮다.
- [0099] 또한, 가열처리에 있어서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 열처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를, 6 N(99.9999%) 이상 바람직하게는 7 N(99.99999%) 이상(즉 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm 이하)로 하는 것이 바람직하다.
- [0100] 또한, 가열처리로 산화물 반도체막(403)을 가열한 후, 동일한 로에 고순도의 산소 가스, 고순도의 일산화이질소 가스, 또는 초건조 에어(CRDS(캐비티 링 다운 레이저 분광법) 방식의 이슬점 온도계를 이용하여 측정하였을 경우의 수분량이 20 ppm(노점 환산으로 -55℃) 이하, 바람직하게는 1 ppm 이하, 보다 바람직하게는 10 ppb 이하의 공기를 도입하여도 괜찮다. 산소 가스 또는 일산화이질소 가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 열처리 장치에 도입하는 산소 가스 또는 일산화이질소 가스의 순도를, 6 N이상 바람직하게는 7 N 이상(즉, 산소 가스 또는 일산화이질소 가스 중의 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm 이하)로 하는 것이 바람직하다. 산소 가스 또는 일산화이질소 가스의 작용에 의해, 탈수화 또는 탈수소화 처리에 의한 불순물의 배제 공정에 의해 동시에 감소해 버린 산화물 반도체를 구성하는 주성분 재료인 산소를 공급함으로써, 산화물 반도체막(403)을 고순도화 및 I형(진성)화할 수가 있다.
- [0101] 또한, 탈수화 또는 탈수소화를 위한 가열처리를 실시하는 타이밍은, 막상의 산화물 반도체막의 형성후라도, 섬형상의 산화물 반도체막(403)의 형성후라도 좋다.
- [0102] 또한, 탈수화 또는 탈수소화를 위한 가열처리는, 여러 차례 실시하여도 좋고, 다른 가열처리와 겹쳐서도 괜찮다.
- [0103] 탈수화 또는 탈수소화를 위한 가열처리를, 산화물 반도체막(403)으로서 섬형상으로 가공되기 전, 막상의 산화물 반도체막이 게이트 절연막(402)을 덮은 상태에서 실시하면, 게이트 절연막(402)에 포함되는 산소가 가열처리에 의해 방출되는 것을 방지할 수가 있기 때문에 바람직하다.
- [0104] 또한, 탈수화 또는 탈수소화 처리를 실시한 산화물 반도체막(403)에, 산소(적어도, 산소 라디칼, 산소 원자, 산소 이온, 중의 어느 것을 포함한다)를 도입하여 막중에 산소를 공급하여도 괜찮다.
- [0105] 또한, 탈수화 또는 탈수소화 처리에 의해, 산화물 반도체를 구성하는 주성분 재료인 산소가 동시에 이탈해 감소해 버릴 우려가 있다. 산화물 반도체막에 있어서, 산소가 이탈한 개소에서는 산소 결손이 존재하고, 그 산소 결손에 기인하여 트랜지스터의 전기적 특성 변동을 초래하는 도너 준위가 생겨 버린다.

- [0106] 따라서, 탈수화 또는 탈수소화 처리를 실시한 산화물 반도체막에, 산소(적어도, 산소 라디칼, 산소 원자, 산소 이온, 중의 어느 것을 포함한다)를 공급하는 것이 바람직하다. 산화물 반도체막에 산소를 공급함으로써, 막중의 산소 결손을 보충할 수가 있다.
- [0107] 탈수화 또는 탈수소화 처리를 실시한 산화물 반도체막(403)에, 산소를 도입하여 막중에 산소를 공급함으로써, 산화물 반도체막(403)을 고순도화, 및 i형(진성)화할 수가 있다. 고순도화되고, i형(진성)화된 산화물 반도체막(403)을 갖는 트랜지스터는, 전기 특성 변동이 억제되어 있어 전기적으로 안정하다.
- [0108] 산소의 도입 방법으로서, 이온 주입법, 이온 도핑법, 플라즈마 이머션(immersion) 이온 임플래이션법, 플라즈마 처리 등을 이용할 수가 있다.
- [0109] 산소의 도입 공정은, 산화물 반도체막(403)에 산소 도입하는 경우, 산화물 반도체막(403)에 직접 도입하여도 괜찮고, 절연막(407) 등의 다른 막을 통과하여 산화물 반도체막(403)에 도입하여도 괜찮다. 산소를 다른 막을 통과하여 도입하는 경우는, 이온 주입법, 이온 도핑법, 플라즈마 이머션 이온 임플래이션법 등을 이용하면 좋지만, 산소가 노출된 산화물 반도체막(403)에 직접 도입하는 경우는, 플라즈마 처리등도 이용할 수가 있다.
- [0110] 산화물 반도체막(403)으로의 산소의 도입은, 탈수화 또는 탈수소화 처리를 실시한 후가 바람직하지만, 특별히 한정되지 않는다. 또한, 상기 탈수화 또는 탈수소화 처리를 실시한 산화물 반도체막(403)으로의 산소의 도입은 여러 차례 실시하여도 괜찮다.
- [0111] 바람직하게는 트랜지스터에 마련되는 산화물 반도체막은, 산화물 반도체가 결정 상태에 있어서의 화학량론적 조성에 대하여, 산소의 함유량이 과잉인 영역이 포함되어 있는 막으로 하면 좋다. 이 경우, 산소의 함유량은, 산화물 반도체의 화학량론적 조성을 넘는 정도로 한다. 혹은, 산소의 함유량은, 단결정의 경우의 산소의 양을 넘는 정도로 한다. 산화물 반도체의 격자간에 산소가 존재하는 경우도 있다.
- [0112] 수소 혹은 수분을 산화물 반도체로부터 제거하고, 불순물이 최대한 포함되지 않게 고순도화하고, 산소를 공급하여 산소 결손을 보충함으로써 i형(진성)의 산화물 반도체, 또는 i형(진성)에 무한히 가까운 산화물 반도체로 할 수가 있다. 그렇게 함으로써, 산화물 반도체의 페르미 준위( $E_f$ )를 진성 페르미 준위( $E_i$ )와 동일 레벨까지 할 수가 있다. 따라서, 그 산화물 반도체막을 트랜지스터에 이용함으로써, 산소 결손에 기인하는 트랜지스터의 스톱밴드 전압( $V_{th}$ )의 편차, 스톱밴드 전압의 시프트( $\Delta V_{th}$ )를 저감할 수가 있다.
- [0113] 그 다음에, 게이트 전극층(401), 게이트 절연막(402), 및 산화물 반도체막(403)상에, 소스 전극층 및 드레인 전극층(이와 동일한 층에서 형성되는 배선을 포함한다)이 되는 도전막(445)을 형성한다(도 1(B) 참조).
- [0114] 도전막(445)은 후의 가열처리에 견딜 수 있는 재료를 이용한다. 소스 전극층, 및 드레인 전극층에 이용하는 도전막(445)으로서, 예를 들면, Al, Cr, Cu, Ta, Ti, Mo, W로부터 선택된 원소를 포함한 금속막, 또는 상술한 원소를 성분으로 하는 금속 질화물막(질화 티탄막, 질화 몰리브덴막, 질화 텅스텐막) 등을 이용할 수가 있다. 또한, Al, Cu 등의 금속막의 하층 또는 상층의 한쪽 또는 양쪽에 Ti, Mo, W 등의 고용점 금속막 또는 이들의 금속 질화물막(질화 티탄막, 질화 몰리브덴막, 질화 텅스텐막)을 적층시킨 구성으로 하여도 좋다. 또한, 소스 전극층, 및 드레인 전극층에 이용하는 도전막(445)으로서, 도전성의 금속 산화물로 형성하여도 좋다. 도전성의 금속 산화물로서는 산화 인듐( $In_2O_3$ ), 산화 주석( $SnO_2$ ), 산화 아연( $ZnO$ ), 인듐 주석 산화물( $In_2O_3-SnO_2$ , ITO라고 약기한다), 인듐 아연 산화물( $In_2O_3-ZnO$ ) 또는 이들 금속 산화물 재료에 산화 실리콘을 포함시킨 것을 이용할 수가 있다.
- [0115] 포토리소그래피 공정에 의해 도전막(445)상에 레지스트 마스크(448a, 448b)를 형성하고, 할로젠을 포함한 가스(447)를 이용한 선택적인 에칭을 실시하여 소스 전극층(405a), 드레인 전극층(405b)을 형성한다(도 1(C) 참조). 소스 전극층(405a), 드레인 전극층(405b)을 형성한 후, 레지스트 마스크(448a, 448b)를 제거한다.
- [0116] 레지스트 마스크(448a, 448b) 형성시의 노광에는, 자외선이나 KrF 레이저광이나 ArF 레이저광을 이용하면 좋다. 산화물 반도체막(403)상에서 서로 이웃이 되는 소스 전극층(405a)의 하단부와 드레인 전극층(405b)의 하단부의 간격폭에 의해 후에 형성되는 트랜지스터(440)의 채널장(L)이 결정된다. 또한, 채널장(L)=25 nm미만의 노광을 실시하는 경우에는, 수 nm ~ 수 10 nm로 지극히 파장이 짧은 초자외선(Extreme Ultraviolet)을 이용하여 레지스트 마스크(448a, 448b) 형성시의 노광을 실시하면 좋다. 초자외선에 의한 노광은, 해상도가 높고 초점심도도 크다. 따라서, 후에 형성되는 트랜지스터의 채널장(L)을 10 nm이상 1000 nm이하로 하는 것도 가능하고, 회로의 동작 속도를 고속화할 수 있다.

- [0117] 또한, 포토리소그래피 공정에서 이용하는 포토마스크 수 및 공정 수를 삭감하기 위해, 투과한 광이 복수의 강도가 되는 노광 마스크인 다계조 마스크에 의해 형성된 레지스트 마스크를 이용하여 에칭 공정을 실시하여도 괜찮다. 다계조 마스크를 이용하여 형성한 레지스트 마스크는 복수의 막두께를 갖는 형상이 되어, 에칭을 실시함으로써 더욱 형상을 변형할 수가 있기 때문에, 다른 패턴으로 가공하는 복수의 에칭 공정에 이용할 수가 있다. 따라서, 한 장의 다계조 마스크에 의해, 적어도 2종류 이상의 다른 패턴에 대응하는 레지스트 마스크를 형성할 수가 있다. 따라서 포토마스크 수를 삭감할 수가 있으며, 대응하는 포토리소그래피 공정도 삭감할 수 있기 때문에, 공정의 간략화가 가능해진다.
- [0118] 본 실시형태에서는, 도전막(445)의 에칭에는, 할로젠을 포함한 가스(447)를 이용한다. 할로젠을 포함한 가스(447)로서는, 염소를 포함한 가스, 예를 들면, 염소( $Cl_2$ ), 삼염화붕소( $BCl_3$ ), 사염화규소( $SiCl_4$ ), 사염화탄소( $CCl_4$ ) 등을 포함한 가스를 이용할 수가 있다. 또한, 할로젠을 포함한 가스(447)로서 불소를 포함한 가스, 예를 들면, 사불화탄소( $CF_4$ ), 육불화유황( $SF_6$ ), 삼불화질소( $NF_3$ ), 트리플루오로메탄( $CHF_3$ ) 등을 포함한 가스를 이용할 수가 있다. 또한, 이러한 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스 등을 이용할 수가 있다.
- [0119] 에칭법으로서, 평행평형 RIE(Reactive Ion Etching) 법이나, ICP 에칭법을 이용할 수가 있다. 원하는 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기관축의 전극에 인가되는 전력량, 기관축의 전극 온도 등)을 적절히 조절한다.
- [0120] 본 실시형태에서는, 도전막(445)으로서 스퍼터링법에 의해 형성된 막두께 100 nm의 티탄막, 막두께 400 nm의 알루미늄막, 막두께 100 nm의 티탄막의 적층을 이용한다. 도전막(445)의 에칭은, 건식 에칭법에 의해, 티탄막, 알루미늄막, 티탄막의 적층을 에칭함으로써, 소스 전극층(405a), 드레인 전극층(405b)을 형성한다.
- [0121] 본 실시형태에서는, 제 1의 에칭 조건에서 티탄막과 알루미늄막의 2층을 에칭한 후, 제 2의 에칭 조건에서 나머지의 티탄막 단층을 제거한다. 또한, 제1의 에칭 조건은, 에칭 가스( $BCl_3:Cl_2=750\text{ sccm}:150\text{ sccm}$ )를 이용하여 바이어스 전력을 1500 W로 하고, ICP 전원 전력을 0 W로 하고, 압력을 2.0 Pa로 한다. 제2의 에칭 조건은, 에칭 가스( $BCl_3:Cl_2=700\text{ sccm}:100\text{ sccm}$ )를 이용하여 바이어스 전력을 750 W로 하고, ICP 전원 전력을 0 W로 하고, 압력을 2.0 Pa로 한다.
- [0122] 소스 전극층(405a) 및 드레인 전극층(405b)을 형성하는 에칭 공정에 있어서, 산화물 반도체막 표면 및 그 근방에, 에칭제(에칭 가스, 또는 에칭 용액)에 의한 잔류물이 생겨 버린다. 이러한 잔류물은, 리크 전류 등 트랜지스터의 전기 특성의 저하나 변동을 초래하는 요인이 된다. 또한, 에칭제에 포함되는 원소가 산화물 반도체막(403) 중에 혼입, 또는 부착하여, 트랜지스터 특성에 악영향을 줄 우려가 있다.
- [0123] 잔류물에는, 에칭제(에칭 가스, 또는 에칭 용액), 가공되는 도전막(445), 에칭제에 노출되는 산화물 반도체막(403)에 포함되는 원소, 및 그 원소의 화합물이 포함된다. 예를 들면, 소스 전극층 및 드레인 전극층을 형성하는 에칭 공정에서는 할로젠을 포함한 가스를 매우 적합하게 이용하지만, 이 경우, 잔류물에는, 할로젠계 불순물(할로젠, 또는 할로겐화물)이 포함된다.
- [0124] 잔류물로서는, 예를 들면, 염소, 불소, 붕소, 인, 알루미늄, 철, 또는 탄소 등을 들 수 있다. 또한, 잔류물에, 도전막(445), 에칭제에 노출되는 산화물 반도체막(403)에 포함되는 금속 원소(예를 들면, 인듐, 갈륨, 또는 아연), 금속 원소의 할로겐화물, 금속 원소의 산화물 등도 포함되는 경우가 있다. 또한, 잔류물로서 레지스트 마스크(448a, 448b)에 포함되는 원소도 포함되는 경우도 있다.
- [0125] 본 실시형태에서는 소스 전극층(405a) 및 드레인 전극층(405b)을 형성하는 에칭 공정에, 할로젠을 포함한 가스(447)를 이용하므로, 발생하는 잔류물은 할로젠(본 실시형태에서는 염소)계 불순물(할로젠, 또는 할로겐화물)이 된다. 또한, 본 실시형태와 같이 할로젠을 포함한 가스(447)에 붕소도 이용하는 경우는, 발생하는 잔류물로서는 붕소, 또는 붕소를 포함한 화합물도 포함된다. 또한, 에칭제로서 인산과 초산과 초산을 혼합한 용액을 이용하는 경우에는, 잔류물에 인 등이 포함된다.
- [0126] 따라서, 소스 전극층(405a) 및 드레인 전극층(405b)을 형성한 후, 산화물 반도체막(403) 표면 및 그 근방에 있어서, 소스 전극층(405a) 및 드레인 전극층(405b)의 사이에 존재하는 잔류물을 제거하는 공정을 실시한다(도 1(D) 참조). 잔류물 제거 공정은, 물, 혹은 알칼리성의 용액에 의한 처리, 또는 플라즈마 처리에 의해 실시할 수가 있다. 예를 들면, 물, 또는 TMAH 용액을 이용한 처리, 또는 산소, 일산화이질소, 혹은 희가스(대표적으로는 아르곤)를 이용한 플라즈마 처리 등을 매우 적합하게 이용할 수가 있다. 또한, 희불산을 이용한 처리를 실

시하여도 괜찮다. 또한, 잔류물을 제거하는 공정에 의해, 산화물 반도체막(403) 표면에 부착한 잔류물(본 실시 형태에서는 주로 할로겐, 또는 할로겐화물)을 제거하는 효과가 있다.

- [0127] 또한, 도전막(445)의 에칭 공정, 및 잔류물 제거 공정 시에, 산화물 반도체막(403)이 에칭되어 중단되는 일이 없도록 에칭 조건을 최적화하는 것이 바람직하다. 그렇지만, 도전막(445)만을 에칭하고, 산화물 반도체막(403)을 전혀 에칭하지 않는다고 하는 조건을 얻는 것은 어렵고, 도전막(445)의 에칭시에 산화물 반도체막(403)은 일부만이 에칭되어 홈부(오목부)를 갖는 산화물 반도체막이 될 수도 있다.
- [0128] 이상의 공정으로 본 실시형태의 트랜지스터(440)가 제작된다.
- [0129] 본 실시형태에서는, 소스 전극층(405a), 드레인 전극층(405b)상에, 산화물 반도체막(403)과 접하여, 보호 절연막이 되는 절연막(407)을 형성한다(도 1(E) 참조).
- [0130] 절연막(407)은 적어도 1 nm이상의 막두께로 하고, 스퍼터링법 등, 절연막(407)에 물, 수소 등의 불순물을 혼입시키지 않는 방법을 적절히 이용하여 형성할 수가 있다. 절연막(407)에 수소가 포함되면, 그 수소의 산화물 반도체막(403)으로의 인입, 또는 수소에 의한 산화물 반도체막 중의 산소의 배출이 생겨서 산화물 반도체막(403)의 백채널이 저저항화(n형화)해 버려서, 기생 채널이 형성될 우려가 있다. 따라서, 절연막(407)은 가능한 한 수소를 포함하지 않는 막이 되도록, 성막 방법에 수소를 이용하지 않는 것이 중요하다.
- [0131] 절연막(407)으로서는, 대표적으로는 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막, 산화 질화 알루미늄막, 산화 하프늄막, 산화 갈륨막, 질화 실리콘막, 질화 알루미늄막, 질화 산화 실리콘막, 또는 질화 산화 알루미늄막 등의 무기 절연막의 단층 또는 적층을 이용할 수가 있다.
- [0132] 탈수화 또는 탈수소화 처리로서 가열 공정을 실시하였을 경우, 산화물 반도체막(403)에, 산소를 공급하는 것이 바람직하다. 산화물 반도체막(403)에 산소를 공급함으로써, 막중의 산소 결손을 보충할 수가 있다.
- [0133] 본 실시형태에서는, 산화물 반도체막(403)으로의 산소의 공급을, 절연막(407)을 공급원으로서 실시하므로, 절연막(407)은 산소를 포함한 산화물 절연막(예를 들면 산화 실리콘막, 산화 질화 실리콘막)을 이용하는 예를 나타낸다. 절연막(407)을 산소의 공급원으로 하는 경우, 절연막(407)은 산소를 많이(과잉) 포함하는 막(바람직하게는 결정 상태에 있어서의 화학량론적 조성에 대하여, 산소의 함유량이 과잉인 영역이 포함되어 있는 막)으로 하면 산소의 공급원으로서 매우 적합하게 기능시킬 수가 있다.
- [0134] 본 실시형태에서는, 절연막(407)으로서 막두께 300 nm의 산화 실리콘막을, 스퍼터링법을 이용하여 성막한다. 성막시의 기판 온도는, 실온 이상 300℃이하로 하면 좋고, 본 실시형태에서는 100℃에서 한다. 산화 실리콘막의 스퍼터링법에 따른 성막은, 희가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희가스와 산소의 혼합 분위기하에서 실시할 수가 있다. 또한, 타겟으로서 산화 실리콘 타겟 또는 실리콘 타겟을 이용할 수가 있다. 예를 들면, 실리콘 타겟을 이용하여, 산소를 포함한 분위기하에서 스퍼터링법에 의해 산화 실리콘막을 형성할 수가 있다.
- [0135] 산화물 반도체막(403)의 성막시와 마찬가지로, 절연막(407)의 성막실내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프(크라이오 펌프 등)를 이용하는 것이 바람직하다. 크라이오 펌프를 이용하여 배기한 성막실에서 성막한 절연막(407)에 포함되는 불순물의 농도를 저감할 수 있다. 또한, 절연막(407)의 성막실내의 잔류 수분을 제거하기 위한 배기 수단으로서, 터보 분자 펌프에 콜드 트랩을 부가한 것이라도 괜찮다.
- [0136] 절연막(407)을 성막할 때에 이용하는 스퍼터 가스로서는, 수소, 수 등의 불순물이 제거된 고순도 가스를 이용하는 것이 바람직하다.
- [0137] 다음으로 산화물 반도체막(403)에, 일부(채널형성 영역)가 절연막(407)과 접한 상태에서 가열 공정을 실시한다.
- [0138] 가열 공정의 온도는, 250℃이상 700℃이하, 또는 400℃이상 700℃이하, 또는 기판의 왜곡점 미만으로 한다. 예를 들면, 가열처리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체막에 대하여 질소 분위기하 250℃에서 1시간의 가열 공정을 실시한다.
- [0139] 이 가열 공정은 탈수화 또는 탈수소화 처리를 실시하는 가열 공정과 같은 가열 방법 및 가열 장치를 이용할 수가 있다.
- [0140] 가열 공정은, 감압하, 또는 질소, 산소, 초진조 에어(CRDS(캐비티 링 다운 레이저 분광법) 방식)의 이슬점 온도계를 이용하여 측정하였을 경우의 수분량이 20 ppm(노점 환산으로 -55℃) 이하, 바람직하게는 1 ppm 이하, 바람직하게는 10 ppb 이하의 공기, 혹은 희가스(아르곤, 헬륨 등)의 분위기하에서 실시하면 좋지만, 상기 질소, 산



소, 초건조 에어, 또는 회가스 등의 분위기에 물, 수소 등이 포함되지 않는 것이 바람직하다. 또한, 가열처리 장치에 도입하는 질소, 산소, 또는 회가스의 순도를, 6 N(99.9999%) 이상 바람직하게는 7 N(99.99999%) 이상(즉 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm 이하)로 하는 것이 바람직하다.

- [0141] 또한, 산화물 반도체막(403)과 산소를 포함한 절연막(407)과 접한 상태에서 가열 공정을 실시하기 위해, 불순물의 배제 공정에 의해 동시에 감소해 버리는 산화물 반도체막(403)을 구성하는 주성분 재료의 1개인 산소를, 산소를 포함한 절연막(407)보다 산화물 반도체막(403)에 공급할 수가 있다.
- [0142] 또한, 게다가 절연막(407)상에 치밀성이 높은 무기 절연막을 마련하여도 좋다. 예를 들면, 절연막(407)상에 스퍼터링법에 의해 산화 알루미늄막을 형성한다. 산화 알루미늄막을 고밀도(막밀도  $3.2\text{g/cm}^3$  이상, 바람직하게는  $3.6\text{g/cm}^3$  이상)로 함으로써, 트랜지스터(440)에 안정한 전기 특성을 부여할 수가 있다. 막 밀도는 러더포드 후방 산란법(RBS:Rutherford Backscattering Spectrometry)이나, X선 반사율 측정법(XRR:X-Ray Reflection)에 따라 측정할 수가 있다.
- [0143] 트랜지스터(440)상에 마련되는 보호 절연막으로서 이용할 수 있는 산화 알루미늄막은, 수소, 수분 등의 불순물, 및 산소의 양쪽 모두에 대하여 막을 통과시키지 않는 차단 효과(블록 효과)가 높다.
- [0144] 따라서, 산화 알루미늄막은, 제작 공정중 및 제작 후에 있어서, 변동 요인이 되는 수소, 수분 등의 불순물의 산화물 반도체막(403)으로의 혼입, 및 산화물 반도체를 구성하는 주성분 재료인 산소의 산화물 반도체막(403)으로부터의 방출을 방지하는 보호막으로서 기능한다.
- [0145] 또한, 트랜지스터(440)에 기인한 표면 요철을 저감하기 위해서 평탄화 절연막을 형성하여도 좋다. 평탄화 절연막으로서, 폴리이미드, 아크릴 수지, 벤조시클로부텐계 수지 등의 유기 재료를 이용할 수가 있다. 또한, 상기 유기 재료 외에, 저유전율 재료(low-k재료) 등을 이용할 수가 있다. 또한, 이러한 재료로 형성되는 절연막을 복수 적층시킴으로써, 평탄화 절연막을 형성하여도 좋다.
- [0146] 예를 들면, 평탄화 절연막으로서 막두께 1500 nm의 아크릴 수지막을 형성하면 좋다. 아크릴 수지막은 도포법에 따른 도포 후, 소성(예를 들면 질소 분위기하 250℃ 1시간)하여 형성할 수가 있다.
- [0147] 평탄화 절연막을 형성한 후, 가열처리를 실시하여도 괜찮다. 예를 들면, 질소 분위기하 250℃에서 1시간 가열처리를 실시한다.
- [0148] 이와 같이, 트랜지스터(440)를 형성한 후, 가열처리를 실시하여도 괜찮다. 또한, 가열처리는 여러 차례 실시하여도 괜찮다.
- [0149] 이상과 같이, 잔류물을 제거하는 공정을 실시함에 의해, 산화물 반도체막(403)의 표면 및 그 근방이 잔류물에 의해 오염되는 것을 방지할 수 있기 때문에, 보텀 게이트 구조의 역스태거형 트랜지스터인 트랜지스터(440)를 갖는 반도체 장치는, 산화물 반도체막(403) 표면에 있어서의 에칭 공정에 기인한 불순물(대표적으로는, 할로겐(예를 들면 염소, 불소), 붕소, 인, 알루미늄, 철, 또는 탄소)의 면밀도를  $1 \times 10^{13} \text{ atoms/cm}^2$  이하(바람직하게는  $1 \times 10^{12} \text{ atoms/cm}^2$  이하)로 할 수가 있다. 또한, 산화물 반도체막(403) 표면에 있어서의 에칭 공정에 기인한 불순물(대표적으로는, 할로겐(예를 들면 염소, 불소), 붕소, 인, 알루미늄, 철, 또는 탄소)의 농도를  $5 \times 10^{18} \text{ atoms/cm}^3$  이하(바람직하게는  $1 \times 10^{18} \text{ atoms/cm}^3$  이하)로 할 수가 있다.
- [0150] 또한, 에칭 공정에 기인한 불순물(대표적으로는, 할로겐(예를 들면 염소, 불소), 붕소, 인, 알루미늄, 철, 또는 탄소)의 농도는, SIMS(Secondary Ion Mass Spectrometry) 등의 방법을 이용하여 추측할 수가 있다.
- [0151] 따라서, 산화물 반도체막(403)을 이용한 안정된 전기 특성을 갖는 트랜지스터(440)를 포함하는 신뢰성이 높은 반도체 장치를 제공할 수가 있다. 또한, 신뢰성이 높은 반도체 장치를 고수율로 제작하여 생산성을 향상시킬 수가 있다.
- [0152] (실시형태 2)
- [0153] 본 실시형태에서는, 반도체 장치 및 반도체 장치의 제작 방법의 다른 일 형태를, 도 2를 이용하여 설명한다. 상기 실시형태와 동일 부분 또는 동일한 기능을 갖는 부분, 및 공정은, 상기 실시형태와 동일하게 실시할 수가 있으며, 반복 설명은 생략한다. 또한 동일 개소의 상세한 설명은 생략한다.
- [0154] 도 2(E)에 나타내는 트랜지스터(430)는 보텀 게이트 구조의 하나이며 역스태거형 트랜지스터라고도 하는 트랜지

스터의 일 예이다. 또한, 도 2는 트랜지스터(430)의 채널 길이 방향의 단면도이다.

- [0155] 도 2(E)에 나타내는 바와 같이, 트랜지스터(430)를 포함하는 반도체 장치는, 절연 표면을 갖는 기판(400)상에, 게이트 전극층(401), 게이트 절연막(402), 산화물 반도체막(403), 소스 전극층(405a), 드레인 전극층(405b)을 갖는다. 또한, 트랜지스터(430)를 덮는 절연막(407)이 마련되어 있다.
- [0156] 도 2(A) 내지(E)에 트랜지스터(430)를 갖는 반도체 장치의 제작 방법의 일 예를 나타낸다.
- [0157] 기판(400)상에 도전막(441)을 형성한다(도 2(A) 참조). 도전막(441)의 재료는, 몰리브덴, 티탄, 탄탈륨, 텅스텐, 알루미늄, 동, 크롬, 네오디뮴, 스칸듐 등의 금속재료 또는 이들을 주성분으로 하는 합금 재료를 이용하여 형성할 수가 있다. 또한, 도전막(441)으로서 인 등의 불순물 원소를 도핑한 다결정 실리콘막으로 대표되는 반도체막, 니켈 실리사이드 등의 실리사이드막을 이용하여도 괜찮다. 도전막(441)은, 단층 구조로 하여도 좋고, 적층 구조로 하여도 좋다.
- [0158] 또한, 도전막(441)의 재료는, 산화 텅스텐을 포함한 인듐 산화물, 산화 티탄을 포함한 인듐 산화물, 인듐 주석 산화물, 산화 티탄을 포함한 인듐 주석 산화물, 산화 규소를 첨가한 인듐 주석 산화물, 인듐 아연 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물 등의 도전성 재료를 적용할 수도 있다. 또한, 상기 도전성 재료와 상기 금속재료의 적층 구조로 할 수도 있다.
- [0159] 본 실시형태에서는, 도전막(441)으로서 스퍼터링법에 의해 막두께 100 nm의 텅스텐막을 형성한다.
- [0160] 포토리소그래피 공정에 의해 도전막(441)상에 레지스트 마스크(442)를 형성하고, 선택적으로 에칭을 실시하여 게이트 전극층(401)을 형성한다(도 2(B) 참조). 게이트 전극층(401)을 형성한 후, 레지스트 마스크(442)를 제거한다. 도전막(441)의 에칭은, 건식 에칭이라도 습식 에칭이라도 좋고, 양쪽 모두를 이용하여도 괜찮다.
- [0161] 본 실시형태에서는, 도전막(441)의 에칭에는, 할로젠을 포함한 가스(443)를 이용한다. 할로젠을 포함한 가스(443)로서는, 염소를 포함한 가스, 예를 들면, 염소( $Cl_2$ ), 삼염화붕소( $BCl_3$ ), 사염화규소( $SiCl_4$ ), 사염화탄소( $CCl_4$ ) 등을 포함한 가스를 이용할 수가 있다. 또한, 할로젠을 포함한 가스(443)로서 불소를 포함한 가스, 예를 들면, 사불화탄소( $CF_4$ ), 육불화유황( $SF_6$ ), 삼불화질소( $NF_3$ ), 트리플루오로메탄( $CHF_3$ ) 등을 포함한 가스를 이용할 수가 있다. 또한, 이러한 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스 등을 이용할 수가 있다.
- [0162] 에칭법으로서, 평행평판형 RIE법이나, ICP 에칭법을 이용할 수가 있다. 원하는 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기관축의 전극에 인가되는 전력량, 기관축의 전극 온도 등)을 적절히 조절한다.
- [0163] 본 실시형태에서는, 도전막(441)의 에칭 공정에 건식 에칭을 이용하고, 할로젠을 포함한 가스(443)로서는, 사불화탄소, 염소, 및 산소를 포함한 가스( $CF_4:Cl_2:O_2=25\text{ sccm}:25\text{ sccm}:10\text{ sccm}$ )를 이용하며, 바이어스 전력을 150 W로 하고, ICP 전원 전력을 500 W로 하고, 압력을 1.0 Pa로 한다.
- [0164] 게이트 전극층(401)을 형성하는 에칭 공정에 있어서, 게이트 전극층(401) 표면 및 그 근방에, 에칭제(에칭 가스, 또는 에칭 용액)에 의한 잔류물이 생겨 버린다. 이러한 잔류물에 포함되는 불순물이, 게이트 전극층 표면에 존재하면, 게이트 절연막(402)의 전압에 대한 내성 열화를 초래하고(내압이 저하하고), 게이트 전극층(401)과 소스 전극층(405a) 또는 드레인 전극층(405b)과의 사이에 리크 전류를 일으켜 버린다. 따라서, 트랜지스터의 전기 특성의 변동 및 저하를 초래하는 요인이 된다.
- [0165] 잔류물에는, 에칭제(에칭 가스, 또는 에칭 용액), 가공되는 도전막(441)에 포함되는 원소, 및 그 원소의 화합물이 포함된다. 예를 들면, 게이트 전극층(401)을 형성하는 에칭 공정에서는 할로젠을 포함한 가스를 매우 적합하게 이용하지만, 이 경우, 잔류물에는, 할로젠계 불순물(할로젠, 또는 할로젠화물)이 포함된다.
- [0166] 잔류물로서는, 예를 들면, 염소, 불소, 붕소, 인, 알루미늄, 철, 또는 탄소 등을 들 수 있다. 또한, 잔류물에는, 도전막(441)에 포함되는 금속 원소, 금속 원소의 할로젠화물, 금속 원소의 산화물 등도 포함되는 경우가 있다. 또한, 잔류물로서 레지스트 마스크(442)에 포함되는 원소도 포함되는 경우도 있다.
- [0167] 본 실시형태에서는 게이트 전극층(401)을 형성하는 에칭 공정에, 할로젠을 포함한 가스(443)를 이용하므로, 발생하는 잔류물은 할로젠(본 실시형태에서는 염소)계 불순물(할로젠, 또는 할로젠화물)이 된다. 또한, 에칭제로서 인산과 초산과 초산을 혼합한 용액을 이용하는 경우에는, 잔류물에 인 등이 포함된다.

- [0168] 따라서, 게이트 전극층(401)의 형성 후, 게이트 전극층(401) 표면 및 그 근방에 존재하는 잔류물을 제거하는 공정을 실시한다(도 2(C) 참조). 잔류물 제거 공정은, 물, 혹은 알칼리성의 용액에 의한 처리, 또는 플라즈마 처리에 의해 실시할 수가 있다. 예를 들면, 물, 또는 TMAH 용액을 이용한 처리, 또는 산소, 일산화이질소, 혹은 희가스(대표적으로는 아르곤)를 이용한 플라즈마 처리 등을 매우 적합하게 이용할 수가 있다. 또한, 희불산을 이용한 처리를 실시하여도 괜찮다.
- [0169] 다음으로, 게이트 전극층(401)상에 게이트 절연막(402)을 형성한다. 본 실시형태에서는, 고밀도 플라즈마 CVD법에 의해 막두께 200 nm의 산화 질화 실리콘막을 형성한다.
- [0170] 게이트 절연막(402)상에 산화물 반도체막(403)을 형성한다(도 2(D) 참조). 본 실시형태에 있어서, 산화물 반도체막(403)으로서 AC전원 장치를 갖는 스퍼터링 장치를 이용한 스퍼터링법을 이용하여 막두께 35 nm의 In-Ga-Zn계 산화물막(IGZO막)을 성막한다. 본 실시형태에 있어서, In:Ga:Zn=1:1:1(=1/3:1/3:1/3)의 원자비의 In-Ga-Zn계 산화물 타겟을 이용한다. 또한, 성막 조건은, 산소 및 아르곤 분위기하(산소 유량 비율 50%), 압력 0.6 Pa, 전원 전력 5 kW, 기판 온도 170℃로 한다. 이 성막 조건에서의 성막 속도는, 16 nm/min이다.
- [0171] 산화물 반도체막(403)에, 과잉의 수소(물이나 수산기를 포함한다)를 제거(탈수화 또는 탈수소화)하기 위한 가열처리를 실시하여도 괜찮다. 본 실시형태에서는, 가열처리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체막(403)에 대하여 질소 분위기하 450℃에서 1시간, 게다가 질소 및 산소 분위기하 450℃에서 1시간의 가열처리를 실시한다.
- [0172] 그 다음에, 게이트 전극층(401), 게이트 절연막(402), 산화물 반도체막(403)상에, 도전막을 형성하고, 그 도전막을 에칭함으로써, 소스 전극층(405a) 및 드레인 전극층(405b)을 형성한다. 도전막의 에칭은, 건식 에칭이라도 습식 에칭이라도 좋고, 양쪽 모두를 이용하여도 괜찮다.
- [0173] 본 실시형태에서는, 스퍼터링법에 의해 막두께 100 nm의 티탄막, 막두께 400 nm의 알루미늄막, 막두께 100 nm의 티탄막을 적층하고, 건식 에칭법에 의해, 티탄막, 알루미늄막, 티탄막의 적층을 에칭함으로써, 소스 전극층(405a), 드레인 전극층(405b)을 형성한다.
- [0174] 이상의 공정으로, 본 실시형태의 트랜지스터(430)가 제작된다.
- [0175] 본 실시형태에서는, 소스 전극층(405a), 드레인 전극층(405b)상에, 산화물 반도체막(403)과 접하여, 보호 절연막이 되는 절연막(407)을 형성한다(도 2(E) 참조). 예를 들면, CVD법에 의해 형성한 산화 질화 실리콘막을 400 nm 형성한다. 또한, 보호 절연막의 형성 후, 가열처리를 실시하여도 괜찮다. 예를 들면, 질소 분위기하 300℃에서 1시간 가열처리를 실시한다.
- [0176] 또한, 트랜지스터(430)에 기인한 표면 요철을 저감하기 위해서 평탄화 절연막을 형성하여도 좋다.
- [0177] 예를 들면, 보호 절연막 상에 평탄화 절연막으로서 막두께 1500 nm의 아크릴 수지막을 형성하면 좋다. 아크릴 수지막은 도포법에 따른 도포 후, 소성(예를 들면 질소 분위기하 250℃ 1시간)하여 형성할 수가 있다.
- [0178] 평탄화 절연막을 형성한 후, 가열처리를 실시하여도 괜찮다. 예를 들면, 질소 분위기하 250℃에서 1시간 가열처리를 실시한다.
- [0179] 이상과 같이, 게이트 전극층(401) 표면 및 그 근방이 잔류물에 의해 오염되는 것을 방지할 수 있기 때문에, 보텀 게이트 구조의 역스태거형 트랜지스터인 트랜지스터(420)를 갖는 반도체 장치는, 게이트 전극층(401) 표면에 있어서의 에칭 공정에 기인한 불순물(대표적으로는, 할로젠(예를 들면 염소, 불소), 붕소, 인, 알루미늄, 철, 또는 탄소)의 면밀도를  $1 \times 10^{13}$  atoms/cm<sup>2</sup> 이하(바람직하게는  $1 \times 10^{12}$  atoms/cm<sup>2</sup> 이하)로 한다. 또한, 게이트 전극층(401) 표면에 있어서의 에칭 공정에 기인한 불순물(대표적으로는, 할로젠(예를 들면 염소, 불소), 붕소, 인, 알루미늄, 철, 또는 탄소)의 농도를  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하(바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하)로 할 수가 있다.
- [0180] 따라서, 산화물 반도체막(403)을 이용한 안정된 전기 특성을 갖는 트랜지스터(430)를 포함하는 신뢰성이 높은 반도체 장치를 제공할 수가 있다. 또한, 신뢰성이 높은 반도체 장치를 고수율로 제작하여 생산성을 향상시킬 수가 있다.
- [0181] (실시형태 3)
- [0182] 본 실시형태에서는, 반도체 장치 및 반도체 장치의 제작 방법의 다른 일 형태를, 도 3을 이용하여 설명한다.

상기 실시형태와 동일 부분 또는 동일한 기능을 갖는 부분, 및 공정은, 상기 실시형태와 동일하게 실시할 수가 있으며, 반복 설명은 생략한다. 또한 동일 개소의 상세한 설명은 생략한다.

- [0183] 도 3(F)에 나타내는 트랜지스터(420)는 보텀 게이트 구조의 하나이며 역스태거형 트랜지스터라고도 하는 트랜지스터의 일 예이다. 또한, 도 3은 트랜지스터(420)의 채널 길이 방향의 단면도이다.
- [0184] 도 3(F)에 나타내는 바와 같이, 트랜지스터(420)를 포함하는 반도체 장치는, 절연 표면을 갖는 기판(400)상에, 게이트 전극층(401), 게이트 절연막(402), 산화물 반도체막(403), 소스 전극층(405a), 드레인 전극층(405b)을 갖는다. 또한, 트랜지스터(420)를 덮는 절연막(407)이 마련되어 있다.
- [0185] 도 3(A) 내지 도 3(F)에 트랜지스터(420)를 갖는 반도체 장치의 제작 방법의 일 예를 나타낸다.
- [0186] 절연 표면을 갖는 기판(400)상에 도전막을 형성한다. 도전막의 재료는, 몰리브덴, 티탄, 탄탈륨, 텅스텐, 알루미늄, 동, 크롬, 네오디뮴, 스칸듐 등의 금속재료 또는 이들을 주성분으로 하는 합금 재료를 이용하여 형성할 수가 있다. 또한, 도전막으로서 인 등의 불순물 원소를 도핑한 다결정 실리콘막으로 대표되는 반도체막, 니켈 실리콘사이드 등의 실리콘사이드막을 이용하여도 괜찮다. 도전막은, 단층 구조로 하여도 좋고, 적층 구조로 하여도 좋다.
- [0187] 또한, 도전막의 재료는, 산화 텅스텐을 포함한 인듐 산화물, 산화 티탄을 포함한 인듐 산화물, 인듐 주석 산화물, 산화 티탄을 포함한 인듐 주석 산화물, 산화 규소를 첨가한 인듐 주석 산화물, 인듐 아연 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물 등의 도전성 재료를 적용할 수도 있다. 또한, 상기 도전성 재료라고 상기 금속재료의 적층 구조로 할 수도 있다.
- [0188] 본 실시형태에서는, 도전막으로서 스퍼터링법에 의해 막두께 100 nm의 텅스텐막을 형성한다.
- [0189] 포토리소그래피 공정에 의해 도전막상에 레지스트 마스크를 형성하고, 선택적으로 에칭을 실시하여 게이트 전극층(401)을 형성한다(도 3(A) 참조). 게이트 전극층(401)을 형성한 후, 레지스트 마스크를 제거한다. 도전막의 에칭은, 건식 에칭이라도 습식 에칭이라도 좋고, 양쪽 모두를 이용하여도 괜찮다.
- [0190] 본 실시형태에서는, 도전막의 에칭에는, 할로젠을 포함한 가스를 이용한다. 할로젠을 포함한 가스로서는, 염소를 포함한 가스, 예를 들면, 염소( $Cl_2$ ), 삼염화붕소( $BCl_3$ ), 사염화규소( $SiCl_4$ ), 사염화탄소( $CCl_4$ ) 등을 포함한 가스를 이용할 수가 있다. 또한, 할로젠을 포함한 가스로서 불소를 포함한 가스, 예를 들면, 사불화탄소( $CF_4$ ), 육불화유황( $SF_6$ ), 삼불화질소( $NF_3$ ), 트리플루오로메탄( $CHF_3$ ) 등을 포함한 가스를 이용할 수가 있다. 또한, 이러한 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스, 등을 이용할 수가 있다.
- [0191] 에칭법으로서, 평행평판형 RIE법이나, ICP 에칭법을 이용할 수가 있다. 원하는 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기관축의 전극에 인가되는 전력량, 기관축의 전극 온도 등)을 적절히 조절한다.
- [0192] 본 실시형태에서는, 도전막의 에칭 공정에 건식 에칭을 이용하며, 에칭 조건은, 할로젠을 포함한 가스로서는, 사불화탄소, 염소, 및 산소를 포함한 가스( $CF_4:Cl_2:O_2=25\text{ sccm}:25\text{ sccm}:10\text{ sccm}$ )를 이용하고, 바이어스 전력을 150 W로 하고, ICP 전원 전력을 500 W로 하고, 압력을 1.0 Pa로 한다.
- [0193] 게이트 전극층(401)을 형성하는 에칭 공정에 있어서, 게이트 전극층(401) 표면 및 그 근방에, 에칭재(에칭 가스, 또는 에칭 용액)에 의한 잔류물이 생겨 버린다. 이러한 잔류물에 포함되는 불순물이, 게이트 전극층 표면에 존재하면, 게이트 절연막(402)의 내압 저하를 초래하여, 게이트 전극층(401)과 소스 전극층(405a) 또는 드레인 전극층(405b)의 사이에 리크 전류를 발생시켜 버린다. 따라서, 트랜지스터의 전기 특성의 변동 및 저하를 초래하는 요인이 된다.
- [0194] 잔류물에는, 에칭재(에칭 가스, 또는 에칭 용액), 가공되는 도전막에 포함되는 원소, 및 그 원소의 화합물이 포함된다. 예를 들면, 게이트 전극층(401)을 형성하는 에칭 공정에서는 할로젠을 포함한 가스를 매우 적합하게 이용하지만, 이 경우, 잔류물에는, 할로젠계 불순물(할로젠, 또는 할로젠화물)이 포함된다.
- [0195] 잔류물은, 예를 들면, 염소, 불소, 붕소, 인, 알루미늄, 철, 또는 탄소 등을 들 수 있다. 또한, 잔류물에, 도전막에 포함되는 금속 원소, 금속 원소의 할로젠화물, 금속 원소의 산화물 등도 포함되는 경우가 있다. 또한, 잔류물로서 레지스트 마스크에 포함되는 원소도 포함되는 경우도 있다.
- [0196] 본 실시형태에서는 게이트 전극층(401)을 형성하는 에칭 공정에, 할로젠을 포함한 가스를 이용하므로, 발생하는

잔류물은 할로젠(본 실시형태에서는 염소)계 불순물(할로젠, 또는 할로젠화물)이 된다. 또한, 에칭제로서 인산과 초산과 초산을 혼합한 용액을 이용하는 경우에는, 잔류물에 인 등이 포함된다.

- [0197] 따라서, 게이트 전극층(401)을 형성한 후, 게이트 전극층(401) 표면 및 그 근방에 존재하는 잔류물을 제거하는 공정을 실시한다(도 3(B) 참조). 잔류물 제거 공정은, 물, 혹은 알칼리성의 용액에 의한 처리, 또는 플라즈마 처리에 의해 실시할 수가 있다. 예를 들면, 물, 또는 TMAH 용액을 이용한 처리, 또는 산소, 일산화이질소, 혹은 희가스(대표적으로는 아르곤)를 이용한 플라즈마 처리 등을 매우 적합하게 이용할 수가 있다. 또한, 희불산을 이용한 처리를 실시하여도 괜찮다.
- [0198] 다음으로, 게이트 전극층(401)상에 게이트 절연막(402)을 형성한다. 본 실시형태에서는, 고밀도 플라즈마 CVD 법에 의해 막두께 200 nm의 산화 질화 실리콘막을 형성한다.
- [0199] 게이트 절연막(402)상에 산화물 반도체막(403)을 형성한다(도 3(C) 참조). 본 실시형태에 있어서, 산화물 반도체막(403)으로서, AC전원 장치를 갖는 스퍼터링 장치를 이용한 스퍼터링법을 이용하여 막두께 35 nm의 In-Ga-Zn 계 산화물막(IGZO막)을 성막한다. 본 실시형태에 있어서, In:Ga:Zn=1:1:1(=1/3:1/3:1/3)의 원자비의 In-Ga-Zn 계 산화물 타겟을 이용한다. 또한, 성막 조건은, 산소 및 아르곤 분위기하(산소 유량 비율 50%), 압력 0.6 Pa, 전원 전력 5 kW, 기판 온도 170℃로 한다. 이 성막 조건에서의 성막 속도는, 16 nm/min이다.
- [0200] 산화물 반도체막(403)에, 파잉의 수소(물이나 수산기를 포함한다)를 제거(탈수화 또는 탈수소화)하기 위한 가열 처리를 실시하여도 괜찮다. 본 실시형태에서는, 가열처리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체막(403)에 대하여 질소 분위기하 450℃에서 1시간, 게다가 질소 및 산소 분위기나 450℃에서 1시간의 가열 처리를 실시한다.
- [0201] 그 다음에, 게이트 전극층(401), 게이트 절연막(402), 및 산화물 반도체막(403)상에, 소스 전극층 및 드레인 전극층이 되는 도전막을 형성한다.
- [0202] 도전막은 후의 가열처리에 견딜 수 있는 재료를 이용한다. 소스 전극층, 및 드레인 전극층에 이용하는 도전막 으로서는, 예를 들면, Al, Cr, Cu, Ta, Ti, Mo, W로부터 선택된 원소를 포함한 금속막, 또는 상술한 원소를 성분으로 하는 금속 질화물막(질화 티탄막, 질화 몰리브덴막, 질화 텅스텐막) 등을 이용할 수가 있다. 또한, Al, Cu 등의 금속막의 하층 또는 상층의 한쪽 또는 양쪽에 Ti, Mo, W 등의 고용점 금속막 또는 이들 금속 질화물막(질화 티탄막, 질화 몰리브덴막, 질화 텅스텐막)을 적층시킨 구성으로 하여도 좋다. 또한, 소스 전극층, 및 드레인 전극층에 이용하는 도전막으로서, 도전성의 금속 산화물로 형성하여도 좋다. 도전성의 금속 산화물로서는 산화 인듐(In<sub>2</sub>O<sub>3</sub>), 산화 주석(SnO<sub>2</sub>), 산화 아연(ZnO), 인듐 주석 산화물(In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>, ITO라고 약기한다), 인듐 아연 산화물(In<sub>2</sub>O<sub>3</sub>-ZnO) 또는 이러한 금속 산화물 재료에 산화 실리콘을 포함시킨 것을 이용할 수가 있다.
- [0203] 포토리소그래피 공정에 의해 도전막상에 레지스트 마스크를 형성하고, 선택적으로 에칭을 실시하여 소스 전극층(405a), 드레인 전극층(405b)을 형성한다(도 3(D) 참조). 소스 전극층(405a), 드레인 전극층(405b)을 형성한 후, 레지스트 마스크를 제거한다.
- [0204] 본 실시형태에서는, 도전막의 에칭에는, 할로젠을 포함한 가스를 이용한다. 할로젠을 포함한 가스로서는, 염소를 포함한 가스, 예를 들면, 염소(Cl<sub>2</sub>), 삼염화붕소(BCl<sub>3</sub>), 사염화규소(SiCl<sub>4</sub>), 사염화탄소(CCl<sub>4</sub>) 등을 포함한 가스를 이용할 수가 있다. 또한, 할로젠을 포함한 가스로서 불소를 포함한 가스, 예를 들면, 사불화탄소(CF<sub>4</sub>), 육불화유황(SF<sub>6</sub>), 삼불화질소(NF<sub>3</sub>), 트리플루오로메탄(CHF<sub>3</sub>) 등을 포함한 가스를 이용할 수가 있다. 또한, 이러한 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스, 등을 이용할 수가 있다.
- [0205] 에칭법으로서, 평행평판형 RIE법이나, ICP 에칭법을 이용할 수가 있다. 원하는 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기판측의 전극에 인가되는 전력량, 기판측의 전극 온도 등)을 적절히 조절한다.
- [0206] 본 실시형태에서는, 도전막으로서 스퍼터링법에 의해 막두께 100 nm의 티탄막, 막두께 400 nm의 알루미늄막, 막두께 100 nm의 티탄막의 적층을 이용한다. 도전막의 에칭은, 건식 에칭법에 의해, 티탄막, 알루미늄막, 티탄막의 적층을 에칭함으로써, 소스 전극층(405a), 드레인 전극층(405b)을 형성한다.
- [0207] 본 실시형태에서는, 제 1의 에칭 조건에서 티탄막과 알루미늄막의 2층을 에칭한 후, 제 2의 에칭 조건에서 나머지의 티탄막 단층을 제거한다. 또한, 제1의 에칭 조건은, 에칭 가스(BCl<sub>3</sub>:Cl<sub>2</sub>=750 sccm:150 sccm)를 이용하여 바이어스 전력을 1500 W로 하고, ICP 전원 전력을 0 W로 하고, 압력을 2.0 Pa로 한다. 제2의 에칭 조건은, 에

칭 가스( $BCl_3:Cl_2=700\text{ sccm}:100\text{ sccm}$ )를 이용하고, 바이어스 전력을 750 W로 하고, ICP 전원 전력을 0 W로 하고, 압력을 2.0 Pa로 한다.

[0208] 소스 전극층(405a) 및 드레인 전극층(405b)을 형성하는 에칭 공정에 있어서, 산화물 반도체막 표면 및 그 근방에, 에칭제(에칭 가스, 또는 에칭 용액)에 의한 잔류물이 생겨 버린다. 이러한 잔류물은, 리크 전류 등 트랜지스터의 전기 특성의 저하나 변동을 초래하는 요인이 된다. 또한, 에칭제에 포함되는 원소가 산화물 반도체막(403) 중에 혼입, 또는 부착하여, 트랜지스터 특성에 악영향을 줄 우려가 있다.

[0209] 잔류물에는, 에칭제(에칭 가스, 또는 에칭 용액), 가공되는 도전막, 에칭제에 노출되는 산화물 반도체막(403)에 포함되는 원소, 및 그 원소의 화합물이 포함된다. 예를 들면, 소스 전극층 및 드레인 전극층을 형성하는 에칭 공정에서는 할로젠을 포함한 가스를 매우 적합하게 이용하지만, 이 경우, 잔류물에는, 할로젠계 불순물(할로젠, 또는 할로겐화물)이 포함된다.

[0210] 잔류물로서는, 예를 들면, 염소, 불소, 붕소, 인, 알루미늄, 철, 또는 탄소 등을 들 수 있다. 또한, 잔류물에, 도전막, 에칭제에 노출되는 산화물 반도체막(403)에 포함되는 금속 원소(예를 들면, 인듐, 갈륨, 또는 아연), 금속 원소의 할로겐화물, 금속 원소의 산화물 등도 포함되는 경우가 있다. 또한, 잔류물로서 레지스트 마스크에 포함되는 원소도 포함되는 경우도 있다.

[0211] 본 실시형태에서는 소스 전극층(405a) 및 드레인 전극층(405b)을 형성하는 에칭 공정에, 할로젠을 포함한 가스를 이용하므로, 발생하는 잔류물은 할로젠(본 실시형태에서는 염소)계 불순물(할로젠, 또는 할로겐화물)이 된다. 또한, 본 실시형태와 같이 할로젠을 포함한 가스에 붕소도 이용하는 경우는, 발생하는 잔류물로서는 붕소, 또는 붕소를 포함한 화합물도 포함된다. 또한, 에칭제로서 인산과 초산과 초산을 혼합한 용액을 이용하는 경우에는, 잔류물에 인 등이 포함된다.

[0212] 따라서, 소스 전극층(405a) 및 드레인 전극층(405b)을 형성한 후, 산화물 반도체막(403) 표면 및 그 근방에 있어서의, 소스 전극층(405a) 및 드레인 전극층(405b)의 사이에 존재하는 잔류물을 제거하는 공정을 실시한다(도 3(E) 참조). 잔류물 제거 공정은, 물, 혹은 알칼리성의 용액에 의한 처리, 또는 플라즈마 처리에 의해 실시할 수가 있다. 예를 들면, 물, 또는 TMAH 용액을 이용한 처리, 또는 산소, 일산화이질소, 혹은 희가스(대표적으로는 아르곤)를 이용한 플라즈마 처리 등을 매우 적합하게 이용할 수가 있다. 또한, 희불산을 이용한 처리를 실시하여도 괜찮다. 또한, 잔류물을 제거하는 공정은, 산화물 반도체막(403)의 표면에 부착한, 잔류물(본 실시형태에서는 주로 할로젠, 또는 할로겐화물)을 제거하는 효과가 있다.

[0213] 이상의 공정으로, 본 실시형태의 트랜지스터(420)가 제작된다.

[0214] 본 실시형태에서는, 소스 전극층(405a), 드레인 전극층(405b)상에, 산화물 반도체막(403)과 접하여, 보호 절연막이 되는 절연막(407)을 형성한다(도 3(F) 참조). 예를 들면, CVD법에 의해 형성한 산화 질화 실리콘막을 400 nm 형성한다. 또한, 보호 절연막의 형성 후, 가열처리를 실시하여도 괜찮다. 예를 들면, 질소 분위기하 300°C에서 1시간 가열처리를 실시한다.

[0215] 또한, 트랜지스터(430)에 기인한 표면 요철을 저감하기 위해서 평탄화 절연막을 형성하여도 좋다.

[0216] 예를 들면, 보호 절연막상에 평탄화 절연막으로서 막두께 1500 nm의 아크릴 수지막을 형성하면 좋다. 아크릴 수지막은 도포법에 따른 도포 후, 소성(예를 들면 질소 분위기하 250°C, 1시간)하여 형성할 수가 있다.

[0217] 평탄화 절연막을 형성한 후, 가열처리를 실시하여도 괜찮다. 예를 들면, 질소 분위기하 250°C에서 1시간 가열처리를 실시한다.

[0218] 이상과 같이, 게이트 전극층(401), 및 산화물 반도체막(403) 표면 및 그 근방이 잔류물에 의해 오염되는 것을 방지할 수 있기 때문에, 보텀 게이트 구조의 역스태거형 트랜지스터인 트랜지스터(420)를 갖는 반도체 장치는, 산화물 반도체막(403) 표면에 있어서의 에칭 공정에 기인한 불순물(대표적으로는, 할로젠(예를 들면 염소, 불소), 붕소, 인, 알루미늄, 철, 또는 탄소)의 면밀도를  $1 \times 10^{13}\text{ atoms/cm}^2$  이하(바람직하게는  $1 \times 10^{12}\text{ atoms/cm}^2$  이하)로 할 수가 있다. 또한, 게이트 전극층(401) 표면에 있어서의 에칭 공정에 기인한 불순물(대표적으로는, 할로젠(예를 들면 염소, 불소), 붕소, 인, 알루미늄, 철, 또는 탄소)의 면밀도를  $1 \times 10^{13}\text{ atoms/cm}^2$  이하(바람직하게는  $1 \times 10^{12}\text{ atoms/cm}^2$  이하)로 한다.

[0219] 또한, 산화물 반도체막(403) 표면에 있어서의 에칭 공정에 기인한 불순물(대표적으로는, 할로젠(예를 들면

염소, 불소), 붕소, 인, 알루미늄, 철, 또는 탄소)의 농도를  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하(바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하)로 할 수가 있다. 게이트 전극층(401) 표면에 있어서의 에칭 공정에 기인한 불순물(대표적으로는, 할로겐(예를 들면 염소, 불소), 붕소, 인, 알루미늄, 철, 또는 탄소)의 농도를  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하(바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하)로 할 수가 있다.

[0220] 따라서, 산화물 반도체막(403)을 이용한 안정된 전기 특성을 갖는 트랜지스터(420)를 포함한 신뢰성이 높은 반도체 장치를 제공할 수가 있다. 또한, 신뢰성이 높은 반도체 장치를 고수율로 제작하여 생산성을 향상시킬 수가 있다.

[0221] (실시형태 4)

[0222] 실시형태 1 내지 3 중의 어딘가에 나타낸 트랜지스터를 이용하여 표시 기능을 갖는 반도체 장치(표시장치라고도 한다)를 제작할 수가 있다. 또한, 트랜지스터를 포함한 구동 회로의 일부 또는 전체를, 화소부와 동일 기판상에 일체로 형성하여, 시스템 온 패널을 형성할 수가 있다.

[0223] 도 4(A)에 있어서, 제 1의 기판(4001)상에 마련된 화소부(4002)를 둘러싸도록 하여, 시일재(4005)가 마련되어 제2의 기판(4006)에 의해 봉지되어 있다. 도 4(A)에 있어서, 제 1의 기판(4001)상의 시일재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도로 준비된 기판상에 단결정 반도체막 또는 다결정 반도체막으로 형성된 주사선 구동 회로(4004), 신호선 구동 회로(4003)가 실장되어 있다. 또한 별도로 형성된 신호선 구동 회로(4003)와 주사선 구동 회로(4004) 또는 화소부(4002)에 주어지는 각종 신호 및 전위는, FPC(Flexible printed circuit)(4018a, 4018b)로부터 공급되고 있다.

[0224] 도 4(B), 및 도 4(C)에 있어서, 제 1의 기판(4001)상에 마련된 화소부(4002)와 주사선 구동 회로(4004)를 둘러싸도록 하여, 시일재(4005)가 마련되어 있다. 또한 화소부(4002)와 주사선 구동 회로(4004) 위에 제2의 기판(4006)이 마련되어 있다. 따라서 화소부(4002)와 주사선 구동 회로(4004)란, 제 1의 기판(4001)과 시일재(4005)와 제2의 기판(4006)에 의해, 표시 소자와 함께 봉지되어 있다. 도 4(B), 및 도 4(C)에 있어서는, 제 1의 기판(4001)상의 시일재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도로 준비된 기판상에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장되어 있다. 도 4(B), 및 도 4(C)에 있어서는, 별도로 형성된 신호선 구동 회로(4003)와 주사선 구동 회로(4004) 또는 화소부(4002)에 주어지는 각종 신호 및 전위는, FPC(4018)로부터 공급되고 있다.

[0225] 또한 도 4(B), 및 도 4(C)에 있어서는, 신호선 구동 회로(4003)를 별도로 형성하고, 제 1의 기판(4001)에 실장하는 예를 나타내고 있지만, 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도로 형성하여 실장하여도 괜찮고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도로 형성하여 실장하여도 괜찮다.

[0226] 또한, 별도로 형성한 구동 회로의 접속 방법은, 특별히 한정되는 것은 아니고, COG(Chip On Glass) 방법, 와이어 본딩 방법, 혹은 TAB(Tape Automated Bonding) 방법 등을 이용할 수가 있다. 도 4(A)는, COG 방법에 의해 신호선 구동 회로(4003), 주사선 구동 회로(4004)를 실장하는 예이며, 도 4(B)는, COG 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이며, 도 4(C)는, TAB 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이다.

[0227] 또한, 표시장치는, 표시 소자가 봉지된 상태에 있는 패널과, 그 패널에 컨트롤러를 포함한 IC 등을 실장한 상태에 있는 모듈을 포함한다.

[0228] 또한, 본 명세서 중에 있어서의 표시장치란, 화상 표시 디바이스, 표시 디바이스, 혹은 광원(조명 장치 포함한다)을 나타낸다.

[0229] 또한, 커넥터, 예를 들면 FPC 혹은 TAB 테이프 혹은 TCP가 장착된 모듈, TAB 테이프나 TCP의 끝에 프린트 배선판이 마련된 모듈, 또는 표시 소자에 COG 방식에 의해 IC(집적회로)가 직접 실장된 모듈도 모두 표시장치에 포함하는 것으로 한다.

[0230] 또한 제1의 기판상에 마련된 화소부 및 주사선 구동 회로는, 트랜지스터를 복수 가지고 있으며, 실시형태 1 내지 3 중의 어딘가에 나타낸 트랜지스터를 적용할 수가 있다.

[0231] 표시장치에 마련되는 표시 소자로서는 액정 소자(액정 표시 소자라고도 한다), 발광소자(발광 표시 소자라고도 한다)를 이용할 수가 있다. 발광소자는, 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고 있으며, 구체적으로는 무기 EL(Electro Luminescence), 유기 EL 등이 포함된다. 또한, 전자 잉크 등, 전기적

작용에 의해 콘트라스트가 변화하는 표시 매체도 적용할 수가 있다.

- [0232] 또한, 반도체 장치의 일 형태에 대하여, 도 4 내지 도 6을 이용하여 설명한다. 도 6은, 도 4(B)의 M-N에 있어서의 단면도에 해당한다.
- [0233] 도 4 및 도 6에서 나타내는 바와 같이, 반도체 장치는 접속 단자 전극(4015) 및 단자 전극(4016)을 가지고 있으며, 접속 단자 전극(4015) 및 단자 전극(4016)은 FPC(4018)(FPC(4018a, 4018b))가 갖는 단자와 이방성 도전막(4019)을 통하여, 전기적으로 접속되어 있다.
- [0234] 접속 단자 전극(4015)은, 제 1의 전극층(4030)과 동일한 도전막으로 형성되며, 단자 전극(4016)은, 트랜지스터(4010, 4011)의 게이트 전극층과 동일한 도전막으로 형성되어 있다.
- [0235] 또한 제1의 기관(4001)상에 마련된 화소부(4002)와 주사선 구동 회로(4004)는, 트랜지스터를 복수 가지고 있으며, 도 6에서는, 화소부(4002)에 포함되는 트랜지스터(4010)와 주사선 구동 회로(4004)에 포함되는 트랜지스터(4011)를 예시하고 있다. 도 6(A)에서는, 트랜지스터(4010, 4011)상에는 절연막(4020)이 마련되며, 도 6(B)에서는, 게다가 절연막(4021)이 마련되어 있다.
- [0236] 트랜지스터(4010, 4011)로서는, 실시형태 1 내지 3의 어딘가에서 나타낸 트랜지스터를 적용할 수가 있다. 본 실시형태에서는, 실시형태 1에서 나타낸 트랜지스터(440)와 동일한 구조 및 제작 방법으로 얻어지는 트랜지스터를 적용하는 예를 나타낸다.
- [0237] 실시형태 1에서 나타낸 트랜지스터(440)와 동일한 구조 및 제작 방법으로 얻어지는 트랜지스터(4010, 4011)는, 소스 전극층 및 드레인 전극층을 형성한 후, 산화물 반도체막 표면 및 그 근방에 있어서의, 소스 전극층 및 드레인 전극층의 사이에 존재하는 잔류물을 제거하는 공정을 실시한다. 잔류물 제거 공정은, 물, 혹은 알칼리성의 용액에 의한 처리, 또는 플라즈마 처리에 의해 실시할 수가 있다. 예를 들면, 물, 또는 TMAH 용액을 이용한 처리, 또는 산소, 일산화이질소, 혹은 희가스(대표적으로는 아르곤)를 이용한 플라즈마 처리 등을 매우 적합하게 이용할 수가 있다. 또한, 희불산을 이용한 처리를 실시하여도 괜찮다.
- [0238] 또한, 실시형태 2에서 나타낸 것처럼 게이트 전극층을 형성한 후, 게이트 전극층 표면 및 근방에 있어서의 에칭 공정에 기인한 잔류물을 제거하는 공정을 실시하여도 괜찮다. 또한, 실시형태 3에서 나타낸 것처럼 게이트 전극층을 형성한 후, 게이트 전극층 표면 및 그 근방에 있어서의 잔류물을 제거하는 공정을 실시하고, 게다가 소스 전극층 및 드레인 전극층을 형성한 후, 산화물 반도체막 표면 및 그 근방에 있어서의 잔류물을 제거하는 공정을 실시하여도 괜찮다.
- [0239] 산화물 반도체막 표면 및 그 근방이 잔류물에 의해 오염되는 것을 방지할 수 있기 때문에, 트랜지스터(4010, 4011)는, 산화물 반도체막 표면에 있어서의 에칭 공정에 기인한 불순물(대표적으로는, 할로젠(예를 들면 염소, 불소), 붕소, 인, 알루미늄, 철, 또는 탄소)의 면밀도를  $1 \times 10^{13}$  atoms/cm<sup>2</sup> 이하(바람직하게는  $1 \times 10^{12}$  atoms/cm<sup>2</sup> 이하)로 할 수가 있다. 또한, 산화물 반도체막 표면에 있어서의 에칭 공정에 기인한 불순물(대표적으로는, 할로젠(예를 들면 염소, 불소), 붕소, 인, 알루미늄, 철, 또는 탄소)의 농도를  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하(바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하)로 할 수가 있다.
- [0240] 따라서, 도 4 및 도 6에서 나타내는 본 실시형태의 산화물 반도체막을 이용한 안정된 전기 특성을 갖는 트랜지스터(4010, 4011)를 포함하는 반도체 장치로서 신뢰성이 높은 반도체 장치를 제공할 수가 있다. 또한, 그러한 신뢰성이 높은 반도체 장치를 고수율로 제작하여 생산성을 향상시킬 수가 있다.
- [0241] 또한, 구동 회로용의 트랜지스터(4011)의 산화물 반도체막의 채널형성 영역과 겹치는 위치에 게다가 도전층을 마련하여도 좋다. 도전층을 산화물 반도체막의 채널형성 영역과 겹치는 위치에 마련함에 의해, 바이어스-열스 트레스 시험(BT시험) 전후에 있어서의 트랜지스터(4011)의 스레숄드 전압의 변화량을 더욱 저감할 수가 있다. 또한, 도전층은, 전위가 트랜지스터(4011)의 게이트 전극층과 같아도 좋고, 달라도 좋으며, 제 2의 게이트 전극층으로서 기능시킬 수도 있다. 또한, 도전층의 전위가 GND, 0 V, 혹은 플로팅 상태라도 괜찮다.
- [0242] 또한, 그 도전층은 외부의 전기장을 차폐한다, 즉 외부의 전기장이 내부(트랜지스터를 포함한 회로부)에 작용하지 않게 하는 기능(특히 정전기에 대한 정전 차폐 기능)도 갖는다. 도전층의 차폐 기능에 의해, 정전기 등의 외부의 전기장의 영향에 의해 트랜지스터의 전기적인 특성이 변동하는 것을 방지할 수가 있다.
- [0243] 화소부(4002)에 마련된 트랜지스터(4010)는 표시 소자와 전기적으로 접속하여, 표시 패널을 구성한다. 표시 소



자는 표시를 실시할 수가 있으면 특별히 한정되지 않고, 여러 가지 표시 소자를 이용할 수가 있다.

- [0244] 도 6(A)에 표시 소자로서 액정 소자를 이용한 액정표시장치의 예를 나타낸다. 도 6(A)에 있어서, 표시 소자인 액정 소자(4013)는, 제 1의 전극층(4030), 제 2의 전극층(4031), 및 액정층(4008)을 포함한다. 또한, 액정층(4008)을 사이에 끼우도록 배향막으로서 기능하는 절연막(4032, 4033)이 마련되어 있다. 제2의 전극층(4031)은 제2의 기관(4006) 측에 마련되며, 제1의 전극층(4030)과 제2의 전극층(4031)은 액정층(4008)을 개재하여 적층하는 구성으로 되어 있다.
- [0245] 또한 스페이서(4035)는 절연막을 선택적으로 에칭함으로써 얻어지는 기둥 모양의 스페이서이며, 액정층(4008)의 막두께(셀 갭)를 제어하기 위해서 마련되어 있다. 또한 구형상의 스페이서를 이용하고 있어도 괜찮다.
- [0246] 표시 소자로서, 액정 소자를 이용하는 경우, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 이용할 수가 있다. 이러한 액정 재료(액정 조성물)는, 조건에 따라서, 콜레스테릭상, 스멕틱상, 큐빅상, 키랄네마틱상, 등방상 등을 나타낸다.
- [0247] 또한, 액정층(4008)에, 배향막을 이용하지 않는 블루상(blue phase)을 발현하는 액정 조성물을 이용하여도 괜찮다. 이 경우, 액정층(4008)과 제1의 전극층(4030) 및 제2의 전극층(4031)은 접하는 구조가 된다. 블루상은 액정상의 하나이며, 콜레스테릭 액정을 온도 상승해가면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현하는 상이다. 블루상은, 액정 및 키랄제를 혼합시킨 액정 조성물을 이용하여 발현시킬 수가 있다. 또한, 블루상이 발현하는 온도 범위를 넓히기 위해서, 블루상을 발현하는 액정 조성물에 중합성 모노머 및 중합 개시제 등을 첨가하고, 고분자 안정화시키는 처리를 실시하여 액정층을 형성할 수도 있다. 블루상을 발현하는 액정 조성물은, 응답 속도가 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하고, 시야각 의존성이 작다. 또한 배향막을 마련하지 않아도 좋으므로 러빙 처리도 불필요해지기 때문에, 러빙 처리에 의해 발생하는 정전 파괴를 방지할 수가 있어서 제작 공정 중의 액정표시장치의 불량이나 파손을 경감할 수가 있다. 따라서 액정표시장치의 생산성을 향상시키는 것이 가능해진다. 산화물 반도체막을 이용하는 트랜지스터는, 정전기의 영향에 의해 트랜지스터의 전기적인 특성이 현저하게 변동하여 설계 범위를 이탈할 우려가 있다. 따라서 산화물 반도체막을 이용하는 트랜지스터를 갖는 액정표시장치에 블루상을 발현하는 액정 조성물을 이용하는 것이 보다 효과적이다.
- [0248] 또한, 액정 재료의 고유 저항은,  $1 \times 10^9 \Omega \cdot \text{cm}$  이상이며, 바람직하게는  $1 \times 10^{11} \Omega \cdot \text{cm}$  이상이며, 더욱 바람직하게는  $1 \times 10^{12} \Omega \cdot \text{cm}$  이상이다. 또한, 본 명세서에 있어서의 고유 저항의 값은, 20℃에서 측정된 값으로 한다.
- [0249] 액정표시장치에 마련되는 보유 용량의 크기는, 화소부에 배치되는 트랜지스터의 리크 전류 등을 고려하여, 소정 기간 중에 전하를 유지할 수 있도록 설정된다. 보유 용량의 크기는, 트랜지스터의 오프 전류 등을 고려하여 설정하면 좋다. 본 명세서에 개시하는 산화물 반도체막을 갖는 트랜지스터를 이용함으로써, 각 화소에 있어서의 액정 용량에 대하여 1/3 이하, 바람직하게는 1/5 이하의 용량의 크기를 갖는 보유 용량을 마련하면 충분하다.
- [0250] 본 명세서에 개시하는 산화물 반도체막을 이용한 트랜지스터는, 오프 상태에 있어서의 전류치(오프 전류치)를 낮게 제어할 수가 있다. 따라서, 화상 신호 등의 전기신호의 유지 시간을 길게 할 수가 있으며, 전원 온 상태에서는 쓰기 간격도 길게 설정할 수가 있다. 따라서, 리프래시 동작의 빈도를 줄일 수가 있기 때문에, 소비 전력을 억제하는 효과를 나타낸다.
- [0251] 또한, 본 명세서에 개시하는 산화물 반도체막을 이용한 트랜지스터는, 비교적 높은 전계 효과 이동도를 얻을 수 있기 때문에, 고속 구동이 가능하다. 예를 들면, 이러한 고속 구동이 가능한 트랜지스터를 액정표시장치에 이용함으로써, 화소부의 스위칭 트랜지스터와 구동 회로부에 사용하는 드라이버 트랜지스터를 동일 기관상에 형성할 수가 있다. 즉, 별도로 구동 회로로서 실리콘 웨이퍼 등에 의해 형성된 반도체 장치를 이용할 필요가 없기 때문에, 반도체 장치의 부품 점수를 삭감할 수가 있다. 또한, 화소부에 있어도, 고속 구동이 가능한 트랜지스터를 이용함으로써, 고화질의 화상을 제공할 수가 있다.
- [0252] 액정표시장치에는, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric LiquidCrystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 이용할 수가 있다.
- [0253] 또한, 노멀리블랙(normally black)형의 액정표시장치, 예를 들면 수직 배향(VA) 모드를 채용한 투과형의 액정표시장치로 하여도 좋다. 수직 배향 모드로서는, 몇 개를 들 수 있지만, 예를 들면, MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드 등을 이용할 수가

있다. 또한, VA형의 액정표시장치에도 적용할 수가 있다. VA형의 액정표시장치란, 액정 표시 패널의 액정 분자의 배열을 제어하는 방식의 일종이다. VA형의 액정표시장치는, 전압이 인가되고 있지 않을 때에 패널 면에 대하여 액정 분자가 수직 방향을 향하는 방식이다. 또한, 화소(픽셀)를 몇 개의 영역(서브 픽셀)으로 나누어 각각 다른 방향으로 분자를 쓰러뜨리도록 되어 있는 멀티 도메인화 혹은 멀티 도메인 설계라고 하는 방법을 이용할 수가 있다.

[0254] 또한, 표시장치에 있어서, 블랙 매트릭스(차광층), 편광 부재, 위상차 부재, 반사방지 부재 등의 광학 부재(광학 기관) 등은 적절히 마련한다. 예를 들면, 편광 기관 및 위상차 기관에 의한 원편광을 이용하여도 괜찮다. 또한, 광원으로서 백라이트, 사이드 라이트 등을 이용하여도 괜찮다.

[0255] 또한, 화소부에 있어서의 표시 방식은, 프로그래시브 방식이나 인터레이스 방식 등을 이용할 수가 있다. 또한, 칼라 표시할 때에 화소에서 제어하는 색요소로서는, RGB(R는 빨강, G는 초록, B는 파랑을 나타낸다)의 삼색에 한정되지 않는다. 예를 들면, RGBW(W는 흰색을 나타낸다), 또는 RGB에, 옐로우, 시안, 마젠타 등을 한 색 이상 추가한 것이 있다. 또한, 색요소의 도트마다 그 표시 영역의 크기가 달라도 괜찮다. 다만, 개시하는 발명은 칼라 표시의 표시장치에 한정되는 것은 아니고, 흑백 표시의 표시장치에 적용할 수도 있다.

[0256] 또한, 표시장치에 포함되는 표시 소자로서, 전계 발광을 이용하는 발광소자를 적용할 수가 있다. 전계 발광을 이용하는 발광소자는, 발광재료가 유기 화합물인지, 무기 화합물인지에 따라서 구별되며, 일반적으로, 전자는 유기 EL소자, 후자는 무기 EL소자로 불리고 있다.

[0257] 유기 EL소자는, 발광소자에게 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되어 전류가 흐른다. 그리고, 그들 캐리어(전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 돌아올 때에 발광한다. 이러한 메카니즘으로부터, 이러한 발광소자는, 전류 여기형의 발광소자라고 불린다. 본 실시형태에서는, 발광소자로서 유기 EL소자를 이용하는 예를 나타낸다.

[0258] 무기 EL소자는, 그 소자 구성에 의해, 분산형 무기 EL소자와 박막형 무기 EL소자로 분류된다. 분산형 무기 EL소자는, 발광재료의 입자를 바인더 중에 분산시킨 발광층을 갖는 것이며, 발광 메카니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터-재결합형 발광이다. 박막형 무기 EL소자는, 발광층을 유전체층에서 사이에 끼워 넣고, 게다가 그것을 전극으로 사이에 끼운 구조이며, 발광 메카니즘은 금속 이온의 내각(內殼) 전자 전이를 이용하는 국재형(局在型) 발광이다. 또한, 여기에서는, 발광소자로서 유기 EL소자를 이용하여 설명한다.

[0259] 발광소자는 발광을 내기 위해서 적어도 한 쌍의 전극 중의 한쪽이 투광성이면 된다. 그리고, 기관상에 트랜지스터 및 발광소자를 형성하고, 기관과는 반대측의 면으로부터 발광을 꺼내는 상면 사출이나, 기관측의 면으로부터 발광을 꺼내는 하면 사출이나, 기관측 및 기관과는 반대측의 면으로부터 발광을 꺼내는 양면 사출 구조의 발광소자가 있으며, 어느 사출 구조의 발광소자도 적용할 수가 있다.

[0260] 도 5(A), 도 (B) 및 도 6(B)에 표시 소자로서 발광소자를 이용한 발광 장치의 예를 나타낸다.

[0261] 도 5(A)는 발광 장치의 평면도이며, 도 5(A) 중의 일점쇄선(V1-W1, V2-W2, 및 V3-W3)으로 절단한 단면이 도 5(B)에 해당한다. 또한, 도 5(A)의 평면도에 있어서는, 전계 발광층(542) 및 제2의 전극층(543)은 생략되어 있어 도시하고 있지 않다.

[0262] 도 5에 나타내는 발광 장치는, 기관(500)상에, 트랜지스터(510), 용량 소자(520), 배선층 교차부(530)를 가지고 있으며, 트랜지스터(510)는 발광소자(540)와 전기적으로 접속하고 있다. 또한, 도 5는 기관(500)을 통과하여 발광소자(540)로부터의 광을 꺼내는 하면 사출형 구조의 발광 장치다.

[0263] 트랜지스터(510)로서는, 실시형태 1 내지 3의 어딘가에 나타낸 트랜지스터를 적용할 수가 있다. 본 실시형태에서는, 실시형태 1에서 나타낸 트랜지스터(440)와 동일한 구조 및 제작 방법으로 얻어지는 트랜지스터를 적용하는 예를 나타낸다.

[0264] 트랜지스터(510)는 게이트 전극층(511a, 511b), 게이트 절연막(502), 산화물 반도체막(512), 소스 전극층 또는 드레인 전극층으로서 기능하는 도전층(513a, 513b)을 포함한다.

[0265] 실시형태 1에서 나타낸 트랜지스터(440)와 동일한 구조 및 제작 방법으로 얻어지는 트랜지스터(510)는, 소스 전극층 및 드레인 전극층으로서 기능하는 도전층(513a, 513b)을 형성한 후, 산화물 반도체막(512) 표면 및 그 근방에 있어서의 소스 전극층 및 드레인 전극층으로서 기능하는 도전층(513a, 513b)의 사이에 존재하는 잔류물을 제거하는 공정을 실시한다. 잔류물 제거 공정은, 물, 혹은 알칼리성의 용액에 의한 처리, 또는 플라즈마 처리

에 의해 실시할 수가 있다. 예를 들면, 물, 또는 TMAH 용액을 이용한 처리, 또는 산소, 일산화이질소, 혹은 희가스(대표적으로는 아르곤)를 이용한 플라즈마 처리 등을 매우 적합하게 이용할 수가 있다. 또한, 희불산을 이용한 처리를 실시하여도 괜찮다.

[0266] 또한, 실시형태 2에서 나타난 것처럼 게이트 전극층(511a, 511b)을 형성한 후, 게이트 전극층(511a, 511b) 표면 및 근방에 있어서의 에칭 공정에 기인한 잔류물을 제거하는 공정을 실시하여도 괜찮다. 또한, 실시형태 3에서 나타난 것처럼 게이트 전극층(511a, 511b)을 형성한 후, 게이트 전극층(511a, 511b) 표면 및 그 근방에 있어서의 잔류물을 제거하는 공정을 실시하고, 게다가 도전층(513a, 513b)을 형성한 후, 산화물 반도체막(512) 표면 및 그 근방에 있어서의 잔류물을 제거하는 공정을 실시하여도 괜찮다.

[0267] 산화물 반도체막(512) 표면 및 그 근방이 잔류물에 의해 오염되는 것을 방지할 수 있기 때문에, 트랜지스터(510)는, 산화물 반도체막(512) 표면에 있어서의 에칭 공정에 기인한 불순물(대표적으로는, 할로젠(예를 들면 염소, 불소), 붕소, 인, 알루미늄, 철, 또는 탄소)의 면밀도를  $1 \times 10^{13}$  atoms/cm<sup>2</sup> 이하(바람직하게는  $1 \times 10^{12}$  atoms/cm<sup>2</sup> 이하)로 할 수가 있다. 또한, 산화물 반도체막(512) 표면에 있어서의 에칭 공정에 기인한 불순물(대표적으로는, 할로젠(예를 들면 염소, 불소), 붕소, 인, 알루미늄, 철, 또는 탄소)의 농도를  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하(바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하)로 할 수가 있다.

[0268] 따라서, 도 5에서 나타내는 본 실시형태의 산화물 반도체막(512)을 이용한 안정된 전기 특성을 갖는 트랜지스터(510)를 포함하는 반도체 장치로서 신뢰성이 높은 반도체 장치를 제공할 수가 있다. 또한, 그러한 신뢰성이 높은 반도체 장치를 고수율로 제작하여 생산성을 향상시킬 수가 있다.

[0269] 용량 소자(520)는, 도전층(521a, 521b), 게이트 절연막(502), 산화물 반도체막(522), 도전층(523)을 포함하고, 도전층(521a, 521b)와 도전층(523)으로, 게이트 절연막(502) 및 산화물 반도체막(522)을 사이에 끼우는 구성으로 함으로써 용량을 형성한다.

[0270] 배선층 교차부(530)는 게이트 전극층(511a, 511b)과 도전층(533)의 교차부이며, 게이트 전극층(511a, 511b)과 도전층(533)은 사이에 게이트 절연막(502)를 개재하여 교차한다.

[0271] 본 실시형태에 있어서는, 게이트 전극층(511a) 및 도전층(521a)으로서 막두께 30 nm의 티탄막을 이용하며, 게이트 전극층(511b) 및 도전층(521b)으로서 막두께 200 nm의 동박막을 이용한다. 따라서, 게이트 전극층은 티탄막과 동박막의 적층 구조가 된다.

[0272] 산화물 반도체막(512, 522)으로서는 막두께 25 nm의 IGZO막을 이용한다.

[0273] 트랜지스터(510), 용량 소자(520), 및 배선층 교차부(530)상에는 층간 절연막(504)이 형성되며, 층간 절연막(504)상에서 발광소자(540)와 중첩하는 영역에 칼라 필터층(505)이 마련되어 있다. 층간 절연막(504) 및 칼라 필터층(505)상에는 평탄화 절연막으로서 기능하는 절연막(506)이 마련되어 있다.

[0274] 절연막(506)상에 제1의 전극층(541), 전계 발광층(542), 제 2의 전극층(543)의 순서대로 적층한 적층 구조를 포함한 발광소자(540)가 마련되어 있다. 발광소자(540)와 트랜지스터(510)는, 도전층(513a)에 이르는 절연막(506) 및 층간 절연막(504)에 형성된 통로에 있어서, 제 1의 전극층(541) 및 도전층(513a)과 접하는 것에 의해 전기적으로 접속되어 있다. 또한, 제1의 전극층(541)의 일부 및 그 통로를 덮도록 격벽(507)이 마련되어 있다.

[0275] 층간 절연막(504)에는, 플라즈마 CVD법에 의한 막두께 200 nm이상 600 nm이하의 산화 질화 실리콘막을 이용할 수가 있다. 또한, 절연막(506)에는 막두께 1500 nm의 감광성의 아크릴막, 격벽(507)에는 막두께 1500 nm의 감광성의 폴리이미드막을 이용할 수가 있다.

[0276] 칼라 필터층(505)으로서는, 예를 들면 유채색의 투광성 수지를 이용할 수가 있다. 유채색의 투광성 수지로서는, 감광성, 비감광성의 유기 수지를 이용할 수가 있지만, 감광성의 유기 수지층을 이용하면 레지스트 마스크 수를 삭감할 수가 있기 때문에, 공정이 간략화하여 바람직하다.

[0277] 유채색은, 흑색, 회색, 흰색 등의 무채색을 제외한 색이며, 칼라 필터층은, 착색된 유채색의 광만을 투과하는 재료로 형성된다. 유채색으로서는, 적색, 녹색, 청색 등을 이용할 수가 있다. 또한, 시안, 마젠타, 옐로우(노랑) 등을 이용하여도 괜찮다. 착색된 유채색의 광만을 투과한다는 것은, 칼라 필터층에 있어서의 투과광은, 그 유채색의 광의 파장에 피크를 갖는다는 것이다. 칼라 필터층은, 포함시킨 착색 재료의 농도와 광의 투과율의 관계를 고려하여, 최적의 막두께를 적절히 제어하면 좋다. 예를 들면, 칼라 필터층(505)의 막두께는 1500 nm이

상 2000 nm이하로 하면 좋다.

- [0278] 도 6(B)에 나타내는 발광 장치에 있어서는, 표시 소자인 발광소자(4513)는, 화소부(4002)에 마련된 트랜지스터(4010)와 전기적으로 접속하고 있다. 또한 발광소자(4513)의 구성은, 제 1의 전극층(4030), 전계 발광층(4511), 제 2의 전극층(4031)의 적층 구조이지만, 나타난 구성에 한정되지 않는다. 발광소자(4513)로부터 꺼내는 광의 방향 등에 맞추어, 발광소자(4513)의 구성은 적절히 바꿀 수가 있다.
- [0279] 격벽(4510, 507)은, 유기 절연 재료, 또는 무기 절연 재료를 이용하여 형성한다. 특히 감광성의 수지 재료를 이용하여 제1의 전극층(4030, 541)상에 개구부를 형성하고, 그 개구부의 측벽이 연속한 곡률을 가지고 형성되는 경사면이 되도록 형성하는 것이 바람직하다.
- [0280] 전계 발광층(4511, 542)은, 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 어느 쪽이라도 좋다.
- [0281] 발광소자(4513, 540)에 산소, 수소, 수분, 이산화탄소 등이 들어가지 않도록, 제 2의 전극층(4031, 543) 및 격벽(4510, 507) 상에 보호막을 형성하여도 좋다. 보호막으로서, 질화 실리콘막, 질화 산화 실리콘막, DLC막 등을 형성할 수가 있다.
- [0282] 또한, 발광소자(4513, 540)에 산소, 수소, 수분, 이산화탄소 등이 들어가지 않게, 발광소자(4513, 540)를 덮는 유기 화합물을 포함하는 층을 증착법에 의해 형성하여도 좋다.
- [0283] 또한, 제 1의 기판(4001), 제 2의 기판(4006), 및 시일재(4005)에 의해 봉지된 공간에는 충전재(4514)가 마련되어 밀봉되어 있다. 이와 같이 외기에 노출되지 않게 기밀성이 높고, 탈가스가 적은 보호 필름(맞붙임 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(봉입)하는 것이 바람직하다.
- [0284] 충전재(4514)로서는 질소나 아르곤 등의 불활성인 기체 외에, 자외선 경화 수지 또는 열경화 수지를 이용할 수가 있으며, PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐부티랄) 또는 EVA(에틸렌 비닐 아세테이트)를 이용할 수가 있다. 예를 들면 충전재로서 질소를 이용하면 좋다.
- [0285] 또한, 필요하다면, 발광소자의 사출면에 편광판, 또는 원 편광판(타원 편광판을 포함한다), 위상차판( $\lambda/4$ 판,  $\lambda/2$ 판), 칼라 필터 등의 광학 필름을 적절히 마련하여도 좋다. 또한, 편광판 또는 원 편광판에 반사방지막을 마련하여도 좋다. 예를 들면, 표면의 요철에 의해 반사광을 확산하고, 빛반사를 저감할 수 있는 안티글레어 처리를 가할 수가 있다.
- [0286] 또한, 표시장치로서 전자 잉크를 구동시키는 전자 페이퍼를 제공하는 것도 가능하다. 전자 페이퍼는, 전기 영동 표시장치(전기 영동 디스플레이)라고도 불리고 있으며, 종이와 같은 읽기 쉬움, 다른 표시장치에 비해 저소비 전력, 얇고 가벼운 형상으로 하는 것이 가능하다는 이점을 가지고 있다.
- [0287] 전기 영동 표시장치는, 여러 가지 형태가 생각될 수 있지만, 플러스의 전하를 갖는 제1의 입자와 마이너스의 전하를 갖는 제2의 입자를 포함한 마이크로 캡셀이 용매 또는 용질에 복수 분산된 것이며, 마이크로 캡셀에 전계를 인가함으로써, 마이크로 캡셀 중의 입자를 서로 반대 방향으로 이동시켜 일측에 집합한 입자의 색만을 표시하는 것이다. 또한, 제1의 입자 또는 제2의 입자는 염료를 포함하며, 전계가 없는 경우에 이동하지 않는 것이다. 또한, 제 1의 입자의 색과 제2의 입자의 색은 다른 것(무색을 포함한다)으로 한다.
- [0288] 이와 같이, 전기 영동 표시장치는, 유전상수가 높은 물질이 높은 전계 영역으로 이동하는, 이른바 유전영동적 효과를 이용한 디스플레이이다.
- [0289] 상기 마이크로 캡셀을 용매 중에 분산시킨 것이 전자 잉크로 불리는 것이며, 이 전자 잉크는 유리, 플라스틱, 옷감, 종이 등의 표면에 인쇄할 수가 있다. 또한, 칼라 필터나 색소를 갖는 입자를 이용하는 것에 의해 칼라 표시도 가능하다.
- [0290] 또한, 마이크로 캡셀 중의 제1의 입자 및 제2의 입자는, 도전체 재료, 절연체 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 일렉트로루미네스cent 재료, 일렉트로크로믹 재료, 자기영동재료로부터 선택된 일종의 재료, 또는 이들의 복합재료를 이용하면 좋다.
- [0291] 또한, 전자 페이퍼로서, 트위스트 볼 표시 방식을 이용하는 표시장치도 적용할 수가 있다. 트위스트 볼 표시 방식이란, 흰색과 흑색으로 구분하여 칠해진 구형 입자를, 표시 소자에 이용하는 전극층인 제1의 전극층 및 제2의 전극층의 사이에 배치하고, 제 1의 전극층 및 제2의 전극층에 전위차를 발생시켜서 구형 입자의 방향을 제어함으로써, 표시하는 방법이다.

- [0292] 또한, 도 4 내지 도 6에 있어서, 제 1의 기판(4001, 500), 제 2의 기판(4006)으로서는, 유리 기판 외에, 가요성을 갖는 기판도 이용할 수가 있으며, 예를 들면 투광성을 갖는 플라스틱 기판 등을 이용할 수가 있다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics) 판, PVF(폴리비닐 플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴 수지 필름을 이용할 수가 있다. 또한, 투광성이 필요하지 않으면, 알루미늄이나 스텐레스 등의 금속 기판(금속 필름)을 이용하여도 괜찮다. 예를 들면, 알루미늄 호일을 PVF 필름이나 폴리에스테르 필름으로 사이에 끼운 구조의 시트를 이용할 수도 있다.
- [0293] 본 실시형태에서는, 절연막(4020)으로서 산화 알루미늄막을 이용한다. 절연막(4020)은 스퍼터링법이나 플라즈마 CVD법에 의해 형성할 수가 있다.
- [0294] 산화물 반도체막상에 절연막(4020)으로서 마련된 산화 알루미늄막은, 수소, 수분 등의 불순물, 및 산소의 양쪽 모두에 대하여 막을 투과시키지 않는 차단 효과(블록 효과)가 높다.
- [0295] 따라서, 산화 알루미늄막은, 제작 공정중 및 제작 후에 있어서, 변동 요인이 되는 수소, 수분 등의 불순물의 산화물 반도체막으로의 혼입, 및 산화물 반도체를 구성하는 주성분 재료인 산소의 산화물 반도체막으로부터의 방출을 방지하는 보호막으로서 기능한다.
- [0296] 또한, 평탄화 절연막으로서 기능하는 절연막(4021, 506)은, 아크릴 수지, 폴리이미드, 벤조시클로부텐계 수지, 폴리아미드 수지, 에폭시 등의 내열성을 갖는 유기 재료를 이용할 수가 있다. 또한 상기 유기 재료 외에, 저유전율 재료(Low-k재료), 실록산계 수지, PSG(인 실리케이트 유리), BPSG(인 붕소 유리) 등을 이용할 수가 있다. 또한, 이러한 재료로 형성되는 절연막을 복수 적층시킴으로써 절연막을 형성하여도 좋다.
- [0297] 절연막(4021, 506)의 형성법은, 특별히 한정되지 않고, 그 재료에 따라서, 스퍼터링법, SOG법, 스피ن코트, 딥, 스프레이 도포, 액적 토출법(잉크젯법 등), 인쇄법(스크린 인쇄, 오프셋 인쇄등), 닥터 나이프, 롤코터, 커텐 코터, 나이프 코터 등을 이용할 수가 있다.
- [0298] 표시장치는 광원 또는 표시 소자로부터의 광을 투과시켜 표시를 한다. 따라서 광이 투과하는 화소부에 마련되는 기판, 절연막, 도전막 등의 박막은 모두 가시광선의 파장 영역의 광에 대하여 투광성으로 한다.
- [0299] 표시 소자에 전압을 인가하는 제1의 전극층 및 제2의 전극층(화소 전극층, 공통 전극층, 대향 전극층 등이라고도 한다)에 있어서는, 꺼내는 광의 방향, 전극층이 마련되는 장소, 및 전극층의 패턴 구조에 따라서 투광성, 반사성을 선택하면 좋다.
- [0300] 제1의 전극층(4030, 541), 제 2의 전극층(4031, 543)은, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티탄을 포함한 인듐 산화물, 산화 티탄을 포함한 인듐주석 산화물, 인듐주석 산화물(이하, ITO라고 나타낸다), 인듐 아연 산화물, 산화 규소를 첨가한 인듐주석 산화물, 그라펜(grapheme) 등의 투광성을 갖는 도전성 재료를 이용할 수가 있다.
- [0301] 또한, 제 1의 전극층(4030, 541), 제 2의 전극층(4031, 543)은 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오븀(Nb), 탄탈륨(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티탄(Ti), 백금(Pt), 알루미늄(Al), 동(Cu), 은(Ag) 등의 금속, 또는 그 합금, 혹은 그 금속 질화물로부터 한 개, 또는 복수 종을 이용하여 형성할 수가 있다.
- [0302] 본 실시형태에 있어서는, 도 5에 나타내는 발광 장치는 하면 사출형이므로, 제 1의 전극층(541)은 투광성, 제 2의 전극층(543)은 반사성을 갖는다. 따라서, 제 1의 전극층(541)에 금속막을 이용하는 경우는 투광성을 유지할 수 있는 정도로 막두께를 얇게, 제 2의 전극층(543)에 투광성을 갖는 도전막을 이용하는 경우는, 반사성을 갖는 도전막을 적층하면 좋다.
- [0303] 또한, 제 1의 전극층(4030, 541), 제 2의 전극층(4031, 543)으로서 도전성 고분자(도전성 폴리머라고도 한다)를 포함한 도전성 조성물을 이용하여 형성할 수가 있다. 도전성 고분자로서는, 소위  $\pi$  전자공역계 도전성 고분자를 이용할 수가 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 혹은 아닐린, 피롤 및 티오펜 중의 2종 이상으로 이루어지는 공중합체 혹은 그 유도체 등을 들 수 있다.
- [0304] 또한, 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 구동 회로 보호용의 보호 회로를 마련하는 것이 바람직하다. 보호 회로는, 비선형 소자를 이용하여 구성하는 것이 바람직하다.
- [0305] 이상과 같이 실시형태 1 내지 3 중의 어딘가에 나타낸 트랜지스터를 적용함으로써, 여러 가지 기능을 갖는 반도체

체 장치를 제공할 수가 있다.

- [0306] 본 실시형태에 나타내는 구성, 방법 등은, 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용될 수가 있다.
- [0307] (실시형태 5)
- [0308] 실시형태 1 내지 3 중의 어딘가에 나타낸 트랜지스터를 이용하여, 대상물의 정보를 읽어내는 이미지 센서 기능을 갖는 반도체 장치를 제작할 수가 있다.
- [0309] 도 7(A)에, 이미지 센서 기능을 갖는 반도체 장치의 일 예를 나타낸다. 도 7(A)는 포토센서의 등가 회로이며, 도 7(B)은 포토센서의 일부를 나타내는 단면도이다.
- [0310] 포토다이오드(602)는, 한쪽의 전극이 포토다이오드 리셋트 신호선(658)에, 다른쪽의 전극이 트랜지스터(640)의 게이트에 전기적으로 접속되어 있다. 트랜지스터(640)는, 소스 또는 드레인 중의 한쪽이 포토센서 기준 신호선(672)에, 소스 또는 드레인 중의 다른 쪽이 트랜지스터(656)의 소스 또는 드레인 중의 한쪽에 전기적으로 접속되어 있다. 트랜지스터(656)는, 게이트가 게이트 신호선(659)에, 소스 또는 드레인 중의 다른 쪽이 포토센서 출력 신호선(671)에 전기적으로 접속되어 있다.
- [0311] 또한, 본 명세서에 있어서의 회로도에 있어서, 산화물 반도체막을 이용하는 트랜지스터라고 명확하게 판명할 수 있도록, 산화물 반도체막을 이용하는 트랜지스터의 기호에는 「OS」라고 기재하고 있다. 도 7(A)에 있어서, 트랜지스터(640), 트랜지스터(656)는 실시형태 1 내지 3 중의 어딘가에 나타낸 트랜지스터를 적용할 수 있으며, 산화물 반도체막을 이용하는 트랜지스터이다. 본 실시형태에서는, 실시형태 1에서 나타낸 트랜지스터(440)와 동일한 구조 및 제작 방법으로 얻어지는 트랜지스터를 적용하는 예를 나타낸다.
- [0312] 도 7(B)는, 포토센서에 있어서의 포토다이오드(602) 및 트랜지스터(640)에 나타내는 단면도이며, 절연 표면을 갖는 기판(601)(TFT 기판)상에, 센서로서 기능하는 포토다이오드(602) 및 트랜지스터(640)가 마련되어 있다. 포토다이오드(602), 트랜지스터(640) 위에는 접착층(608)을 이용하여 기판(613)이 마련되어 있다.
- [0313] 트랜지스터(640)상에는 절연막(631), 층간 절연막(633), 층간 절연막(634)이 마련되어 있다. 포토다이오드(602)는, 층간 절연막(633)상에 마련되며, 층간 절연막(633)상에 형성한 전극층(641a, 641b)과, 층간 절연막(634)상에 마련된 전극층(642)의 사이에, 층간 절연막(633)측으로부터 순서대로 제1 반도체막(606a), 제2 반도체막(606b), 및 제3 반도체막(606c)을 적층한 구조를 가지고 있다.
- [0314] 전극층(641b)은, 층간 절연막(634)에 형성된 도전층(643)과 전기적으로 접속하며, 전극층(642)는 전극층(641a)을 개재하여 도전층(645)과 전기적으로 접속하고 있다. 도전층(645)은, 트랜지스터(640)의 게이트 전극층과 전기적으로 접속하고 있으며, 포토다이오드(602)는 트랜지스터(640)와 전기적으로 접속하고 있다.
- [0315] 여기에서는, 제1 반도체막(606a)으로서 p형의 도전형을 갖는 반도체막과 제2 반도체막(606b)으로서 고저항인 반도체막(i형 반도체막), 제3 반도체막(606c)으로서 n형의 도전형을 갖는 반도체막을 적층하는 pin형의 포토다이오드를 예시하고 있다.
- [0316] 제1 반도체막(606a)는 p형 반도체막이며, p형을 부여하는 불순물 원소를 포함한 비정질 실리콘막에 의해 형성될 수가 있다. 제1 반도체막(606a)의 형성에는 13족의 불순물 원소(예를 들면 붕소(B))를 포함한 반도체 재료 가스를 이용하여, 플라즈마 CVD법에 의해 형성한다. 반도체 재료 가스로서는 실란(SiH<sub>4</sub>)을 이용하면 좋다. 또는, Si<sub>2</sub>H<sub>6</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, SiHCl<sub>3</sub>, SiCl<sub>4</sub>, SiF<sub>4</sub> 등을 이용하여도 괜찮다. 또한, 불순물 원소를 포함하지 않는 비정질 실리콘막을 형성한 후에, 확산법이나 이온 주입법을 이용하여 그 비정질 실리콘막에 불순물 원소를 도입하여도 괜찮다. 이온 주입법 등에 의해 불순물 원소를 도입한 후에 가열 등을 실시함으로써, 불순물 원소를 확산시키면 좋다. 이 경우에 비정질 실리콘막을 형성하는 방법으로서, LPCVD법, 기상 성장법, 또는 스퍼터링법 등을 이용하면 좋다. 제1 반도체막(606a)의 막두께는 10 nm 이상 50 nm 이하가 되도록 형성하는 것이 바람직하다.
- [0317] 제2 반도체막(606b)은 i형 반도체막(진성 반도체막)이며, 비정질 실리콘막에 의해 형성한다. 제2 반도체막(606b)의 형성에는, 반도체 재료 가스를 이용하여, 비정질 실리콘막을 플라즈마 CVD법에 의해 형성한다. 반도체 재료 가스로서는, 실란(SiH<sub>4</sub>)을 이용하면 좋다. 또는, Si<sub>2</sub>H<sub>6</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, SiHCl<sub>3</sub>, SiCl<sub>4</sub>, SiF<sub>4</sub> 등을 이용하여도 괜찮다. 제2 반도체막(606b)의 형성은, LPCVD법, 기상 성장법, 스퍼터링법 등에 의해 실시하여도 괜찮다. 제2 반도체막(606b)의 막두께는 200 nm 이상 1000 nm 이하가 되도록 형성하는 것이 바람직하다.
- [0318] 제3 반도체막(606c)는 n형 반도체막이며, n형을 부여하는 불순물 원소를 포함한 비정질 실리콘막에 의해 형성한

다. 제3 반도체막(606c)의 형성에는, 15족의 불순물 원소(예를 들면 인(P))을 포함한 반도체 재료 가스를 이용하여, 플라즈마 CVD법에 의해 형성한다. 반도체 재료 가스로서는 실란(SiH<sub>4</sub>)을 이용하면 좋다. 또는, Si<sub>2</sub>H<sub>6</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, SiHCl<sub>3</sub>, SiCl<sub>4</sub>, SiF<sub>4</sub> 등을 이용하여도 괜찮다. 또한, 불순물 원소를 포함하지 않는 비정질 실리콘막을 형성한 후에, 확산법이나 이온 주입법을 이용하여 그 비정질 실리콘막에 불순물 원소를 도입하여도 괜찮다. 이온 주입법 등에 의해 불순물 원소를 도입한 후에 가열 등을 실시함으로써, 불순물 원소를 확산시키면 좋다. 이 경우에 비정질 실리콘막을 형성하는 방법으로서, LPCVD법, 기상 성장법, 또는 스퍼터링법 등을 이용하면 좋다. 제3 반도체막(606c)의 막두께는 20 nm이상 200 nm이하가 되도록 형성하는 것이 바람직하다.

[0319] 또한, 제 1 반도체막(606a), 제 2 반도체막(606b), 및 제3 반도체막(606c)은 비정질 반도체는 아니고, 다결정 반도체를 이용하여 형성하여도 좋고, 미결정(세미아몰퍼스(Semi Amorphous Semiconductor:SAS)) 반도체를 이용하여 형성하여도 좋다.

[0320] 또한, 광전 효과로 발생한 정공의 이동도는 전자의 이동도에 비해 작기 때문에, pin형의 포토다이오드는 p형의 반도체막층을 수광면으로 하는 것이 좋은 특성을 나타낸다. 여기에서는, pin형의 포토다이오드가 형성되어 있는 기관(601)의 면으로부터 포토다이오드(602)가 받는 광을 전기신호로 변환하는 예를 나타낸다. 또한, 수광면으로 한 반도체막층과는 반대의 도전형을 갖는 반도체막 층으로부터의 광은 외란광이 되기 때문에, 전극층은 차광성을 갖는 도전막을 이용하면 좋다. 또한, n형의 반도체막층을 수광면으로서 이용할 수도 있다.

[0321] 절연막(631), 층간 절연막(633), 층간 절연막(634)으로서, 절연성 재료를 이용하여, 그 재료에 따라서, 스퍼터링법, 플라즈마 CVD법, SOG법, 스핀코트, 딥, 스프레이 도포, 액적 토출법(잉크젯법 등), 인쇄법(스크린 인쇄, 오프셋 인쇄 등) 등을 이용하여 형성할 수가 있다.

[0322] 절연막(631)으로서, 무기 절연 재료로서는, 산화 실리콘층, 산화 질화 실리콘층, 산화 알루미늄층, 또는 산화 질화 알루미늄층 등의 산화물 절연막, 질화 실리콘층, 질화 산화 실리콘층, 질화 알루미늄층, 또는 질화 산화 알루미늄층 등의 질화물 절연막의 단층, 또는 적층을 이용할 수가 있다.

[0323] 본 실시형태에서는, 절연막(631)으로서 산화 알루미늄막을 이용한다. 절연막(631)은 스퍼터링법이나 플라즈마 CVD법에 따라 형성할 수가 있다.

[0324] 산화물 반도체막상에 절연막(631)으로서 마련된 산화 알루미늄막은, 수소, 수분 등의 불순물, 및 산소의 양쪽 모두에 대하여 막을 투과시키지 않는 차단 효과(블록 효과)가 높다.

[0325] 따라서, 산화 알루미늄막은, 제작 공정중 및 제작 후에, 변동 요인이 되는 수소, 수분 등의 불순물의 산화물 반도체막으로의 혼입, 및 산화물 반도체를 구성하는 주성분 재료인 산소의 산화물 반도체막으로부터의 방출을 방지하는 보호막으로서 기능한다.

[0326] 층간 절연막(633, 634)으로서, 표면 요철을 저감하기 위해 평탄화 절연막으로서 기능하는 절연막이 바람직하다. 층간 절연막(633, 634)으로서, 예를 들면 폴리이미드, 아크릴 수지, 벤조시클로부텐계 수지, 폴리이미드, 에폭시 수지 등의, 내열성을 갖는 유기 절연 재료를 이용할 수가 있다. 또한 상기 유기 절연 재료 외에, 저유전율 재료(lowk 재료), 실록산계 수지, PSG(인 실리케이트 유리), BPSG(인 붕소 실리케이트 유리) 등의 단층, 또는 적층을 이용할 수가 있다.

[0327] 포토다이오드(602)에 입사하는 광을 검출함으로써, 피검출물의 정보를 읽어낼 수가 있다. 또한, 피검출물의 정보를 읽어낼 때에 백라이트 등의 광원을 이용할 수가 있다.

[0328] 실시형태 1에서 나타낸 트랜지스터(440)와 동일한 구조 및 제작 방법으로 얻어지는 트랜지스터(640)는, 소스 전극층 및 드레인 전극층을 형성한 후, 산화물 반도체막 표면 및 그 근방에 있어서의 소스 전극층 및 드레인 전극층의 사이에 존재하는 잔류물을 제거하는 공정을 실시한다. 잔류물 제거 공정은, 물, 혹은 알칼리성의 용액에 의한 처리, 또는 플라즈마 처리에 의해 실시할 수가 있다. 예를 들면, 물, 또는 TMAH 용액을 이용한 처리, 또는 산소, 일산화이질소, 혹은 회가스(대표적으로는 아르곤)를 이용한 플라즈마 처리 등을 매우 적합하게 이용할 수가 있다. 또한, 희불산을 이용한 처리를 실시하여도 괜찮다.

[0329] 또한, 실시형태 2에서 나타낸 것처럼 게이트 전극층을 형성한 후, 게이트 전극층 표면 및 근방에 있어서의 에칭 공정에 기인한 잔류물을 제거하는 공정을 실시하여도 괜찮다. 또한, 실시형태 3에서 나타낸 것처럼 게이트 전극층을 형성한 후, 게이트 전극층 표면 및 그 근방에 있어서의 잔류물을 제거하는 공정을 실시하고, 게다가 소스 전극층 및 드레인 전극층을 형성한 후, 산화물 반도체막 표면 및 그 근방에 있어서의 잔류물을 제거하는 공

정을 실시하여도 괜찮다.

- [0330] 산화물 반도체막 표면 및 그 근방이 잔류물에 의해 오염되는 것을 방지할 수 있기 때문에, 트랜지스터(640)는, 산화물 반도체막 표면에 있어서의 에칭 공정에 기인한 불순물(대표적으로는, 할로겐(예를 들면 염소, 불소), 붕소, 인, 알루미늄, 철, 또는 탄소)의 면밀도를  $1 \times 10^{13}$  atoms/cm<sup>2</sup> 이하(바람직하게는  $1 \times 10^{12}$  atoms/cm<sup>2</sup> 이하)로 할 수가 있다. 또한, 산화물 반도체막 표면에 있어서의 에칭 공정에 기인한 불순물(대표적으로는, 할로겐(예를 들면 염소, 불소), 붕소, 인, 알루미늄, 철, 또는 탄소)의 농도를  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하(바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하)로 할 수가 있다.
- [0331] 따라서, 본 실시형태의 산화물 반도체막을 이용한 안정된 전기 특성을 갖는 트랜지스터(640)를 포함한 신뢰성이 높은 반도체 장치를 제공할 수가 있다. 또한, 신뢰성이 높은 반도체 장치를 고수율로 제작하여 생산성을 향상시킬 수가 있다.
- [0332] 본 실시형태에 나타내는 구성, 방법 등은, 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수가 있다.
- [0333] (실시형태 6)
- [0334] 본 명세서에 개시하는 반도체 장치는, 다양한 전자기기(오락기기도 포함한다)에 적용할 수가 있다. 전자기기로서는, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 한다), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대전화기, 휴대형 게임기, 휴대 정보 단말, 음향 재생장치, 오락기기(과칭코기, 슬롯 머신 등), 게임 케이스를 들 수 있다. 이러한 전자기기의 구체적인 예를 도 8에 나타낸다.
- [0335] 도 8(A)는, 표시부를 갖는 테이블(9000)을 나타내고 있다. 테이블(9000)은, 케이스(9001)에 표시부(9003)가 설치되어 있어서, 표시부(9003)에 의해 영상을 표시하는 것이 가능하다. 또한, 4개의 다리부(9002)에 의해 케이스(9001)를 지지한 구성을 나타내고 있다. 또한, 전력 공급을 위한 전원 코드(9005)를 케이스(9001)에 가지고 있다.
- [0336] 실시형태 1 내지 5 중의 어딘가에 나타내는 반도체 장치는, 표시부(9003)에 이용하는 것이 가능하여, 전자기기에 높은 신뢰성을 부여할 수가 있다.
- [0337] 표시부(9003)는, 터치 입력 기능을 가지고 있으며, 테이블(9000)의 표시부(9003)에 표시된 표시 버튼(9004)을 손가락 등으로 접촉하는 것으로, 화면 조작이나, 정보를 입력할 수가 있으며, 또한 다른 가전제품과의 통신을 가능하게 한다, 또는 제어를 가능하게 함으로써, 화면 조작에 의해 다른 가전제품을 컨트롤하는 제어장치로 하여도 좋다. 예를 들면, 실시형태 5에 나타낸 이미지 센서 기능을 갖는 반도체 장치를 이용하면, 표시부(9003)에 터치 입력 기능을 갖게 할 수가 있다.
- [0338] 또한, 케이스(9001)에 마련된 힌지에 의해, 표시부(9003)의 화면을 바닥에 대하여 수직하게 세울 수도 있어서 텔레비전 장치로서도 이용할 수가 있다. 좁은 방에서는, 큰 화면의 텔레비전 장치는 설치하면 자유로운 공간이 좁아져 버리지만, 테이블에 표시부가 내장되어 있으면, 방의 공간을 유효하게 이용할 수가 있다.
- [0339] 도 8(B)는, 텔레비전 장치(9100)를 나타내고 있다. 텔레비전 장치(9100)는, 케이스(9101)에 표시부(9103)가 설치되어 있으며, 표시부(9103)에 의해 영상을 표시하는 것이 가능하다. 또한, 여기에서는 스탠드(9105)에 의해 케이스(9101)를 지지한 구성을 나타내고 있다.
- [0340] 텔레비전 장치(9100)의 조작은, 케이스(9101)가 구비하는 조작 스위치나, 별체의 리모콘 조작기(9110)에 의해 실시할 수가 있다. 리모콘 조작기(9110)가 구비하는 조작 키(9109)에 의해, 채널이나 음량의 조작을 실시할 수가 있으며, 표시부(9103)에 표시되는 영상을 조작할 수가 있다. 또한, 리모콘 조작기(9110)에, 해당 리모콘 조작기(9110)로부터 출력하는 정보를 표시하는 표시부(9107)를 마련하는 구성으로 하여도 좋다.
- [0341] 도 8(B)에 나타내는 텔레비전 장치(9100)는, 수신기나 모뎀 등을 갖추고 있다. 텔레비전 장치(9100)는, 수신기에 의해 일반의 텔레비전 방송의 수신을 실시할 수가 있으며, 게다가 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일방향(송신자로부터 수신자) 또는 양방향(송신자와 수신자 사이, 혹은 수신자 사이끼리 등)의 정보통신을 실시하는 것도 가능하다.
- [0342] 실시형태 1 내지 5 중의 어딘가에 나타내는 반도체 장치는, 표시부(9103, 9107)에 이용하는 것이 가능하여, 텔레비전 장치, 및 리모콘 조작기에 높은 신뢰성을 부여할 수가 있다.



- [0343] 도 8(C)는 컴퓨터이며, 본체(9201), 케이스(9202), 표시부(9203), 키보드(9204), 외부 접속 포트(9205), 포인팅 장치(9206) 등을 포함한다.
- [0344] 실시형태 1 내지 5 중의 어딘가에 나타내는 반도체 장치는, 표시부(9203)에 이용하는 것이 가능하며, 신뢰성이 높은 컴퓨터로 하는 것이 가능해진다.
- [0345] 도 9(A) 및 도 9(B)는 절반접음 가능한 태블릿형 단말이다. 도 9(A)는, 개방 상태이며, 태블릿형 단말은, 케이스(9630), 표시부(9631a), 표시부(9631b), 표시 모드 변환 스위치(9034), 전원 스위치(9035), 전력 절약 모드 변환 스위치(9036), 고정구(9033), 조작 스위치(9038)를 갖는다.
- [0346] 실시형태 1 내지 5 중의 어딘가에 나타내는 반도체 장치는, 표시부(9631a), 표시부(9631b)에 이용하는 것이 가능하며, 신뢰성이 높은 태블릿형 단말로 하는 것이 가능해진다.
- [0347] 표시부(9631a)는, 일부를 터치 패널의 영역(9632a)으로 할 수가 있으며, 표시된 조작 키(9638)에 접촉함으로써 데이터 입력을 할 수가 있다. 또한, 표시부(9631a)에 있어서는, 일 예로서 절반의 영역이 표시만의 기능을 갖는 구성, 또 절반의 영역이 터치 패널의 기능을 갖는 구성을 나타내고 있지만 그 구성에 한정되지 않는다. 표시부(9631a)의 모든 영역이 터치 패널의 기능을 갖는 구성으로 하여도 좋다. 예를 들면, 표시부(9631a)의 전면부를 키보드 버튼 표시시켜 터치 패널로 하고, 표시부(9631b)를 표시 화면으로서 이용할 수가 있다.
- [0348] 또한, 표시부(9631b)에 있어서도 표시부(9631a)와 마찬가지로, 표시부(9631b)의 일부를 터치 패널의 영역(9632b)으로 할 수가 있다. 또한, 터치 패널의 키보드 표시 변환 버튼(9639)이 표시되어 있는 위치에 손가락이나 스타일러스 등으로 접촉함으로써 표시부(9631b)에 키보드 버튼 표시할 수가 있다.
- [0349] 또한, 터치 패널의 영역(9632a)과 터치 패널의 영역(9632b)에 대하여 동시에 터치 입력할 수도 있다.
- [0350] 또한, 표시 모드 변환 스위치(9034)는, 세로 표시 또는 가로 표시 등의 표시의 방향을 전환하여, 흑백 표시나 칼라 표시의 변환 등을 선택할 수 있다. 전력 절약 모드 변환 스위치(9036)는, 태블릿형 단말에 내장하고 있는 광센서로 검출되는 사용시의 외광의 광량에 따라서 표시의 휘도를 최적의 것으로 할 수가 있다. 태블릿형 단말은 광센서뿐만이 아니라, 자이로, 가속도 센서 등의 기울기를 검출하는 센서 등의 다른 검출 장치를 내장시켜도 괜찮다.
- [0351] 또한, 도 9(A)에서는 표시부(9631b)와 표시부(9631a)의 표시 면적이 동일한 예를 나타내고 있지만 특별히 한정되지 않고, 한쪽의 사이즈와 또 한쪽의 사이즈가 달라도 좋고, 표시의 품질도 달라도 괜찮다. 예를 들면 한쪽이 다른 쪽보다도 고정밀 표시를 실시할 수 있는 표시 패널로 하여도 좋다.
- [0352] 도 9(B)는 닫은 상태이며, 태블릿형 단말은, 케이스(9630), 태양전지(9633), 충전 제어 회로(9634), 배터리(9635), DCDC 컨버터(9636)를 갖는다. 또한, 도 9(B)에서는 충전 제어 회로(9634)의 일 예로서 배터리(9635), DCDC 컨버터(9636)를 갖는 구성에 대하여 나타내고 있다.
- [0353] 또한, 태블릿형 단말은 절반 접음이 가능하기 때문에, 미사용시에 케이스(9630)를 닫은 상태에서 실시할 수 있다. 따라서, 표시부(9631a), 표시부(9631b)를 보호할 수 있기 때문에, 내구성이 뛰어나며, 장기 사용의 관점으로부터도 신뢰성이 뛰어난 태블릿형 단말을 제공할 수 있다.
- [0354] 또한, 그 밖에도 도 9(A) 및 도 9(B)에 나타낸 태블릿형 단말은, 여러 가지 정보(정지화상, 동영상, 텍스트 화상 등)를 표시하는 기능, 캘린더, 일자 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 터치 입력 조작 또는 편집하는 터치 입력 기능, 여러 가지 소프트웨어(프로그램)에 의해 처리를 제어하는 기능 등을 가질 수가 있다.
- [0355] 태블릿형 단말의 표면에 장착된 태양전지(9633)에 의해, 전력을 터치 패널, 표시부, 또는 영상 신호 처리부 등에 공급할 수가 있다. 또한, 태양전지(9633)는, 케이스(9630)의 일면 또는 양면에 마련할 수가 있으며, 배터리(9635)의 충전을 효율적으로 실시하는 구성으로 할 수가 있다. 또한 배터리(9635)로서는, 리튬 이온 배터리를 이용하면, 소형화를 꾀할 수 있는 등의 이점이 있다.
- [0356] 또한, 도 9(B)에 나타내는 충전 제어 회로(9634)의 구성, 및 동작에 대하여 도 9(C)에 블록도를 나타내어 설명한다. 도 9(C)에는, 태양전지(9633), 배터리(9635), DCDC 컨버터(9636), 컨버터(9637), 스위치(SW1 내지 SW3), 표시부(9631)에 대하여 나타내고 있으며, 배터리(9635), DCDC 컨버터(9636), 컨버터(9637), 스위치(SW1 내지 SW3)가, 도 9(B)에 나타내는 충전 제어 회로(9634)에 대응하는 개소가 된다.
- [0357] 우선 외광에 의해 태양전지(9633)에 의해 발전되는 경우의 동작의 예에 대하여 설명한다. 태양전지로 발전한

전력은, 배터리(9635)를 충전하기 위한 전압이 되도록 DCDC 컨버터(9636)에서 승압 또는 강압이 이루어진다. 그리고, 표시부(9631)의 동작에 태양전지(9633)로부터의 전력이 이용되려면 스위치(SW1)를 온으로 하며, 컨버터(9637)와 표시부(9631)에 필요한 전압으로 승압 또는 강압을 하게 된다. 또한, 표시부(9631)에서의 표시를 실시하지 않는 때는, SW1를 오프로 하고, SW2를 온으로 하여 배터리(9635)의 충전을 실시하는 구성으로 하면 좋다.

[0358] 또한 태양전지(9633)에 대해서는, 발전 수단의 일 예로서 나타내었지만, 특별히 한정되지 않고, 압전 소자(피에조 소자)나 열전변환 소자(펄티에 소자) 등의 다른 발전 수단에 의한 배터리(9635)의 충전을 실시하는 구성이라도 괜찮다. 예를 들면, 무선(비접촉)으로 전력을 송수신하여 충전하는 무접점 전력 전송 모듈이나, 또한 다른 충전 수단을 조합하여 실시하는 구성으로 하여도 좋다.

[0359] 본 실시형태에 나타내는 구성, 방법 등은, 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용될 수가 있다.

[0360] [실시에 1]

[0361] 본 실시예에서는, 금속막 표면 및 산화물 반도체막 표면의 잔류물 제거 공정을 실시한 결과를 나타낸다.

[0362] 시료로서 실리콘 기판상에 산화물 반도체막으로서 In:Ga:Zn=3:1:2 [원자수비] 의 산화물 타겟을 이용한 스퍼터링법에 의해, 막두께 50 nm의 IGZO막을 형성했다. 성막 조건은, 아르곤 및 산소(아르곤:산소=30 sccm:15 sccm) 분위기하, 압력 0.4 Pa, 전원 전력 0.5 kW, 기판 온도 200℃로 하였다.

[0363] 다음으로 건식 에칭법에 의해, 산화물 반도체막에 에칭 처리(에칭 조건:에칭 가스(BCl<sub>3</sub>:Cl<sub>2</sub>=60 sccm:20 sccm), ICP 전원 전력 450 W, 바이어스 전력 100 W, 압력 1.9 Pa)를 실시하여, 시료 A-1을 제작했다.

[0364] 에칭 처리 후, 게다가 수처리를 실시하여, 시료 A-2를 제작했다.

[0365] 수처리 후의 IGZO막에, 산소를 이용한 플라즈마 처리(조건:가스(O<sub>2</sub>=300 sccm), 전원 전력 1800 W, 압력 66.5 Pa, 3분)를 실시하여 시료 B-1을 제작했다. 수처리 후의 IGZO막에, 일산화이질소를 이용한 플라즈마 처리(조건:가스(N<sub>2</sub>O=200 sccm), 전원 전력 100 W, 전원 주파수 27 MHz, 압력 40 Pa, 기판 온도 350℃, 25분)를 실시하여 시료 B-2를 제작했다. 수처리 후의 IGZO막에, TMAH 용액에 의한 처리(조건:50℃, 60초)를 실시하여 시료 B-3을 제작했다. 수처리 후의 IGZO막에, 암모니아과수(H<sub>2</sub>O:암모니아:과산화 수소수=2:2:5)에 의한 처리(실온, 10초)를 실시하여 시료 B-4를 제작했다. 수처리 후의 IGZO막에, 산소를 이용한 플라즈마 처리(조건:가스(O<sub>2</sub>=200 sccm), 전원 전력 100 W, 전원 주파수 27 MHz, 압력 40 Pa, 기판 온도 350℃, 2분)를 실시하여 시료 B-5를 제작했다. 또한, 시료 B-1과 시료 B-5는 처리 조건이 다른 산소를 이용한 플라즈마 처리다.

[0366] 전반사 형광 X선(Total Reflection X-ray Fluorescence) 분석에 의해, A-1, A-2, B-1 내지 B-5의 시료의 막표면의 염소의 면밀도를 측정된 결과를 표 1 및 표 2에 나타낸다.

표 1

| 시료명 | 측정막  | 처리         | 염소의 면밀도(atoms/cm <sup>2</sup> ) |         |
|-----|------|------------|---------------------------------|---------|
|     |      |            | 성막후                             | 처리후     |
| A-1 | IGZO | 건식에칭처리     | 5.3E+11                         | 8.1E+13 |
| A-2 | IGZO | 건식에칭처리+수처리 | 8.8E+11                         | 5.9E+12 |

표 2

| 시료명 | 측정막  | 잔류물제거공정               | 염소의 면밀도(atoms/cm <sup>2</sup> ) |             |          |
|-----|------|-----------------------|---------------------------------|-------------|----------|
|     |      |                       | 성막후                             | 건식에칭처리+수처리후 | 잔류물제거공정후 |
| B-1 | IGZO | O <sub>2</sub> 플라즈마처리 | 8.8E+11                         | 5.9E+12     | 1.3E+12  |
| B-2 | IGZO | N <sub>2</sub> 플라즈마처리 | 5.4E+11                         | 5.2E+12     | 9.1E+11  |
| B-3 | IGZO | TMAH용액처리              | 2.1E+11                         | 4.9E+12     | 2.5E+11  |
| B-4 | IGZO | 암모니아과수처리              | 2.8E+11                         | 4.6E+12     | 4.4E+11  |
| B-5 | IGZO | O <sub>2</sub> 플라즈마처리 | 4.7E+11                         | 3.7E+12     | 1.2E+12  |

- [0369] 건식 에칭 후에 잔류물 제거 공정을 실시하지 않았던 A-1에 있어서는, 건식 에칭 후에, IGZO막의 표면에 있어서의 염소의 면밀도가 크게 증가해 있지만, 건식 에칭 후에 수처리를 실시한 A-2에 있어서는, IGZO막의 표면에 있어서의 염소의 면밀도의 증가가 경감되어 있는 것을 확인할 수 있다.
- [0370] 게다가 일산화이질소를 이용한 플라즈마 처리, TMAH 용액에 의한 처리, 암모니아과수에 의한 처리, 또는 산소를 이용한 플라즈마 처리를 잔류물 제거 공정으로서 실시한 B-1 내지 B-5에 있어서는, 잔류물 제거 공정 후, IGZO막의 표면에 있어서의 염소의 면밀도가  $1 \times 10^{13}$  atoms/cm<sup>2</sup> 이하이며, 염소가 보다 제거되어 염소의 면밀도의 증가가 억제되었던 것을 확인할 수 있다.
- [0371] 다음으로, 시료로서 유리 기판상에 금속막으로서 스퍼터링법에 의해 막두께 200 nm의 텅스텐(W)막(성막 조건: 아르곤(80 sccm) 분위기하, 압력 0.8 Pa, 전원 전력 1 kW, 기판 온도 230℃)을 성막하였다.
- [0372] 다음으로 건식 에칭법에 의해, 텅스텐막에 에칭 처리(에칭 조건: 에칭 가스(CF<sub>4</sub>:Cl<sub>2</sub>:O<sub>2</sub>=25 sccm:25sccm:10 sccm), ICP 전원 전력 500 W, 바이어스 전력 100 W, 압력 1.0 Pa)를 실시하고, 막두께 약 50 nm를 에칭하였다.
- [0373] 에칭 처리 후, 수 처리를 실시했다.
- [0374] 수처리 후의 텅스텐막에, 산소를 이용한 플라즈마 처리(조건: 가스(O<sub>2</sub>=300 sccm), 전원 전력 1800 W, 압력 66.5 Pa, 3분)을 실시하여 시료 C-1을 제작했다. 수처리 후의 텅스텐막에, 일산화이질소를 이용한 플라즈마 처리(조건: 가스(N<sub>2</sub>O=200 sccm), 전원 전력 100 W, 전원 주파수 27 MHz, 압력 40 Pa, 기판 온도 350℃, 25분)를 실시하여 시료 C-2를 제작했다. 수처리 후의 텅스텐막에, TMAH 용액에 의한 처리(조건: 50℃, 60초)를 실시하여 시료 C-3을 제작했다. 수처리 후의 텅스텐막에, 암모니아과수(H<sub>2</sub>O:암모니아:과산화 수소수=2:2:5)에 의한 처리(실온, 10초)를 실시하여 시료 C-4를 제작했다. 수처리 후의 텅스텐막에, 산소를 이용한 플라즈마 처리(조건: 가스(O<sub>2</sub>=200 sccm), 전원 전력 100 W, 전원 주파수 27 MHz, 압력 40 Pa, 기판 온도 350℃, 2분)를 실시하여 시료 C-5를 제작했다. 또한, 시료 C-1와 시료 C-5는 처리 조건이 다른 산소를 이용한 플라즈마 처리이다.
- [0375] 전반사 형광 X선 분석에 의해, C-1 내지 C-5의 시료의 막 표면의 염소의 면밀도를 측정된 결과를 표 3에 나타낸다.

표 3

| 시료명 | 측정막 | 잔류물제거공정               | 염소의 면밀도(atoms/cm <sup>2</sup> ) |             |          |
|-----|-----|-----------------------|---------------------------------|-------------|----------|
|     |     |                       | 성막후                             | 건식에칭처리+수처리후 | 잔류물제거공정후 |
| C-1 | W   | O <sub>2</sub> 플라즈마처리 | 4.0E+11                         | 5.2E+12     | 1.3E+12  |
| C-2 | W   | N <sub>2</sub> 플라즈마처리 | 6.8E+11                         | 5.7E+12     | 6.5E+11  |
| C-3 | W   | TMAH용액처리              | 5.2E+11                         | 4.3E+12     | 2.2E+12  |
| C-4 | W   | 암모니아과수처리              | 6.8E+11                         | 5.2E+12     | 2.3E+12  |
| C-5 | W   | O <sub>2</sub> 플라즈마처리 | 6.9E+11                         | 5.2E+12     | 1.0E+12  |

- [0377] 건식 에칭, 수 처리 후에, 일산화이질소를 이용한 플라즈마 처리, TMAH 용액에 의한 처리, 암모니아과수에 의한 처리, 또는 산소를 이용한 플라즈마 처리를 잔류물 제거 공정으로서 실시한 C-1 내지 C-5에 있어서는, 잔류물 제거 공정 후, 텅스텐막의 표면에 있어서의 염소의 면밀도는  $1 \times 10^{13}$  atoms/cm<sup>2</sup> 이하이며, 염소가 제거되어 염소의 면밀도의 증가가 억제되었던 것을 확인할 수 있다.
- [0378] 이상의 결과로부터, 수처리, 일산화이질소를 이용한 플라즈마 처리, TMAH 용액에 의한 처리, 암모니아과수에 의한 처리, 또는 산소를 이용한 플라즈마 처리 등의 잔류물 제거 공정은, 에칭 공정에 기인하는 막표면의 불순물 농도를 저감할 수 있는 효과가 있는 것을 확인할 수 있었다.

부호의 설명

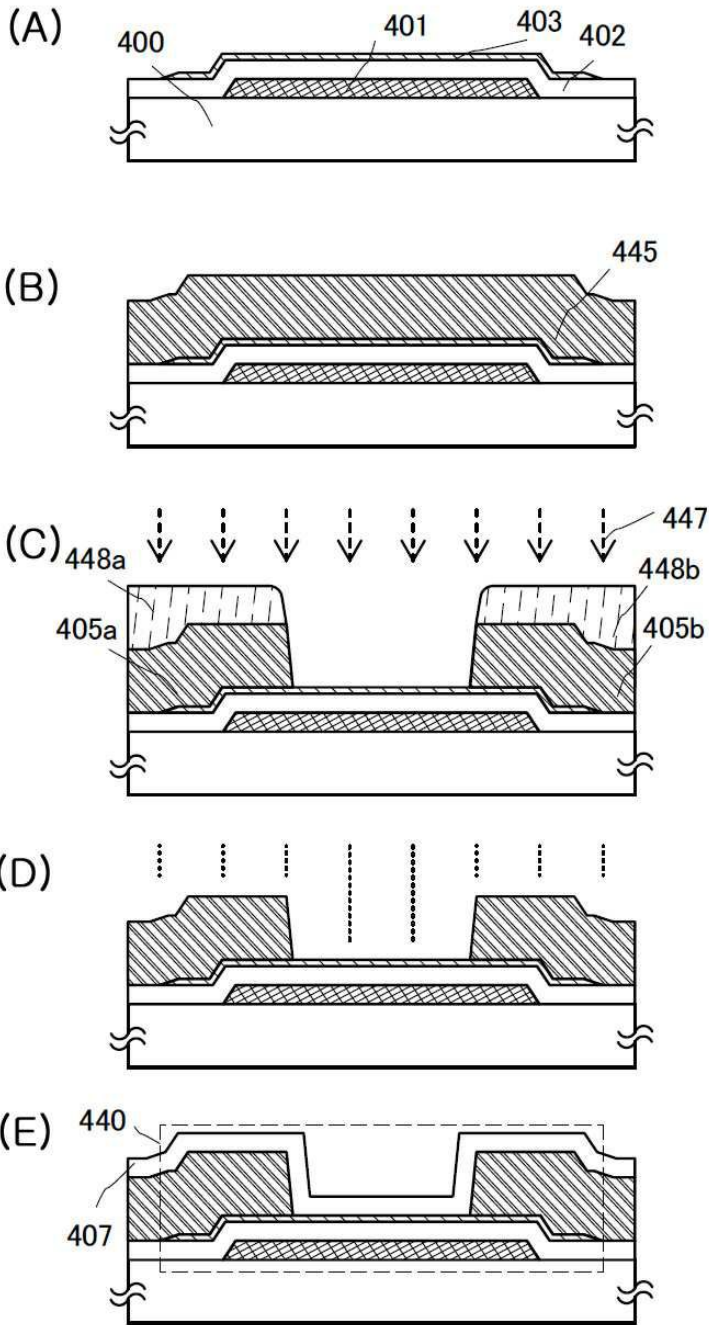
- [0379] 400 기판  
401 게이트 전극층  
402 게이트 절연막  
403 산화물 반도체막

|                 |                    |
|-----------------|--------------------|
| 405a 소스 전극층     | 405b 드레인 전극층       |
| 407 절연막         | 420 트랜지스터          |
| 430 트랜지스터       | 440 트랜지스터          |
| 441 도전막         | 442 레지스트 마스크       |
| 443 가스          | 445 도전막            |
| 447 가스          | 448a 레지스트 마스크      |
| 448b 레지스트 마스크   | 500 기판             |
| 502 게이트 절연막     | 504 층간 절연막         |
| 505 칼라 필터층      | 506 절연막            |
| 507 격벽          | 510 트랜지스터          |
| 511a 게이트 전극층    | 511b 게이트 전극층       |
| 512 산화물 반도체막    | 513a 도전층           |
| 513b 도전층        | 520 용량 소자          |
| 521a 도전층        | 521b 도전층           |
| 522 산화물 반도체막    | 523 도전층            |
| 530 배선층 교차부     | 533 도전층            |
| 540 발광소자        | 541 전극층            |
| 542 전계 발광층      | 543 전극층            |
| 601 기판          | 602 포토다이오드         |
| 606a 반도체막       | 606b 반도체막          |
| 606c 반도체막       | 608 접촉층            |
| 613 기판          | 631 절연막            |
| 633 층간 절연막      | 634 층간 절연막         |
| 640 트랜지스터       | 641a 전극층           |
| 641b 전극층        | 642 전극층            |
| 643 도전층         | 645 도전층            |
| 656 트랜지스터       | 658 포토다이오드 리셋트 신호선 |
| 659 게이트 신호선     | 671 포토센서 출력 신호선    |
| 672 포토센서 기준 신호선 | 4001 기판            |
| 4002 화소부        | 4003 신호선 구동 회로     |
| 4004 주사선 구동 회로  | 4005 시일재           |
| 4006 기판         | 4008 액정층           |
| 4010 트랜지스터      | 4011 트랜지스터         |
| 4013 액정 소자      | 4015 접속 단자 전극      |
| 4016 단자 전극      | 4018 FPC           |
| 4019 이방성 도전막    | 4020 절연막           |

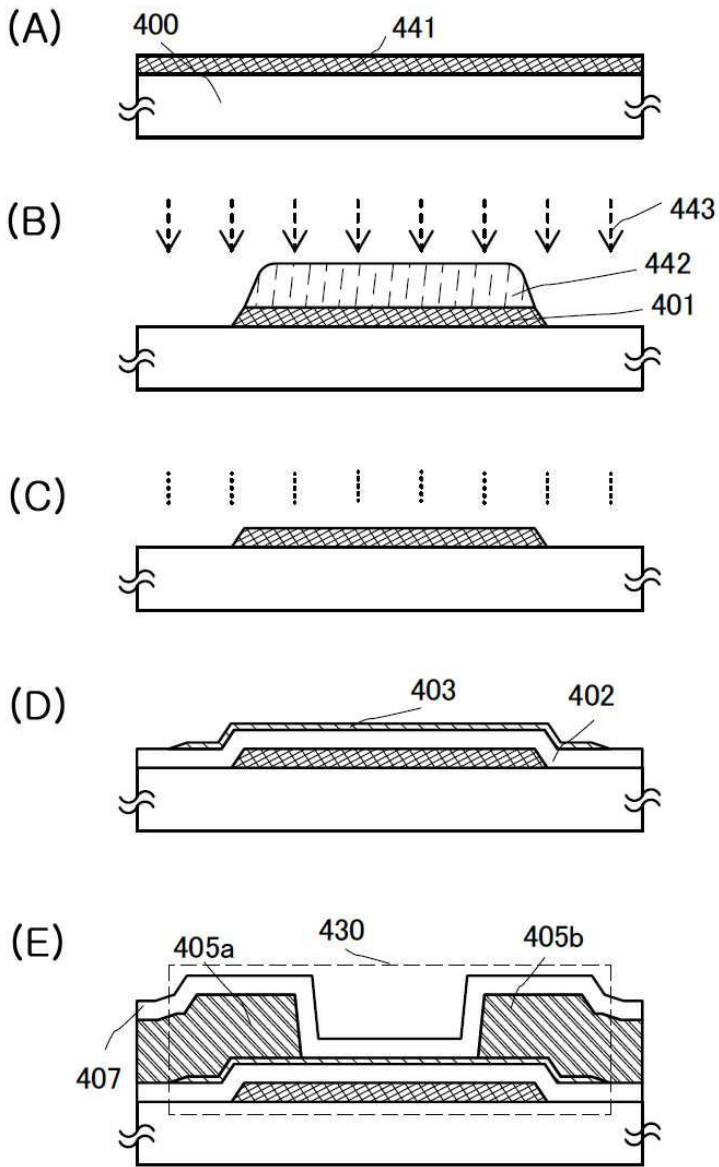
|               |                |
|---------------|----------------|
| 4021 절연막      | 4024 절연막       |
| 4030 전극층      | 4031 전극층       |
| 4032 절연막      | 4033 절연막       |
| 4035 스페이서     | 4040 트랜지스터     |
| 4510 격벽       | 4511 전계 발광층    |
| 4513 발광소자     | 4514 충전재       |
| 9000 테이블      | 9001 케이스       |
| 9002 다리부      | 9003 표시부       |
| 9004 표시 버튼    | 9005 전원 코드     |
| 9033 고정구      | 9034 스위치       |
| 9035 전원 스위치   | 9036 스위치       |
| 9038 조작 스위치   | 9100 텔레비전 장치   |
| 9101 케이스      | 9103 표시부       |
| 9105 스탠드      | 9107 표시부       |
| 9109 조작 키     | 9110 리모콘 조작기   |
| 9201 본체       | 9202 케이스       |
| 9203 표시부      | 9204 키보드       |
| 9205 외부 접속 포트 | 9206 포인팅 장치    |
| 9630 케이스      | 9631 표시부       |
| 9631a 표시부     | 9631b 표시부      |
| 9632a 영역      | 9632b 영역       |
| 9633 태양전지     | 9634 충방전 제어 회로 |
| 9635 배터리      | 9636 DCDC 컨버터  |
| 9637 컨버터      | 9638 조작 키      |
| 9639 버튼       |                |

도면

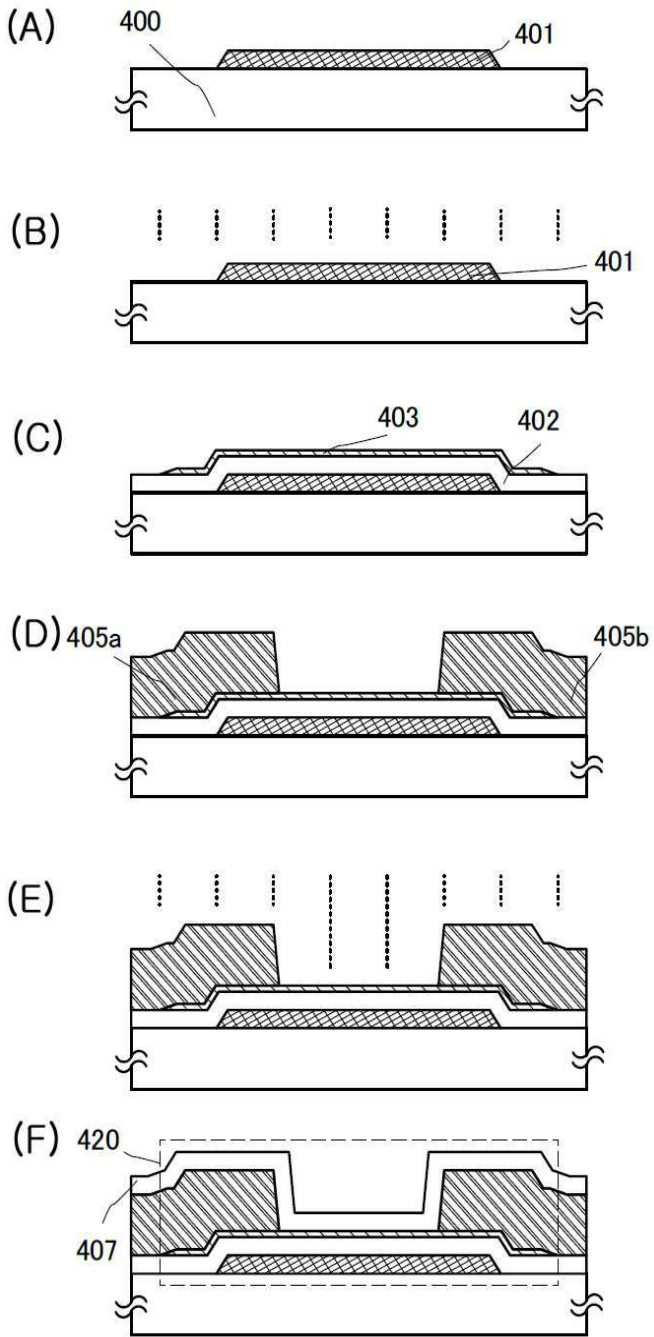
도면1



도면2

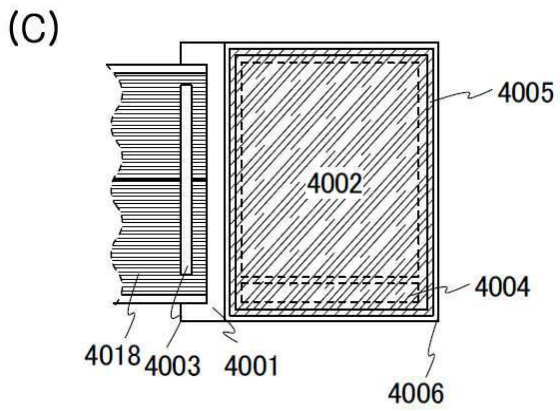
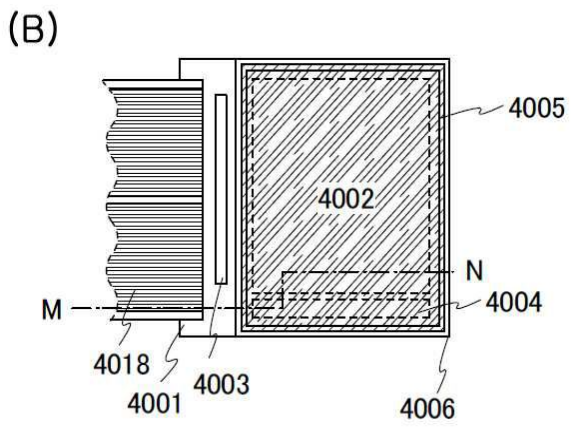
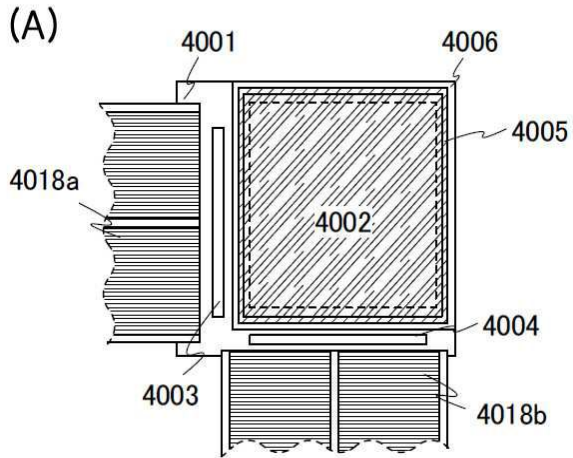


도면3

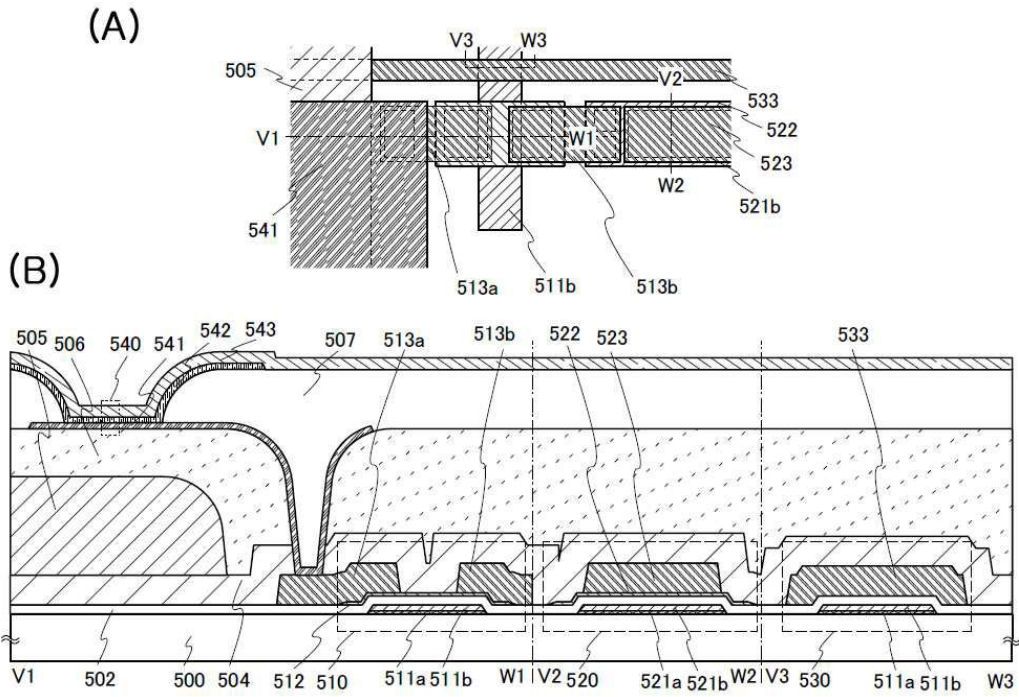




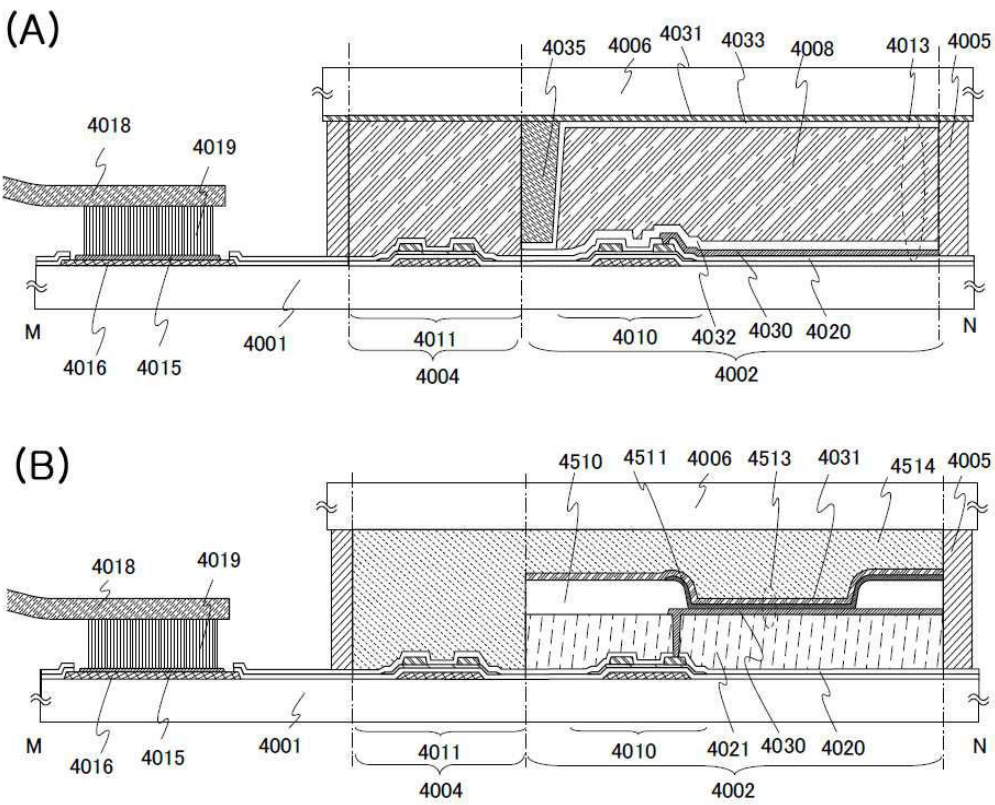
도면4



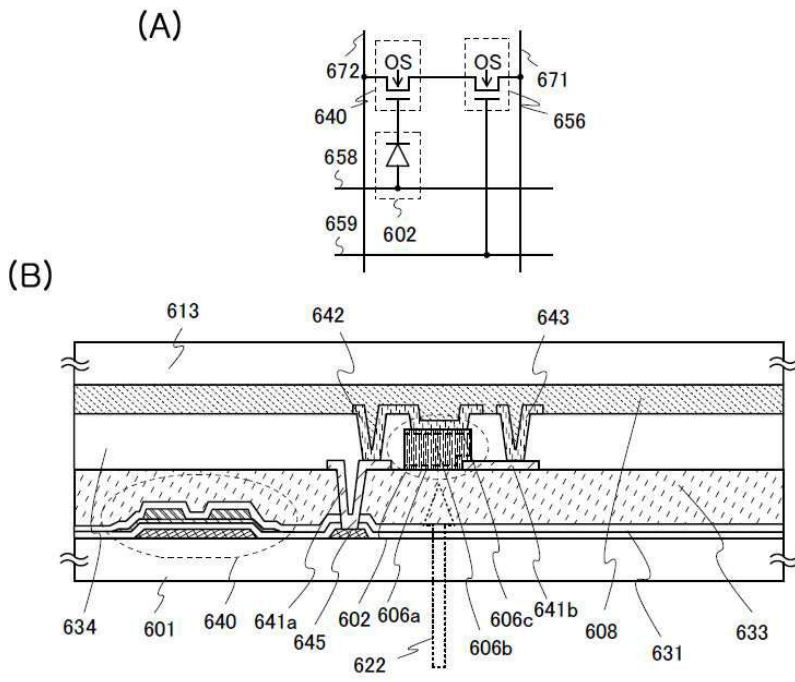
도면5



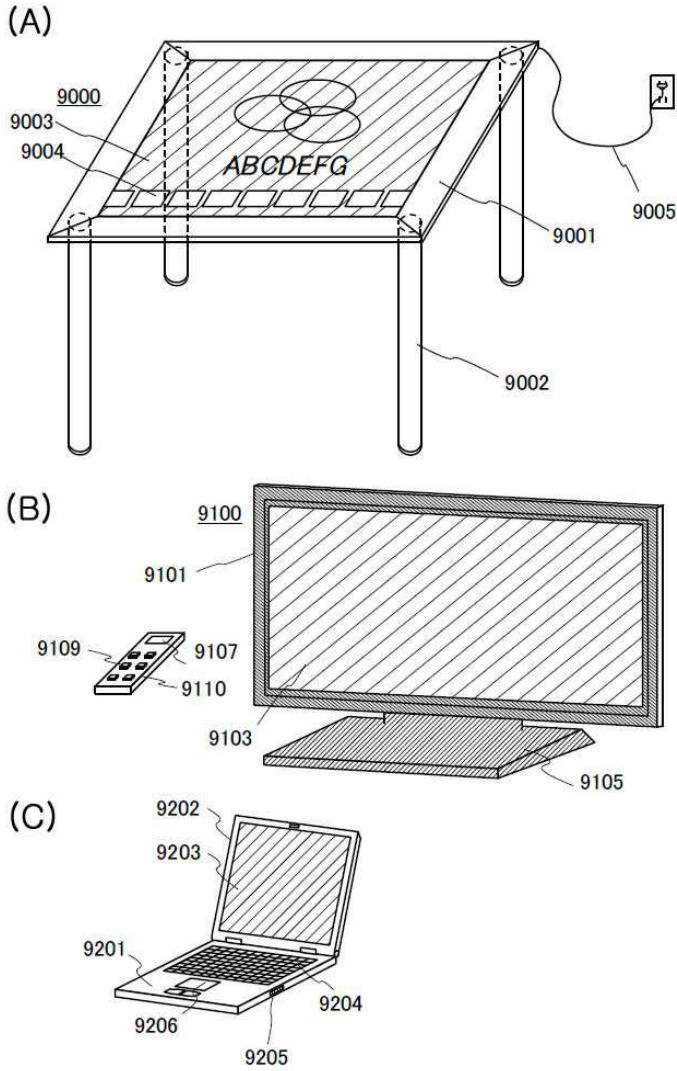
도면6



도면7



도면8



도면9

