

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-191542
(P2005-191542A)

(43) 公開日 平成17年7月14日(2005.7.14)

(51) Int. Cl.⁷

H01L 21/8247
G11C 16/02
G11C 16/04
G11C 16/06
H01L 27/115

F I

H01L 27/10 434
G11C 17/00 641
G11C 17/00 622A
G11C 17/00 634A
G11C 17/00 635

テーマコード(参考)

5B125
5F083
5F101

審査請求 未請求 請求項の数 24 O L (全 43 頁) 最終頁に続く

(21) 出願番号 特願2004-320769 (P2004-320769)
(22) 出願日 平成16年11月4日(2004.11.4)
(31) 優先権主張番号 特願2003-401783 (P2003-401783)
(32) 優先日 平成15年12月1日(2003.12.1)
(33) 優先権主張国 日本国(JP)

(71) 出願人 503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目4番1号
(74) 代理人 100068504
弁理士 小川 勝男
(74) 代理人 100086656
弁理士 田中 恭助
(72) 発明者 大津賀 一雄
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
(72) 発明者 倉田 英明
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

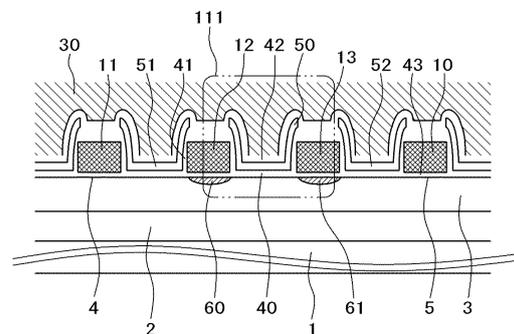
(57) 【要約】

【課題】 低コスト、高速書込みが可能な、反転層を配線として用いた半導体記憶装置、及びその動作方法を提供する。

【解決手段】 本発明は互いに並行に形成された、ソース領域、ドレイン領域に対し、ソース、ドレイン領域の間にこれと並行でかつオーバーラップのない位置に補助電極構造を有し、書込みには補助電極をソース側注入ホットエレクトロンの補助電極として用い、読出し時には補助電極下に形成した反転層をソース、あるいはドレイン領域として用いることを特徴とする。

【選択図】 図1

図1



【特許請求の範囲】

【請求項 1】

第 1 の方向に互いに平行に配線される第 1、第 2 の電極を有し、前記第 1 の電極と第 2 の電極の間の半導体表面の電位を制御する第 3 の電極を有し、前記第 3 の電極は第 1 の方向と実質的に垂直な第 2 の方向に配線され、前記第 1 の電極と第 2 の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する手段を有し、且つ

前記第 1 の電極を電位 A に設定することによって近傍の半導体表面に第 1 の反転層を形成し、前記第 1 の反転層の電位を、電位 A よりも低い電位 B に設定し、前記第 2 の電極を電位 C に設定することによって近傍の半導体表面に第 2 の反転層を形成し、前記第 2 の反転層の電位を、前記電位 B よりも高く、電位 C よりも低い電位 D に設定した後、前記第 2 の反転層と電源との接続を断ってフローティング状態とし、前記第 3 の電極の電位を前記電位 C よりも高い電位 E に設定することにより、前記第 2 の反転層に蓄積された電荷が、電荷保持手段下の半導体表面を経て、前記第 1 の反転層に放電される際、前記第 1 の電極近傍で発生するホットエレクトロンが前記電荷を保持する手段に注入される動作方式を有することを特徴とする半導体記憶装置。

10

【請求項 2】

第 1 の方向に互いに平行に配線される第 1、第 2、第 4 の電極を有し、前記第 1 の電極と第 2 の電極の間、及び前記第 2 の電極と第 4 の電極の間の半導体表面の電位を制御する第 5 の電極を有し、前記第 5 の電極は第 1 の方向と実質的に垂直な第 2 の方向に配線され、前記第 1 の電極と第 2 の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する第 1 の手段を有し、前記第 2 の電極と第 4 の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する第 2 の手段を有し、且つ

20

前記第 1 の電極を電位 A に設定することによって近傍の半導体表面に第 1 の反転層を形成し、前記第 1 の反転層の電位を、電位 A よりも低い電位 B に設定し、前記第 4 の電極を電位 C に設定することによって近傍の半導体表面に第 2 の反転層を形成し、前記第 2 の反転層の電位を、前記電位 B よりも高く、電位 C よりも低い電位 D に設定した後、前記第 2 の反転層と電源との接続を断ってフローティング状態とし、前記第 2 の電極の電位を前記電位 A よりも低い電位 E に設定し、前記第 5 の電極の電位を前記電位 C よりも高い電位 F に設定することにより、前記第 2 の反転層に蓄積された電荷が、前記第 2 の電荷保持手段下の半導体表面、前記第 2 の電極下の半導体表面、前記第 1 の電荷保持手段下の半導体表面を経て、前記第 1 の反転層に放電される際、前記第 2 と第 4 の電極の間の半導体表面で発生するホットエレクトロンが前記電荷を保持する第 2 の手段に注入される動作方式を有することを特徴とする半導体記憶装置。

30

【請求項 3】

第 1 の方向に互いに平行に配線される第 1、第 2 の電極を有し、前記第 1 の電極と第 2 の電極の間の半導体表面の電位を制御する第 3 の電極を有し、前記第 3 の電極は第 1 の方向と実質的に垂直な第 2 の方向に配線され、前記第 1 の電極と第 2 の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する手段を有し、且つ

前記第 1 の電極を電位 A に設定することによって近傍の半導体表面に第 1 の反転層を形成し、前記第 1 の反転層の電位を、電位 A よりも低い電位 B に設定し、前記第 2 の電極を電位 C に設定することによって近傍の半導体表面に第 2 の反転層を形成し、前記第 2 の反転層の電位を、前記電位 B よりも高く、電位 C よりも低い電位 D に設定した後、前記第 2 の反転層と電源との接続を断ってフローティング状態とし、前記第 3 の電極の電位を前記電位 C よりも高い電位 E に設定することにより、前記第 2 の反転層に蓄積された電荷が、電荷保持手段下の半導体表面を経て、前記反転層 1 に放電される際、前記第 1 の電極近傍で発生するホットエレクトロンが前記電荷を保持する手段に注入される間、前記第 2 の反転層と、前記第 2 の反転層に給電する電源間に設置されているトランジスタを介し、前記第 2 の反転層の電位が、ホットエレクトロン注入が行われない程度のある一定値を下らないように電荷を供給する動作方式を備えることを特徴とする半導体記憶装置。

40

【請求項 4】

50

第1の方向に互いに平行に配線される第1、第2、第4の電極を有し、前記第1の電極と第2の電極の間、及び前記第2の電極と第4の電極の間の半導体表面の電位を制御する第5の電極を有し、前記第5の電極は第1の方向と実質的に垂直な第2の方向に配線され、前記第1の電極と第2の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する第1の手段を有し、前記第2の電極と第4の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する第2の手段を有し、且つ

前記第1の電極を電位Aに設定することによって近傍の半導体表面に第1の反転層を形成し、前記第1の反転層の電位を、電位Aよりも低い電位Bに設定し、前記第4の電極を電位Cに設定することによって近傍の半導体表面に第2の反転層を形成し、前記第2の反転層の電位を、前記電位Bよりも高く、電位Cよりも低い電位Dに設定した後、前記第2の反転層と電源との接続を断ってフローティング状態とし、前記第2の電極の電位を前記電位Aよりも低い電位Eに設定し、前記第5の電極の電位を前記電位Cよりも高い電位Fに設定することにより、前記第2の反転層に蓄積された電荷が、前記第2の電荷保持手段下の半導体表面、前記第2の電極下の半導体表面、前記第1の電荷保持手段下の半導体表面を経て、前記第1の反転層に放電される際、前記第2と第4の電極の間の半導体表面で発生するホットエレクトロンが前記電荷を保持する第2の手段に注入される間、前記第2の反転層と、前記第2の反転層に給電する電源間に設置されているトランジスタを介し、前記第2の反転層の電位が、ホットエレクトロン注入が行われない程度のある一定値を下らないように電荷を供給する動作方式を有することを特徴とする半導体記憶装置。

10

【請求項5】

20

第1の方向に互いに平行に配線される第1、第2、第4の電極を有し、前記第1の電極と第2の電極の間、及び前記第2の電極と第4の電極の間の半導体表面の電位を制御する第5の電極を有し、前記第5の電極は第1の方向と実質的に垂直な第2の方向に配線され、前記第1の電極と第2の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する第1の手段を有し、前記第2の電極と第4の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する第2の手段を有し、且つ

前記第1の電極を電位Aに設定することによって近傍の半導体表面に第1の反転層を形成し、前記第1の反転層の電位を、電位Aよりも低い電位Bに設定した後、前記第1の反転層と電源との接続を断ってフローティング状態とし、前記第4の電極を電位Cに設定することによって近傍の半導体表面に第2の反転層を形成し、前記第2の反転層の電位を、前記電位Bよりも高く、電位Cよりも低い電位Dに設定した後、前記第2の反転層と電源との接続を断ってフローティング状態とし、前記第2の電極の電位を前記電位Aよりも低い電位Eに設定し、前記第5の電極の電位を前記電位Cよりも高い電位Fに設定することにより、前記第2の反転層に蓄積された電荷が、前記第2の電荷保持手段下の半導体表面、前記第2の電極下の半導体表面、前記第1の電荷保持手段下の半導体表面を経て、前記第1の反転層を充電する際、前記第2と第4の電極の間の半導体表面で発生するホットエレクトロンが前記電荷を保持する第2の手段に注入される動作方式を有することを特徴とする半導体記憶装置。

30

【請求項6】

第1の方向に互いに平行に配線される第1、第2の電極を有し、前記第1の電極と第2の電極の間の半導体表面の電位を制御する第3の電極を有し、前記第3の電極は第1の方向と実質的に垂直な第2の方向に配線され、前記第1の電極と第2の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する手段を有し、且つ

40

前記第1の電極を電位Aに設定することによって近傍の半導体表面に第1の反転層を形成し、前記第1の反転層の電位を、電位Aよりも低い電位Bに設定した後、前記第1の反転層と電源との接続を断ってフローティング状態とし、前記第2の電極を電位Cに設定することによって近傍の半導体表面に第2の反転層を形成し、前記第2の反転層の電位を、前記電位Bよりも高く、電位Cよりも低い電位Dに設定し、前記第3の電極の電位を前記電位Cよりも高い電位Eに設定することにより、前記第1の反転層を充電する際、前記第1の電極近傍で発生するホットエレクトロンが前記電荷を保持する手段に注入される動

50

作方式を有することを特徴とする半導体記憶装置。

【請求項 7】

第 1 の方向に互いに平行に配線される第 1、第 2、第 4 の電極を有し、前記第 1 の電極と第 2 の電極の間、及び前記第 2 の電極と第 4 の電極の間の半導体表面の電位を制御する第 5 の電極を有し、前記第 5 の電極は第 1 の方向と実質的に垂直な第 2 の方向に配線され、前記第 1 の電極と第 2 の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する第 1 の手段を有し、前記第 2 の電極と第 4 の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する第 2 の手段を有し、且つ

前記第 1 の電極を電位 A に設定することによって近傍の半導体表面に第 1 の反転層を形成し、前記第 1 の反転層の電位を、電位 A よりも低い電位 B に設定した後、前記第 1 の反転層と電源との接続を断ってフローティング状態とし、前記第 4 の電極を電位 C に設定することによって近傍の半導体表面に第 2 の反転層を形成し、前記第 2 の反転層の電位を、前記電位 B よりも高く、電位 C よりも低い電位 D に設定し、前記第 2 の電極の電位を前記電位 A よりも低い電位 E に設定し、前記第 5 の電極の電位を前記電位 C よりも高い電位 F に設定することにより、前記第 1 の反転層を充電する際前記第 2 と第 4 の電極の間の半導体表面で発生するホットエレクトロンが前記電荷を保持する第 2 の手段に注入される動作方式を有する特徴とする半導体記憶装置。

10

【請求項 8】

第 1 の方向に互いに平行に配線される第 1、第 2 の電極を有し、前記第 1 の電極と第 2 の電極の間の半導体表面の電位を制御する第 3 の電極を有し、前記第 3 の電極は第 1 の方向と実質的に垂直な第 2 の方向に配線され、前記第 1 の電極と第 2 の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する手段を有し、且つ

20

前記第 1 の電極を電位 A に設定することによって近傍の半導体表面に第 1 の反転層を形成し、前記第 1 の反転層の電位を、電位 A よりも低い電位 B に設定し、前記第 2 の電極の電位を電位 C に設定した後、前記電極 2 と電源との接続を断ってフローティング状態とし、前記第 2 の反転層の電位を、前記電位 B よりも高く、電位 C よりも低い電位 D に設定し、前記第 2 の電極と前記第 2 の反転層間のカップリングにより、第 2 の電極の電位が上昇した後、前記第 3 の電極の電位を前記電位 C よりも高い電位 E に設定することにより、前記第 1 の電極近傍で発生するホットエレクトロンが前記電荷を保持する手段に注入される動作方式を備えることを特徴とする半導体記憶装置。

30

【請求項 9】

第 1 の方向に互いに平行に配線される第 1、第 2、第 4 の電極を有し、前記第 1 の電極と第 2 の電極の間、及び前記第 2 の電極と第 4 の電極の間の半導体表面の電位を制御する第 5 の電極を有し、前記第 5 の電極は第 1 の方向と実質的に垂直な第 2 の方向に配線され、前記第 1 の電極と第 2 の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する第 1 の手段を有し、前記第 2 の電極と第 4 の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する第 2 の手段を有し、且つ

前記第 1 の電極を電位 A に設定することによって近傍の半導体表面に第 1 の反転層を形成し、前記第 1 の反転層の電位を、電位 A よりも低い電位 B に設定した後、前記第 3 の電極を電位 C に設定することによって近傍の半導体表面に第 2 の反転層を形成し、前記電極 4 の電位を電位 C に設定した後、前記電極 4 と電源との接続を断ってフローティング状態とし、前記第 2 の反転層の電位を、前記電位 B よりも高く、電位 C よりも低い電位 D に設定し、前記第 4 の電極と前記第 2 の反転層間のカップリングのため、第 4 の電極の電位が上昇した後、前記第 2 の電極の電位を前記電位 A よりも低い電位 E に設定し、前記第 5 の電極の電位を前記電位 C よりも高い電位 F に設定することにより、前記第 2 と第 4 の電極の間の半導体表面で発生するホットエレクトロンが前記電荷を保持する第 2 の手段に注入される動作方式を有することを特徴とする半導体記憶装置。

40

【請求項 10】

第 1 の方向に互いに平行に配線される第 1、第 2 の電極を有し、前記第 1 の電極と第 2 の電極の間の半導体表面の電位を制御する第 3 の電極を有し、前記第 3 の電極は第 1 の方

50

向と実質的に垂直な第 2 の方向に配線され、前記第 1 の電極と第 2 の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する手段を有し、且つ

前記第 1 の電極を電位 A に設定することによって近傍の半導体表面に第 1 の反転層を形成し、前記第 1 の反転層の電位を、電位 A よりも低い電位 B に設定し、前記第 2 の電極を電位 C に設定し、前記第 2 の電極と近傍のフローティング状態である半導体表面間のカップリングのために第 2 の反転層が、前記電位 B よりも高く、電位 C よりも低い電位 D の状態で形成され、前記第 3 の電極の電位を前記電位 C よりも高い電位 E に設定することにより、前記第 2 の反転層に蓄積された電荷が、電荷保持手段下の半導体表面を経て、前記第 1 の反転層に放電される際、前記第 1 の電極近傍で発生するホットエレクトロンが前記電荷を保持する手段に注入される動作方式を有することを特徴とする半導体記憶装置。

10

【請求項 1 1】

第 1 の方向に互いに平行に配線される第 1、第 2、第 4 の電極を有し、前記第 1 の電極と第 2 の電極の間、及び前記第 2 の電極と第 4 の電極の間の半導体表面の電位を制御する第 5 の電極を有し、前記第 5 の電極は第 1 の方向と実質的に垂直な第 2 の方向に配線され、前記第 1 の電極と第 2 の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する第 1 の手段を有し、前記第 2 の電極と第 4 の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する第 2 の手段を有し、且つ

前記第 1 の電極を電位 A に設定することによって近傍の半導体表面に第 1 の反転層を形成し、前記第 1 の反転層の電位を、電位 A よりも低い電位 B に設定し、前記第 4 の電極を電位 C に設定し、前記第 4 の電極と近傍のフローティング状態である半導体表面間のカップリングのために第 2 の反転層が、前記電位 B よりも高く、電位 C よりも低い電位 D の状態で形成され、前記第 2 の電極の電位を前記電位 A よりも低い電位 E に設定し、前記第 5 の電極の電位を前記電位 C よりも高い電位 F に設定することにより、前記第 2 の反転層に蓄積された電荷が、前記第 2 の電荷保持手段下の半導体表面、前記第 2 の電極下の半導体表面、前記第 1 の電荷保持手段下の半導体表面を経て、前記第 1 の反転層に放電される際、前記第 2 と第 4 の電極の間の半導体表面で発生するホットエレクトロンが前記電荷を保持する第 2 の手段に注入される動作方式を有することを特徴とする半導体記憶装置。

20

【請求項 1 2】

前記電荷を保持する手段は、多結晶シリコン、又は多数個のシリコン微小結晶、又は電荷トラップを持つ絶縁体からなることを特徴とする請求項 1 に記載の半導体記憶装置。

30

【請求項 1 3】

前記電荷を保持する手段は、多結晶シリコン、又は多数個のシリコン微小結晶、又は電荷トラップを持つ絶縁体からなることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 1 4】

前記電荷を保持する手段は、少なくとも 1 ビット以上の情報ができることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 1 5】

前記電荷を保持する手段は、少なくとも 1 ビット以上の情報ができることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 1 6】

第 1 容量と、
前記第 1 容量よりも容量の大きい第 2 容量と、
前記第 1 容量および前記第 2 容量に接続されたメモリセルとを有し、
前記第 1 容量に蓄えられた電荷によって行なわれる書込みと、
前記第 2 容量に蓄えられた電荷によって行なわれる書込みとを選択的に行なうことを特徴とする半導体記憶装置。

40

【請求項 1 7】

請求項 1 6 に記載の半導体記憶装置において、
前記第 1 容量は、ローカルなビット線の容量であり、
前記第 2 容量は、前記ローカルなビット線の容量と、前記ローカルなビット線に接続さ

50

れたグローバルなデータ線の容量とを含むことを特徴とする半導体記憶装置。

【請求項 18】

請求項 16 記載の半導体記憶装置において、前記メモリセルは複数のしきい値レベルを有し、前記第 2 容量に蓄えられた電荷は、最も高いしきい値レベルの書込みに用いられることを特徴とする半導体記憶装置。

【請求項 19】

請求項 17 記載の半導体記憶装置において、前記ローカルなビット線の容量は、反転層の容量を含むことを特徴とする半導体記憶装置。

【請求項 20】

請求項 16 記載の半導体記憶装置において、
前記メモリセルは 2 ビット以上の情報を記憶することを特徴とする半導体記憶装置。

10

【請求項 21】

グローバルなデータ線と、
前記グローバルなデータ線に接続されたローカルなビット線と、
前記ローカルなビット線を有するメモリセルとを有し、
前記グローバルなデータ線に蓄えられた電荷によって行なわれる書込みと、
前記ローカルなビット線に蓄えられた電荷によって行なわれる書込みとを選択的に行なうことを特徴とする半導体記憶装置。

【請求項 22】

請求項 21 記載の半導体記憶装置において、前記メモリセルは複数のしきい値レベルを有し、前記グローバルなデータ線に蓄えられた電荷によって行なわれる書込みは、最も高いしきい値レベルの書込みに用いられることを特徴とする半導体記憶装置。

20

【請求項 23】

請求項 21 記載の半導体記憶装置において、前記ローカルなビット線は、反転層配線を含むことを特徴とする半導体記憶装置。

【請求項 24】

請求項 21 記載の半導体記憶装置において、前記メモリセルは 2 ビット以上の情報を記憶することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は半導体記憶装置に関するものである。

【背景技術】

【0002】

携帯性に優れたデータ格納用として、半導体不揮発性メモリであるフラッシュメモリが広く用いられ始めている。フラッシュメモリのビット当りの価格は年々急速に下がっており、その下がり方は微細化のみから期待される下がり方よりも急峻である。これは素子構造上の工夫あるいは多値記憶の導入によるものである。ファイル用途大容量フラッシュメモリの従来技術は、例えば、F. Arai et al, IEEE International Electron Devices Meeting pp775-778, 2000年(非特許文献1)とT. Kobayashi et al, IEEE International Electron Devices Meeting pp29-32, 2001年(非特許文献2)に述べられている。前者は小さいセル面積の実現に向けておりNAND型と呼ばれている、後者は、フローティングゲート内に蓄積する電子個数を制御することで多ビット記憶を行う多値記憶動作に向けておりAND型と呼ばれている。いずれもビットコスト低減に効果がある。

40

【0003】

又、別な多値記憶の例が、B. Eitan et al, International Conference on Solid State Devices and Materials pp522-524, 1999年(非特許文献3)に示されている。これは、SiNを記憶領域に用い、ホットエレクトロンによる電荷注入を行う素子である。ホットエレクトロンがドレイン端付近で主に発生すること、またSiNトラップに電荷が捕獲されるため注入された場所付近に電荷が留まることを利用する。ソース、ドレイン

50

に印加する電圧を入れ替えることでソース端とドレイン端の両端を電荷蓄積領域として用いる。この書込み方法は大きな電流が流れるため、電源の電流供給能力の限界から多ビットを同時に書込むファイル用途には適さない。より低いドレイン電流で書込みのできるソース側注入による書込み動作が、特開平2001-156275号公報(特許文献1)に開示されている。ここでは、ソース側注入のための補助電極と小さいセル面積を両立させる技術として、補助電極下に形成した反転層を配線として用いる動作が述べられている。

【0004】

【特許文献1】特開平2001-156275号公報

【非特許文献1】F. Arai et al, IEEE International Electron Devices Meeting pp775-778, 2000

【非特許文献2】T. Kobayashi et al, IEEE International Electron Devices Meeting pp29-32, 2001

【非特許文献3】B. Eitan et al, International Conference on Solid State Devices and Materials pp522-524, 1999

【発明の開示】

【発明が解決しようとする課題】

【0005】

フラッシュメモリは素子構造上の工夫あるいは多値記憶の導入で、加工寸法の縮小による微細化以上のビットコスト低減を実現してきた。またフラッシュメモリの容量増大に従って音楽ファイル、動画等サイズの大きなファイルを扱う応用が広がっている。このため、大容量でしかも書込み速度が速いフラッシュメモリの需要が今後ますます高まってくると予想される。

【0006】

しかしながら、NAND型の素子構造は平面構造メモリセルの理論的限界である単位セル当たり面積 $4F^2$ (Fは加工寸法)に近づいており、これ以上構造上の工夫を行ってセル面積を縮小することは困難である。このため今後は多値記憶を推し進める必要がある。同時にファウラーノードハイム(以下FNと略す)トンネルによって書込みを行う方式であるため、書込みが速くない、あるいは大電圧を使う必要があるという課題がある。

【0007】

一方、AND型はホットエレクトロン書込み技術を採用し、書込みが高速である。ソース側注入方式のホットエレクトロン書込みであるため多くのセルへの同時書込みにも適する。加えて、アレイ構成が並列接続であり、NAND型のように直列接続でないため、他のセルの記憶情報の影響を受けにくく、セル当たり多ビット記憶にも適しているが、課題もある。セル面積の観点から、拡散層が平行に走るアレイ構造をしているため、拡散層広がりあるいは素子分離領域のためにワード線に垂直方向のピッチが縮小しにくいという課題がある。また、ソース側注入方式のホットエレクトロン書き込みを使用する場合、補助電極の設定電圧がばらつくことによって、セル間の書込み特性がばらつく問題もある。さらにAND型では、メモリセルがローカルデータ線に対し並列接続となっているため、メモリセルの位置によってコンタクトとの距離が異なる。このため、ローカルデータ線における電圧降下により、セルに印加される電位が変化し、セル間で書込み特性がばらつく問題がある。

【0008】

従って本発明の目的とするところは、メモリセル面積を微細化し、セル間の書込み特性ばらつきの小さい半導体記憶装置を実現する方法を提供することである。

【課題を解決するための手段】

【0009】

本発明の骨子は、互いに並行に形成された、ソース領域、ドレイン領域に対し、ソース、ドレイン領域の間にこれと並行でかつオーバーラップのない位置に補助電極構造を有し、書込みには補助電極をソース側注入ホットエレクトロンの補助電極として用い、読出し時には補助電極下に形成した反転層をソース、あるいはドレイン領域として用いることを特

10

20

30

40

50

徴とするものである。

【0010】

次いで、本発明の主な発明概要を列記して示す。

1. 第1の方向に互いに平行に配線される第1、第2の電極を有し、前記第1の電極と第2の電極の間の半導体表面の電位を制御する第3の電極を有し、前記第3の電極は第1の方向と実質的に垂直な第2の方向に配線され、前記第1の電極と第2の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する手段を有し、且つ

前記第1の電極を電位Aに設定することによって近傍の半導体表面に第1の反転層を形成し、前記反転層1の電位を、電位Aよりも低い電位Bに設定し、前記第2の電極を電位Cに設定することによって近傍の半導体表面に第2の反転層を形成し、前記反転層2の電位を、前記電位Bよりも高く、電位Cよりも低い電位Dに設定した後、前記反転層2と電源との接続を断ってフローティング状態とし、前記第3の電極の電位を前記電位Cよりも高い電位Eに設定することにより、前記反転層2に蓄積された電荷が、電荷保持手段下の半導体表面を経て、前記反転層1に放電される際、前記第1の電極近傍で発生するホットエレクトロンが前記電荷を保持する手段に注入される動作方式を有することを特徴とする半導体記憶装置

10

2. 第1の方向に互いに平行に配線される第1、第2、第4の電極を有し、前記第1の電極と第2の電極の間、及び前記第2の電極と第4の電極の間の半導体表面の電位を制御する第5の電極を有し、前記第5の電極は第1の方向と実質的に垂直な第2の方向に配線され、前記第1の電極と第2の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する第1の手段を有し、前記第2の電極と第4の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する第2の手段を有し、且つ

20

前記第1の電極を電位Aに設定することによって近傍の半導体表面に第1の反転層を形成し、前記反転層1の電位を、電位Aよりも低い電位Bに設定し、前記第4の電極を電位Cに設定することによって近傍の半導体表面に第2の反転層を形成し、前記反転層2の電位を、前記電位Bよりも高く、電位Cよりも低い電位Dに設定した後、前記反転層2と電源との接続を断ってフローティング状態とし、前記第2の電極の電位を前記電位Aよりも低い電位Eに設定し、前記第5の電極の電位を前記電位Cよりも高い電位Fに設定することにより、前記反転層2に蓄積された電荷が、前記電荷保持手段2下の半導体表面、前記第2の電極下の半導体表面、前記第1の電荷保持手段下の半導体表面を経て、前記第1の反転層に放電される際、前記第2と第4の電極の間の半導体表面で発生するホットエレクトロンが前記電荷を保持する手段2に注入される動作方式を備えることを特徴とする半導体記憶装置

30

3. 第1の方向に互いに平行に配線される第1、第2の電極を有し、前記第1の電極と第2の電極の間の半導体表面の電位を制御する第3の電極を有し、前記第3の電極は第1の方向と実質的に垂直な第2の方向に配線され、前記第1の電極と第2の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する手段を有し、且つ

前記第1の電極を電位Aに設定することによって近傍の半導体表面に第1の反転層を形成し、前記反転層1の電位を、電位Aよりも低い電位Bに設定し、前記第2の電極を電位Cに設定することによって近傍の半導体表面に第2の反転層を形成し、前記反転層2の電位を、前記電位Bよりも高く、電位Cよりも低い電位Dに設定した後、前記反転層2と電源との接続を断ってフローティング状態とし、前記第3の電極の電位を前記電位Cよりも高い電位Eに設定することにより、前記第2の反転層に蓄積された電荷が、電荷保持手段下の半導体表面を経て、前記第1の反転層に放電される際、前記第1の電極近傍で発生するホットエレクトロンが前記電荷を保持する手段に注入される間、前記第2の反転層と、前記第2の反転層に給電する電源間に設置されているトランジスタを介し、前記第2の反転層の電位が、ホットエレクトロン注入が行われない程度のある一定値を下らないように電荷を供給する動作方式を備えることを特徴とする半導体記憶装置

40

4. 第1の方向に互いに平行に配線される第1、第2、第4の電極を有し、前記第1の電極と第2の電極の間、及び前記第2の電極と第4の電極の間の半導体表面の電位を制御

50

する第5の電極を有し、前記第5の電極は第1の方向と実質的に垂直な第2の方向に配線され、前記第1の電極と第2の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する第1の手段を有し、前記第2の電極と第4の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する第2の手段を有し、且つ

前記第1の電極を電位Aに設定することによって近傍の半導体表面に第1の反転層を形成し、前記反転層1の電位を、電位Aよりも低い電位Bに設定し、前記第4の電極を電位Cに設定することによって近傍の半導体表面に第2の反転層を形成し、前記反転層2の電位を、前記電位Bよりも高く、電位Cよりも低い電位Dに設定した後、前記反転層2と電源との接続を断ってフローティング状態とし、前記第2の電極の電位を前記電位Aよりも低い電位Eに設定し、前記第5の電極の電位を前記電位Cよりも高い電位Fに設定することにより、前記第2の反転層に蓄積された電荷が、前記第2の電荷保持手段下の半導体表面、前記第2の電極下の半導体表面、前記第1の電荷保持手段下の半導体表面を経て、前記第1の反転層に放電される際、前記第2と第4の電極の間の半導体表面で発生するホットエレクトロンが前記電荷を保持する第2の手段に注入される間、前記第2の反転層と、前記第2の反転層に給電する電源間に設置されているトランジスタを介し、前記第2の反転層の電位が、ホットエレクトロン注入が行われないう程度のある一定値を下らないように電荷を供給する動作方式を備えることを特徴とする半導体記憶装置

10

5. 第1の方向に互いに平行に配線される第1、第2、第4の電極を有し、前記第1の電極と第2の電極の間、及び前記第2の電極と第4の電極の間の半導体表面の電位を制御する第5の電極を有し、前記第5の電極は第1の方向と実質的に垂直な第2の方向に配線され、前記第1の電極と第2の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する第1の手段を有し、前記第2の電極と第4の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する第2の手段を有し、且つ

20

前記第1の電極を電位Aに設定することによって近傍の半導体表面に第1の反転層を形成し、前記反転層1の電位を、電位Aよりも低い電位Bに設定した後、前記反転層1と電源との接続を断ってフローティング状態とし、前記第4の電極を電位Cに設定することによって近傍の半導体表面に第2の反転層を形成し、前記第2の反転層の電位を、前記電位Bよりも高く、電位Cよりも低い電位Dに設定した後、前記第2の反転層と電源との接続を断ってフローティング状態とし、前記第2の電極の電位を前記電位Aよりも低い電位Eに設定し、前記第5の電極の電位を前記電位Cよりも高い電位Fに設定することにより、前記第2の反転層に蓄積された電荷が、前記第2の電荷保持手段下の半導体表面、前記第2の電極下の半導体表面、前記電荷保持手段1下の半導体表面を経て、前記反転層1を充電する際、前記第2と第4の電極の間の半導体表面で発生するホットエレクトロンが前記電荷を保持する第2の手段に注入される動作方式特徴とする半導体記憶装置

30

6. 第1の方向に互いに平行に配線される第1、第2の電極を有し、前記第1の電極と第2の電極の間の半導体表面の電位を制御する第3の電極を有し、前記第3の電極は第1の方向と実質的に垂直な第2の方向に配線され、前記第1の電極と第2の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する手段を有し、且つ

前記第1の電極を電位Aに設定することによって近傍の半導体表面に第1の反転層を形成し、前記反転層1の電位を、電位Aよりも低い電位Bに設定した後、前記第1の反転層と電源との接続を断ってフローティング状態とし、前記第2の電極を電位Cに設定することによって近傍の半導体表面に第2の反転層を形成し、前記第2の反転層の電位を、前記電位Bよりも高く、電位Cよりも低い電位Dに設定し、前記第3の電極の電位を前記電位Cよりも高い電位Eに設定することにより、前記第1の反転層を充電する際、前記第1の電極近傍で発生するホットエレクトロンが前記電荷を保持する手段に注入されることを特徴とする半導体記憶装置

40

7. 第1の方向に互いに平行に配線される第1、第2、第4の電極を有し、前記第1の電極と第2の電極の間、及び前記第2の電極と第4の電極の間の半導体表面の電位を制御する第5の電極を有し、前記第5の電極は第1の方向と実質的に垂直な第2の方向に配線され、前記第1の電極と第2の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する第

50

1 の手段を有し、前記第 2 の電極と第 4 の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する第 2 の手段を有し、且つ

前記第 1 の電極を電位 A に設定することによって近傍の半導体表面に第 1 の反転層を形成し、前記反転層 1 の電位を、電位 A よりも低い電位 B に設定した後、前記反転層 1 と電源との接続を断ってフローティング状態とし、前記第 4 の電極を電位 C に設定することによって近傍の半導体表面に第 2 の反転層を形成し、前記第 2 の反転層の電位を、前記電位 B よりも高く、電位 C よりも低い電位 D に設定し、前記第 2 の電極の電位を前記電位 A よりも低い電位 E に設定し、前記第 4 の電極の電位を前記電位 C よりも高い電位 F に設定することにより、前記反転層 1 を充電する際前記第 2 と第 4 の電極の間の半導体表面で発生するホットエレクトロンが前記電荷を保持する手段 2 に注入されることを特徴とする半導体記憶装置 10

8 . 第 1 の方向に互いに平行に配線される第 1、第 2 の電極を有し、前記第 1 の電極と第 2 の電極の間の半導体表面の電位を制御する第 3 の電極を有し、前記第 3 の電極は第 1 の方向と実質的に垂直な第 2 の方向に配線され、前記第 1 の電極と第 2 の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する手段を有し、且つ

前記第 1 の電極を電位 A に設定することによって近傍の半導体表面に第 1 の反転層を形成し、前記第 1 の反転層の電位を、電位 A よりも低い電位 B に設定し、前記第 2 の電極の電位を電位 C に設定した後、前記第 2 の電極と電源との接続を断ってフローティング状態とし、前記第 2 の反転層の電位を、前記電位 B よりも高く、電位 C よりも低い電位 D に設定し、前記第 2 の電極と前記第 2 の反転層間のカップリングにより、第 2 の電極の電位が上昇した後、前記第 3 の電極の電位を前記電位 C よりも高い電位 E に設定することにより、前記第 1 の電極近傍で発生するホットエレクトロンが前記電荷を保持する手段に注入される動作方式を備えることを特徴とする半導体記憶装置 20

9 . 第 1 の方向に互いに平行に配線される第 1、第 2、第 4 の電極を有し、前記第 1 の電極と第 2 の電極の間、及び前記第 2 の電極と第 4 の電極の間の半導体表面の電位を制御する第 5 の電極を有し、前記第 5 の電極は第 1 の方向と実質的に垂直な第 2 の方向に配線され、前記第 1 の電極と第 2 の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する第 1 の手段を有し、前記第 2 の電極と第 4 の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する第 2 の手段を有し、且つ

前記第 1 の電極を電位 A に設定することによって近傍の半導体表面に第 1 の反転層を形成し、前記第 1 の反転層の電位を、電位 A よりも低い電位 B に設定した後、前記第 4 の電極を電位 C に設定することによって近傍の半導体表面に第 2 の反転層を形成し、前記第 4 の電極の電位を電位 C に設定した後、前記第 4 の電極と電源との接続を断ってフローティング状態とし、前記第 2 の反転層の電位を、前記電位 B よりも高く、電位 C よりも低い電位 D に設定し、前記第 3 の電極と前記第 2 の反転層間のカップリングのため、第 4 の電極の電位が上昇した後、前記第 2 の電極の電位を前記電位 A よりも低い電位 E に設定し、前記第 5 の電極の電位を前記電位 C よりも高い電位 F に設定することにより、前記第 2 と第 4 の電極の間の半導体表面で発生するホットエレクトロンが前記電荷を保持する第 2 の手段に注入される動作方式を有することを特徴とする半導体記憶装置 30

10 . 第 1 の方向に互いに平行に配線される第 1、第 2 の電極を有し、前記第 1 の電極と第 2 の電極の間の半導体表面の電位を制御する第 3 の電極を有し、前記第 3 の電極は第 1 の方向と実質的に垂直な第 2 の方向に配線され、前記第 1 の電極と第 2 の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する手段を有し、且つ 40

前記第 1 の電極を電位 A に設定することによって近傍の半導体表面に第 1 の反転層を形成し、前記第 1 の反転層の電位を、電位 A よりも低い電位 B に設定し、前記第 2 の電極を電位 C に設定し、前記第 2 の電極と近傍のフローティング状態である半導体表面間のカップリングのために第 2 の反転層が、前記電位 B よりも高く、電位 C よりも低い電位 D の状態で形成され、前記第 3 の電極の電位を前記電位 C よりも高い電位 E に設定することにより、前記第 2 の反転層に蓄積された電荷が、電荷保持手段下の半導体表面を経て、前記第 1 の反転層に放電される際、前記第 1 の電極近傍で発生するホットエレクトロンが前記電 50

荷を保持する手段に注入される動作方式を有することを特徴とする半導体記憶装置

11. 第1の方向に互いに平行に配線される第1、第2、第4の電極を有し、前記第1の電極と第2の電極の間、及び前記第2の電極と第4の電極の間の半導体表面の電位を制御する第5の電極を有し、前記第5の電極は第1の方向と実質的に垂直な第2の方向に配線され、前記第1の電極と第2の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する第1の手段を有し、前記第2の電極と第4の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する第2の手段を有し、且つ

前記第1の電極を電位Aに設定することによって近傍の半導体表面に第1の反転層を形成し、前記第1の反転層の電位を、電位Aよりも低い電位Bに設定し、前記第4の電極を電位Cに設定し、前記第4の電極と近傍のフローティング状態である半導体表面間のカップリングのために第2の反転層が、前記電位Bよりも高く、電位Cよりも低い電位Dの状態に形成され、前記第2の電極の電位を前記電位Aよりも低い電位Eに設定し、前記第5の電極の電位を前記電位Cよりも高い電位Fに設定することにより、前記第2の反転層に蓄積された電荷が、前記第2の電荷保持手段下の半導体表面、前記第2の電極下の半導体表面、前記第1の電荷保持手段下の半導体表面を経て、前記第1の反転層に放電される際、前記第2と第4の電極の間の半導体表面で発生するホットエレクトロンが前記電荷を保持する第2の手段に注入される動作方式を有することを特徴とする半導体記憶装置

12. 本願諸発明における前記電荷を保持する手段は、多結晶シリコン、又は多数個のシリコン微小結晶、又は電荷トラップを持つ絶縁体からなることを特徴とする半導体記憶装置

13. 本願諸発明における前記電荷を保持する手段は、少なくとも1ビット以上の情報ができることを特徴とする半導体記憶装置

【発明の効果】

【0011】

本発明によれば、メモリセル面積を微細化し、セル間の書込み特性ばらつきの小さい半導体記憶装置を実現できる。

【発明を実施するための最良の形態】

【0012】

以下には、本発明の具体的な実施例による半導体素子及び半導体装置を説明する。

先ず、本願発明に先立って考えられた半導体記憶装置の構成を、項目1及び2として、説明する。本願発明はこれらの基本的形態の半導体記憶装置を改善するものである。

1. 第1の方向に互いに平行に配線される第1、第2の電極を有し、前記第1の電極と、第2の電極の間の半導体表面の電位を制御する第3の電極を有し、前記第3の電極は第1の方向と実質的に垂直な第2の方向に配線され、前記第1の電極と第2の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する手段を有する半導体記憶素子において、前記第1の電極を電位Aに設定することによって近傍の半導体表面に第1の反転層を形成し、前記反転層1の電位を、電位Aよりも低い電位Bに設定し、前記第2の電極を電位Cに設定することによって近傍の半導体表面に第2の反転層を形成し、前記反転層2の電位を、前記電位Bよりも高く、電位Cよりも低い電位Dに設定し、前記第3の電極の電位を前記電位Cよりも高い電位Eに設定することにより、前記第1の電極近傍で発生するホットエレクトロンが前記電荷を保持する手段に注入される動作方式を備えることを特徴とする半導体記憶装置。

2. 第1の方向に互いに平行に配線される第1、第2、第4の電極を有し、前記第1の電極と、第2の電極の間、及び前記第2の電極と、第4の電極の間の半導体表面の電位を制御する第5の電極を有し、前記第5の電極は第1の方向と実質的に垂直な第2の方向に配線され、前記第1の電極と第2の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する手段1を有し、前記第2の電極と第4の電極の間に、周囲を絶縁膜で囲われた、電荷を保持する手段2を有する半導体記憶素子において、前記第1の電極を電位Aに設定することによって近傍の半導体表面に第1の反転層を形成し、前記反転層1の電位を、電位Aよりも低い電位Bに設定し、前記第4の電極を電位Cに設定することによって近傍の半導体表

面に第2の反転層を形成し、前記反転層2の電位を、前記電位Bよりも高く、電位Cよりも低い電位Dに設定し、前記第2の電極の電位を前記電位Aよりも低い電位Eに設定し、前記第5の電極の電位を前記電位Cよりも高い電位Fに設定することにより、前記第2と第4の電極の間の半導体表面で発生するホットエレクトロンが前記電荷を保持する手段2に注入される動作方式を有することを特徴とする半導体記憶装置。

【0013】

上記の例を具体的に説明する。

前記例1を図1に示す。図1には、本実施例による記憶素子の断面構造を示す。p型シリコン基板(1)に、n型のウェル領域(2)が設けられており、さらにその中にp型のウェル領域(3)が設けられる3重ウェル構造を持つ。シリコン基板表面の電位を制御するためのn型多結晶シリコンからなる補助電極(10)(11)(12)(13)、n型多結晶シリコンとW(タングステン)の積層構造で形成された制御電極(30)がある。この制御電極(30)はワード線を兼ねている。シリコン基板表面に設けられたSiO₂からなる絶縁膜(40)を介して、補助電極(10)(11)(12)(13)の側壁(41)間を覆う形で形成した多結晶シリコンからなる記憶ノード(50)(51)(52)が設けられている。記憶ノード(50)(51)(52)と制御電極(30)の間にはSiO₂膜(42)が形成されている。また補助電極(10)(11)(12)(13)とシリコン基板の間にはSiO₂膜(43)が設けられている。メモリセルアレイはこのような構造が繰り返されている。又、この断面では、通常素子分離用に設けられる絶縁膜で埋め込まれた溝が設けられていないという特徴がある。補助電極(10)(11)(12)(13)下の基板表面と記憶ノード(50)(51)(52)下の基板表面は異なる不純物濃度となっている。

【0014】

図2は上面図、図3は等価回路図を示す。図3で反転層による配線は破線で示し、補助電極配線や高濃度不純物による拡散層配線は実線で示した。説明のために必要な部分を除き金属配線は省いてある。点線で囲った部分(110)のA-B断面が図1に対応する。図面Y方向にワード線が、例えば128本、又は256本繰り返された構造を基本単位(以下これをメモリマットと呼ぶ)としている。その両端で補助電極(10)(11)(12)(13)が4本毎に結束(32)(33)(34)(35)され、隣接補助電極に独立な電圧を与えることが可能である。この端部では素子分離用の絶縁膜で埋め込まれた溝が存在し、アクティブ領域(80)(81)(82)(83)が互いに絶縁されている。記憶ノード(50)の情報を読み出す、あるいは書込む場合に形成される反転層配線(60)(61)は、アクティブ領域(82)(83)にそれぞれ接続され、さらにこのアクティブ領域と配線へのコンタクト構造(100)(101)との間に存在するゲート電極(36)(37)(38)によって選択用のMOSトランジスタが形成されている。ただし、(84)の部分ではデプレッション化しており、ゲート電極(36)(37)、又は(38)に電圧を印加しなくても導通できる状態になっている。この選択MOSを介して反転層配線からなるローカルなビット線(60)(61)はグローバルなデータ線(90)(91)に接続されている。又、補助電極(10)(11)(12)(13)とn型不純物が導入されたアクティブ領域(80)(81)(82)(83)がそれぞれ重なった構造が存在するという特徴がある。但し、前記補助電極と前記アクティブ領域は基板表面に形成された絶縁膜によって絶縁されている。

【0015】

この構造により、例えば補助電極(13)に正の電圧を与え、ゲート下の基板表面に反転層(61)を形成した場合、グローバルなデータ線(91)から、アクティブ領域(83)を介して反転層(61)に電位を与えることが可能である。また他の補助電極についても同様に、n型不純物が導入された領域とのオーバーラップ領域、この領域に電位を供給するコンタクト構造とグローバルなデータ線が設けられている。

【0016】

次に本例の動作を説明する。補助電極(12)(13)間の記憶ノード(50)に4レ

10

20

30

40

50

ベルの閾値を用いて2ビットの記憶を行う。

【0017】

尚、前記項目1として示した一般的説明との関係を念の為説明すれば、補助電極(12)(13)がそれぞれ第1及び第2の電極に相当する。以下、一般的説明との関係を、括弧を付して追記する。尚、括弧書きの電位の値そのもの、例えば8Vが、電位の符号、例えば「電位C」を指すものではない。電位Cは第2の電極に与える電位を意味している。以下、前記項目2及び各実施例においても、同様の説明を追記した。

【0018】

先ず、書き込み動作を説明する。閾値レベルと情報の対応を表1に示すようにとる。ここで $V3 > V2H > V2L > V1H > V1L > V0H > V0L$ である。この“0”や“1”の2ビット情報と閾値レベルは別の対応のさせ方をしても構わない。書き込む閾値レベルの順序はどのような順序でも構わないが、本実施例では高いレベルから順に書き込むこととする。

【0019】

【表1】

表1

	書き込みワード電圧	閾値 V_{th} の範囲
“01”	V_{ww3}	$V_{th} > V3$
“00”	V_{ww2}	$V2L < V_{th} < V2H$
“10”	V_{ww1}	$V1L < V_{th} < V1H$
“11”	V_{ww0}	$V0L < V_{th} < V0H$

【0020】

次に図4～6を用いて詳細な書き込み手順を示す。対象とするメモリセル(111)に書きたい情報が例えば“01”である場合、時間 t_0 において補助電極(13)(第2の電極)に正の電圧(例えば8V)を印加し、その下の基板表面に低抵抗な反転層(61)(第2の反転層)を形成させる。又、ゲート電極(38)、ゲート電極(36)をそれぞれ8Vに立ち上げ、制御電極(30)を V_{ww3} (例えば15V)に立ち上げ、さらにデータ線(91)を4V(電位D)に立ち上げる。この時、データ線(90)は0V(電位B)に固定する。メモリセル(111)の隣接外側における補助電極(10)(11)は反転層を形成させない程度の低電圧(例えば0V)に設定し、電気的に素子分離を行う。第2の反転層(61)の形成時には、n型拡散層領域(83)と反転層(61)が導通し、拡散層領域に設けられたコンタクト構造(101)を通じ、グローバルなデータ線(91)から電圧を与えることが出来る。よって、第2の反転層(61)は4V(電位D)となる。次に時間 t_1 において、補助電極(12)(第1の電極)を抵抗の高い反転層(60)(第1の反転層)を形成できる程度の電圧(例えば2V)(電位A)に立ち上げると、データ線(91)、拡散層領域(83)、反転層(61)、記憶ノード(50)下に出来たチャネル、反転層(60)、拡散層領域(82)、データ線(90)を介して、書き込み

電流が流れる。この時、一端の補助電極（１２）下の反転層（６０）（第１の反転層）と制御電極（３０）（第３の電極）下の反転層の境界で電界集中が起こり、ホットエレクトロンが発生する。この発生したホットエレクトロンは制御電極（３０）電位が高いことから制御電極（３０）方向に引き寄せられ、トンネル絶縁膜（４０）のポテンシャル障壁を跳び越えて記憶ノード（５０）に注入される。

【００２１】

ここで、一端の補助電極（１２）下の反転層（６０）の抵抗が高いことから、反転層配線間（（６０）と（６１））を流れる電流はあまり大きくなく、流す電流に対する記憶ノードへの注入電子量の割合を大きく取れる。従って多くのセルを同時に書込み動作でも電流が大きくなりすぎることなく、一度に大きなビット数の入出力を行うファイル応用に好適である。又、非選択のワード線（３１）は十分低い電圧（例えば０Ｖ）に固定することで、非選択ワード線で駆動されるメモリセルのチャネルを非導通にしておけば情報の書込みは行われない。時間 t_2 で補助電極（１２）を立ち下げ、記憶ノード（５０）へのホットエレクトロン注入を終了する。次に時間 t_3 にてゲート電極（３６）（３８）、補助電極（１３）、制御電極（３０）、データ線（９１）を０Ｖに立ち下げる。以上が１サイクルの書込み手順となっている。

10

【００２２】

この後、読出し動作を行い、閾値 V_{th} が V_3 よりも高くなっているかを検証する。読出し動作の詳細は後で述べる。書込みたい情報が“０１”でかつ閾値 V_{th} が V_3 よりも高くない場合再度所定の電圧に設定し、前述書込み手順を繰り返す。この後、再び読出し検証動作を行い、必要なら書込み手順を繰り返すというシーケンスを繰り返す。

20

【００２３】

本アレイ構成では、隣接セルは電気的な素子分離に用いるため、同じワード線（３０）で駆動される複数のセルのうち、４個おきのセルの補助電極について同じ側に対して書込み動作を行うわけであるが、これら書込み対象セルが全て検証を通過した時点で“０１”書込みシーケンスは終了である。書込みを行わないセルに対しては、前記補助電極（１２）と動作上等しい各セルの補助電極下に形成する反転層に２Ｖを印加する。この結果、前記補助電極下に反転層は形成されず、カットオフされた状態となり、書込み非選択になる。或いは、反転層（１３）と動作上等しい各セルの補助電極下に形成する反転層に０Ｖを印加すれば、電界集中は起こらず書込み非選択となる。

30

【００２４】

次に“００”書込みシーケンスに移る。書込み対象セルに書込みたい情報が“００”なら、所定の電圧に設定し、前述書込み手順を繰り返す。ただし、ワード線（３０）の電圧 V_{ww2} には V_{ww3} より低い電圧、例えば１２Ｖを用いる。これにより“０１”書込み時と同じパルス幅を用いても注入される電荷量が少なく、より低い閾値レベルの書込みができる。検証も同様に行うが、違いは閾値を V_{2L} より高く、 V_{2H} より低い値に設定する必要がある点である。ここでは、最初の書込みパルスで電荷を注入しすぎないように設定し、二回目以降のパルス幅を小さくして過剰な電荷注入を防ぐ。書込み対象セルが全て検証を通過した時点で“００”書込みシーケンスは終了、“１０”書込みシーケンスに移る。“１０”書込みでは書込み電圧 V_{ww1} に V_{ww2} よりも低い電圧、例えば１０Ｖを用いる点、目標の閾値範囲が異なる他は“００”書込みと同様な動作である。この後“０１”書込みシーケンスを行ってこのセルの書込み動作は終了である。

40

【００２５】

ここでは各情報の書込みにおいて、シーケンスを通じてワード線（３０）に印加する書込みパルスの電圧を一定の値としたが、回数が増える程高い電圧を加えるようなパルス列を用いることで、書込みシーケンスを短時間で終わらせることが可能である。又、ここで述べた書込み動作において、非選択補助電極（１１）（１０）下の基板表面（４）（５）は電気的な素子分離に用いるため、しきい電圧が低いと負の大きな電圧を使用しないとカットオフが出来ないことになる。一方、記憶ノード（５０）（５１）（５２）下の基板表面では、電圧降下が少ないことが望ましく、従って、ある程度しきい電圧が低いことが望

50

ましい。このため補助電極下基板表面のp型不純物濃度は、記憶ノード下の基板表面のp型不純物濃度よりも高く設定した。

【0026】

次に読み出し動作を説明する。前記書込み動作説明で説明したところの情報を書込んである記憶ノード(50)の情報を、読み出すこととする。反転層給電用のデータ線(90)に所定の電位 V_s (例えば0V)を与え、補助電極(12)の電位を V_s よりも大きい電位 V_a (例えば3V)に設定する。補助電極(12)下には反転層(60)が形成され、この反転層(60)の電位はほぼ V_s となる。非選択セルの補助電極(10)(11)の電位は、電極下の基板表面(4)(5)に反転層が形成されない低い電位 V_{an} (例えば0V)に設定する。これによって選択セルと非選択セルの電氣的導通をなくす。4レベルを読み出すためにまず閾値レベルが“00”のレベル以上即ち V_{2L} 以上なのか、“10”のレベル以下すなわち V_{1H} 以下なのかの判定を行う。グローバルデータ線(91)を通じ反転層(61)の電位を V_s より高い電位 V_{dr} (例えば1V)にプリチャージする。

10

【0027】

この後、制御電極(30)に $V_{1H} < V_{rw1} < V_{2L}$ なる電圧 V_{rw1} を印加する。メモリセルの閾値レベルが V_{1H} 以下ならば反転層(60)と反転層(61)との間が導通状態となり、グローバルデータ線(91)から反転層(60)につながるグローバルデータ線(90)に電流が流れる。 V_{2L} 以上ならば非導通あるいは高抵抗状態である。この結果が V_{1H} 以下ならば、プリチャージ後、制御電極(30)に $V_{0H} < V_{rw0} < V_{1L}$ なる電圧 V_{rw0} を印加し、流れる電流の違いを利用して“11”か“10”かの判定を行う。最初の読出し結果が V_{2L} 以上であった場合には、プリチャージ後に制御電極(30)に加える電圧は $V_{2H} < V_{rw2} < V_{3}$ なる電圧 V_{rw2} とする。流れる電流の違いを利用して“00”か“01”かの判定を行う。以上の読出し動作において、 V_{rw1} を用いた結果によって、次に印加する電圧条件を変えるのではなく、 V_{rw0} 、 V_{rw1} 、 V_{rw2} による読出し動作を全て行って情報読出しを行う方法を用いることも可能である。前者は読出し電圧印加が2回で高速化に向いているのに対し、後者は3回の読出し動作が必要であるものの制御回路が簡単化できるという特徴がある。本動作方式では読出し時にグローバルデータ線を一本おきに駆動することになる。駆動するグローバルデータ線の両隣のグローバルデータ線の電位を固定しておくことにより、駆動するグローバルデータ線間が電氣的にシールドされ、安定した読出し動作が実現できる。読出しのドレイン電圧についても1V程度の小さい電圧に設定することが

20

30

【0028】

情報の消去は、同一ワード線で駆動される複数のセルに対して一括で行う。ワード線に大きい負電圧(例えば-18V)を印加する。電子が注入されている記憶ノードの電位は下がり、トンネル絶縁膜(40)に強い電界が与えられる。この結果、p型ウェル(3)に電子は引き抜かれ、メモリセルの閾値は下がる。尚、消去方法に異なる方法を用いてもよい。例えば、ワード線に印加する電圧を V_{wv3} よりも大きい正電圧 V_{ev} (例えば20V)を印加し、制御電極側に引き抜いてもよい。

【0029】

本例ではウェル(3)をp型とし、キャリアを電子としたが、n型ウェルを用い、ホールをキャリアとして用いてもよい。この際電圧の大小関係が逆となる。これは他の実施例でも同様である。

40

【0030】

本例の記憶ノードは、多結晶シリコンから形成されているが、他の半導体又は金属を用いてもよい。又、本例のように1個の多結晶シリコンの代わりに、多数個のシリコン微小結晶を用いてもよい。更に、電荷トラップを持つ絶縁体(例えばSiN)からなる微小粒を用いてもよい。前述したシリコン微小結晶や、電荷トラップを持つ絶縁体を用いた場合、電荷蓄積部はそれぞれ隣接する補助電極に近い2箇所電荷を離散的に保持することが可能であり、電荷の蓄積場所の違いによって多値記憶を実現することができる。

【0031】

50

又、本例では記憶ノード(50)と制御電極(30)の層間膜(42)にSiO₂膜を用いたが、窒素添加のSiO₂膜を用いてもよい。単純なSiO₂膜よりも書換え時にトラップが生成されにくく、特性変動が少ないという特徴がある。又、SiO₂とシリコンナイトライド膜の積層構造としてもよい。このような積層膜は高電界印加時に比較的電流が流れにくく、やはりメモリ素子の信頼性に優れるという特徴を持つ。前記記憶ノードの構成や層間膜構成に関して述べたことは全て他の例並びに本願発明の実施例でも同様である。本例では、記憶ノード(50)に4閾値レベルの2ビットを記憶したが1ビットの記憶を行ってもよいのは言うまでもない。本例のメモリ構造は不純物による拡散層配線がメモリセルアレイ内に存在しないため、補助電極配線間のピッチを小さく作製することが可能である。このためメモリセル面積が小さく、低コストのメモリを実現することが可能である。

10

【0032】

次に、前記例2を説明する。

【0033】

図7から図9には第2の例を示す。図7が断面構造図、図8が上面図、図9が等価回路図である。本例2はアレイ部分の断面図、上面図ともに例1と同様であるが、動作のさせ方が異なる。又、必要に応じて、説明に必要な部分の番号をつけかえている。本例は、メモリセルの位置によってコンタクトとの距離が異なる理由による書込みばらつきを、例1よりも小さくすることが可能である

本例2は、例1と書込み動作において大きく異なる。例1では隣接補助電極(12)(13)の間で書込み動作を行いその隣の補助電極(10)(11)で素子分離を行ったが、本例2では隣接3本(15)(16)(17)で書込み動作を行う点に特徴がある。

20

【0034】

図10を用いて詳細な書込み手順を説明する。時間t₀において補助電極(17)(第4の電極)を8V(電位C)に立ち上げ、補助電極(15)(第1の電極)を3.5V(電位A)に立ち上げる。同時に、制御電極(30)(第5の電極)を高い正の電圧(例えば15V)(電位F)に立ち上げ、ゲート電極(36)(38)をそれぞれ8Vに立ち上げ、データ線(92)を4Vに立ち上げ、データ線(93)を0Vに固定する。この結果、反転層(63)(第2の反転層)は4V(電位D)、反転層(62)(第1の反転層)は0V(電位B)に給電される。例1と異なり、片方の反転層(62)を高抵抗に設定する必要はない。次に時間t₁で、中央の補助電極(16)(第2の電極)を比較的低い電位(例えば2V)(電位E)に設定し、電極下の基板表面電位を高抵抗の導通状態にすると、補助電極(16)の右端部に電界が集中し、例1と同様に、ホットエレクトロンが発生し中央補助電極(16)右の記憶ノード(53)に情報記憶が行える。

30

【0035】

中央補助電極(16)左の記憶領域(54)に書込みを行う際には、両端の補助電極(15)(17)、両端の反転層(62)(63)の電圧設定を入れ換えればよい。更に、前記動作で両端の補助電極として用いた補助電極(15)(17)を中央補助電極とする書込み動作も可能である。(15)を中央電極とし、この右の領域(54)に書込みを行うことができるし、(17)を中央電極としてこの左の領域(53)に書込みを行うことができる。

40

【0036】

例1では書込み動作において、低電位の反転層(例えば(60))を高抵抗に設定し、この端部に電界を集中させるため、メモリセルのコンタクトからの距離によって、ソース側反転層の抵抗値が変わるという課題がある。本例2では中央電極によって高抵抗領域を作るため、このような距離依存による書込みばらつきは大幅に減少できる。書込みを行わないセルに対しては、前記補助電極(15)と動作上等しい各セルの補助電極下に形成する反転層に2Vを印加する。この結果、前記補助電極(16)と動作上等しい各セルの補助電極下に反転層は形成されず、カットオフされた状態となり、書込み非選択になる。或いは、反転層(17)と動作上等しい各セルの補助電極下に形成する反転層に0Vを印加すれば、電界集中は起こらず書込み非選択となる。書込み動作の違い以外は、例1と同様

50

に、2ビット情報を記憶ノード(53)に記憶していく。

【0037】

読出し、消去動作は前記例1と同様に行うことができる。

【0038】

本例ではウェル(3)をp型とし、キャリアを電子としたが、n型ウェルを用い、ホールをキャリアとして用いてもよい。この際電圧の大小関係が逆となる。これは他の実施例でも同様である。本実施例では記憶ノード(53)に4閾値レベルの2ビットを記憶したが1ビットの記憶を行ってもよいのは言うまでもない。

【0039】

本例のメモリ構造は不純物による拡散層配線がメモリセルアレイ内に存在しないため、補助電極配線間のピッチを小さく作製することが可能である。このためメモリセル面積が小さく、低コストのメモリを実現することが可能である。また、ソース側反転層が低抵抗であるため、メモリセルのコンタクトからの距離依存による書込みばらつきを大幅に減少でき、高速書込みが可能である。

10

【0040】

以上説明した基本的な半導体記憶装置を元に、本願発明の実施の形態を説明する。

<実施例1>

図1～図3および図11を用いて、本発明の第1の実施例を示す。本実施例は、前記例1と書込み動作において異なる。

【0041】

前記例1で示したメモリセルの書込み動作では、補助電極(12)(第1の電極)下の基板表面を高抵抗の導通状態(第1の反転層)とするため、補助電極(12)を比較的低い電位に設定し、サブスレッショルド領域で動作させる。このため、補助電極の寸法ばらつきや、印加電圧のばらつきがメモリセルの書込み特性に大きく影響する。補助電極下のゲート酸化膜厚が例えば9nmの場合、補助電極の電圧が±0.1Vばらついた場合、記憶ノードに注入される電子の量は約1桁変化することになる。また、チャネル電流を供給するための内部電源が書込み時に動作しているため、補助電極の電位が内部電源からのノイズを受けて変化してしまう可能性が考えられる。先記の通り、メモリセルの書込み特性は補助電極の電圧に大きく影響を受けるため、内部電源からの微小な駆動ノイズでも、特性の変動を生じる可能性がある。

20

30

【0042】

また、書込み手順は、同時に書込みを行う複数のメモリセルのしきい値全てが所望の値になるまで、書込みバイアスの印加と、しきい値の検証を繰り返すことで行っている。このため、メモリセルの特性にばらつきが存在すると、前記書込みバイアスの印加としきい値検証の繰り返し回数が増大し、書込み時間が長くなる。したがって、補助電極の寸法ばらつきや、補助電極に印加される電圧のばらつき、内部電源からの駆動ノイズの影響によって、メモリの書込み時間が増大することが予想される。

【0043】

さらに、1つのメモリセルあたり2ビット以上のデータを蓄えることのできる多値メモリを実現するためには、各データに対応するしきい値電圧分布幅を小さく抑える必要があるため、前記の書込み特性のばらつきが、メモリの書込み時間を大幅に増大させることになる。

40

【0044】

本実施例は、補助電極に起因する書込み特性ばらつきを低減することが可能である。以下、図11を用いて詳細に説明する。まず、時間 t_0 において、データ線(91)を書込みドレイン電圧である4Vに、制御電極(30)(第3の電極)を書込みワード電圧である15V(電位E)に設定し、ゲート電極(36)(38)を共に8Vに設定する。同時に、補助電極(13)(第2の電極)を8V(電位C)に設定することにより、補助電極下に形成される反転層(61)(第2の反転層)は4V(電位D)となる。その後、時間 t_1 にて、ゲート電極(38)を0Vに立下げ、データ線(91)と反転層(61)との

50

接続を断ち、反転層(61)をフローティング状態とする。この時、反転層容量を C_i とすると、反転層(61)に蓄積されている電荷量 Q_i は、 $C_i \times 4$ クーロンとなる。その後、時間 t_2 において、補助電極(12)(第1の電極)を書込み電圧である $2V$ (電位A)に立ち上げると、反転層(61)に蓄積されていた電荷 Q_i が、記憶ノード(50)および補助電極(12)それぞれの下基板表面を通過してデータ線(90)へ放電されることになる。この時、このデータ線は $0V$ (電位B)になっている。この時、補助電極(12)下の基板表面以外は低抵抗状態となるため、拡散層間に電位差がある場合には補助電極(12)の右端部に電界が集中し、ホットエレクトロンが発生する。この発生したホットエレクトロンは制御電極(30)(第3の電極)電位が高い(電位E)ことから制御電極(30)方向に引き寄せられ、トンネル絶縁膜(40)のポテンシャル障壁を跳び越えて記憶ノード(50)に注入される。この時、補助電極(12)下の基板表面が高抵抗であるため、反転層(60)とデータ線(90)間に流れる電流はあまり小さくなく、補助電極構造を持たない場合よりも効率のよいホットエレクトロン注入が可能である。また、書込みたくない場合にはデータ線(90)を $2V$ 程度にするか、もしくは反転層(61)を $0V$ とすれば、ホットエレクトロンは発生せず、従って電荷注入はおこらない。また非選択のワード線(31)は十分低い電圧(例えば $0V$)に固定することで、非選択ワード線で駆動されるメモリセルのチャネルを非導通にしておけば情報の書込みは行われない。反転層(61)の電荷が十分に放電された後、時間 t_3 で補助電極(12)を $0V$ に立ち下げ書込みを終了する。次に、時間 t_4 でデータ線(91)を $0V$ 、ゲート電極を再び $8V$ にする。この結果、反転層(61)とデータ線(91)は接続され、反転層(61)は $0V$ に設定される。その後時間 t_5 にて制御電極(30)を $0V$ に立ち下げ、時間 t_6 で補助電極(13)を $0V$ に立ち下げる。以上のような書込み動作の違い以外は、前記例1と同様に、2ビット情報を記憶ノード(50)に記憶していく。

10

20

30

40

50

【0045】

前記書込み動作では、反転層に蓄積した電荷が放電し終わった時点で書込みが自動的に終了することになり、記憶ノード(50)に注入される電荷量 Q_g は、注入効率を η とすると、 $Q_g = Q_i \times \eta$ で表される。ここで、注入効率 η は記憶ノード(50)の電位とドレイン電圧、および補助電極(12)電圧の関数であり、書込み動作中に変化するものであるが、ここでは一定であると仮定している。注入効率 η の補助電極電圧への依存性は比較的小さく、例えば、補助電極の電圧が $\pm 0.1V$ 変化したとき、 η は 0.3 桁程度しか変化しない。反転層に蓄積される電荷 Q_d は一定であるため、書込み特性を表す Q_g も 0.3 桁程度のばらつきで抑えられることになる。前記例1の書込み方式では、 1 桁以上のばらつきが生じるのに対して、書込みばらつきを大幅に抑えることが可能となり、書込み時間を短縮することができる。

【0046】

又、前記書込み動作は更に以下のような効果を持つ。即ち、反転層に電荷を蓄積した後、その電荷を用いて書込みを実施するため、実際の書込み動作時には、書込みドレインの電源を不活性にすることができる。このため、補助電極は書込みドレインの電源からノイズを受けることがなく、安定した書込みを実現できる。また、一定の容量に電荷を供給すれば良いため、書込みドレイン電源の設計が容易となる。例えば、従来の方式では、ばらつきを考慮してマージンを取らねばならず、大きな電流供給能力を必要とする。しかし本方式では、供給すべき電荷量にばらつきが生じないため、必要最低限の電流供給能力で良い。このため、電源回路の大きさを大幅に縮小することが可能となる。

【0047】

読出し、消去動作は前記例1と同様に行うことができる。

【0048】

本実施例では記憶ノード(50)に4閾値レベルの2ビットを記憶したが1ビットの記憶を行ってもよいのは言うまでもない。本実施例のメモリ構造は不純物による拡散層配線がメモリセルアレイ内に存在しないため、補助電極配線間のピッチを小さく作製することが可能である。このためメモリセル面積が小さく、低コストのメモリを実現することが可

能である。また、本実施例の書込み動作は補助電極の寸法ばらつきや、印加電圧ばらつきによる書込みばらつきを大幅に抑えるため、高速書込みが可能である。

【0049】

<実施例2>

図7～図9および図12を用いて、本発明の第2の実施例を示す。本実施例は、前記例2と書込み動作において異なる。前記例2で示したメモリセルの書込み動作では、補助電極(16)下の基板表面を高抵抗の導通状態とするため、補助電極(16)(第2の電極)を比較的低い電位に設定し、サブスレッショルド領域で動作させる。このため、補助電極の寸法ばらつきや、印加電圧のばらつきがメモリセルの書込み特性に大きく影響する。補助電極下のゲート酸化膜厚が例えば9nmの場合、補助電極の電圧が ± 0.1 Vばらついた場合、電荷蓄積領域に注入される電子の量は約1桁変化することになる。又、チャネル電流を供給するための内部電源が書込み時に動作しているため、補助電極の電位が内部電源からのノイズを受けて変化してしまう可能性が考えられる。先記の通り、メモリセルの書込み特性は補助電極の電圧に大きく影響を受けるため、内部電源からの微小な駆動ノイズでも、特性の変動を生じる可能性がある。

10

【0050】

又、書込み手順は、同時に書込みを行う複数のメモリセルのしきい値全てが所望の値になるまで、書込みバイアスの印加と、しきい値の検証を繰り返すことで行っている。このため、メモリセルの特性にばらつきが存在すると、前記書込みバイアスの印加としきい値検証の繰り返し回数が増大し、書込み時間が長くなる。したがって、補助電極の寸法ばらつきや、補助電極に印加される電圧のばらつき、内部電源からの駆動ノイズの影響によって、メモリの書込み時間が増大することが予想される。

20

【0051】

更に、1つのメモリセルあたり2ビット以上のデータを蓄えることのできる多値メモリを実現するためには、各データに対応するしきい値電圧分布幅を小さく抑える必要があるため、前記の書込み特性のばらつきが、メモリの書込み時間を大幅に増大させることになる。

【0052】

本実施例は、補助電極に起因する書込み特性ばらつきを低減することが可能である。以下、図12を用いて詳細に説明する。まず、時間 t_0 でデータ線(92)を書込みドレイン電圧である4V(電位D)に、制御電極(30)(第5の電極)を書込みワード電圧である1.5V(電位F)に設定し、ゲート電極(36)(38)を共に8Vに設定する。さらに、補助電極(15)(第1の電極)を3.5V(電位A)に、補助電極(17)(第4の電極)を8V(電位C)に設定することで、補助電極下には反転層が形成される。それぞれデータ線(93)およびデータ線(92)から給電されて、反転層(62)は0V(電位B)に、反転層(63)(第2の反転層)は4V(電位D)となる。その後時間 t_1 にて、ゲート電極(38)を0Vに立下げ、データ線(92)と反転層(63)との接続を断ち、反転層(63)をフローティング状態とする。この時、反転層部の容量を C_i とすると、反転層(63)に蓄積されている電荷量 Q_i は、 $C_i \times 4$ クーロンとなる。その後、時間 t_2 において、補助電極(16)(第2の電極)を書込み電圧である2V(電位E)に立ち上げると、反転層(63)に蓄積されていた電荷 Q_i が、記憶ノード(53)、補助電極(16)、記憶ノード(54)それぞれの下の基板表面を通過して反転層(62)へ放電されることになる。この時、補助電極(16)下の基板表面以外は低抵抗状態となるため、反転層配線間(62)(63)に電位差がある場合には補助電極(16)の右端部に電界が集中し、ホットエレクトロンが発生する。この発生したホットエレクトロンは制御電極(30)電位が高いことから制御電極(30)方向に引き寄せられ、トンネル絶縁膜(40)のポテンシャル障壁を跳び越えて記憶ノード(53)に注入される。この時、補助電極(16)下の基板表面が高抵抗であるため、拡散層(81)(83)間に流れる電流はあまり小さくなく、補助電極構造を持たない場合よりも効率のよいホットエレクトロン注入が可能である。

30

40

50

【0053】

又、書込みたくない場合には反転層(62)を2V程度にするか、もしくは反転層(63)を0Vとすれば、反転層(62、63)間に電位差が生じないためホットエレクトロンは発生せず、従って電荷注入はおこらない。また非選択のワード線(31)は十分低い電圧(例えば0V)に固定することで、非選択ワード線で駆動されるメモリセルのチャンネルを非導通にしておけば情報の書込みは行われぬ。以上のような書込み動作の違い以外は、実施例1と同様に、2ビット情報を記憶ノードに記憶していく。

【0054】

前記書込み方式では、反転層に蓄積した電荷が放電し終わった時点で書込みが自動的に終了することになり、電荷蓄積領域(53)に注入される電荷量 Q_g は、注入効率を η とすると、 $Q_g = Q_i \times \eta$ で表される。ここで、注入効率 η は電荷蓄積領域(53)の電位とドレイン電圧、および補助電極(16)電圧の関数であり、書込み動作中に変化するものであるが、ここでは一定であると仮定している。注入効率 η の補助電極電圧への依存性は比較的小さく、例えば、補助電極の電圧が ± 0.1 V変化したとき、 η は0.3桁程度しか変化しない。反転層に蓄積される電荷 Q_i は一定であるため、書込み特性を表す Q_g も0.3桁程度のばらつきで抑えられることになる。実施例1の書込み方式では、1桁以上のばらつきが生じるのに対して、書込みばらつきを大幅に抑えることが可能となり、書込み時間を短縮することができる。

【0055】

又、前記書込み動作は更に以下のような効果を持つ。すなわち、反転層に電荷を蓄積した後、その電荷を用いて書込みを実施するため、実際の書込み動作時には、書込みドレインの電源を不活性にすることができる。このため、補助電極は書込みドレインの電源からノイズを受けることがなく、安定した書込みを実現できる。また、一定の容量に電荷を供給すれば良いため、書込みドレイン電源の設計が容易となる。例えば、従来方式では、ばらつきを考慮してマージンを取らねばならず、大きな電流供給能力を必要とする。しかし本方式では、供給すべき電荷量にばらつきが生じないため、必要最低限の電流供給能力で良い。このため、電源回路の大きさを大幅に縮小することが可能となる。

【0056】

読出し、消去動作は前記例2と同様に行うことができる。本実施例では記憶ノード(53)に4閾値レベルの2ビットを記憶したが各々1ビットの記憶を行ってもよいのは言うまでもない。本実施例のメモリ構造は不純物による拡散層配線がメモリセルアレイ内に存在しないため、補助電極配線間のピッチを小さく作製することが可能である。このためメモリセル面積が小さく、低コストのメモリを実現することが可能である。また、本実施例の書込み動作は、ソース側反転層が低抵抗であるため、メモリセルのコンタクトからの距離依存による書込みばらつきを大幅に減少でき、且つ、補助電極の寸法ばらつきや、印加電圧ばらつきによる書込みばらつきを大幅に抑えるため、高速書込みが可能である。

【0057】

<実施例3>

図1～図3および図13を用いて、本発明の第3の実施例を示す。本実施例は、実施例1と書込み動作において異なる。

【0058】

実施例1で示したメモリセルの書込み動作では、書込み終了時に補助電極(13)(第2の電極)と反転層(61)(第2の反転層)間の酸化膜に強い電圧(例えば8V)が加わり、酸化膜の劣化が懸念される。劣化は、ゲートと基板のショート、閾値の変動を引き起こし、信頼性を大きく損なう事となる。一般的に、印加される電圧が高いほど酸化膜が劣化する速度は速く、また、電圧が印加されている時間が長いほど劣化する速度は速い。酸化膜の劣化を抑制するためには、膜厚を厚くする事により電界を緩和するか、或いは補助電極に印加する電圧値を小さくすることが挙げられる。膜厚を厚くした場合、書込みドレイン電圧(例えば4V)を反転層配線に通すため、補助電極に印加する電圧をさらに高

10

20

30

40

50

める必要がある。この結果、電界は緩和することができず、酸化膜の劣化を抑制できない。一方、補助電極に印加する電圧値を小さくした場合、書込みドレイン電圧が反転層に通りにくくなり、書込み速度の大幅な低下を引き起こすため、当該手法は望ましくない。

【0059】

本実施例は、酸化膜劣化の抑制と高速書込みを両立する書込み方式である。以下図13を用いて詳細に説明する。まず、時間 t_0 において、データ線(91)を書込みドレイン電圧である4V(電位D)に、制御電極(30)(第3の電極)を書込みワード電圧である1.5V(電位E)に設定し、ゲート電極(36)(38)を共に8Vに設定する。同時に、補助電極(13)(第2の電極)を8V(電位C)に設定することにより、補助電極下に形成される反転層(61)(第2の反転層)は4V(電位D)となる。その後、時間 t_1 にて、ゲート電極(38)を2Vに立下げ、データ線(91)と反転層(61)との接続を断ち、反転層(61)(第2の反転層)をフローティング状態とする。この時、反転層容量を C_i とすると、反転層(61)に蓄積されている電荷量 Q_i は、 $C_i \times 4$ クーロンとなる。その後、時間 t_2 において、補助電極(12)(第1の電極)を書込み電圧である2V(電位A)に立ち上げると、反転層(61)に蓄積されていた電荷 Q_i が、記憶ノード(50)および補助電極(12)それぞれの下基板表面を通過してデータ線(90)へ放電されることになる。この場合、このデータ線は0V(電位B)となっている。この時、補助電極(12)下の基板表面以外は低抵抗状態となるため、拡散層間に電位差がある場合には補助電極(12)の右端部に電界が集中し、ホットエレクトロンが発生する。この発生したホットエレクトロンは制御電極(30)電位が高いことから制御電極(30)方向に引き寄せられ、トンネル絶縁膜(40)のポテンシャル障壁を跳び越えて記憶ノード(50)に注入される。この時、補助電極(12)下の基板表面が高抵抗であるため、反転層(61)とデータ線(90)間に流れる電流はあまり小さくなく、補助電極構造を持たない場合よりも効率のよいホットエレクトロン注入が可能である。また、書込みたくない場合にはデータ線(90)を2V程度にするか、もしくは反転層(61)を0Vとすれば、ホットエレクトロンは発生せず、従って電荷注入はおこらない。また非選択のワード線(31)は十分低い電圧(例えば0V)に固定することで、非選択ワード線で駆動されるメモリセルのチャネルを非導通にしておけば情報の書込みは行われない。以上のような書込み動作の違い以外は、前記例1と同様に、2ビット情報を記憶ノード(50)に記憶していく。

【0060】

前記書込み方式では、時間 t_1 以降ゲート電極(38)に2Vが印加されているため、選択トランジスタのチャネル電位が1Vを超えるとカットオフとなる。その結果、反転層(61)に蓄積した電荷を放電する際、前記反転層(61)の電位が約1Vになるよう選択トランジスタを介し、データ線(91)から電荷の供給をし続ける。以上の理由により、書込み終了時では、補助電極(13)と反転層(61)間の酸化膜に対し比較的小さな電圧(例えば7V)が印加されるため、酸化膜の劣化が抑制される。

【0061】

前記書込み方式では、反転層(61)の電位が2V程度を下回ったと同時に書込みが自動的に終了することになる。これは、書込みドレイン電圧が約2Vを下回った場合、補助電極(12)下の反転層(60)と制御電極(30)下の反転層の境界で、ホットエレクトロンが十分に発生するほど電界集中が起こらないためである。このため、反転層(61)が1Vに給電されていても余計なホットエレクトロン注入による書込みは行われない。また、実施例1と同様の理由により、書込みばらつきを大幅に抑えることが可能なため、書込み時間を短縮することができることは言うまでも無い。

【0062】

また、前記書込み方式を実施例2に適用する事は可能であり、距離依存による書き込みばらつきを小さくすることができ、さらに書込みばらつきを抑えることができる。読出し、消去動作は前記例1と同様に行うことができる。

【0063】

本実施例では記憶ノード(50)に4閾値レベルの2ビットを記憶したが1ビットの記憶を行ってもよいのは言うまでもない。本実施例のメモリ構造は不純物による拡散層配線がメモリセルアレイ内に存在しないため、補助電極配線間のピッチを小さく作製することが可能である。このためメモリセル面積が小さく、低コストのメモリを実現することが可能である。また、本実施例の書込み動作は、補助電極の寸法ばらつきや、印加電圧ばらつきによる書込みばらつきを大幅に抑えるため、高速書込みが可能である。さらに、書込み終了時、補助電極と反転層間の酸化膜に加わる電界が小さくなるため、酸化膜の劣化が抑制され、信頼性が向上できる。

【0064】

<実施例4>

図7～図9および図14を用いて、本発明の第4の実施例を示す。本実施例は、実施例2と書込み動作において異なる。

【0065】

実施例2で示したメモリセルの書込み方式では、書込み終了時に補助電極(17)(電極4)と反転層(63)(第2の反転層)間の酸化膜に強い電圧(例えば8V)が加わり、酸化膜の劣化が懸念される。劣化は、ゲートと基板のショート、閾値の変動を引き起こし、信頼性を大きく損なう事となる。一般的に、印加される電圧が高いほど酸化膜が劣化する速度は速く、また、電圧が印加されている時間が長いほど劣化する速度は速い。酸化膜の劣化を抑制するためには、膜厚を厚くする事により電界を緩和するか、或いは補助電極に印加する電圧値を小さくすることが挙げられる。膜厚を厚くした場合、書込みドレイン電圧(例えば4V)を反転層配線に通すため、補助電極に印加する電圧をさらに高める必要がある。この結果、電界は緩和することができず、酸化膜の劣化を抑制できない。一方、補助電極に印加する電圧値を小さくした場合、書込みドレイン電圧が反転層に通りにくくなり、書込み速度の大幅な低下を引き起こすため、当該手法は望ましくない。

【0066】

本実施例は、酸化膜劣化の抑制と高速書込みを両立する書込み方式である。以下図14(a)を用いて詳細に説明する。まず、時間 t_0 において、データ線(92)を書込みドレイン電圧である4Vに、制御電極(30)(第5の電極)を書込みワード電圧である15V(電位F)に設定し、ゲート電極(36)(38)を8Vに設定する。さらに、補助電極(15)(第1の電極)を4V(電位A)に、補助電極(17)(第4の電極)を8V(電位C)に設定することにより、補助電極下に形成される反転層(63)(第2の反転層)は4V(電位C)となり、反転層(62)は0V(電位B)となる。その後、時間 t_1 にて、ゲート電極(38)を0Vに立下げ、データ線(92)と反転層(63)の接続を断ち、反転層(63)をフローティング状態とする。また同時に、ゲート電極(36)を0Vに立下げることが、実施例2と異なる。そのため、データ線(93)と反転層(62)の接続を断たれ、反転層(62)もフローティング状態となる。この結果、反転層容量を C_i とするキャパシタが反転層(62)と補助電極(15)から形成され、一方反転層(63)には電荷量 $Q_i(C_i \times 4)$ クーロンとなる電荷が蓄積される。その後、時間 t_2 において、補助電極(16)(第2の電極)を書込み電圧である2V(電位E)に立ち上げると、反転層(63)に蓄積されていた電荷 Q_i が、記憶ノード(53)および補助電極(16)それぞれの下の基板表面を通過して反転層(62)と補助電極(15)からなるキャパシタへ放電されることになる。この時、補助電極(16)下の基板表面以外は低抵抗状態となるため、拡散層間に電位差がある場合には補助電極(16)の右端部下に電界が集中し、ホットエレクトロンが発生する。この発生したホットエレクトロンは制御電極(30)電位が高いことから制御電極(30)方向に引き寄せられ、トンネル絶縁膜(40)のポテンシャル障壁を跳び越えて記憶ノード(53)に注入される。この時、補助電極(16)下の基板表面が高抵抗であるため、反転層(63)と反転層(62)間を流れる電流はあまり小さくなく、補助電極構造を持たない場合よりも効率のよいホットエレクトロン注入が可能である。また、書込みたくない場合にはデータ線(93)を2V程度にするか、もしくは反転層(63)を0Vとすれば、ホットエレクトロンは発生せ

10

20

30

40

50

ず、従って電荷注入はおこらない。また非選択のワード線(31)は十分低い電圧(例えば0V)に固定することで、非選択ワード線で駆動されるメモリセルのチャネルを非導通にしておけば情報の書込みは行われぬ。以上のような書込み動作の違い以外は、前記例1と同様に、2ビット情報を記憶ノード(50)に記憶していく。

【0067】

前記書込み方式では、反転層(63)に蓄積された電荷が反転層(62)に放電されるため、反転層(62)の電位が上昇し、補助電極(16)下がカットオフされ、記憶ノード(53)下のチャネルと反転層(62)間の接続が断たれた時点で、書込みは自動的に終了する。接続が断たれる反転層(62)の電位は、補助電極(16)の関数であるが、前記設定電圧では、反転層(62)の電位が約1Vで接続が断たれる。そのため、書込み終了時に反転層(63)と補助電極(17)間の電圧は約5V程度となり、実施例3よりも酸化膜の劣化が大幅に抑制される。また、実施例2と同様の理由により、書込みばらつきを大幅に抑えることが可能なため、書込み時間を短縮することができることも無い。ただし、前記書込み方式では、書込みに寄与する電荷量が減少し、書込み速度が低下してしまう。

10

【0068】

前記書込み方式では、反転層(63)の容量に蓄積した電荷を書込みに用いたが、データ線(92)の容量と反転層(63)の容量に電荷を蓄積し、書込みに用いる事も可能である。この場合、データ線(92)を4Vに設定し、反転層(63)を4Vに立ち上げた後に、ゲート電極(38)を立下げず、データ線(92)をフローティングにする。データ線の容量をCaとすると蓄積される電荷Qaは $(C_i + C_a) \times 4$ となる。書込み時、電荷を反転層(62)とデータ線(93)に放電し、記憶ノード(53)下のチャネルと、反転層(62)の接続が断たれた時点で、書込みは自動的に終了する。当該書込み方式では、反転層のみに電荷を蓄積する場合と比較して、より多くの電荷を蓄積することができ、1回の電子注入動作でより多くの電子を浮遊ゲートに注入することが可能となる。読出し、消去動作は前記例1と同様に行うことができる。

20

【0069】

本実施例では記憶ノード(53)に4閾値レベルの2ビットを記憶したが1ビットの記憶を行ってもよいのは言うまでもない。本実施例のメモリ構造は不純物による拡散層配線がメモリセルアレイ内に存在しないため、補助電極配線間のピッチを小さく作製することが可能である。このためメモリセル面積が小さく、低コストのメモリを実現することが可能である。また、本実施例の書込み動作は、ソース側反転層が低抵抗であるため、メモリセルのコンタクトからの距離依存による書込みばらつきを大幅に減少でき、且つ、補助電極の寸法ばらつきや、印加電圧ばらつきによる書込みばらつきを大幅に抑えるため、高速書込みが可能である。さらに、書込み終了時、補助電極と反転層間の酸化膜に加わる電界が小さくなるため、酸化膜の劣化が抑制され、信頼性が向上できる。

30

【0070】

<実施例5>

図1～図3および図15を用いて、本発明の第5の実施例を示す。本実施例は、実施例1と書込み動作において異なる。

40

【0071】

実施例1で示したメモリセルの書込み方式では、書込み終了時に補助電極(13)(第2の電極)と反転層(61)(第2の反転層)間の酸化膜に強い電圧(例えば8V)が加わり、酸化膜の劣化が懸念される。劣化は、ゲートと基板のショート、閾値の変動を引き起こし、信頼性を大きく損なう事となる。一般的に、印加される電圧が高いほど酸化膜が劣化する速度は速く、また、電圧が印加されている時間が長いほど劣化する速度は速い。酸化膜の劣化を抑制するためには、膜厚を厚くする事により電界を緩和するか、或いは補助電極に印加する電圧値を小さくすることが挙げられる。膜厚を厚くした場合、書込みドレイン電圧(例えば4V)を反転層配線に通すため、補助電極に印加する電圧をさらに高める必要がある。この結果、電界は緩和することができず、酸化膜の劣化を抑制できない

50

。一方、補助電極に印加する電圧値を小さくした場合、書込みドレイン電圧が反転層に通りにくくなり、書込み速度の大幅な低下を引き起こすため、当該手法は望ましくない。

【0072】

本実施例は、酸化膜劣化の抑制と高速書込みを両立する書込み方式である。以下図15を用いて詳細に説明する。まず、時間 t_0 において、データ線(91)を書込みドレイン電圧である4V(電位D)に、制御電極(30)(第3の電極)を書込みワード電圧である15V(電位E)に設定し、ゲート電極(36)(38)を共に8Vに設定する。同時に、補助電極(13)(第2の電極)を8V(電位C)に設定することにより、補助電極下に形成される反転層(61)(第2の反転層)は4V(電位D)となる。次に実施例1と異なり、ゲート電極(38)を0Vに立下げない。又、データ線(90)を0V(電位B)に設定した後、フローティング状態とする。このため、データ線(90)は容量Caのキャパシタを形成する。その後、時間 t_1 において、補助電極(12)(第1の電極)を書込み電圧である2V(電位A)に立ち上げると、データ線(91)から反転層(61)、記憶ノード(50)および補助電極(12)それぞれの下の基板表面を電流が流れ、データ線(90)の容量を充電することになる。この時、補助電極(12)下の基板表面以外は低抵抗状態となるため、拡散層間に電位差がある場合には補助電極(12)の右端部下に電界が集中し、ホットエレクトロンが発生する。この発生したホットエレクトロンは制御電極(30)電位が高いことから制御電極(30)方向に引き寄せられ、トンネル絶縁膜(40)のポテンシャル障壁を跳び越えて記憶ノード(50)に注入される。この時、補助電極(12)下の基板表面が高抵抗であるため、反転層(61)とデータ線(90)間に流れる電流はあまり小さくなく、補助電極構造を持たない場合よりも効率のよいホットエレクトロン注入が可能である。

10

20

【0073】

また、書込みたくない場合にはデータ線(90)を2V程度にするか、もしくは反転層(61)を0Vとすれば、ホットエレクトロンは発生せず、従って電荷注入はおこらない。また非選択のワード線(31)は十分低い電圧(例えば0V)に固定することで、非選択ワード線で駆動されるメモリセルのチャネルを非導通にしておけば情報の書込みは行われない。以上のような書込み動作の違い以外は、前記例1と同様に、2ビット情報を記憶ノード(50)に記憶していく。

【0074】

前記書込み方式では、反転層(61)の電位が常に4Vを維持しているため、補助電極(13)と反転層(61)間の酸化膜には4V程度と非常に小さい電圧しか印加されず、酸化膜の劣化を大幅に低減可能である。

前記書込み方式では、反転層(60)の電位が1V程度を上回ったと同時に、反転層(61)とデータ線(90)は切断され、書込みが自動的に終了することになる。このため、データ線(90)の容量Caと反転層(60)の容量Ciを1V程度に充電する電荷量のみが書込みに寄与することになる。この結果、実施例1と同様の理由により、書込みばらつきを大幅に抑えることが可能なため、書込み時間を短縮することができることは言うまでも無い。

【0075】

また、前記書込み方式を実施例2に適用する事は可能である。充電先容量としては、反転層(62)の容量、或いは、データ線(93)の容量が使用できることは、実施例4から明らかである。この場合、ソース側反転層が低抵抗であるため、メモリセルのコンタクトからの距離依存による書込みばらつきを大幅に減少でき、高速な書込みが可能である。

【0076】

読出し、消去動作は例1と同様に行うことができる。

【0077】

本実施例では記憶ノード(50)に4閾値レベルの2ビットを記憶したが1ビットの記憶を行ってもよいのは言うまでもない。本実施例のメモリ構造は不純物による拡散層配線がメモリセルアレイ内に存在しないため、補助電極配線間のピッチを小さく作製すること

30

40

50

が可能である。このためメモリセル面積が小さく、低コストのメモリを実現することが可能である。また、本実施例の書込み動作は、補助電極の寸法ばらつきや、印加電圧ばらつきによる書込みばらつきを大幅に抑えるため、高速書込みが可能である。さらに、書込み終了時、補助電極と反転層間の酸化膜に加わる電界が小さくなるため、酸化膜の劣化が抑制され、信頼性が向上できる。

【0078】

<実施例6>

図1～3、図16、17を用いて本発明の第6の実施例を示す。本実施例では、前記例1と構造、書込み動作において異なる。

【0079】

前記例1では、補助電極(13)に対し比較的大きい電圧(例えば8V)を印加することで、反転層(61)に4Vを印加する事ができた。

【0080】

本実施例では、補助電極(13)(第2の電極)に比較的小さい電圧の印加で、反転層(61)に4Vを印加する事が可能になり、その結果、補助電極を駆動する電源の低電圧化によりチップ面積を低減できる事を以下に説明する。

【0081】

図16で示すように、補助電極(13)(第2の電極)に電圧を印加する場合、電源端子(105)と、スイッチ電極(20)からなるドライバMOSを通じて行う。図17に書込み動作時の波形図を示す。時間t0でスイッチ電極(20)を7Vに、電源端子(105)を5Vに立ち上げる。この結果、補助電極(13)は5Vに設定される。また、同時に制御電極(30)を書込みワード電圧(例えば1.5V(電位E))に立ち上げ、ゲート電極(36)を8Vに立ち上げ、データ線(90)を0Vに固定する。次に、時間t1でスイッチ電極(20)、電源端子(105)を0Vに立ち下げると、補助電極(13)(第2の電極)は電源端子(105)との接続を断たれ、5V(電位C)の電位を保ちながらフローティング状態となる。次に、時間t2において、ゲート電極(38)を8Vに、データ線(91)を4V(電位D)に立ち上げる。その結果、反転層(61)(第2の反転層)が4Vに立ち上がる際に、反転層(61)と補助電極(13)間のカップリングにより、補助電極(13)は8Vに持ち上がる。以降の書込み動作、手順は前記例1と同様である。尚、電位A及び電位Bなどは前記例1と同様の設定である。

【0082】

以上により、初期に補助電極(13)を駆動する電源の低電圧が可能となり、電源の占める面積を削減できるため、チップ面積の低減につながり、さらに低コスト化が可能となる。

【0083】

本実施例の動作方式は、前記例2、実施例5にも適用可能であり、前記と同様の効果が得られる。

【0084】

本実施例のメモリ構造は不純物による拡散層配線がメモリセルアレイ内に存在しないため、補助電極配線間のピッチを小さく作製することが可能である。さらに、補助電極を駆動する電源の低電圧化が可能であり、さらに低コストのメモリを実現することが可能である。

【0085】

<実施例7>

図1～図3、図18を用いて、本発明の第7の実施例を示す。本実施例では、実施例1と書込み動作において異なる。

【0086】

実施例1では、書込みドレイン電圧としてデータ線(91)から反転層(13)に対し4Vを給電していたが、本発明を用いる事により、書込みドレイン電圧(例えば4V)を供給する電源が削除可能となり、チップ面積の大幅な低減ができる。

10

20

30

40

50

【0087】

本発明の詳細を図18の書込み動作波形図を用いて示す。時間 t_0 で制御電極(30)を書込みワード電圧(例えば15V(電位E))、ゲート電極(36)を8Vにそれぞれ立ち上げる。同時に補助電極(13)(第2の電極)を8V(電位C)に立ち上げるが、実施例1と異なり、ゲート電極(38)、データ線(91)は立ち上がっていない。そのため、補助電極(13)下の基板表面はフローティング状態となっており、補助電極(13)が立ち上がると、補助電極と基板表面間のカップリングにより、基板表面の電位が持ち上がる。その結果、基板表面には反転層(61)(第2の反転層)が形成され、また、反転層(61)の電位は4V(電位D)に設定される。カップリングによって反転層(61)に蓄積された電荷を書込みに使用する。以降の書込み動作、手順は実施例1と同様である。尚、電位A及び電位Bなどは前記例1と同様の設定である。 10

【0088】

以上により、書込みドレイン電圧(例えば4V)を供給する電源を削除可能であり、電源の占める面積を削減できるため、チップ面積の低減につながり、さらに低コスト化が可能となる。本実施例の動作方式は、実施例2、実施例3、実施例4にも適用可能であり、前記と同様の効果が得られる。

【0089】

本実施例のメモリ構造は不純物による拡散層配線がメモリセルアレイ内に存在しないため、補助電極配線間のピッチを小さく作製することが可能である。さらに、書込みドレイン電圧を供給する電源削除可能であり、さらに低コストのメモリを実現することが可能である。 20

【0090】

<実施例8>

図19は、本発明の前記例1から実施例6によるフラッシュ不揮発メモリが取り込まれたコンピュータシステムの例を示している。このシステムはシステムバスを介して相互に接続されたホストCPUと、入出力装置、RAM、メモリカードとから構成されている。

【0091】

メモリカードは例えばハードディスク記憶装置の置換用途として数十ギガバイトの大容量記憶のフラッシュ不揮発性メモリを含み、本発明の実施例によるフラッシュ不揮発性メモリの利点である高速書込み速度を享受するので、最終製品である記憶装置としても十分な産業的利点を有するものである。 30

【0092】

尚、本発明は厚さの比較的薄いメモリカードに限定されるものではなく、厚さが比較的厚い場合であっても、システムバスとのインターフェースとシステムのコマンドを解析してフラッシュ不揮発性メモリを制御することが可能なインテリジェントなコントローラを含むどのような不揮発性記憶装置にも適用可能なことは言うまでもない。

【0093】

長期間に記憶されるデータはこの不揮発性の記憶装置に記憶される一方、ホストCPUによって処理されて頻繁に変更されるデータは揮発性メモリのRAMに格納される。カードはシステムバスと接続されるシステムバスインターフェースを持ち、例えばATAシステムバスなどの標準バスインターフェースを可能とする。システムバスインターフェースに接続されたコントローラはシステムバスに接続されたホストやCPUや入出力装置のホストシステムからのコマンドとデータを受付ける。 40

【0094】

コマンドがリード命令の場合は、コントローラは複数のフラッシュEEPROMの必要なひとつまたは複数にアクセスして読出しデータをホストシステムへ転送する。

【0095】

コマンドがライト命令の場合は、コントローラは複数のフラッシュEEPROMの必要なひとつまたは複数にアクセスしてホストシステムからの書込みデータをその内部に格納する。この格納動作はフラッシュメモリの必要なブロックやセクタやメモリセルへのプロ 50

グラム動作とベリファイ動作を含んでいる。

【0096】

コマンドが消去命令の場合は、コントローラは複数のフラッシュEEPROMの必要なひとつまたは複数をアクセスして、その内部に記憶されるデータを消去する。この消去動作は、フラッシュメモリの必要なブロック、セクタ、またはメモリセルへの消去動作とベリファイ動作とを含んでいる。

【0097】

本発明の実施例によるフラッシュ不揮発性メモリは、1つのメモリセルにデジタルデータの1ビットを記憶させるためメモリセルに2値のしきい値電圧を持たせる技術ばかりではなく、1つのメモリセルにデジタルデータの多ビットを記憶させるためメモリセルに4値あるいはそれ以上の多値のしきい値電圧を持たせる技術にも適用可能であることは言うまでもない。

10

【0098】

<実施例9>

図20～図22を用いて、本発明の第9の実施例を示す。本実施例は、実施例1と書込み動作において異なる。

【0099】

実施例1で示した書込み動作は、反転層に蓄積する電荷量 Q_i を一定にすることで、同時に書込みを行う複数のメモリセル間の書込みばらつきを低減した。本実施例の書込み動作は、電荷量 Q_i のみならず、注入効率を一定にすることで、さらに書込みばらつきの低減を図る。その結果、メモリセルの書込み時間を大幅に低減できる。

20

【0100】

図20及び図21を用いて、実施例1の書込み動作では注入効率がばらつくこと、そして、本発明により注入効率を一定にできることを説明する。

【0101】

図20に、高抵抗を形成する補助電極（実施例1では補助電極（12）に相当）トランジスタのしきい値（ V_{th} ）が V_a 又は V_b である場合の、補助電極の電圧に対するチャネル電流と注入効率を示す。図に示すように、注入効率は補助電極の電圧に対して単調減少という特性を持つ。

【0102】

一般に、補助電極の構造ばらつきや、基板濃度ばらつきを原因として、補助電極トランジスタのしきい値はばらつく。実施例1の書込み動作を使用した場合、同時書込みセルに対して等しい補助電極の電圧をパルス的に印加するため、補助電極トランジスタのしきい値ばらつきにより、セル毎に注入効率はばらつく。例えば、補助電極の電圧が V_3 のパルスを印加した場合、補助電極トランジスタのしきい値 V_b を持つメモリセルに対する書込み速度は注入効率が高いため速く、一方、しきい値 V_a を持つメモリセルの書込み速度は注入効率が低いため遅い。ここで、チャネル電流は、記憶ノードの電位とドレイン電圧に依存しないと仮定した。

30

【0103】

本発明の書き込み動作は、実施例1と異なり、補助電極の電圧を時間に対して段階的に上昇させる。例えば、図21で示すように、補助電極の電圧を時間に対して、線形的に上昇させる方法があげられる。以降の説明は、図21に沿って行うが、補助電極の電圧の上昇方法は、線形的である必要はない。例えば、指数的、対数的、或いは階段状に上昇させても構わない。電圧の上昇速度は書込み速度がなるべく速くなるよう最適に設定する。

40

【0104】

図21のように補助電極の電圧を線形的に上昇させた場合、時間 t_a で、補助電極の電圧は V_1 に達して、しきい値 V_a の補助電極トランジスタにおいて実質的にチャネル電流が流れ始め、記憶ノードに対して電荷が注入される。その後、時間 t_b において、反転層に蓄積された電荷 Q_i の放電が終了して、書込みが終了する。時間 t_a と t_b の間は注入効率がおおよそ一定であるとして約 α と表すことができた場合、しきい値 V_a の補助電極トランジスタ

50

を含むメモリセルの記憶ノードに注入される電荷量は $Q_g = Q_i \times a$ である。次に、時間 t_c で、補助電極の電圧は V_3 に達して、しきい値 V_b の補助電極トランジスタにおいて実質的にチャネル電流が流れ始め、記憶ノードに対して電荷が注入される。その後、時間 t_d において、反転層に蓄積された電荷 Q_i は放電され、書込みが終了する。この時、しきい値 V_b の補助電極トランジスタを含むメモリセルの記憶ノードに注入される電荷量は、前述と同じ理由により、 $Q = Q_i \times a$ である。図 2 1 では、あらわに示していないが、補助電極トランジスタのしきい値が最も大きいセルにおいて、その反転層に蓄積された電荷 Q_i の放電が終了した後、時間 t_e において、補助電極の電圧を 0 に立ち下げる。以上から、補助電極の電圧を時間に対して線形的に上昇させた場合、補助電極トランジスタのしきい値が異なる、言い換えれば、ばらついていても、注入効率はおおよそ等しくなり、各記憶ノードに注入される電荷量もほぼ一定になる。このため、書込みばらつきを大幅に低減することが可能となる。さらに、メモリセル毎に補助電極トランジスタのしきい値が異なる場合も、常に高い注入効率で書込みことができるため、よりいっそう書込み時間を短縮することができる。

10

【0105】

次に、図 2 2 を用いて本発明の書込み動作のタイミングを説明する。まず、時間 t_0 において、データ線 (9 1) を書込みドレイン電圧である 4 V に、制御電極 (3 0) (第 3 の電極) を書込みワード電圧である 1 5 V (電位 E) に設定し、ゲート電極 (3 6) (3 8) を共に 8 V に設定する。同時に、補助電極 (1 3) (第 2 の電極) を 8 V (電位 C) に設定することにより、補助電極下に形成される反転層 (6 1) (第 2 の反転層) は 4 V (電位 D) となる。その後、時間 t_1 にて、ゲート電極 (3 8) を 0 V に立下げ、データ線 (9 1) と反転層 (6 1) との接続を断ち、反転層 (6 1) をフローティング状態とする。この時、反転層容量を C_i とすると、反転層 (6 1) に蓄積されている電荷量 Q_i は、 $C_i \times 4$ クーロンとなる。その後、時間 t_2 において、補助電極 (1 2) (第 1 の電極) を、 t_3 で 2 V (電位 A) に達するよう線形的に立ち上げる。補助電極 (1 2) の電圧が、補助電極 (1 2) トランジスタのしきい値に達した場合、反転層 (6 1) に蓄積されていた電荷 Q_i が、記憶ノード (5 0) および補助電極 (1 2) それぞれの下の基板表面を通過してデータ線 (9 0) へ放電されることになる。この時、このデータ線は 0 V (電位 B) になっており、また、補助電極 (1 2) 下の基板表面以外は低抵抗状態となるため、拡散層間に電位差がある場合には補助電極 (1 2) の右端部下に電界が集中し、ホットエレクトロンが発生する。この発生したホットエレクトロンは制御電極 (3 0) (第 3 の電極) 電位が高い (電位 E) ことから制御電極 (3 0) 方向に引き寄せられ、トンネル絶縁膜 (4 0) のポテンシャル障壁を跳び越えて記憶ノード (5 0) に注入される。この時、補助電極 (1 2) 下の基板表面が高抵抗であるため、反転層 (6 0) とデータ線 (9 0) 間に流れる電流はあまり小さくなく、補助電極構造を持たない場合よりも効率のよいホットエレクトロン注入が可能である。また、書込みたくない場合にはデータ線 (9 0) を 2 V 程度にするか、もしくは反転層 (6 1) を 0 V とすれば、ホットエレクトロンは発生せず、従って電荷注入はおこらない。また非選択のワード線 (3 1) は十分低い電圧 (例えば 0 V) に固定することで、非選択ワード線で駆動されるメモリセルのチャネルを非導通にしておけば情報の書込みは行われぬ。反転層 (6 1) の電荷が十分に放電された後、時間 t_3 で補助電極 (1 2) を 0 V に立ち下げ書込みを終了する。次に、時間 t_4 でデータ線 (9 1) を 0 V、ゲート電極を再び 8 V にする。この結果、反転層 (6 1) とデータ線 (9 1) は接続され、反転層 (6 1) は 0 V に設定される。その後時間 t_5 にて制御電極 (3 0) を 0 V に立ち下げ、時間 t_6 で補助電極 (1 3) を 0 V に立ち下げる。以上のような書込み動作の違い以外は、前記例 1 と同様に、2 ビット情報を記憶ノード (5 0) に記憶していく。

20

30

40

【0106】

以上により、本実施例の書込み動作は、電荷量 Q_i のみならず、注入効率を一定にすることで、書込みばらつきの低減ができる。さらに、メモリセル毎に補助電極トランジスタのしきい値が異なる場合も、常に高注入効率で書込みことができるため、よりいっそう書

50

込み時間を短縮することができる。本実施例の動作方式は、実施例 2 ~ 7 にも適用可能であり、前記と同様の効果が得られる。

【0107】

本実施例のメモリ構造は不純物による拡散層配線がメモリセルアレイ内に存在しないため、補助電極配線間のピッチを小さく作成することが可能であるため、低コストのメモリを実現することが可能である。

【0108】

<実施例 10>

図 5、図 23 ~ 図 26、表 2 を用いて、本発明の第 10 の実施例を示す。本実施例は、しきい値レベルによって書込み動作を変更することが特徴である。

10

【0109】

前記例 1 で述べたしきい値レベルの書分け方法としては、例えば、しきい値レベルに応じて制御電極（ワード線）の電圧を変更するものであった。そうすることで、同じ書込みパルス幅を用いても記憶ノードに注入される電荷量をコントロールすることができた。

【0110】

本実施例では、しきい値レベルの違いにより、書込み動作を変更することで、記憶ノードに注入される電荷量をコントロールする。この場合、通常 1 つの書込み動作を用いて書き込む場合よりも、総合的に書込み時間を短縮することが可能である。

【0111】

本実施例では、実施例 4 で記載した 2 つの書込み動作を、しきい値レベルによって使い分ける方法について説明する。2 つの書込み動作は、書込み電荷をローカルなビット線（第 1 容量）（反転層）に蓄積するか、或いは、ローカルなビット線（反転層）とグローバルなデータ線の寄生容量の合計容量（第 2 容量）に蓄積するか、の違いを有する。前者の場合、1 回の書込みパルスで記憶ノードに注入できる電荷量は後者に比べて少ないためメモリセルの書込み速度は遅いが、その分、注入電荷量を精度良くコントロールできる。それに対し、後者の場合、1 回の書込みパルスで記憶ノードに注入できる電荷量が、前者に比べて大きいため、メモリセルの書込み速度は速い。例えば、図 5 で示す、最上位のしきい値レベルである '01' レベルを得たい場合について考える。後者の書込み動作の場合、メモリセルの書込み速度が速いため、'01' レベルに対する書込み時間を前者の書込み方式に比べて少なくできる。また、最上位レベルである '01' は、'00'、'10' レベルに比べ、分布幅が多少ブロードでも構わないことから、精度良く注入電荷量をコントロールする必要もない。そのため、'01' レベルに対しては、後者の書込み動作を選択する。その一方、'00'、'10' レベルを得たい場合は、'01' レベルほどメモリセルの書込み速度を要求しない、且つ、精度良く注入電荷量をコントロールしたいため、前者の書込み動作を選択すれば、'00'、'10' レベルに対する書込み時間を短縮できる。以上のように、しきい値レベルによって、書込み動作を使い分ければ、1 つの書込み動作で行う場合よりも、トータルの書込み時間を低減できる。なお、しきい値レベルによって書込み動作を使い分ける方法は、当該方法に限らず、前述の実施例で示した他の書込み動作を複数組み合わせても良い。

20

30

【0112】

次に、図 23 のメモリアレイ等価回路図、図 24、25 の書込み動作タイミングを用いて、本発明の詳細を説明する。図 23 のメモリアレイ等価回路図は、図 9 で示したメモリアレイが、グローバルなデータ線（92、92）に対して、階層的に接続されていることを表したものであり、必要に応じて、番号をつけかえてある。新たに付け加えられたものとして、共通ソース線（94）、センスラッチ回路、及び電源回路（120、121）、グローバルなデータ線とセンスラッチ回路、及び電源回路とのスイッチの役目を果たすトランジスタのゲート電極（39）がある。ここでは、選択セル（112）に対して書込みを行う動作を説明する。従って、以降の書込み動作タイミングでは、不活性状態の電極、反転層の電圧はあらわに示さない。

40

【0113】

50

はじめに、図 23、24 を用いて、'01' レベルに対する書込み動作を説明する。まず、時間 t_0 において、ゲート電極 (39) を 8V に立ち上げて、電源回路 (121) からグローバルなデータ線 (92) を書込みドレイン電圧である 4V に、電源回路 (120) からグローバルなデータ線 (93) を 0V に、制御電極 (30a) (第 5 の電極) を書込みワード電圧である 15V (電位 F) に設定し、ゲート電極 (37a) (38a) を 8V に設定する。さらに、補助電極 (15a) (第 1 の電極) を 4V (電位 A) に、補助電極 (17a) (第 4 の電極) を 8V (電位 C) に設定することにより、補助電極下に形成される反転層 (63a) (第 2 の反転層) は 4V (電位 C) となり、反転層 (62a) は 0V (電位 B) となる。その後、時間 t_1 にて、ゲート電極 (39) を 0V に立下げ、電源回路 (120、121) とグローバルなデータ線 (92、93) の接続を断ち、グローバルなデータ線 (92、93) 及び、ローカルなビット線 (反転層) (63a、62a) をフローティング状態とする。この結果、グローバルなデータ線容量とローカルなビット線 (反転層) 容量の合計容量を $C_i + C_a$ とするキャパシタに電荷量 Q_i ($(C_i + C_a) \times 4$) クーロンとなる電荷が蓄積される。その後、時間 t_2 において、補助電極 (16a) (第 2 の電極) を書込み電圧である 2V (電位 E) に立ち上げると、グローバルなデータ線 (92) とローカルなビット線 (反転層) (63a) に蓄積されていた電荷 Q_i が、記憶ノード (53) および補助電極 (16a) それぞれの下の基板表面を通過してグローバルなデータ線 (93) とローカルなビット線 (反転層) (62a) の合計容量を持つキャパシタへ放電されることになる。この時、補助電極 (16a) 下の基板表面以外は低抵抗状態となるため、拡散層間に電位差がある場合には補助電極 (16a) の右端部に電界が集中し、ホットエレクトロンが発生する。この発生したホットエレクトロンは制御電極 (30a) 電位が高いことから制御電極 (30a) 方向に引き寄せられ、トンネル絶縁膜 (40) のポテンシャル障壁を跳び越えて記憶ノード (53) に注入される。この時、補助電極 (16a) 下の基板表面が高抵抗であるため、反転層 (63a) と反転層 (62a) 間を流れる電流はあまり小さくなく、補助電極構造を持たない場合よりも効率のよいホットエレクトロン注入が可能である。また、書込みたくない場合にはグローバルなデータ線 (93) を 2V 程度にするか、もしくはグローバルなデータ線 (92) を 0V とすれば、ホットエレクトロンは発生せず、従って電荷注入はおこらない。また非選択のワード線 (31a) は十分低い電圧 (例えば 0V) に固定することで、非選択ワード線で駆動されるメモリセルのチャネルを非導通にしておけば情報の書込みは行われぬ。以上の書込みパルスを、選択メモリセルが '01' レベルに達するまで繰返し行う。

【0114】

次に、'01' レベルの書込みが終了した後、'00'、'10' レベルの書込み動作を行う。図 23、図 25 を用いて '00'、'10' レベルの書込み動作について説明する。まず、時間 t_0 において、ゲート電極 (39) を 8V に立ち上げて、電源回路 (121) からデータ線 (92) を書込みドレイン電圧である 4V に、制御電極 (30a) (第 5 の電極) を書込みワード電圧である 15V (電位 F) に設定し、ゲート電極 (37a) (38a) を 8V に設定する。さらに、補助電極 (15a) (第 1 の電極) を 4V (電位 A) に、補助電極 (17a) (第 4 の電極) を 8V (電位 C) に設定することにより、補助電極下に形成される反転層 (63a) (第 2 の反転層) は 4V (電位 C) となり、反転層 (62a) は 0V (電位 B) となる。その後、時間 t_1 にて、ゲート電極 (37a、38a) を 0V に立下げ、ローカルなビット線 (反転層) (62a、63a) とグローバルなデータ線 (92、93) の接続を断ち、ローカルなビット線 (反転層) (63a、62a) をフローティング状態とする。この結果、反転層容量の容量を C_i とするキャパシタに電荷量 Q_i ($(C_i) \times 4$) クーロンとなる電荷が蓄積される。その後、時間 t_2 において、補助電極 (16a) (第 2 の電極) を書込み電圧である 2V (電位 E) に立ち上げると、ローカルなビット線 (反転層) (63a) に蓄積されていた電荷 Q_i が、記憶ノード (53) および補助電極 (16a) それぞれの下の基板表面を通過して反転層 (62a) の容量 C_i を持つキャパシタへ放電されることになる。この時、補助電極 (16a) 下の基板表面以外は低抵抗状態となるため、拡散層間に電位差がある場合には補助電極 (16a) の右端

部下に電界が集中し、ホットエレクトロンが発生する。この発生したホットエレクトロンは制御電極(30a)電位が高いことから制御電極(30a)方向に引き寄せられ、トンネル絶縁膜(40)のポテンシャル障壁を跳び越えて記憶ノード(53)に注入される。この時、補助電極(16a)下の基板表面が高抵抗であるため、反転層(63a)と反転層(62a)間を流れる電流はあまり大きくなり、補助電極構造を持たない場合よりも効率のよいホットエレクトロン注入が可能である。また、書込みたくない場合にはグローバルなデータ線(93)を2V程度にするか、もしくはグローバルなデータ線(92)を0Vとすれば、ホットエレクトロンは発生せず、従って電荷注入はおこらない。また非選択のワード線(31a)は十分低い電圧(例えば0V)に固定することで、非選択ワード線で駆動されるメモリセルのチャンネルを非導通にしておけば情報の書込みは行われぬ。以上の書込みパルスを、選択メモリセルが'00'或いは'10'レベルに達するまで繰返し行う。

10

【0115】

前述の書込み動作では、'01'レベルの書込みに対し、グローバルなデータ線のすべての容量と、ローカルなビット線(反転層)容量に蓄積した電荷を書込みに使った。それ以外にも、グローバルなデータ線の容量を分割して、しきい値レベルによって、任意の個数の容量を使って書込みを実施してもよいことを、図26で説明する。図26は、メモリアレイの等価回路図である図23から、電源回路(121)から書込み選択セル(112)に流れる電流経路に沿って抜粋した概略図である。図26に示すように、グローバルなデータ線(92)の容量は、スイッチ(201、202)を用いて、複数個の容量(204、205、206)に分割できる。例えば、'10'レベルを得たい場合は、スイッチ201と202を共にオフにして、容量206に蓄積する電荷量を用いる。同様に、'00'レベルならば、スイッチ201をオン、202をオフにして、容量206と205の合計容量を用い、'01'レベルならば、スイッチ201と202を共にオンにして、容量206と、205と204を用いて書込む。つまり、しきい値レベルによって、最適な電荷量を蓄積するように、(201、202)の接続条件を設定すれば、最適なメモリセルの書込み速度が得られ、書込み時間を低減できる。

20

【0116】

前記例1で述べたように、しきい値レベルに応じて、制御電極の電圧を変更して書き込む以外にも、表2で示すように、ドレイン電圧を変更して書き込むことも可能であることは、言うまでもない。

30

【0117】

【表 2】

表 2

	書込みドレイン電圧	閾値 V_{th} の範囲
“01”	Vwd3	$V_{th} > V3$
“00”	Vwd2	$V2L < V_{th} < V2H$
“10”	Vwd1	$V1L < V_{th} < V1H$
“11”	Vwd0	$V0L < V_{th} < V0H$

10

20

【0118】

以上により、本実施例の書込み方法は、しきい値レベルによって、書込み動作を変更することで、記憶ノードに注入される電荷量をコントロールして、通常1つの書込み動作を用いて書き込む場合よりも、書込み時間を短縮できる。

【0119】

本実施例では、書込みの際に、しきい値レベルに応じて、容量の小さいローカルなビット線に蓄えられた電荷と、相対的に容量の大きいローカルなビット線とグローバルなデータ線に蓄えられた電荷とを選択的に用いることについて述べた。本実施例では、ローカルなビット線が反転層の場合について述べたが、本実施例における方法においては、必ずしも反転層である必要はなく拡散層の場合においても同様の効果が得られる。

30

また、本実施例では、2ビットの情報を記憶する4値の場合について述べたが、本実施例における方法においては、2ビットに限定されることはなく、2ビット以上の情報を記憶する半導体記憶装置に適用することができる。

また、本実施例では、記憶ノードが多結晶シリコンから成るメモリセル、いわゆるフローティングゲート型のメモリセルについて述べたが、本実施例における方法においては、フローティングゲート型のメモリセルに限定されることなく、記憶ノードが窒化シリコン等の絶縁膜となっている半導体装置に適用することができる。

【0120】

本実施例のメモリ構造は不純物による拡散層配線がメモリセルアレイ内に存在しないため、また、補助電極配線間のピッチを小さく作成することが可能であるため、低コストのメモリを実現することが可能である。

40

【0121】

<実施例11>

図2727～図29を用いて、本発明の第11の実施例を示す。本実施例は、アレイ構成において前記例1と異なる。

【0122】

前記例1のアレイ構成(図2、3)においては、データ線と反転層間を接続するトランジスタのゲート電極が、上下に、2個(37、38)と1個(36)存在した。本発明では、共に1個とすることで、メモリアレイ内において当該トランジスタの占める面積を削

50

減することが可能になる。

【0123】

図27、図28に本発明によるアレイ構成の上面図、等価回路図を示す。本構成では、前記例1の構成と異なり、ゲート電極が、上下に1個(38)、1個(36)のみである。そのため、前記例1のアレイ構成中で、ゲート電極(37)が占めていた面積を削除できる。

【0124】

図29は、本アレイ構成を用いた書込み動作のタイミング図である。まず、時間 t_0 において補助電極(13)(第2の電極)に正の電圧(例えば8V)を印加し、その下の基板表面に低抵抗な反転層(61)(第2の反転層)を形成させる。又、ゲート電極(38)、ゲート電極(36)をそれぞれ8Vに立ち上げ、制御電極(30)を1.5V(電位E)に立ち上げ、さらにデータ線(91)を4V(電位D)に立ち上げる。この時、データ線(90)は0V(電位B)に固定する。メモリセル(111)の隣接外側における補助電極(10)(11)は反転層を形成させない程度の低電圧(例えば0V)に設定し、電氣的に素子分離を行う。第2の反転層(61)の形成時には、n型拡散層領域(83)と反転層(61)が導通し、拡散層領域に設けられたコンタクト構造(101)を通じ、グローバルなデータ線(91)から電圧を与えることが出来る。よって、第2の反転層(61)は4V(電位D)となる。次に時間 t_1 において、補助電極(12)(第1の電極)を抵抗の高い反転層(60)(第1の反転層)を形成できる程度の電圧(例えば2V)(電位A)に立ち上げると、データ線(91)、拡散層領域(83)、反転層(61)、記憶ノード(50)下に出来たチャンネル、反転層(60)、拡散層領域(82)、データ線(90)を介して、書込み電流が流れる。この時、一端の補助電極(12)下の反転層(60)(第1の反転層)と制御電極(30)(第3の電極)下の反転層の境界で電界集中が起こり、ホットエレクトロンが発生する。この発生したホットエレクトロンは制御電極(30)電位が高いことから制御電極(30)方向に引き寄せられ、トンネル絶縁膜(40)のポテンシャル障壁を跳び越えて記憶ノード(50)に注入される。以上のような書込み動作の違い以外は、前記例1と同様に、2ビット情報を記憶ノード(50)に記憶していく。

【0125】

本実施例のアレイ構成を用いた場合、メモリアレイ内に占めるゲート電極数を前記例1より低減することで、メモリアレイの面積を低減できる。本実施例のアレイ構成は、実施例1~7、9~10にも適用可能であり、前記と同様の効果が得られる。

【0126】

本実施例のメモリ構造は不純物による拡散層配線がメモリセルアレイ内に存在しないため、また、補助電極配線間のピッチを小さく作成することが可能であるため、低コストのメモリを実現することが可能である。

【0127】

以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において変更可能であることは勿論である。

【0128】

例えば、本発明は、不揮発性半導体記憶素子を有するメモリセルアレイ部を備えたワンチップマイクロコンピュータ(半導体装置)に適用してもよい。

【0129】

本発明のフラッシュメモリは、PDA、デジタルスチルカメラなどのモバイル情報記憶装置に適している。

【図面の簡単な説明】

【0130】

【図1】図1は例1を説明するための断面図である。

【図2】図2は例1を説明するための上面図である。

10

20

30

40

50

【図 3】図 3 は例 1 を説明するための回路図である。

【図 4】図 4 は例 1 の書込み動作を説明するためのタイミング図である。

【図 5】図 5 は閾値分布を示す図である。

【図 6】図 6 は例 1 の書込み時ワード電圧と時間の対応を説明するための図である。

【図 7】図 7 は例 2 を説明するための断面図である。

【図 8】図 8 は例 2 を説明するための上面図である。

【図 9】図 9 は例 2 を説明するための回路図である。

【図 10】図 10 は例 2 の書込み動作を説明するためのタイミング図である。

【図 11】図 11 は本発明の実施例 1 の書込み動作を説明するためのタイミング図である

10

。【図 12】図 12 は本発明の実施例 2 の書込み動作を説明するためのタイミング図である

。【図 13】図 13 は本発明の実施例 3 の書込み動作を説明するためのタイミング図である

。【図 14】図 14 は本発明の実施例 4 の書込み動作を説明するためのタイミング図である

。【図 15】図 15 は本発明の実施例 5 の書込み動作を説明するためのタイミング図である

。【図 16】図 16 は本発明の実施例 6 の書込み電流経路に沿った回路図である。

【図 17】図 17 は本発明の実施例 6 の書込み動作を説明するためのタイミング図である

20

。【図 18】図 18 は本発明の実施例 7 の書込み動作を説明するためのタイミング図である

。【図 19】図 19 は本発明の実施例 8 を説明するシステム構成の例を示す図である

【図 20】図 20 は本発明の実施例 9 の書込み動作を説明するための電流と注入効率カーブの図である。

【図 21】図 21 は本発明の実施例 9 の書込み時補助電極電圧と時間の対応を説明するための図である。

【図 22】図 22 は本発明の実施例 9 の書込み動作を説明するためのタイミング図である

30

。【図 23】図 23 は本発明の実施例 10 を説明するための回路図である。

【図 24】図 24 は本発明の実施例 10 の書込み動作を説明するためのタイミング図である。

【図 25】図 25 は本発明の実施例 10 の書込み動作を説明するためのタイミング図である。

【図 26】図 26 は本発明の実施例 10 の書込み動作を説明するための回路図である。

【図 27】図 27 は本発明の実施例 11 を説明するための上面図である。

【図 28】図 28 は本発明の実施例 11 を説明するための回路図である。

【図 29】図 29 は本発明の実施例 11 の書込み動作を説明するためのタイミング図である。

40

【符号の説明】

【0131】

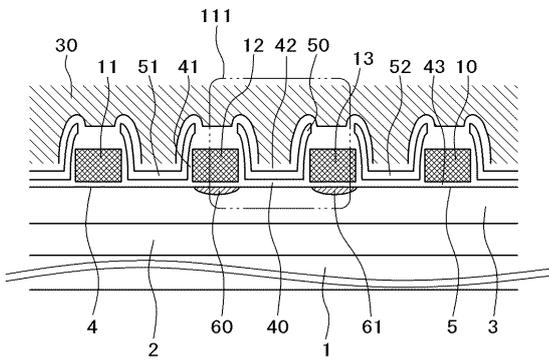
1 : p 型シリコン基板、2 : n 型ウェル、3 : p 型ウェル、4、5 : 補助電極下基板表面、10、11、12、13、14、15、16、17、15a、16a、17a、15b、16b、17b : 補助電極、20 : スイッチ電極、30、30a : 制御電極、31、31a、31b : 非選択制御電極、32、33、34、35、32a、33a、34a、35a、32b、33b、34b、35b : 補助電極結束部、36、37、38、36a、37a、38a、36b、37b、38b、39 : ゲート電極、40、41、42、43 : 絶縁膜、50、51、52、53、54、55 : 記憶ノード、60、61、62、63、62a、63a、62b、63b : 反転層、80、81、82、83 : アクティブ領域、84 : デプレッション領

50

域、90、91、92、93：グローバルなデータ線、94：共通ソース線、100、101：コンタクト、105：電源、110：A-B断面図、111、112：選択メモリセル、120、121：電源回路及びセンスラッチ回路、201、202：スイッチ、203：グラウンド、204、205、206：分割したデータ線容量

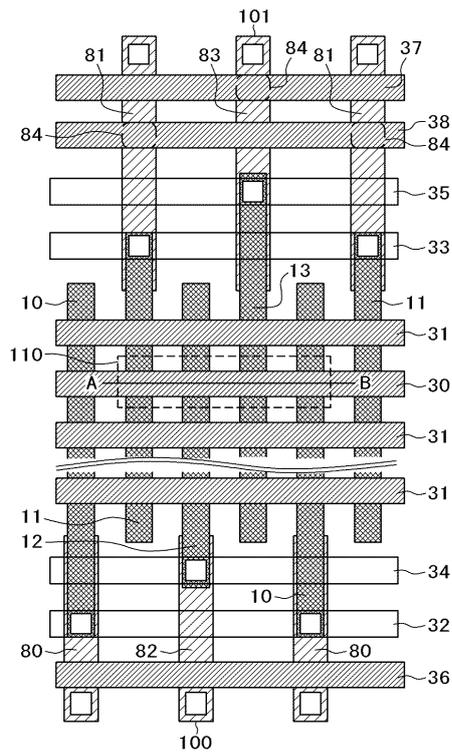
【図1】

図1



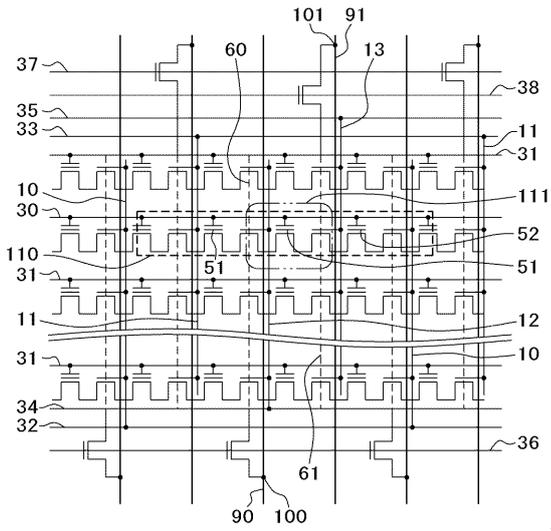
【図2】

図2



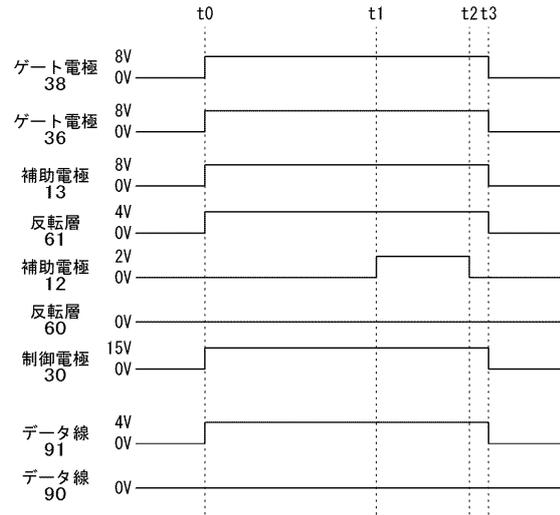
【 図 3 】

図 3



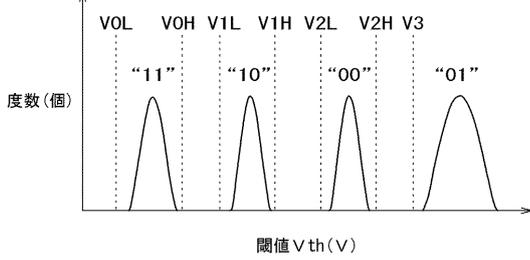
【 図 4 】

図 4



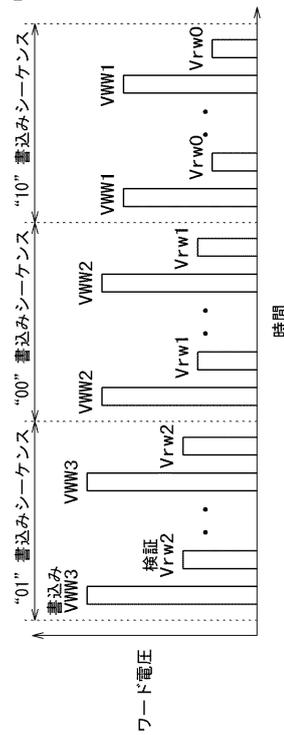
【 図 5 】

図 5



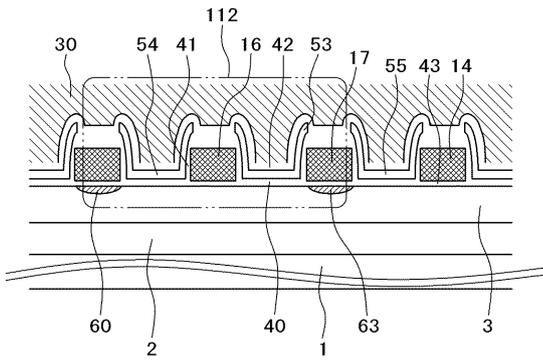
【 図 6 】

図 6



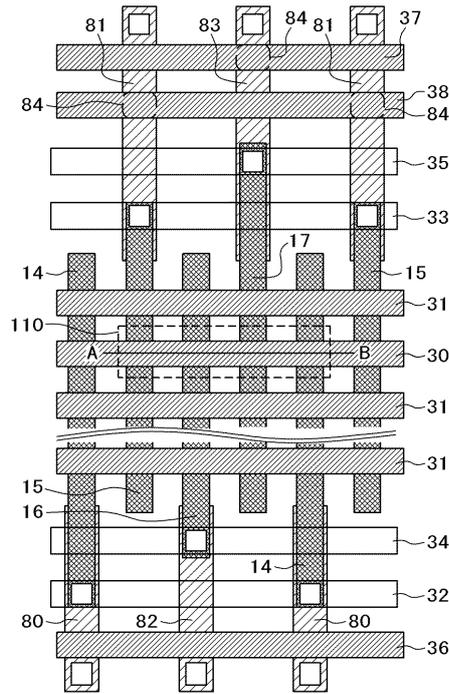
【 図 7 】

図 7



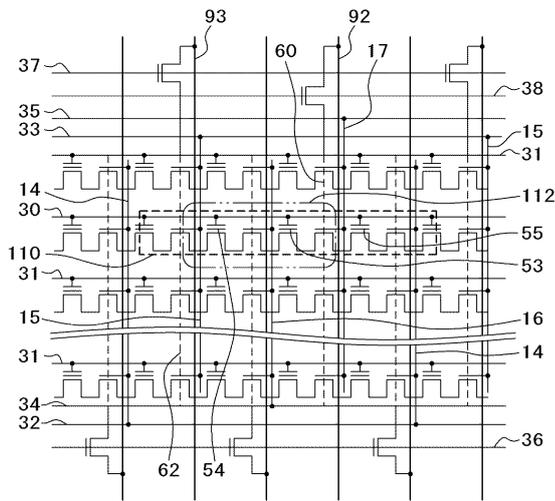
【 図 8 】

図 8



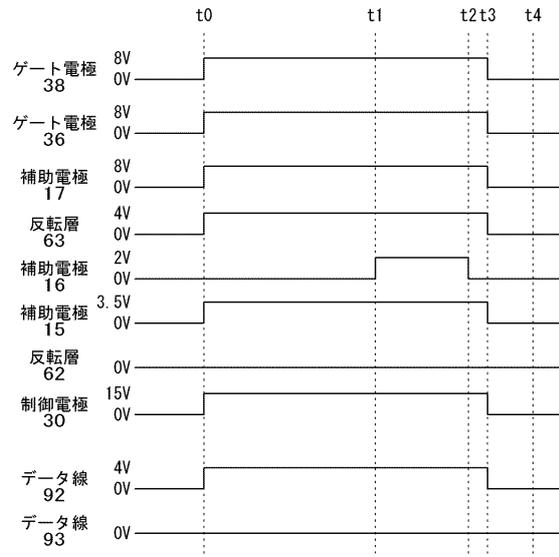
【 図 9 】

図 9



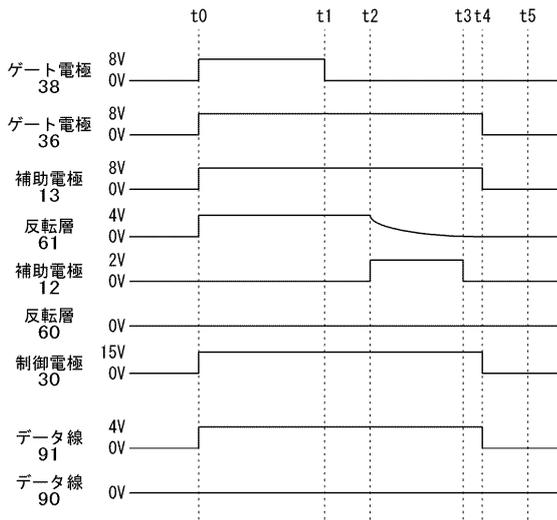
【 図 10 】

図 10



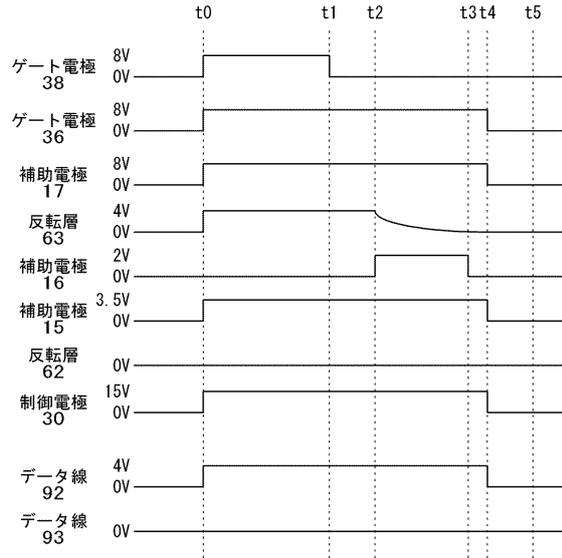
【 図 1 1 】

図 1 1



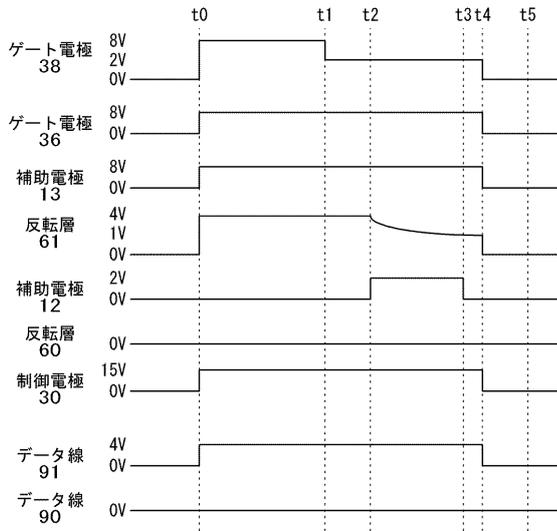
【 図 1 2 】

図 1 2



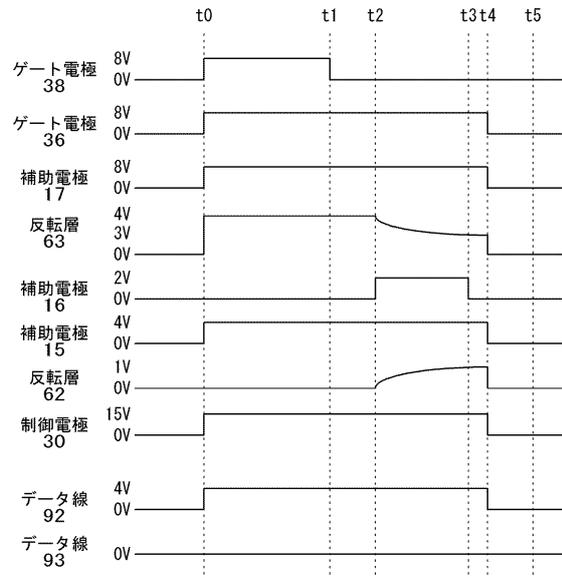
【 図 1 3 】

図 1 3



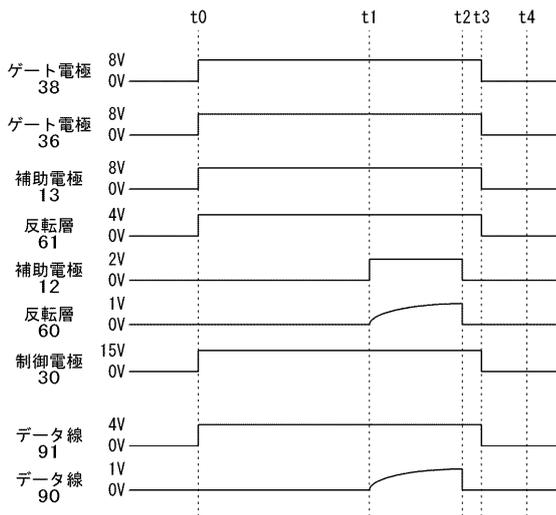
【 図 1 4 】

図 1 4



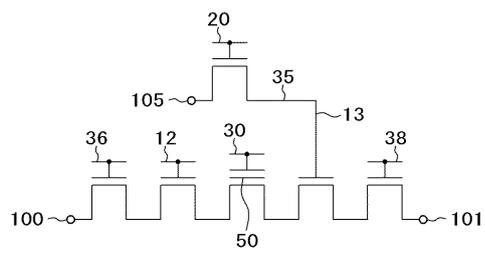
【 図 1 5 】

図 1 5



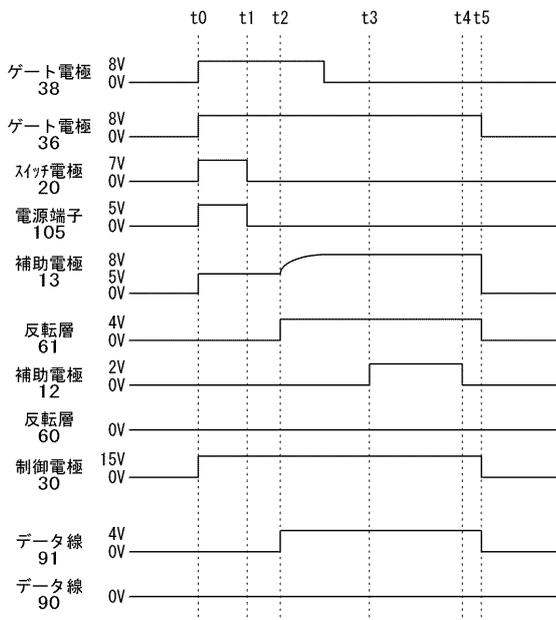
【 図 1 6 】

図 1 6



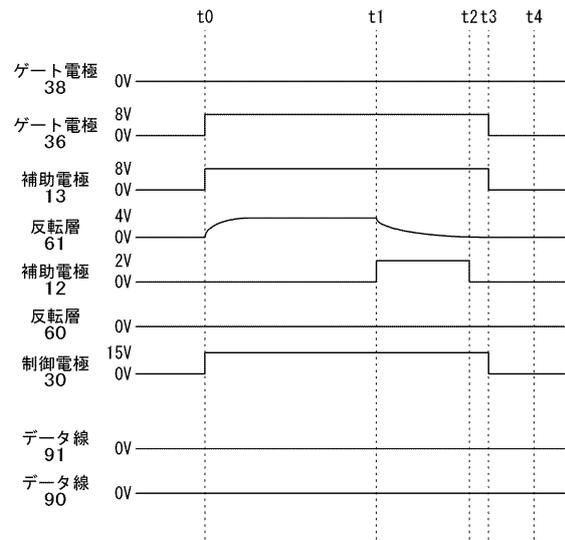
【 図 1 7 】

図 1 7



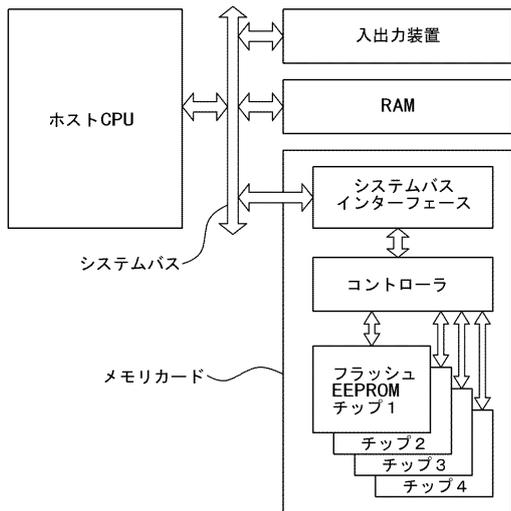
【 図 1 8 】

図 1 8



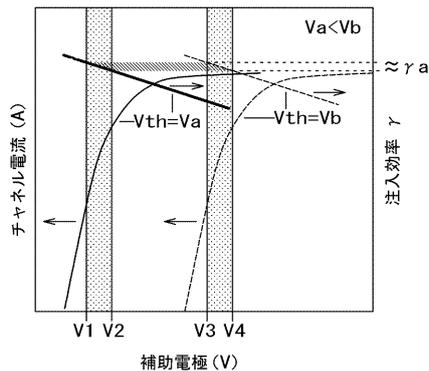
【 図 1 9 】

図 19



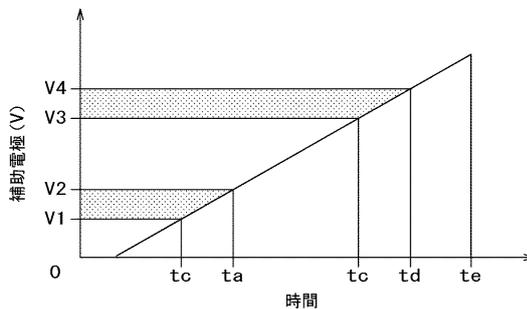
【 図 2 0 】

図 20



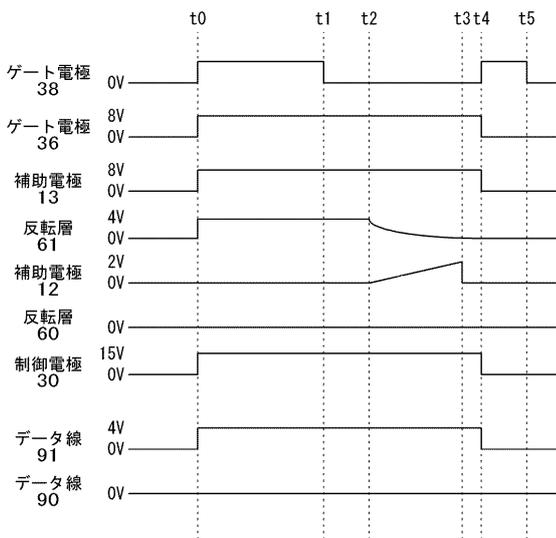
【 図 2 1 】

図 21



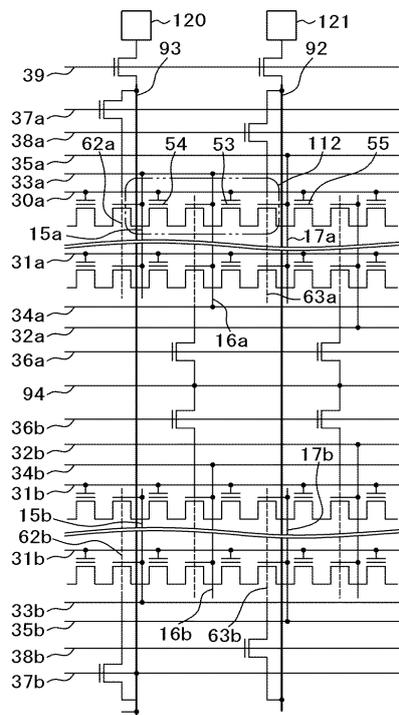
【 図 2 2 】

図 22



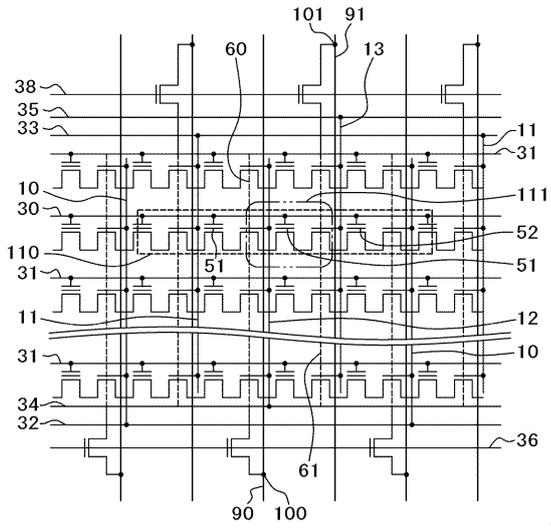
【 図 2 3 】

図 23



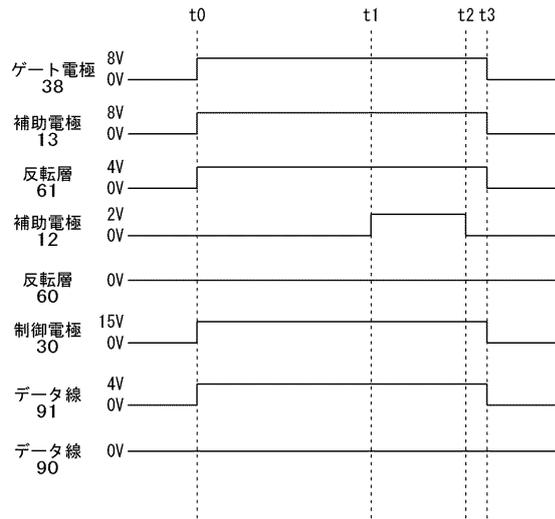
【 図 2 8 】

図 2 8



【 図 2 9 】

図 2 9



フロントページの続き

(51)Int.Cl. ⁷		F I		テーマコード(参考)
H 0 1 L 29/788		G 1 1 C 17/00	6 3 4 F	
H 0 1 L 29/792		H 0 1 L 29/78	3 7 1	

(72)発明者 笹子 佳孝

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

Fターム(参考) 5B125 BA09 BA19 CA06 CA14 DB08 DB19 EA01 EB02 EC08 ED01
 EK01 EK02 FA02 FA05 FA07
 5F083 EP03 EP13 EP18 EP23 EP30 EP32 EP54 EP56 ER02 ER05
 ER06 ER17 ER19 ER22 ER30 GA01 GA09 JA04 JA05 JA39
 KA05 KA06 KA08 LA09 NA01 ZA13 ZA21
 5F101 BA04 BA07 BA08 BA12 BA29 BA35 BA46 BB05 BC02 BC11
 BD03 BD10 BD22 BD35 BE02 BE05 BE07 BF05