



# (12) 发明专利申请

(10) 申请公布号 CN 112669714 A

(43) 申请公布日 2021.04.16

(21) 申请号 202011529827.3

H01L 33/48 (2010.01)

(22) 申请日 2020.12.22

H01L 33/62 (2010.01)

(71) 申请人 业成科技(成都)有限公司

地址 611730 四川省成都市高新区西区合作路689号

申请人 业成光电(深圳)有限公司  
英特盛科技股份有限公司

(72) 发明人 周贤颖 陈伯纶 陈俊达 林柏青

(74) 专利代理机构 成都希盛知识产权代理有限公司 51226

代理人 杨冬梅 张行知

(51) Int. Cl.

G09F 9/33 (2006.01)

G09G 3/32 (2016.01)

H01L 27/15 (2006.01)

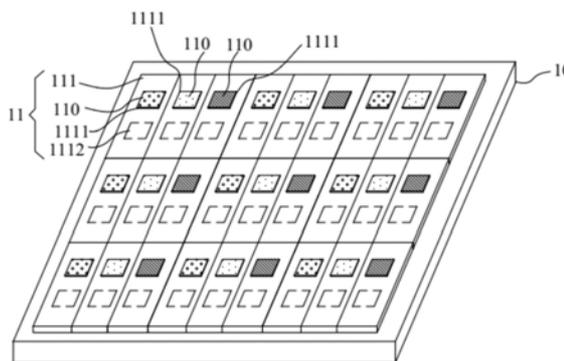
权利要求书3页 说明书18页 附图26页

## (54) 发明名称

发光二极管显示器及其制作方法

## (57) 摘要

本发明系揭露一种发光二极管显示器及其制作方法,发光二极管显示器包含一驱动背板与复数个画素单元,每一画素单元包含至少一个发光二极管与至少一个封装基板。封装基板的顶面具有至少一个导电位置及其对应的至少一个导电空位,导电位置上设有发光二极管,导电位置电性连接其上的发光二极管。每一画素单元的封装基板的底面设于驱动背板上,驱动背板电性连接其上的每一画素单元的发光二极管与其对应的导电空位。本发明将封装基板设于发光二极管与驱动背板之间,降低驱动背板的电路的复杂度。



1. 一种发光二极管显示器,其特征在于,包含:  
驱动背板;以及  
复数个画素单元,每一所述画素单元包含:  
至少一个发光二极管;以及  
至少一个封装基板,其顶面具有至少一个导电位置及其对应的至少一个导电空位,所述至少一个导电位置上设有所述至少一个发光二极管,所述至少一个导电位置电性连接其上的所述至少一个发光二极管,每一所述画素单元的所述至少一个封装基板的底面设于所述驱动背板上,所述驱动背板电性连接其上的每一所述画素单元的所述至少一个发光二极管与其对应的所述至少一个导电空位。
2. 如权利要求1所述的发光二极管显示器,其特征在于,其中所述至少一个发光二极管为红色发光二极管、绿色发光二极管或蓝色发光二极管。
3. 如权利要求1所述的发光二极管显示器,其特征在于,更包含至少一个备用发光二极管,其系设于所述至少一个导电空位上,以电性连接所述驱动背板及其上的所述至少一个备用发光二极管。
4. 如权利要求1所述的发光二极管显示器,其特征在于,其中所述至少一个导电位置包含复数个导电位置,所述至少一个发光二极管包含复数个发光二极管,所有所述发光二极管分别设于所有所述导电位置上,并分别电性连接所有所述导电位置,所有所述发光二极管的数量与所有所述导电位置的数量相同。
5. 如权利要求4所述的发光二极管显示器,其特征在于,其中所有所述发光二极管包含红色发光二极管、绿色发光二极管与蓝色发光二极管。
6. 如权利要求4所述的发光二极管显示器,其特征在于,其中所述至少一个导电空位包含复数个导电空位,所有所述导电空位分别对应所有所述导电位置,所有所述导电空位的数量与所有所述导电位置的数量相同。
7. 如权利要求1所述的发光二极管显示器,其特征在于,其中所述至少一个发光二极管为次毫米发光二极管或微发光二极管。
8. 如权利要求1所述的发光二极管显示器,其特征在于,其中每一所述画素单元更包含至少一个电压补偿电路与一积体电路,所述积体电路设于所述至少一个封装基板与所述至少一个电压补偿电路之间,并设于所述至少一个导电位置及其对应的所述至少一个导电空位上,所述至少一个电压补偿电路设于所述积体电路与所述至少一个发光二极管之间,且位于所述至少一个导电位置及其对应的所述至少一个导电空位的正上方,所述至少一个发光二极管透过所述至少一个电压补偿电路与所述积体电路电性连接所述至少一个导电位置,所述至少一个电压补偿电路透过所述积体电路电性连接对应的所述至少一个导电空位,所述积体电路用以产生至少一个控制电压,所述至少一个电压补偿电路用以接收所述至少一个控制电压,并将其进行电压补偿,以产生至少一个显示电压,且传送所述至少一个显示电压给所述至少一个发光二极管。
9. 如权利要求1所述的发光二极管显示器,其特征在于,其中所述至少一个封装基板包含第一封装基板与第二封装基板,所述第一封装基板的顶面具有所述至少一个导电位置,所述第二封装基板的顶面具有所述至少一个导电空位,所述第一封装基板与所述第二封装基板的底面设于所述驱动背板上,以电性连接所述驱动背板及其上的所述至少一个发光二

极体与其对应的所述至少一个导电空位。

10. 如权利要求9所述的发光二极管显示器,其特征在于,其中每一所述画素单元更包含至少一个第一电压补偿电路与第一积体电路,所述第一积体电路设于所述第一封装基板与所述至少一个第一电压补偿电路之间,并设于所述至少一个导电位置上,所述至少一个第一电压补偿电路设于所述第一积体电路与所述至少一个发光二极管之间,且位于所述至少一个导电位置的正上方,所述至少一个发光二极管透过所述至少一个第一电压补偿电路与所述第一积体电路电性连接所述至少一个导电位置,所述第一积体电路用以产生至少一个第一控制电压,所述至少一个第一电压补偿电路用以接收所述至少一个第一控制电压,并将其进行电压补偿,以产生至少一个第一显示电压,且传送所述至少一个第一显示电压给所述至少一个发光二极管。

11. 如权利要求10所述的发光二极管显示器,其特征在于,其中每一所述画素单元更包含至少一个第二电压补偿电路与第二积体电路,所述第二积体电路设于所述第二封装基板与所述至少一个第二电压补偿电路之间,并设于所述至少一个导电空位上,所述至少一个第二电压补偿电路设于所述第二积体电路上,且位于所述至少一个导电空位的正上方,所述至少一个第二电压补偿电路透过所述第二积体电路电性连接对应的所述至少一个导电空位,所述第二积体电路用以产生至少一个第二控制电压,所述至少一个第二电压补偿电路用以接收所述至少一个第二控制电压,并将其进行电压补偿,以产生至少一个第二显示电压,且传送所述至少一个第二显示电压给所述至少一个导电空位。

12. 一种发光二极管显示器的制作方法,其特征在于,其系包含下列步骤:

提供复数个画素单元,其中每一所述画素单元包含至少一个封装基板与至少一个发光二极管,所述至少一个封装基板的顶面具有至少一个导电位置及其对应的至少一个导电空位,所述至少一个导电位置上设有所述至少一个发光二极管,所述至少一个导电位置电性连接其上的所述至少一个发光二极管;以及

转移所述至少一个封装基板的底面至驱动背板,以电性连接所述驱动背板及其上的所述至少一个发光二极管与其对应的所述至少一个导电空位。

13. 如权利要求12所述的发光二极管显示器的制作方法,其特征在于,其中在提供所有所述画素单元的步骤后,判断每一所述画素单元的所述至少一个封装基板及其上的所述至少一个发光二极管是否正常:若是,进行转移正常的所述至少一个封装基板的所述底面至所述驱动背板,以电性连接所述驱动背板及其上的所述至少一个发光二极管与其对应的所述至少一个导电空位的步骤;以及若否,分离不正常的所述至少一个封装基板与所述驱动背板。

14. 如权利要求12所述的发光二极管显示器的制作方法,其特征在于,其中在转移所述至少一个封装基板的所述底面至所述驱动背板,以电性连接所述驱动背板及其上的所述至少一个发光二极管与其对应的所述至少一个导电空位的步骤中,转移每一所述画素单元的所述至少一个封装基板的所述底面至所述驱动背板,以电性连接所述驱动背板、每一所述画素单元的所述至少一个导电空位与每一所述画素单元上的所述至少一个发光二极管。

15. 如权利要求12所述的发光二极管显示器的制作方法,其特征在于,其中所述至少一个发光二极管为红色发光二极管、绿色发光二极管或蓝色发光二极管。

16. 如权利要求12所述的发光二极管显示器的制作方法,其特征在于,更包含下列步

骤:

判断所述驱动背板上的所述至少一个发光二极管是否发光:

若否,转移至少一个备用发光二极管至所述至少一个导电空位,以电性连接所述驱动背板及其上的所述至少一个备用发光二极管;以及

若是,结束。

17.如权利要求12所述的发光二极管显示器的制作方法,其特征在于,其中所述至少一个导电位置包含复数个导电位置,所述至少一个发光二极管包含复数个发光二极管,所有所述发光二极管分别设于所有所述导电位置上,并分别电性连接所有所述导电位置,所有所述发光二极管的数量与所有所述导电位置的数量相同。

18.如权利要求17所述的发光二极管显示器的制作方法,其特征在于,其中所有所述发光二极管包含红色发光二极管、绿色发光二极管与蓝色发光二极管。

19.如权利要求17所述的发光二极管显示器的制作方法,其特征在于,其中所述至少一个导电空位包含复数个导电空位,所有所述导电空位分别对应所有所述导电位置,所有所述导电空位的数量与所有所述导电位置的数量相同。

20.如权利要求12所述的发光二极管显示器的制作方法,其特征在于,其中所述至少一个发光二极管为次毫米发光二极管或微发光二极管。

21.如权利要求12所述的发光二极管显示器的制作方法,其特征在于,其中所述至少一个封装基板包含第一封装基板与第二封装基板,所述第一封装基板的顶面具有所述至少一个导电位置,所述第二封装基板的顶面具有所述至少一个导电空位,在转移所述至少一个封装基板的底面至所述驱动背板的步骤中,转移所述第一封装基板与所述第二封装基板的底面至所述驱动背板。

22.如权利要求21所述的发光二极管显示器的制作方法,其特征在于,其中在提供所有所述画素单元的步骤后,判断每一所述画素单元的所述第一封装基板及其上的所述至少一个发光二极管是否正常:若是,进行转移正常的所述第一封装基板与其对应的所述第二封装基板的所述底面至所述驱动背板,以电性连接所述驱动背板及其上的所述至少一个发光二极管与其对应的所述至少一个导电空位的步骤;以及若否,将不正常的所述第一封装基板与其对应的所述第二封装基板分离所述驱动背板。

23.如权利要求21所述的发光二极管显示器的制作方法,其特征在于,其中在转移所述至少一个封装基板的所述底面至所述驱动背板,以电性连接所述驱动背板及其上的所述至少一个发光二极管与其对应的所述至少一个导电空位的步骤中,转移所有所述画素单元的所述第一封装基板与所述第二封装基板的所述底面至所述驱动背板,以电性连接所述驱动背板与每一所述画素单元的所述至少一个发光二极管与所述至少一个导电空位。

## 发光二极管显示器及其制作方法

### 技术领域

[0001] 本发明系关于一种显示器的制作技术,且特别关于一种发光二极管显示器及其制作方法。

### 背景技术

[0002] 发光二极管被视为新一代显示技术,次世代的显示技术霸主。国内外大批厂商纷纷强攻,其市场前景备受看好。发光二极管具有微米等级的间距、高亮度、低功耗、超高解析度与色彩饱和度。发光二极管最大的优势都来自于它最大的特点,每一点画素都能定址控制及单点驱动发光。

[0003] 在制程中又以巨量转移最为关键,巨量转移非一次转移一颗微发光二极管,而是将非常多颗的微发光二极管,从成长基板,例如蓝宝石基板或是砷化镓基板,以符合最终显示器的像素间距的方式,将其搬运到最终的薄膜电晶体基板或电路基板上,此为目前许多厂商所采用的方式。在巨量的转移过程中,晶粒容易脱落、位置偏移、假焊造成无法点亮的状况。因为晶粒的尺寸小至30微米以下,若要于原本的焊点之间进行修补与置换发光二极管非常困难。故目前大多都于驱动背板上先预留需要修补的位置,将坏的发光二极管晶粒移除,将新的发光二极管晶粒,直接转移到预留的修补位置。于驱动背板上预留修补位置虽可以解决巨量转移中的坏点修补问题,但会提高电路的设计复杂度,另外也直接影响到未来在高解析度显示屏幕下面积利用率的问题。

[0004] 因此,本发明系在针对上述的困扰,提出一种发光二极管显示器及其制作方法,以解决习知所产生的问题。

### 发明内容

[0005] 本发明提供一种发光二极管显示器及其制作方法,其系减少驱动背板的电路复杂度,增加发光面积的利用率,适用于高分辨率产品的应用。此外,利用一封装基板同时将多个发光二极管转移至驱动背板上,以降低转移次数并提高转移成功率。

[0006] 在本发明的一实施例中,一种发光二极管显示器,包含一驱动背板与复数个画素单元。每一画素单元包含至少一个发光二极管与至少一个封装基板。封装基板的顶面具有至少一个导电位置及其对应的至少一个导电空位,导电位置上设有发光二极管,导电位置电性连接其上的发光二极管。每一画素单元的封装基板的底面设于驱动背板上,驱动背板电性连接其上的每一画素单元的发光二极管与其对应的导电空位。

[0007] 在本发明的一实施例中,发光二极管为红色发光二极管、绿色发光二极管或蓝色发光二极管。

[0008] 在本发明的一实施例中,发光二极管显示器更包含至少一个备用发光二极管,其系设于导电空位上,以电性连接驱动背板及其上的备用发光二极管。

[0009] 在本发明的一实施例中,至少一个导电位置包含复数个导电位置,至少一个发光二极管包含复数个发光二极管,所有发光二极管分别设于所有导电位置上,并分别电性连

接所有导电位置,所有发光二极管的数量与所有导电位置的数量相同。

[0010] 在本发明的一实施例中,所有发光二极管包含红色发光二极管、绿色发光二极管与蓝色发光二极管。

[0011] 在本发明的一实施例中,至少一个导电空位包含复数个导电空位,所有导电空位分别对应所有导电位置,所有导电空位的数量与所有导电位置的数量相同。

[0012] 在本发明的一实施例中,发光二极管为次毫米发光二极管或微发光二极管。

[0013] 在本发明的一实施例中,每一画素单元更包含至少一个电压补偿电路与一积体电路。积体电路设于封装基板与电压补偿电路之间,并设于导电位置及其对应的导电空位上,电压补偿电路设于积体电路与发光二极管之间,且位于导电位置及其对应的导电空位的正上方,发光二极管透过电压补偿电路与积体电路电性连接导电位置,电压补偿电路透过积体电路电性连接对应的导电空位。积体电路用以产生至少一个控制电压,电压补偿电路用以接收控制电压,并将其进行电压补偿,以产生至少一个显示电压,且传送显示电压给发光二极管。

[0014] 在本发明的一实施例中,至少一个封装基板包含一第一封装基板与一第二封装基板。第一封装基板的顶面具有导电位置,第二封装基板的顶面具有导电空位,第一封装基板与第二封装基板的底面设于驱动背板上,以电性连接驱动背板及其上的发光二极管与其对应的导电空位。

[0015] 在本发明的一实施例中,每一画素单元更包含至少一个第一电压补偿电路与一第一积体电路。第一积体电路设于第一封装基板与第一电压补偿电路之间,并设于导电位置上,第一电压补偿电路设于第一积体电路与发光二极管之间,且位于导电位置的正上方,发光二极管透过第一电压补偿电路与第一积体电路电性连接导电位置。第一积体电路用以产生至少一个第一控制电压,第一电压补偿电路用以接收第一控制电压,并将其进行电压补偿,以产生至少一个第一显示电压,且传送第一显示电压给发光二极管。

[0016] 在本发明的一实施例中,每一画素单元更包含至少一个第二电压补偿电路与一第二积体电路。第二积体电路设于第二封装基板与第二电压补偿电路之间,并设于导电空位上,第二电压补偿电路设于第二积体电路上,且位于导电空位的正上方,第二电压补偿电路透过第二积体电路电性连接对应的导电空位。第二积体电路用以产生至少一个第二控制电压,第二电压补偿电路用以接收第二控制电压,并将其进行电压补偿,以产生至少一个第二显示电压,且传送第二显示电压给导电空位。

[0017] 在本发明的一实施例中,一种发光二极管显示器的制作方法,其系包含下列步骤:提供复数个画素单元,其中每一画素单元包含至少一个封装基板与至少一个发光二极管,封装基板的顶面具有至少一个导电位置及其对应的至少一个导电空位,导电位置上设有发光二极管,导电位置电性连接其上的发光二极管;以及转移封装基板的底面至一驱动背板,以电性连接驱动背板及其上的发光二极管与其对应的个导电空位。

[0018] 在本发明的一实施例中,在提供所有画素单元的步骤后,判断每一画素单元的封装基板及其上的发光二极管是否正常:若是,进行转移正常的封装基板的底面至驱动背板,以电性连接驱动背板及其上的发光二极管与其对应的导电空位的步骤;以及若否,分离不正常的封装基板与驱动背板。

[0019] 在本发明的一实施例中,在转移封装基板的底面至驱动背板,以电性连接驱动背

板及其上的发光二极管与其对应的导电空位的步骤中,转移每一画素单元的封装基板的底面至驱动背板,以电性连接驱动背板、每一画素单元的导电空位与每一画素单元上的发光二极管。

[0020] 在本发明的一实施例中,发光二极管为红色发光二极管、绿色发光二极管或蓝色发光二极管。

[0021] 在本发明的一实施例中,发光二极管显示器的制作方法,更包含下列步骤:判断驱动背板上的发光二极管是否发光;若否,转移至少一个备用发光二极管导电空位,以电性连接驱动背板及其上的备用发光二极管;以及若是,结束。

[0022] 在本发明的一实施例中,至少一个导电位置包含复数个导电位置,至少一个发光二极管包含复数个发光二极管,所有发光二极管分别设于所有导电位置上,并分别电性连接所有导电位置,所有发光二极管的数量与所有导电位置的数量相同。

[0023] 在本发明的一实施例中,所有发光二极管包含红色发光二极管、绿色发光二极管与蓝色发光二极管。

[0024] 在本发明的一实施例中,至少一个导电空位包含复数个导电空位,所有导电空位分别对应所有导电位置,所有导电空位的数量与所有导电位置的数量相同。

[0025] 在本发明的一实施例中,发光二极管为次毫米发光二极管或微发光二极管。

[0026] 在本发明的一实施例中,至少一个封装基板包含一第一封装基板与一第二封装基板,第一封装基板的顶面具有导电位置,第二封装基板的顶面具有导电空位。在转移封装基板的底面至驱动背板的步骤中,转移第一封装基板与第二封装基板的底面至驱动背板。

[0027] 在本发明的一实施例中,在提供所有画素单元的步骤后,判断每一画素单元的第一封装基板及其上的发光二极管是否正常:若是,进行转移正常的第二封装基板的底面至驱动背板,以电性连接驱动背板及其上的发光二极管与其对应的导电空位的步骤;以及若否,将不正常的第二封装基板与其对应的第二封装基板分离驱动背板。

[0028] 在本发明的一实施例中,在转移封装基板的底面至驱动背板,以电性连接驱动背板及其上的发光二极管与其对应的导电空位的步骤中,转移所有画素单元的第一封装基板与第二封装基板的底面至驱动背板,以电性连接驱动背板与每一画素单元的发光二极管与导电空位。

[0029] 基于上述,发光二极管显示器及其制作方法将封装基板设于驱动背板与发光二极管之间,将原来形成在驱动背板上的电路转移到封装基板上,以减少驱动背板的电路复杂度,并增加发光面积的利用率,适用于高分辨率产品的应用。此外,利用一封装基板同时将多个发光二极管转移至驱动背板上,以降低转移次数并提高转移成功率。

## 附图说明

[0030] 图1为本发明的第一实施例的发光二极管显示器的结构立体图。

[0031] 图2为本发明的一实施例的封装基板的顶面示意图。

[0032] 图3为本发明的一实施例的封装基板的底面示意图。

[0033] 图4为本发明的硅穿孔的结构剖视图。

[0034] 图5为本发明的一实施例的驱动背板的结构立体图。

- [0035] 图6为本发明的一实施例的发光二极管、备用发光二极管与封装基板设于驱动背板的结构立体图。
- [0036] 图7为本发明的第一实施例对应图6的等效电路图。
- [0037] 图8为本发明的另一实施例的封装基板的顶面示意图。
- [0038] 图9为本发明的另一实施例的封装基板的底面示意图。
- [0039] 图10为本发明的一实施例的积体电路与电压补偿电路设于封装基板的结构立体图。
- [0040] 图11为本发明的另一实施例的驱动背板的结构立体图。
- [0041] 图12为本发明的一实施例的发光二极管、备用发光二极管、积体电路、电压补偿电路与封装基板设于驱动背板的结构立体图。
- [0042] 图13为本发明的第一实施例对应图12的等效电路图。
- [0043] 图14a至图14c为本发明的第一实施例的制作发光二极管显示器的各步骤结构示意图。
- [0044] 图15为本发明的一实施例的载体及其上的备用发光二极管的结构立体图。
- [0045] 图16a至图16b为本发明的一实施例的形成备用发光二极管于封装基板上的各步骤结构示意图。
- [0046] 图17a至图17d为本发明的一实施例的提供画素单元的各步骤结构示意图。
- [0047] 图18为本发明的第二实施例的发光二极管显示器的结构立体图。
- [0048] 图19为本发明的第二实施例对应图6的等效电路图。
- [0049] 图20为本发明的再一实施例的封装基板的顶面示意图。
- [0050] 图21为本发明的再一实施例的封装基板的底面示意图。
- [0051] 图22为本发明的另一实施例的积体电路与电压补偿电路设于封装基板的结构立体图。
- [0052] 图23为本发明的再一实施例的驱动背板的结构立体图。
- [0053] 图24为本发明的另一实施例的发光二极管、备用发光二极管、积体电路、电压补偿电路与封装基板设于驱动背板的结构立体图。
- [0054] 图25为本发明的第二实施例对应图24的等效电路图。
- [0055] 图26为本发明的第三实施例的发光二极管显示器的结构立体图。
- [0056] 图27为本发明的第三实施例对应图6的等效电路图。
- [0057] 图28为本发明的第三实施例对应图12的等效电路图。
- [0058] 图29为本发明的第四实施例的发光二极管显示器的结构立体图。
- [0059] 图30为本发明的一实施例的第一封装基板与第二封装基板的顶面示意图。
- [0060] 图31为本发明的一实施例的第一封装基板与第二封装基板的底面示意图。
- [0061] 图32为本发明的一实施例的驱动背板的结构立体图。
- [0062] 图33为本发明的一实施例的发光二极管、备用发光二极管、第一封装基板与第二封装基板设于驱动背板的结构立体图。
- [0063] 图34为本发明的第四实施例对应图33的等效电路图。
- [0064] 图35为本发明的一实施例的第一积体电路、第二积体电路、第一电压补偿电路与第二电压补偿电路设于第一封装基板与第二封装基板的结构立体图。

[0065] 图36为本发明的一实施例的发光二极管体、备用发光二极管体、第一积体电路、第二积体电路、第一电压补偿电路、第二电压补偿电路、第一封装基板与第二封装基板设于驱动背板的结构立体图。

[0066] 图37为本发明的第一实施例对应图36的等效电路图。

[0067] 图38a至图38c为本发明的第四实施例的制作发光二极管体显示器的各步骤结构示意图。

[0068] 图39为本发明的第五实施例的发光二极管体显示器的结构立体图。

[0069] 图40为本发明的第五实施例对应图33的等效电路图。

[0070] 图41为本发明的另一实施例的第一积体电路、第二积体电路、第一电压补偿电路与第二电压补偿电路设于第一封装基板与第二封装基板的结构立体图。

[0071] 图42为本发明的另一实施例的发光二极管体、备用发光二极管体、第一积体电路、第二积体电路、第一电压补偿电路、第二电压补偿电路、第一封装基板与第二封装基板设于驱动背板的结构立体图。

[0072] 图43为本发明的第五实施例对应图42的等效电路图。

[0073] 图44为本发明的第六实施例的发光二极管体显示器的结构立体图。

[0074] 图45为本发明的第六实施例对应图33的等效电路图。

[0075] 图46为本发明的第六实施例对应图36的等效电路图。

[0076] 附图标记：

[0077] 1、1' …发光二极管体显示器

[0078] 10、10' …驱动背板

[0079] 100、100' …驱动积体电路

[0080] 101、101' …第一驱动积体电路

[0081] 102、102' …第二驱动积体电路

[0082] 11、11' …画素单元

[0083] 110、110' …发光二极管体

[0084] 111…封装基板

[0085] 111' …第一封装基板

[0086] 111''…第二封装基板

[0087] 1111、1111' …导电位置

[0088] 1112、1112' …导电空位

[0089] 112、112' …备用发光二极管体

[0090] 113…电压补偿电路

[0091] 113' …第一电压补偿电路

[0092] 113''…第二电压补偿电路

[0093] 114…积体电路

[0094] 114' …第一积体电路

[0095] 114''…第二积体电路

[0096] 115、115' …第一导电接垫

[0097] 116、116' …第二导电接垫

- [0098] 117、117' ...第三导电接垫
- [0099] 118、118' ...第四导电接垫
- [0100] 2...顶部电极
- [0101] 3...硅基板
- [0102] 31...硅穿孔
- [0103] 4...底部电极
- [0104] 5...载体
- [0105] 6...生长基板
- [0106] 7...母封装基板
- [0107] L...雷射
- [0108] A1、A1' ...第一阳极
- [0109] C1、C1' ...第一阴极
- [0110] A2、A2' ...第二阳极
- [0111] C2、C2' ...第二阴极
- [0112] A3、A3' ...第三阳极
- [0113] A4、A4' ...第四阳极
- [0114] COM1、COM1' ...第一共同阴极
- [0115] COM1'' ...第二共同阴极
- [0116] A5、A5' ...第五阳极
- [0117] A6、A6' ...第六阳极
- [0118] COM2...第二共同阴极
- [0119] COM2' ...第三共同阴极
- [0120] Vd...驱动电压
- [0121] GND...接地电压
- [0122] Vc...控制电压
- [0123] Vc1...第一控制电压
- [0124] Vc2...第二控制电压
- [0125] Vs...显示电压
- [0126] Vs1...第一显示电压
- [0127] Vs2...第二显示电压
- [0128] c1、c1' ...第一阴极
- [0129] c2、c2' ...第二阴极
- [0130] a1...第一阳极
- [0131] a2...第二阳极
- [0132] a3...第三阳极
- [0133] com1...第一共同阴极
- [0134] a4、a4' ...第四阳极
- [0135] a5、a5' ...第五阳极
- [0136] a6...第六阳极

- [0137] a7…第七阳极
- [0138] a8…第八阳极
- [0139] com2…第二共同阴极
- [0140] Vd1…第一驱动电压
- [0141] Vd2…第二驱动电压
- [0142] Vdd…电源电压

### 具体实施方式

[0143] 本发明的实施例将藉由下文配合相关图式进一步加以解说。尽可能的，于图式与说明书中，相同标号系代表相同或相似构件。于图式中，基于简化与方便标示，形状与厚度可能经过夸大表示。可以理解的是，未特别显示于图式中或描述于说明书中的元件，为所属技术领域中具有通常技术者所知的形态。本领域的通常技术者可依据本发明的内容而进行多种的改变与修改。

[0144] 当一个元件被称为『在…上』时，它可泛指该元件直接在其他元件上，也可以是有其他元件存在于两者之中。相反地，当一个元件被称为『直接在』另一元件，它是不能有其他元件存在于两者的中间。如本文所用，词汇『及/或』包含了列出的关联项目中的一个或多个的任何组合。

[0145] 于下文中关于“一个实施例”或“一实施例”的描述系指关于至少一实施例内所相关连的一特定元件、结构或特征。因此，于下文中多处所出现的“一个实施例”或“一实施例”的多个描述并非针对同一实施例。再者，于一或多个实施例中的特定构件、结构与特征可依照一适当方式而结合。

[0146] 揭露特别以下述例子加以描述，这些例子仅系用以举例说明而已，因为对于熟习此技艺者而言，在不脱离本揭示内容的精神和范围内，当可作各种的更动与润饰，因此本揭示内容的保护范围当视后附的申请专利范围所界定者为准。在通篇说明书与申请专利范围中，除非内容清楚指定，否则「一」以及「该」的意义包含这一类叙述包括「一或至少一」该元件或成分。此外，如本揭露所用，除非从特定上下文明显可见将复数个排除在外，否则单数冠词亦包括复数个元件或成分的叙述。而且，应用在此描述中与下述的全部申请专利范围中时，除非内容清楚指定，否则「在其中」的意思可包含「在其中」与「在其上」。在通篇说明书与申请专利范围所使用的用词 (terms)，除有特别注明，通常具有每个用词使用在此领域中、在此揭露的内容中与特殊内容中的平常意义。某些用以描述本揭露的用词将于下或在此说明书的别处讨论，以提供从业人员 (practitioner) 在有关本揭露的描述上额外的引导。在通篇说明书的任何地方的例子，包含在此所讨论的任何用词的例子，仅系用以举例说明，当然不限制本揭露或任何例示用词的范围与意义。同样地，本揭露并不限于此说明书中所提出的各种实施例。

[0147] 此外，若使用「电 (性) 耦接」或「电 (性) 连接」一词在此系包含任何直接及间接的电气连接手段。举例而言，若文中描述一第一装置电性耦接于一第二装置，则代表该第一装置可直接连接于该第二装置，或透过其他装置或连接手段间接地连接至该第二装置。另外，若描述关于电讯号的传输、提供，熟习此技艺者应该可了解电讯号的传递过程中可能伴随衰减或其他非理想性的变化，但电讯号传输或提供的来源与接收端若无特别叙明，实质上应

视为同一讯号。举例而言,若由电子电路的端点A传输(或提供)电讯号S给电子电路的端点B,其中可能经过一电晶体开关的源汲极两端及/或可能的杂散电容而产生电压降,但此设计的目的若非刻意使用传输(或提供)时产生的衰减或其他非理想性的变化而达到某些特定的技术效果,电讯号S在电子电路的端点A与端点B应可视为实质上为同一讯号。

[0148] 可了解如在此所使用的用词「包含(comprising)」、「包含(including)」、「具有(having)」、「含有(containing)」、「包含(involving)」等等,为开放性的(open-ended),即意指包含但不限于。另外,本发明的任一实施例或申请专利范围不须达成本发明所揭露的全部目的或优点或特点。此外,摘要部分和标题仅是用来辅助专利文件搜寻之用,并非用来限制发明作之申请专利范围。

[0149] 图1为本发明的第一实施例的发光二极体显示器的结构立体图。请参阅图1,以下介绍本发明的第一实施例的发光二极体显示器1。发光二极体显示器1包含一驱动背板10与复数个画素单元11,每一画素单元11包含至少一个发光二极体110与至少一个封装基板111,发光二极体110为,但不限于红色发光二极体、绿色发光二极体或蓝色发光二极体。此外,发光二极体110的尺寸不受限,可为次毫米发光二极体或微发光二极体。如图1所示,发光二极体110具有不同的剖面线代表不同颜色的发光二极体。封装基板111的顶面具有至少一个导电位置1111及其对应的至少一个导电空位1112。在第一实施例中,系以一个发光二极体110、一个封装基板111、一个导电位置1111及一个导电空位1112为例,但本发明并不以此为限。导电位置1111上设有发光二极体110,导电位置1111电性连接其上的发光二极体110。每一画素单元11的封装基板111的底面设于驱动背板10上,驱动背板10电性连接其上的每一画素单元11的发光二极体110与其对应的导电空位1112。在现有技术中,因为发光二极体并未覆盖驱动背板上的电路,故发光二极体彼此之间的间距较大。由于本发明的封装基板111设于驱动背板10与发光二极体110之间,将原来形成在驱动背板10上的电路转移到封装基板111上,故减少驱动背板10的电路复杂度,发光二极体110可以紧密排列,以增加发光面积的利用率,使发光二极体显示器1适用于高分辨率产品的应用。

[0150] 图2为本发明的一实施例的封装基板的顶面示意图。图3为本发明的一实施例的封装基板的底面示意图。图4为本发明的硅穿孔的结构剖视图。图5为本发明的一实施例的驱动背板的结构立体图。图6为本发明的一实施例的发光二极体、备用发光二极体与封装基板设于驱动背板的结构立体图。图7为本发明的第一实施例对应图6的等效电路图。请参阅图2、图3、图4、图5、图6与图7,以下以一个发光二极体110、一个封装基板111、一个导电位置1111及一个导电空位1112为例,说明发光二极体显示器1的结构。在本发明的一实施例中,导电位置1111可具有一第一阳极A1与一第一阴极C1,导电空位1112可具有一第二阳极A2与一第二阴极C2,封装基板111的底面可具有至少一个第三阳极A3、至少一个第四阳极A4与一第一共同阴极COM1。第三阳极A3的数量与导电位置1111的数量相同,且第四阳极A4的数量与导电空位1112的数量相同。第一阳极A1电性连接第三阳极A3,第二阳极A2电性连接第四阳极A4,第一阴极C1与第二阴极C2电性连接第一共同阴极COM1,第一阳极A1与第一阴极C1上设有发光二极体110,以电性连接第一阳极A1、第一阴极C1与发光二极体110。换句话说,发光二极体110的导电接点是在同一侧。上述电极可透过硅穿孔(through silicon via, TSV)相关技术彼此电性连接。举例来说,如图4所示,一顶部电极2透过硅基板3的硅穿孔31电性连接一底部电极4。在本发明的一实施例中,驱动背板10的表面可具有至少一个第五阳

极A5、至少一个第六阳极A6与一第二共同阴极COM2。第五阳极A5的数量与导电位置1111的数量相同,第六阳极A6的数量与导电空位1112的数量相同。第五阳极 A5电性连接第六阳极A6,第三阳极A3电性连接第五阳极A5,第四阳极A4电性连接第六阳极A6,第一共同阴极COM1电性连接第二共同阴极COM2,进而电性连接驱动背板10及其上的发光二极管110与其对应的导电空位1112。驱动背板10具有一驱动积体电路100,驱动积体电路100电性连接第一阳极A1、第二阳极A2、第三阳极A3、第四阳极A4、第五阳极A5、第六阳极A6与发光二极管110,并提供驱动电压Vd给发光二极管110与第二阳极A2。由于第二共同阴极COM2接收接地电压GND,故能将接地电压GND传送给发光二极管110与第二阴极 C2。当有发光二极管110坏掉时,发光二极管显示器1更可包含至少一个备用发光二极管112,其系设于对应坏掉的发光二极管110的导电空位1112上,以电性连接驱动背板10及其上的备用发光二极管112。具体而言,备用发光二极管112设于第二阳极A2与第二阴极C2上,并电性连接第二阳极A2与第二阴极C2,以接收驱动电压Vd与接地电压GND。因此,备用发光二极管112的导电接点也是位于同一侧。

[0151] 图8为本发明的另一实施例的封装基板的顶面示意图。图9为本发明的另一实施例的封装基板的底面示意图。图10为本发明的一实施例的积体电路与电压补偿电路设于封装基板的结构立体图。图11为本发明的另一实施例的驱动背板的结构立体图。图12为本发明的一实施例的发光二极管、备用发光二极管、积体电路、电压补偿电路与封装基板设于驱动背板的结构立体图。图13为本发明的第一实施例对应图12的等效电路图。请参阅图8、图9、图 10、图11、图12与图13,以下以一个发光二极管110、一个封装基板111、一个导电位置1111及一个导电空位1112为例,说明发光二极管显示器1的结构。在本发明的另一实施例中,每一画素单元11更包含至少一个电压补偿电路113与一积体电路114。在第一实施例中,一个画素单元11的发光二极管110与电压补偿电路113的数量是相同的。积体电路114设于封装基板111与电压补偿电路113之间,并设于导电位置1111及其对应的导电空位1112上。电压补偿电路113设于积体电路114与发光二极管110之间,且位于导电位置1111及其对应的导电空位1112的正上方。发光二极管110透过电压补偿电路113与积体电路114电性连接导电位置1111,电压补偿电路113透过积体电路114电性连接对应的导电空位1112。积体电路114与电压补偿电路113的位置并不受限。在本发明的某些实施例中,积体电路114与电压补偿电路113可直接设于封装基板111的表面。积体电路114用以产生至少一个控制电压Vc。电压补偿电路113用以接收控制电压Vc,并将其进行电压补偿,以产生至少一个显示电压Vs,且传送显示电压Vs给发光二极管110。举例来说,一个画素单元11的控制电压Vc与显示电压Vs的数量是相同的,可以皆等于一个画素单元11的发光二极管110的数量。由于对应控制电压Vc的电流会受到薄膜晶体管的迁移率与阈值电压、发光二极管110的驱动电压及电源电压的影响,故电压补偿电路113可包含电容、电阻与电感,以消除这些因素的影响,例如薄膜电晶体的阈值电压的变化、导电线路上的电压降与发光二极管110的阈值电压的漂移。

[0152] 具体而言,导电位置1111可具有一第一阴极c1,导电空位1112可具有一第二阴极c2,封装基板111的底面可具有一第一阳极a1、一第二阳极a2、一第三阳极a3与一第一共同阴极com1。第一阴极c1与第二阴极c2可透过硅穿孔电性连接第一共同阴极com1。导电位置1111与导电空位1112上设有积体电路114,以电性连接导电位置1111、导电空位1112与积体

电路114。积体电路114上设有电压补偿电路113,并与其电性连接。电压补偿电路113的顶面具有一第四阳极a4与一第五阳极a5。发光二极管110可透过第一导电接垫115与第二导电接垫116分别设于第四阳极a4与第一阴极c1上,以电性连接第四阳极a4、第一阴极c1与发光二极管110。换句话说,发光二极管110的导电接点是在同一侧。在本发明的一实施例中,驱动背板10的表面可具有一第六阳极a6、一第七阳极a7、一第八阳极a8与一第二共同阴极com2。第六阳极a6电性连接第一阳极a1,第七阳极a7电性连接第二阳极a2,第八阳极a8电性连接第三阳极a3,第二共同阴极com2电性连接第一共同阴极com1。驱动背板10具有一第一驱动积体电路101与一第二驱动积体电路102,其中第一驱动积体电路101是用于驱动扫描线,第二驱动积体电路102是用于驱动资料线,但本发明并不以此为限。第一驱动积体电路101电性连接第六阳极a6、第一阳极a1与积体电路114,并提供第一驱动电压Vd1给积体电路114。第二驱动积体电路102电性连接第七阳极a7、第二阳极a2与积体电路114,并提供第二驱动电压Vd2给积体电路114。由于第八阳极a8接收电源电压Vdd,故能将电源电压Vdd传送给积体电路114。由于第二共同阴极com2接收接地电压GND,故能将接地电压GND传送给发光二极管110与积体电路114。积体电路114因应第一驱动电压Vd1、第二驱动电压Vd2与电源电压Vdd产生控制电压Vc。当有发光二极管110坏掉时,发光二极管显示器1更可包含至少一个备用发光二极管112,其系设于对应坏掉的发光二极管110的导电空位1112上,以电性连接驱动背板10及其上的备用发光二极管112。具体而言,备用发光二极管112可透过第三导电接垫117与第四导电接垫118分别设于第五阳极a5与第二阴极c2上,以电性连接第五阳极a5、第二阴极c2与备用发光二极管112。换句话说,备用发光二极管112的导电接点也是在同一侧。

[0153] 图14a至为图14c为本发明的第一实施例的制作发光二极管显示器的各步骤结构示意图。请参阅图14a至为图14c,以下介绍本发明的第一实施例的发光二极管显示器的制作方法。首先,如图14a所示,提供复数个画素单元11,其中每一画素单元11包含至少一个封装基板111与至少一个发光二极管110,封装基板111的顶面具有至少一个导电位置1111及其对应的至少一个导电空位1112,导电位置1111上设有发光二极管110,导电位置1111电性连接其上的发光二极管110。在第一实施例中,系以一个发光二极管110、一个封装基板111、一个导电位置1111及一个导电空位1112为例。假设所有的发光二极管110与所有的封装基板111都是正常的,则可如图14b所示,转移部分的封装基板111的底面至驱动背板10,以电性连接驱动背板10及其上的发光二极管110与其对应的导电空位1112;或者,转移每一画素单元11的封装基板111的底面至驱动背板10,以电性连接驱动背板10、每一画素单元11的导电空位1112与每一画素单元11上的发光二极管110。若无法判断所有的发光二极管110与所有的封装基板111的正常性,则可在提供所有画素单元11后,先施加电压给封装基板111,以判断每一画素单元11的封装基板111及其上的发光二极管110是否正常。若是,则转移正常的封装基板111的底面至驱动背板10,以电性连接驱动背板10及其上的发光二极管110与其对应的导电空位1112。若否,分离不正常的封装基板111与驱动背板10。最后,判断驱动背板10上的发光二极管110是否发光。若否,则如图14c所示,转移至少一个备用发光二极管112至导电空位1112,以电性连接驱动背板10及其上的备用发光二极管112。若是,则结束整个流程。

[0154] 图15为本发明的一实施例的载体及其上的备用发光二极管的结构立体图。图16a

至图 16b为本发明的一实施例的形成备用发光二极管于封装基板上的各步骤结构示意图。图16b 的驱动背板10、封装基板11与备用发光二极管112为图14c沿A-A' 线的结构剖视图。请参阅图14c、图15、图16a与图16b。当转移至少一个备用发光二极管112至导电空位1112，以电性连接驱动背板10及其上的备用发光二极管112时，先提供一载体5，其上设有复数个备用发光二极管112，备用发光二极管112的排列方式相同于导电位置1111与导电空位1112的排列方式，如图15所示。若欲在导电位置1111与导电空位1112的第二列的第一行与第二列的第四行形成备用发光二极管112，则根据载体5上备用发光二极管112的位置与间距，利用雷射L照射载体5上备用发光二极管112，将备用发光二极管112焊接至导电空位1112 上。

[0155] 图17a至图17d为本发明的一实施例的提供画素单元的各步骤结构示意图。请参阅图17a 至图17d，以下介绍提供画素单元11的流程。如图17a所示，提供一生长基板6，其上形成有复数个同色的发光二极管110。如图17b所示，提供具有导电位置1111与导电空位1112的一母封装基板7，并将发光二极管110以晶圆对晶圆的方式，转移至母封装基板7的导电位置1111上。如图17c所示，色彩化母封装基板7上的发光二极管110，使母封装基板7上的发光二极管110具有不同颜色。可于发光二极管110上形成量子点，以色彩化发光二极管 110，但本发明不限于此。如图17d所示，分割母封装基板7，以形成画素单元11。由于生长基板6只能形成单色的发光二极管110，现有技术要转移发光二极管110至驱动背板的次数与发光二极管110的色数相同。因此，只要图17c的步骤能够形成超过二种颜色的发光二极管110，将发光二极管110从生长基板6转移到驱动背板的次数就可以少于现有技术从不同生长基板将不同颜色的发光二极管直接转移到驱动背板的次数。

[0156] 图18为本发明的第二实施例的发光二极管显示器的结构立体图。请参阅图18，第二实施例与第一实施例差别在于同一个画素单元11的发光二极管110与导电位置1111的数量。在第二实施例中，发光二极管110与导电位置1111皆为复数个，所有发光二极管110分别设于所有导电位置1112上，并分别电性连接所有导电位置1112，所有发光二极管110的数量与所有导电位置1112的数量相同。发光二极管110包含红色发光二极管、绿色发光二极管与蓝色发光二极管，但本发明并不以此为限。

[0157] 图19为本发明的第二实施例对应图6的等效电路图。请参阅图2、图3、图4、图5、图6与图19，以下以复数个发光二极管110、一个封装基板111、复数个导电位置1111及一个导电空位1112为例，说明发光二极管显示器1的结构。第二实施例的结构与第一实施例的结构相似，以下仅说明不同处。在第二实施例中，每一导电位置1111可具有一第一阳极A1与一第一阴极C1，所有第一阳极A1分别电性连接所有第三阳极A3，所有第一阴极C1与第二阴极C2电性连接第一共同阴极COM1，所有第三阳极A3分别电性连接所有第五阳极A5。驱动积体电路100电性连接所有第一阳极A1、第二阳极A2、所有第三阳极A3、第四阳极A4、所有第五阳极A5、第六阳极A6与所有发光二极管110，并提供驱动电压Vd给所有发光二极管110 与第二阳极A2。

[0158] 图20为本发明的再一实施例的封装基板的顶面示意图。图21为本发明的再一实施例的封装基板的底面示意图。图22为本发明的另一实施例的积体电路与电压补偿电路设于封装基板的结构立体图。图23为本发明的再一实施例的驱动背板的结构立体图。图24为本发明的另一实施例的发光二极管、备用发光二极管、积体电路、电压补偿电路与封装基板设于驱动背板的结构立体图。图25为本发明的第二实施例对应图24的等效电路图。请参阅图

20、图 21、图22、图23、图24与图25,以下以复数个发光二极管110、一个封装基板111、复数个导电位置1111及一个导电空位1112为例,说明发光二极管显示器1的结构。在本发明的另一实施例中,每一画素单元11更包含复数个电压补偿电路113与一积体电路114。在第二实施例中,一个画素单元11的导电位置1111与导电空位1112的总数量与电压补偿电路113的数量是相同的。积体电路114设于封装基板111与所有电压补偿电路113之间,并设于导电位置1111及其对应的导电空位1112上。电压补偿电路113的其中一者设于积体电路114上,并位于导电空位1112的正上方,其余电压补偿电路113设于积体电路114与发光二极管110之间,且分别位于导电位置1111的正上方。发光二极管110透过电压补偿电路113与积体电路114分别电性连接导电位置1111,电压补偿电路113透过积体电路114电性连接对应的导电空位1112。积体电路114用以产生复数个控制电压 $V_c$ 。电压补偿电路113用以分别接收所有控制电压 $V_c$ ,并将其进行电压补偿,以产生复数个显示电压 $V_s$ ,且传送显示电压 $V_s$ 给发光二极管110。举例来说,一个画素单元11的控制电压 $V_c$ 与显示电压 $V_s$ 的数量是相同的,可以皆等于一个画素单元11的导电位置1111与导电空位1112的总数量。

[0159] 具体而言,每一导电位置1111可具有一第一阴极c1,导电空位1112可具有一第二阴极c2,封装基板111的底面可具有一第一阳极a1、一第二阳极a2、一第三阳极a3与一第一共同阴极com1。第一阴极c1与第二阴极c2可透过硅穿孔电性连接第一共同阴极com1。所有导电位置1111与导电空位1112上设有积体电路114,以电性连接所有导电位置1111、导电空位1112与积体电路114。积体电路114上设有所有电压补偿电路113,并与其电性连接。每一电压补偿电路113的顶面具有一第四阳极a4或一第五阳极a5。发光二极管110可透过第一导电接垫115与第二导电接垫116分别设于第四阳极a4与第一阴极c1上,以电性连接第四阳极a4、第一阴极c1与发光二极管110。换言之,发光二极管110的导电接点是在同一侧。在本发明的一实施例中,驱动背板10的表面可具有一第六阳极a6、一第七阳极a7、一第八阳极a8与一第二共同阴极com2。第六阳极a6电性连接第一阳极a1,第七阳极a7电性连接第二阳极a2,第八阳极a8电性连接第三阳极a3,第二共同阴极com2电性连接第一共同阴极com1。驱动背板10具有一第一驱动积体电路101与一第二驱动积体电路102。第一驱动积体电路101电性连接第六阳极a6、第一阳极a1与积体电路114,并提供第一驱动电压 $V_{d1}$ 给积体电路114。第二驱动积体电路102电性连接第七阳极a7、第二阳极a2与积体电路114,并提供第二驱动电压 $V_{d2}$ 给积体电路114。由于第八阳极a8接收电源电压 $V_{dd}$ ,故能将电源电压 $V_{dd}$ 传送给积体电路114。由于第二共同阴极com2接收接地电压GND,故能将接地电压GND传送给发光二极管110与积体电路114。积体电路114因应第一驱动电压 $V_{d1}$ 、第二驱动电压 $V_{d2}$ 与电源电压 $V_{dd}$ 产生所有控制电压 $V_c$ 。当有发光二极管110坏掉时,发光二极管显示器1更可包含至少一个备用发光二极管112,其系设于对应坏掉的发光二极管110的导电空位1112上,以电性连接驱动背板10及其上的备用发光二极管112。具体而言,备用发光二极管112可透过第三导电接垫117与第四导电接垫118分别设于第五阳极a5与第二阴极c2上,以电性连接第五阳极a5、第二阴极c2与备用发光二极管112。换言之,备用发光二极管112的导电接点也是在同一侧。积体电路114可以根据坏掉的发光二极管110所对应的控制电压 $V_c$ ,提供精准的控制电压 $V_c$ 给备用发光二极管112及其对应的电压补偿电路113,以减少导电空位1112占据的面积。

[0160] 以下介绍本发明的第二实施例的发光二极管显示器的制作方法。第二实施例的发

光二极管显示器的制作方法与第一实施例的发光二极管显示器的制作方法差别仅在画素单元11的结构,其余特征皆与第一实施例相同,于此不再赘述。由于第二实施例的每一封装基板111设有复数个发光二极管110,故能降低发光二极管110的转移次数并提高发光二极管110的转移成功率。

[0161] 图26为本发明的第三实施例的发光二极管显示器的结构立体图。请参阅图26,以下介绍本发明的第三实施例的发光二极管显示器1。第三实施例与第一实施例差别在于导电位置1111与导电空位1112的数量及其对应元件的数量。在第三实施例中,导电位置1111、导电空位1112与发光二极管110皆有复数个。所有发光二极管110分别设于所有导电位置1111上,并分别电性连接所有导电位置1111,所有发光二极管110的数量与所有导电位置1111的数量相同。发光二极管110包含红色发光二极管、绿色发光二极管与蓝色发光二极管。所有导电空位1112分别对应所有导电位置1111,所有导电空位1112的数量与所有导电位置1111的数量相同。

[0162] 图27为本发明的第三实施例对应图6的等效电路图。请参阅图2、图3、图4、图5、图6与图27,以下以复数个发光二极管110、一个封装基板111、复数个导电位置1111及复数个导电空位1112为例,说明发光二极管显示器1的结构。然而,第三实施例的各元件的连接关系与第一实施例的各元件的连接与结构关系相同,于此不再赘述。

[0163] 图28为本发明的第三实施例对应图12的等效电路图。请参阅图8、图9、图10、图11、图12与图28,以下以复数个发光二极管110、一个封装基板111、复数个电压补偿电路113、复数个导电位置1111及复数个导电空位1112为例,说明发光二极管显示器1的结构。然而,第三实施例的各元件的连接关系与第一实施例的各元件的连接与结构关系相同,于此不再赘述。

[0164] 以下介绍本发明的第三实施例的发光二极管显示器的制作方法。第三实施例的发光二极管显示器的制作方法与第一实施例的发光二极管显示器的制作方法差别仅在画素单元11的结构,其余特征皆与第一实施例相同,于此不再赘述。由于第三实施例的每一封装基板111设有复数个发光二极管110,故能降低发光二极管110的转移次数并提高发光二极管110的转移成功率。

[0165] 图29为本发明的第四实施例的发光二极管显示器的结构立体图。请参阅图29,以下介绍本发明的第四实施例的发光二极管显示器1'。发光二极管显示器1'包含一驱动背板10'与复数个画素单元11',每一画素单元11'包含至少一个发光二极管110'、一第一封装基板111'与一第二封装基板111'',发光二极管110'为红色发光二极管、绿色发光二极管或蓝色发光二极管,但本发明不限于此。此外,发光二极管110'的尺寸不受限,可为次毫米发光二极管或微发光二极管。如图29所示,发光二极管110'具有不同的剖面线代表不同颜色的发光二极管。第一封装基板111'的顶面具有至少一个导电位置1111',第二封装基板111''的顶面具有至少一个导电空位1112'。在第四实施例中,系以一个发光二极管110'、一个导电位置1111'及一个导电空位1112'为例,但本发明并不以此为限。导电位置1111'上设有发光二极管110',导电位置1111'电性连接其上的发光二极管110'。每一画素单元11'的第一封装基板111'与第二封装基板111''的底面设于驱动背板10'上,以电性连接驱动背板10'及其上的发光二极管110'与其对应的导电空位1112'。由于第一封装基板111'设于驱动背板10'与发光二极管110'之间,将原来形成在驱动背板10'上的电路转移到第一封装基板111'

上,故减少驱动背板10'的电路复杂度,发光二极管110'可以紧密排列,以增加发光面积的利用率,使发光二极管显示器1'适用于高解析度产品的应用。

[0166] 图30为本发明的一实施例的第一封装基板与第二封装基板的顶面示意图。图31为本发明的一实施例的第一封装基板与第二封装基板的底面示意图。图32为本发明的一实施例的驱动背板的结构立体图。图33为本发明的一实施例的发光二极管、备用发光二极管、第一封装基板与第二封装基板设于驱动背板的结构立体图。图34为本发明的第四实施例对应图33的等效电路图。请参阅图30、图31、图32、图33与图34,以下以一个发光二极管110'、一个导电位置1111'及一个导电空位1112'为例,说明发光二极管显示器1'的结构。在本发明的一实施例中,导电位置1111'可具有一第一阳极A1'与一第一阴极C1',导电空位1112'可具有一第二阳极A2'与一第二阴极C2',第一封装基板111'的底面可具有至少一个第三阳极A3'与一第一共同阴极COM1',第二封装基板111"的底面可具有至少一个第四阳极A4'与一第二共同阴极COM1"。第三阳极A3'的数量与导电位置1111'的数量相同,且第四阳极A4'的数量与导电空位1112'的数量相同。第一阳极A1'电性连接第三阳极A3',第二阳极A2'电性连接第四阳极A4',第一阴极C1'电性连接第一共同阴极COM1',第二阴极C2'电性连接第二共同阴极COM1",第一阳极A1'与第一阴极C1'上设有发光二极管110',以电性连接第一阳极A1'、第一阴极C1'与发光二极管110。换言之,发光二极管110'的导电接点是在同一侧。上述电极可透过硅穿孔彼此电性连接。在本发明的一实施例中,驱动背板10的表面可具有至少一个第五阳极A5'、至少一个第六阳极A6'与一第二共同阴极COM2'。第五阳极A5'的数量与导电位置1111'的数量相同,第六阳极A6'的数量与导电空位1112'的数量相同。第五阳极A5'电性连接第六阳极A6',第三阳极A3'电性连接第五阳极A5',第四阳极A4'电性连接第六阳极A6',第一共同阴极COM1'、第二共同阴极COM1"与第三共同阴极COM2'电性连接,进而电性连接驱动背板10'及其上的发光二极管110'与其对应的导电空位1112'。驱动背板10'具有一驱动积体电路100',驱动积体电路100'电性连接第一阳极A1'、第二阳极A2'、第三阳极A3'、第四阳极A4'、第五阳极A5'、第六阳极A6'与发光二极管110',并提供驱动电压Vd给发光二极管110'与第二阳极A2'。由于第三共同阴极COM2'接收接地电压GND,故能将接地电压GND传送给发光二极管110'与第二阴极C2'。当有发光二极管110'坏掉时,发光二极管显示器1'更可包含至少一个备用发光二极管112',其系设于对应坏掉的发光二极管110'的导电空位1112'上,以电性连接驱动背板10'及其上的备用发光二极管112'。具体而言,备用发光二极管112'设于第二阳极A2'与第二阴极C2'上,并电性连接第二阳极A2'与第二阴极C2',以接收驱动电压Vd与接地电压GND。因此,备用发光二极管112'的导电接点也是位于同一侧。

[0167] 图35为本发明的一实施例的第一积体电路、第二积体电路、第一电压补偿电路与第二电压补偿电路设于第一封装基板与第二封装基板的结构立体图。图36为本发明的一实施例的发光二极管、备用发光二极管、第一积体电路、第二积体电路、第一电压补偿电路、第二电压补偿电路、第一封装基板与第二封装基板设于驱动背板的结构立体图。图37为本发明的第一实施例对应图36的等效电路图。请参阅图35、图36与图37,以下以一个发光二极管110'、一个导电位置1111'及一个导电空位1112'为例,说明发光二极管显示器1'的结构。在本发明的另一实施例中,每一画素单元11更包含至少一个第一电压补偿电路113'、至少一个第二电压补偿电路113"、一第一积体电路114'与一第二积体电路114"。在第四实施例中,

一个画素单元11'的发光二极管110'与第一电压补偿电路113'的数量是相同的。第一积体电路114'设于第一封装基板111'与第一电压补偿电路113'之间,并设于导电位置1111'上。第一电压补偿电路113'设于第一积体电路114'与发光二极管110'之间,且位于导电位置1111'的正上方。第一积体电路114'与第一电压补偿电路113'的位置并不受限。在本发明的某些实施例中,第一积体电路114'与第一电压补偿电路113'可直接设于第一封装基板111'的表面。发光二极管110'透过第一电压补偿电路113'与第一积体电路114'电性连接导电位置1111'。第一积体电路114'用以产生至少一个第一控制电压 $V_{c1}$ 。第一电压补偿电路113'用以接收第一控制电压 $V_{c1}$ ,并将其进行电压补偿,以产生至少一个第一显示电压 $V_{s1}$ ,且传送第一显示电压 $V_{s1}$ 给发光二极管110'。举例来说,一个画素单元11'的第一控制电压 $V_{c1}$ 与第一显示电压 $V_{s1}$ 的数量是相同的,可以皆等于一个画素单元11'的发光二极管110'的数量。由于对应第一控制电压 $V_{c1}$ 的电流会受到薄膜晶体管的迁移率与阈值电压、发光二极管110'的驱动电压及电源电压的影响,故第一电压补偿电路113'可包含电容、电阻与电感,以消除这些因素的影响,例如薄膜电晶体的阈值电压的变化、导电线路上的电压降与发光二极管110'的阈值电压的飘移。

[0168] 在第四实施例中,一个画素单元11'的导电空位1112'与第二电压补偿电路113"的数量是相同的。第二积体电路114"设于第二封装基板111"与第二电压补偿电路113"之间,并设于导电空位1112'上。第二电压补偿电路113"设于第二积体电路114"上,且位于导电空位1112'的正上方。第二积体电路114"与第二电压补偿电路113"的位置并不受限。在本发明的某些实施例中,第二积体电路114"与第二电压补偿电路113"可直接设于第二封装基板111"的表面。第二电压补偿电路113"透过第二积体电路114"电性连接导电空位1112'。第二积体电路114"用以产生至少一个第二控制电压 $V_{c2}$ 。第二电压补偿电路113"用以接收第二控制电压 $V_{c2}$ ,并将其进行电压补偿,以产生至少一个第二显示电压 $V_{s2}$ ,且传送第二显示电压 $V_{s2}$ 给导电空位1112'。举例来说,一个画素单元11'的第二控制电压 $V_{c2}$ 与第二显示电压 $V_{s2}$ 的数量是相同的,可以皆等于一个画素单元11'的导电空位1112'的数量。第二电压补偿电路113"与第一电压补偿电路113'的功能相同,于此不再赘述。

[0169] 具体而言,导电位置1111'可具有一第一阴极 $c1'$ ,导电空位1112'可具有一第二阴极 $c2'$ 。导电位置1111'上设有第一积体电路114',以电性连接导电位置1111'与第一积体电路114'。导电空位1112'上设有第二积体电路114",以电性连接导电空位1112'与第二积体电路114"。第一积体电路114'上设有第一电压补偿电路113',并与其电性连接。第一电压补偿电路113'的顶面具有一第四阳极 $a4'$ 。第二积体电路114"上设有第二电压补偿电路113",并与其电性连接。第二电压补偿电路113"的顶面具有一第五阳极 $a5'$ 。发光二极管110'可透过第一导电接垫115'与第二导电接垫116'分别设于第四阳极 $a4'$ 与第一阴极 $c1'$ 上,以电性连接第四阳极 $a4'$ 、第一阴极 $c1'$ 与发光二极管110'。换句话说,发光二极管110'的导电接点是在同一侧。驱动背板10'具有一第一驱动积体电路101'与一第二驱动积体电路102'。第一驱动积体电路101'电性连接第一封装基板111'、第二封装基板111"、第一积体电路114'与第二积体电路114",并提供第一驱动电压 $V_{d1}$ 给第一积体电路114'与第二积体电路114"。第二驱动积体电路102'电性连接第一封装基板111'、第二封装基板111"、第一积体电路114'与第二积体电路114",并提供第二驱动电压 $V_{d2}$ 给第一积体电路114'与第二积体电路114"。由于驱动背板10'接收电源电压 $V_{dd}$ 与接地电压GND,故能将电源电压 $V_{dd}$ 与接地电压

GND传送给第一积体电路114'与第二积体电路114'',亦能传送接地电压GND给发光二极管110'。第一积体电路114'因应第一驱动电压Vd1、第二驱动电压Vd2与电源电压Vdd产生第一控制电压Vc1。第二积体电路114''因应第一驱动电压Vd1、第二驱动电压Vd2与电源电压Vdd产生第二控制电压Vc2。当有发光二极管110'坏掉时,发光二极管显示器1'更可包含至少一个备用发光二极管112',其系设于对应坏掉的发光二极管110'的导电空位1112'上,以电性连接驱动背板10'及其上的备用发光二极管112'。具体而言,备用发光二极管112'可透过第三导电接垫117'与第四导电接垫118'分别设于第五阳极a5'与第二阴极c2'上,以电性连接第五阳极a5'、第二阴极c2'与备用发光二极管112'。换言之,备用发光二极管112'的导电接点也是在同一侧。

[0170] 图38a至为图38c为本发明的第四实施例的制作发光二极管显示器的各步骤结构示意图。请参阅图38a至为图38c,以下介绍本发明的第四实施例的发光二极管显示器的制作方法。首先,如图38a所示,提供复数个画素单元11',其中每一画素单元11'包含一第一封装基板111'与一第二封装基板111''与至少一个发光二极管110',第一封装基板111'的顶面具有至少一个导电位置1111',第二封装基板111''支顶面具有至少一个导电空位1112',导电位置1111'上设有发光二极管110',导电位置1111'电性连接其上的发光二极管110'。在第四实施例中,系以一个发光二极管110'、一个导电位置1111'及一个导电空位1112'为例。假设所有的发光二极管110'、所有的第一封装基板111'与所有的第二封装基板111''都是正常的,则可如图38b所示,转移部分的第一封装基板111'与部分的第二封装基板111''的底面至驱动背板10',以电性连接驱动背板10'及其上的发光二极管110'与其对应的导电空位1112';或者,转移所有画素单元11'的第一封装基板111'与第二封装基板111''的底面至驱动背板10',以电性连接驱动背板10'与每一画素单元11'的发光二极管110'与导电空位1112'。若无法判断所有的发光二极管110'与所有的第一封装基板111'的正常性,则可在提供所有画素单元11'后,先施加电压给第一封装基板111',以判断每一画素单元11'的第一封装基板111'及其上的发光二极管110'是否正常。若是,转移正常的第一封装基板111'与其对应的第二封装基板111''的底面至驱动背板10',以电性连接驱动背板10'及其上的发光二极管110'与其对应的导电空位1112'。若否,将不正常的第一封装基板111'与其对应的第二封装基板111''分离驱动背板10'。最后,判断驱动背板10'上的发光二极管110'是否发光。若否,则如图38c所示,转移至少一个备用发光二极管112'至导电空位1112',以电性连接驱动背板10'及其上的备用发光二极管112'。若是,则结束整个流程。

[0171] 第四实施例对应的形成备用发光二极管112'于第二封装基板111''上的流程与提供所有画素单元11'的流程与第一实施例对应的流程差别仅在于画素单元的结构,于此不再赘述。

[0172] 图39为本发明的第五实施例的发光二极管显示器的结构立体图。请参阅图39,第五实施例与第四实施例差别在于同一个画素单元11的发光二极管110'与导电位置1111'的数量。在第五实施例中,发光二极管110'与导电位置1111'皆为复数个,所有发光二极管110'分别设于所有导电位置1112'上,并分别电性连接所有导电位置1112',所有发光二极管110'的数量与所有导电位置1112'的数量相同。发光二极管110'包含红色发光二极管、绿色发光二极管与蓝色发光二极管,但本发明并不以此为限。

[0173] 图40为本发明的第五实施例对应图33的等效电路图。请参阅图30、图31、图32、图

33与图40,以下以复数个发光二极管110'、复数个导电位置1111'及一个导电空位1112'为例,说明发光二极管显示器1'的结构。第五实施例的结构与第四实施例的结构相似,以下仅说明不同处。在第五实施例中,每一导电位置1111'可具有一第一阳极A1'与一第一阴极C1',所有第一阳极A1'分别电性连接所有第三阳极A3',所有第一阴极C1'电性连接第一共同阴极COM1',所有第三阳极A3'分别电性连接所有第五阳极A5'。驱动积体电路100'电性连接所有第一阳极A1'、第二阳极A2'、所有第三阳极A3'、第四阳极A4'、所有第五阳极A5'、第六阳极A6'与所有发光二极管110',并提供驱动电压Vd给所有发光二极管110'与第二阳极A2'。

[0174] 图41为本发明的另一实施例的第一积体电路、第二积体电路、第一电压补偿电路与第二电压补偿电路设于第一封装基板与第二封装基板的结构立体图。图42为本发明的另一实施例的发光二极管、备用发光二极管、第一积体电路、第二积体电路、第一电压补偿电路、第二电压补偿电路、第一封装基板与第二封装基板设于驱动背板的结构立体图。图43为本发明的第五实施例对应图42的等效电路图。请参阅图41、图42与图43,以下以复数个发光二极管110'、复数个导电位置1111'及一个导电空位1112'为例,说明发光二极管显示器1'的结构。第五实施例的结构与第四实施例的结构相似,以下仅说明不同处。在第五实施例中,所有第一电压补偿电路113'设于第一积体电路114'与所有发光二极管110'之间,且分别位于所有导电位置1111'的正上方。所有发光二极管110'分别设于所有第一电压补偿电路113'上。发光二极管110'透过第一电压补偿电路113'与第一积体电路114'分别电性连接导电位置1111'。

[0175] 具体而言,每一导电位置1111'可具有一第一阴极c1',所有导电位置1111'上设有第一积体电路114',以电性连接所有导电位置1111'与第一积体电路114'。第一积体电路114'上设有所有第一电压补偿电路113',并与其电性连接。每一第一电压补偿电路113'的顶面具有一第四阳极a4'。

[0176] 以下介绍本发明的第五实施例的发光二极管显示器的制作方法。第五实施例的发光二极管显示器的制作方法与第四实施例的发光二极管显示器的制作方法差别仅在画素单元11'的结构,其余特征皆与第五实施例相同,于此不再赘述。由于第四实施例的每一第一封装基板111'设有复数个发光二极管110',故能降低发光二极管110'的转移次数并提高发光二极管110'的转移成功率。

[0177] 图44为本发明的第六实施例的发光二极管显示器的结构立体图。请参阅图44,以下介绍本发明的第六实施例的发光二极管显示器1'。第六实施例与第四实施例差别在于导电位置1111'与导电空位1112'的数量及其对应元件的数量。在第六实施例中,导电位置1111'、导电空位1112'与发光二极管110'皆有复数个。所有发光二极管110'分别设于所有导电位置1111'上,并分别电性连接所有导电位置1111',所有发光二极管110'的数量与所有导电位置1111'的数量相同。发光二极管110'包含红色发光二极管、绿色发光二极管与蓝色发光二极管。所有导电空位1112'分别对应所有导电位置1111',所有导电空位1112'的数量与所有导电位置1111'的数量相同。

[0178] 图45为本发明的第六实施例对应图33的等效电路图。请参阅图30、图31、图32、图33与图45,以下以复数个发光二极管110'、复数个导电位置1111'及复数个导电空位1112'为例,说明发光二极管显示器1'的结构。然而,第六实施例的各元件的连接关系与第四实施

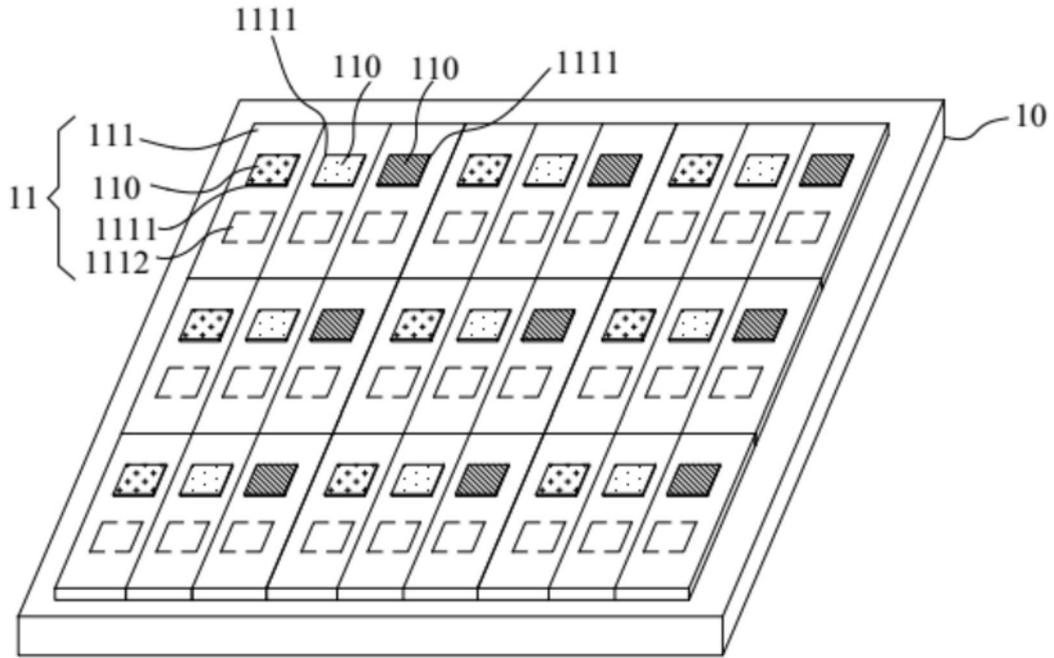
例的各元件的连接与结构关系相同,于此不再赘述。

[0179] 图46为本发明的第六实施例对应图36的等效电路图。请参阅图35、图36与图46,以下以复数个发光二极管110'、复数个第一电压补偿电路113'、复数个第二电压补偿电路113''、复数个导电位置1111'及复数个导电空位1112'为例,说明发光二极管显示器1'的结构。然而,第六实施例的各元件的连接关系与第四实施例的各元件的连接与结构关系相同,于此不再赘述。

[0180] 以下介绍本发明的第六实施例的发光二极管显示器的制作方法。第六实施例的发光二极管显示器的制作方法与第四实施例的发光二极管显示器的制作方法差别仅在画素单元11'的结构,其余特征皆与第四实施例相同,于此不再赘述。由于第六实施例的每一第一封装基板111'设有复数个发光二极管110',故能降低发光二极管110'的转移次数并提高发光二极管110'的转移成功率。

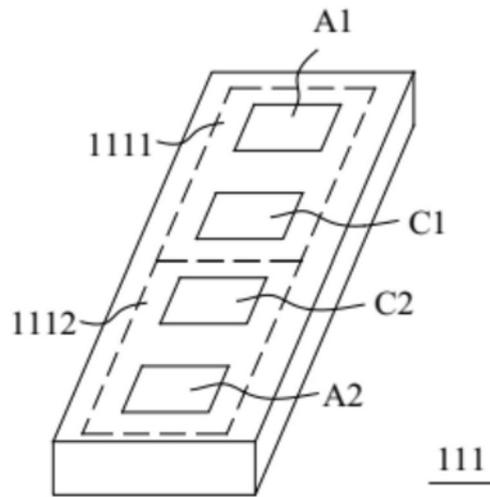
[0181] 根据上述实施例,发光二极管显示器及其制作方法将封装基板设于驱动背板与发光二极管之间,将原来形成在驱动背板上的电路转移到封装基板上,以减少驱动背板的电路复杂度,并增加发光面积的利用率,适用于高解析度产品的应用。此外,利用一封装基板同时将多个发光二极管转移至驱动背板上,以降低转移次数并提高转移成功率。

[0182] 以上所述者,仅为本发明一较佳实施例而已,并非用来限定本发明实施的范围,故举凡依本发明申请专利范围所述的形状、构造、特征及精神所为的均等变化与修饰,均应包括于本发明的申请专利范围内。



1

图1



111

图2

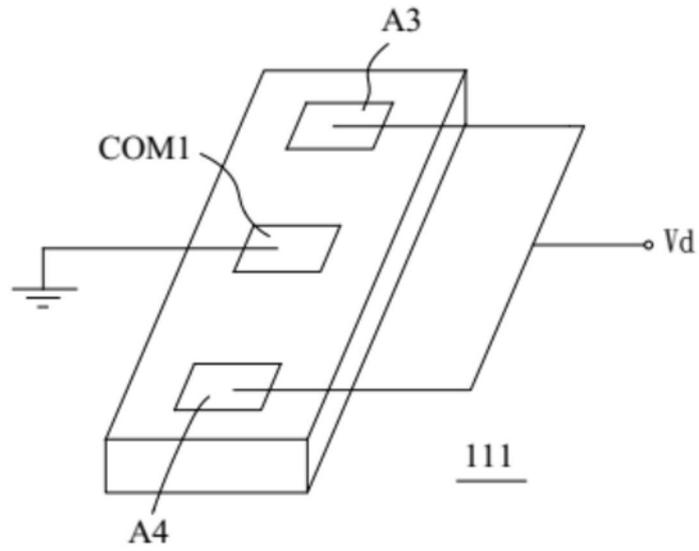


图3

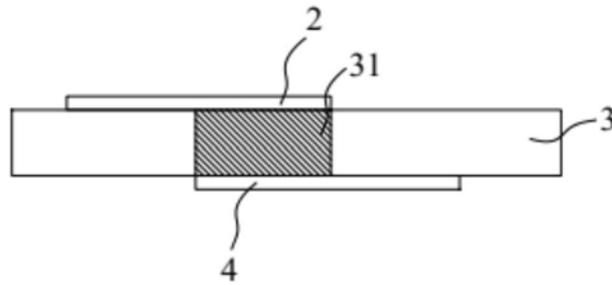


图4

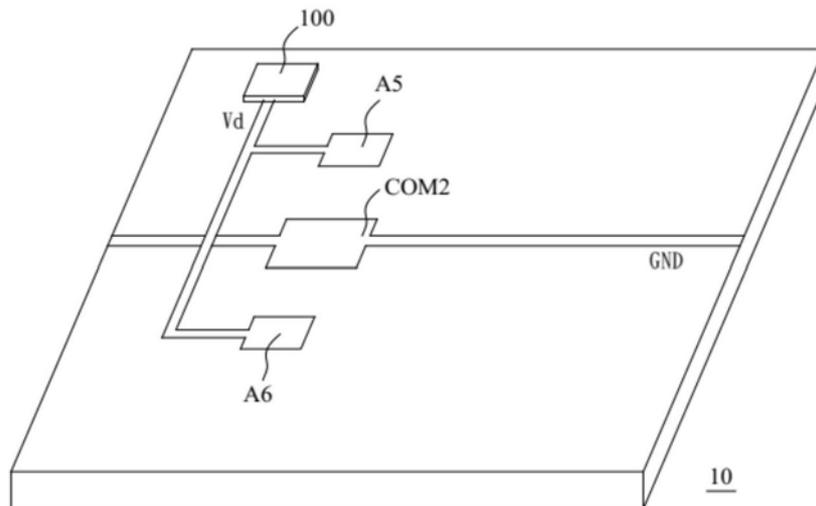


图5

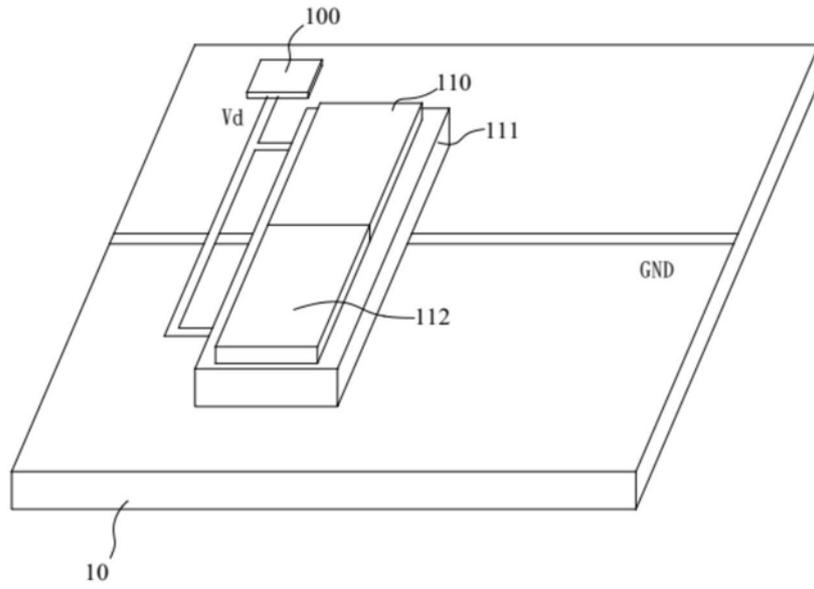


图6

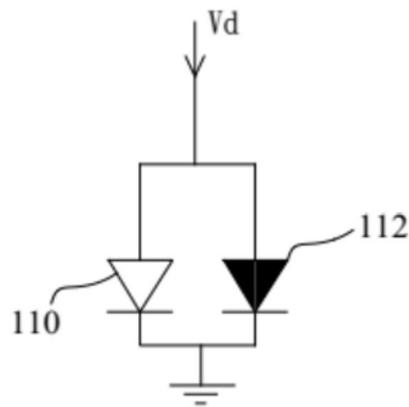


图7

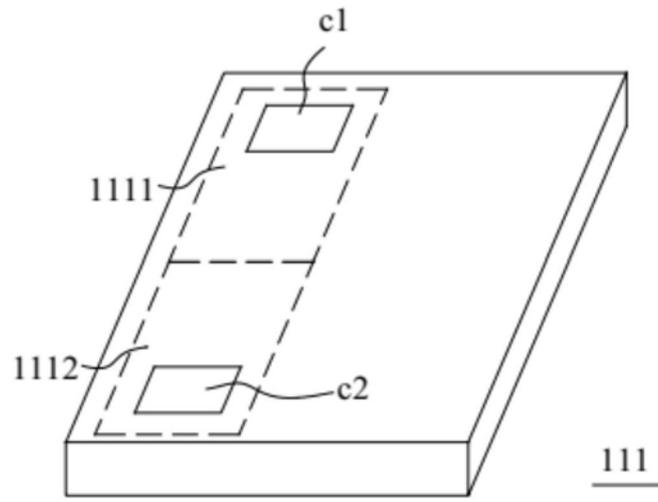


图8

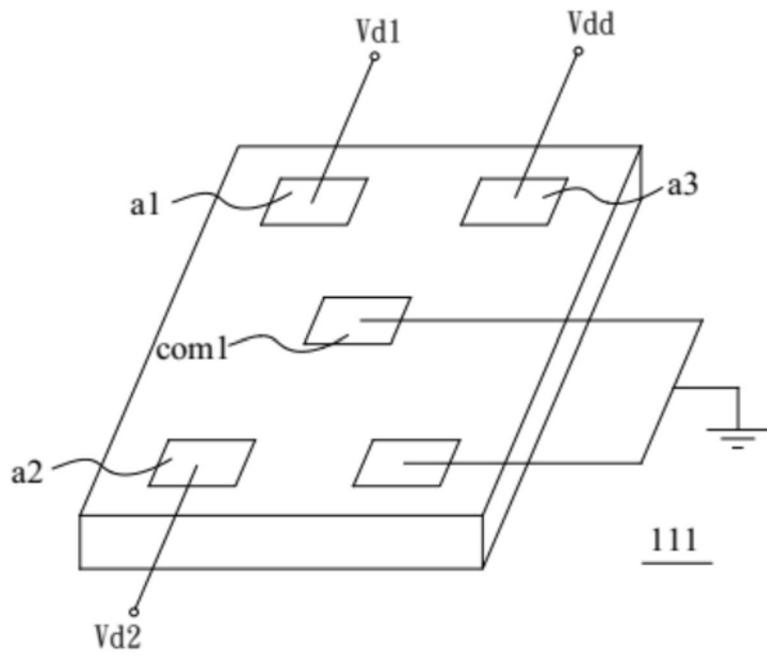


图9

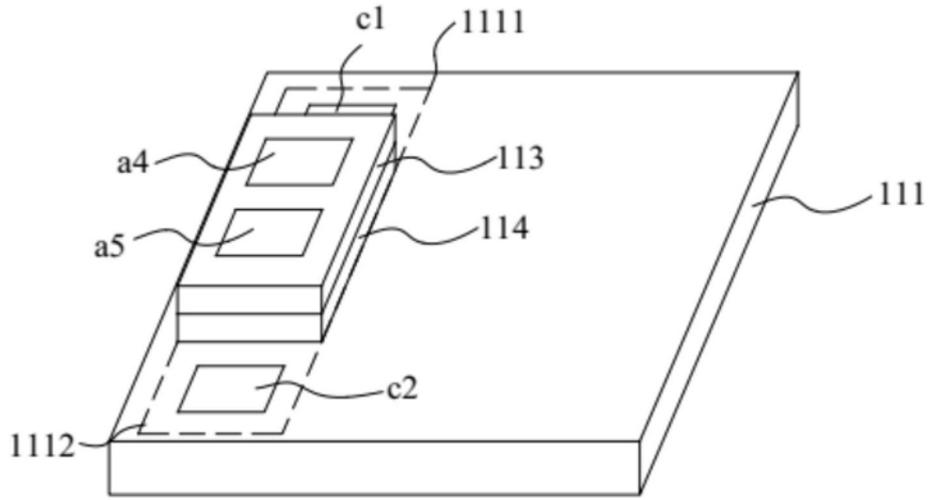


图10

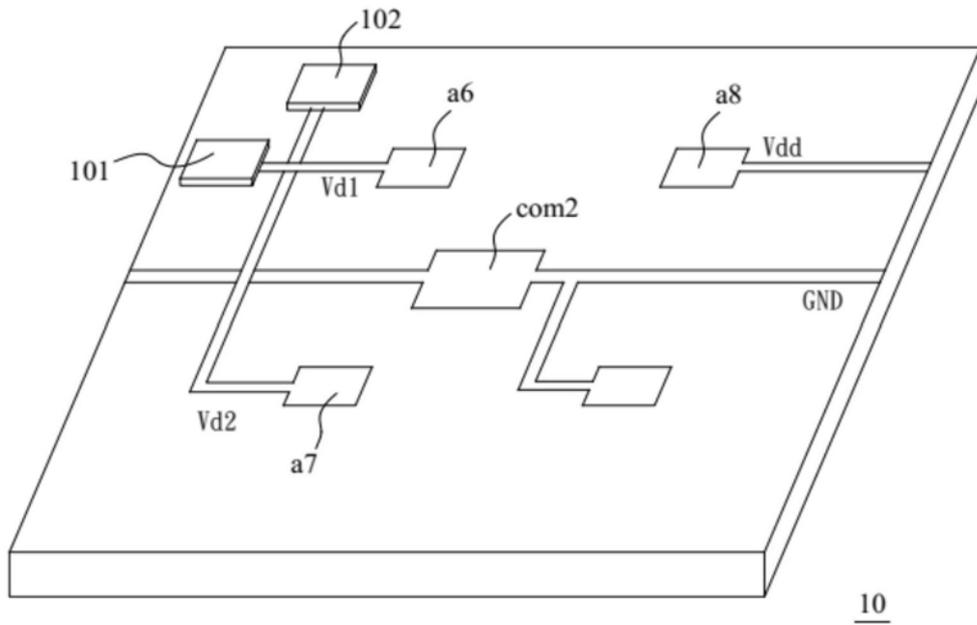


图11

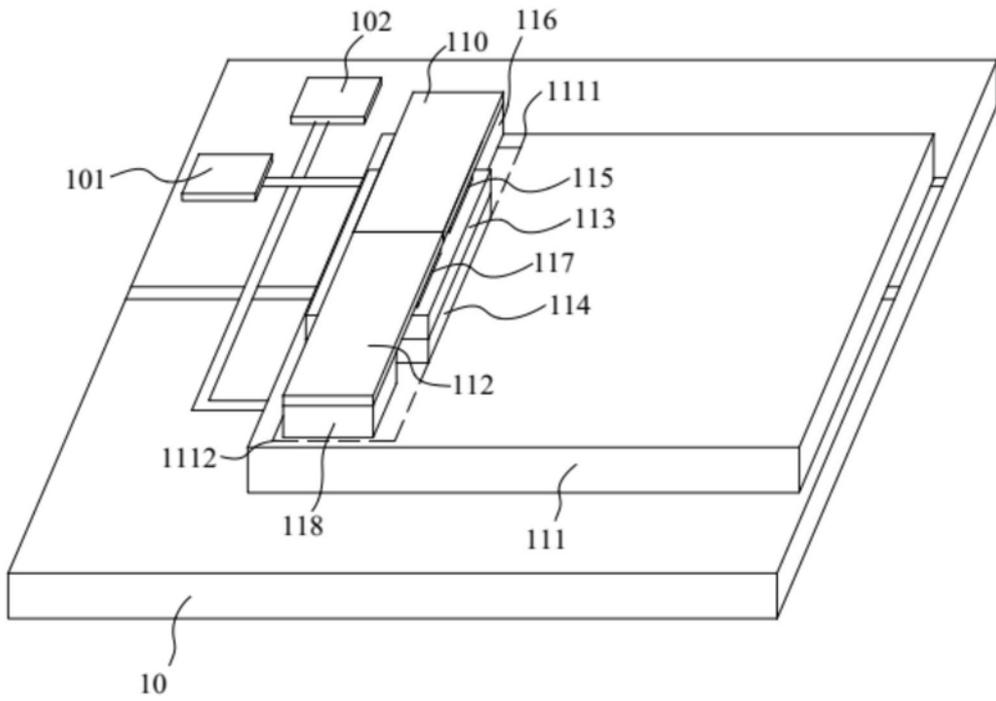


图12

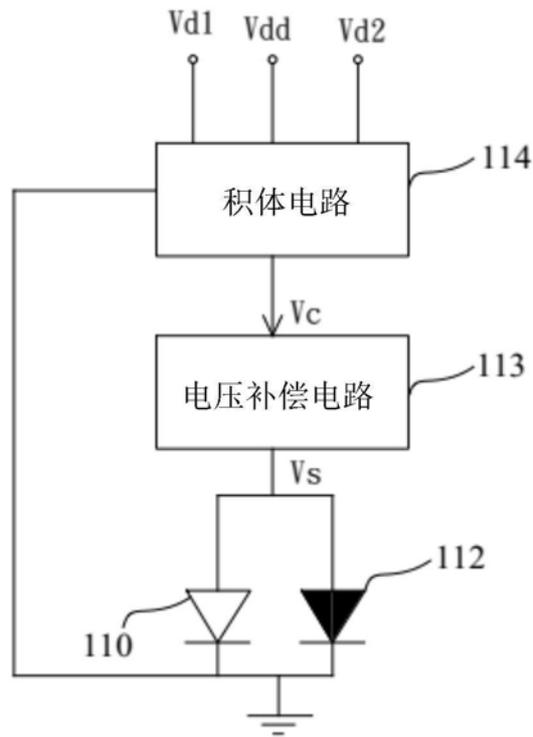


图13

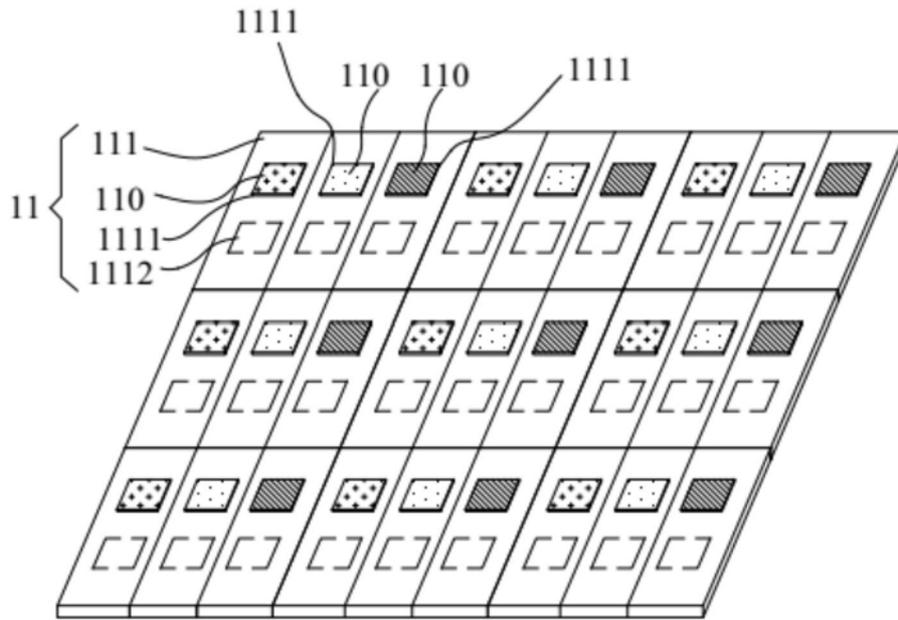


图14a

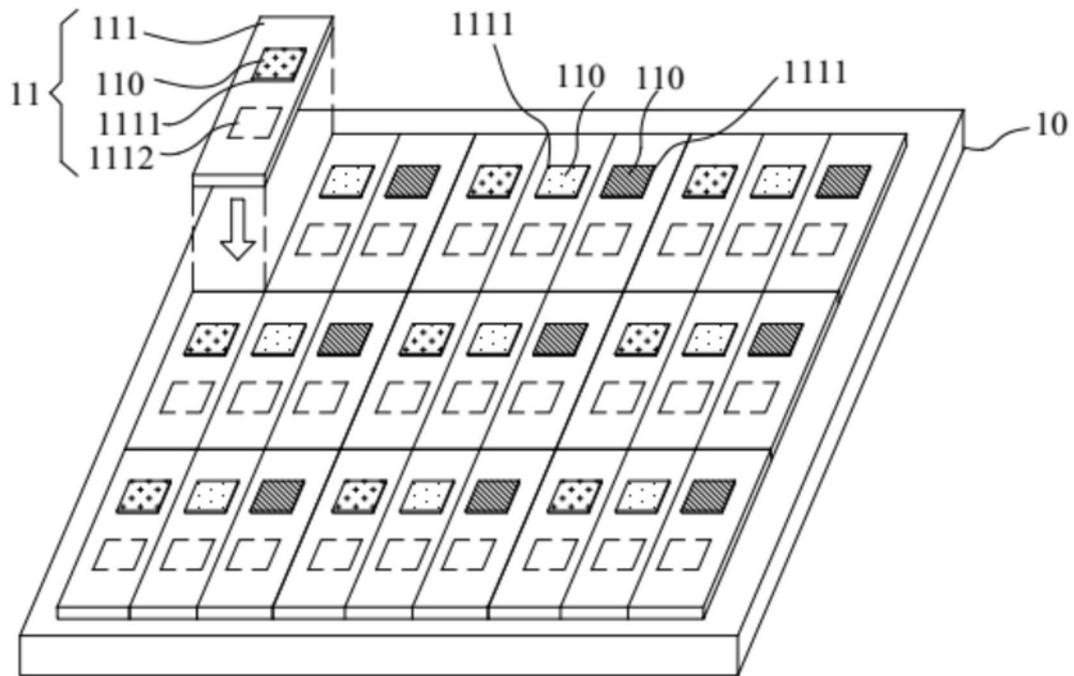


图14b

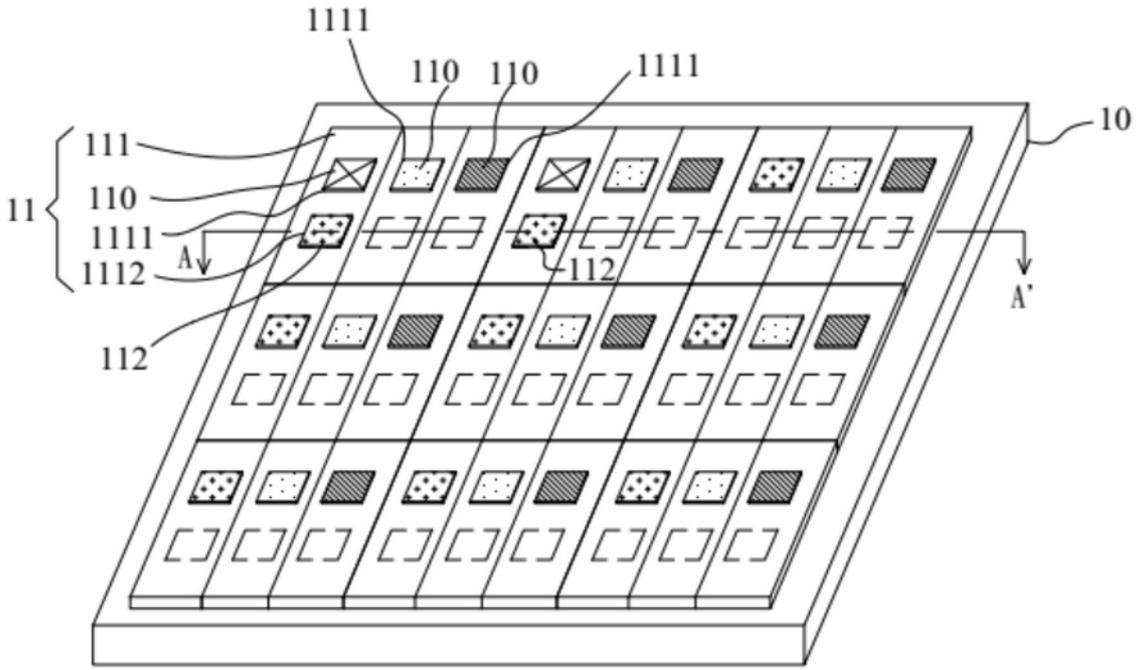


图14c

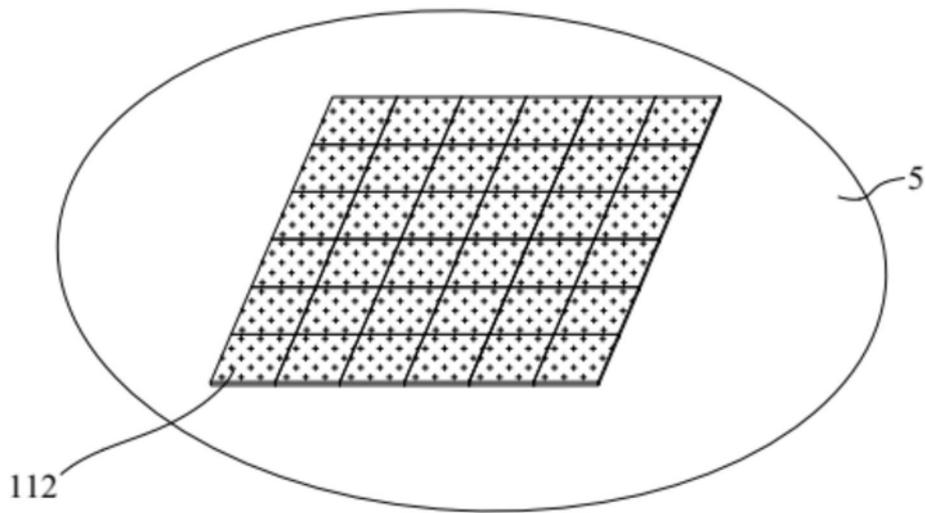


图15

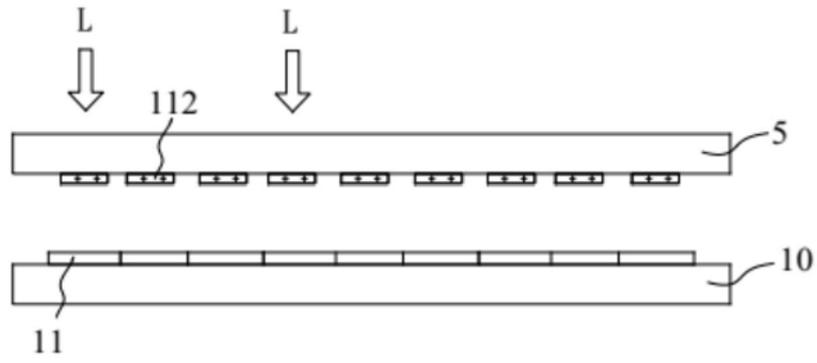


图16a

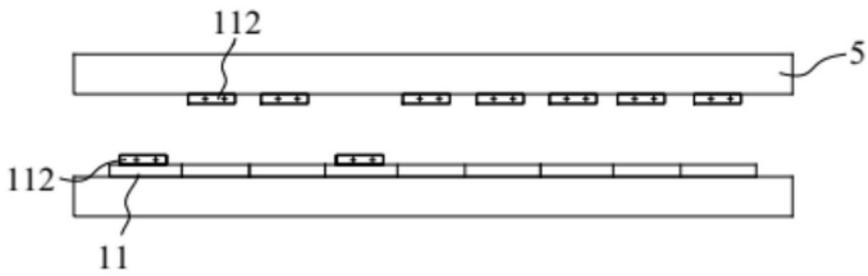


图16b

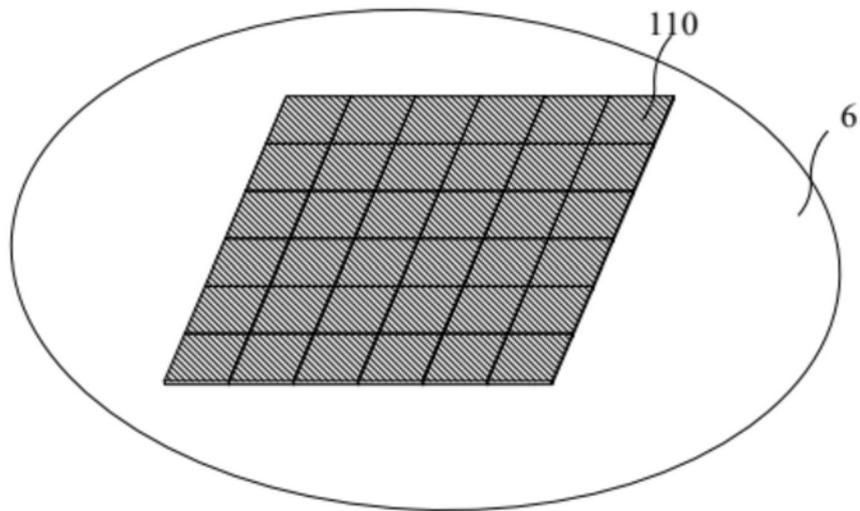


图17a

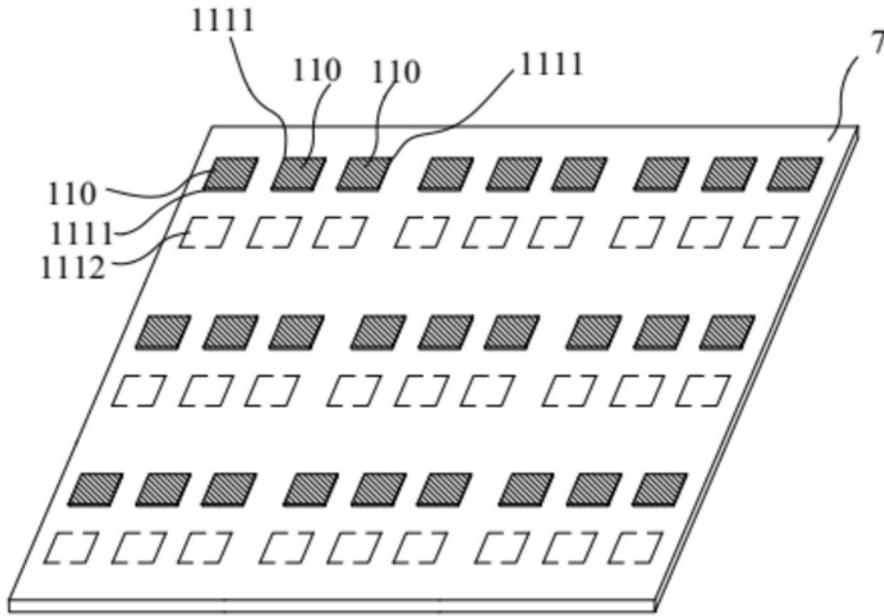


图17b

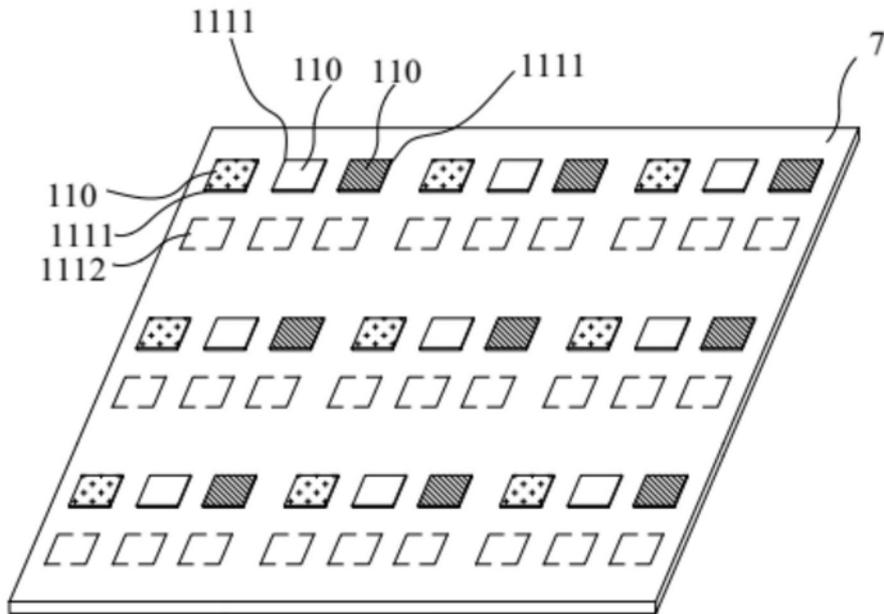


图17c

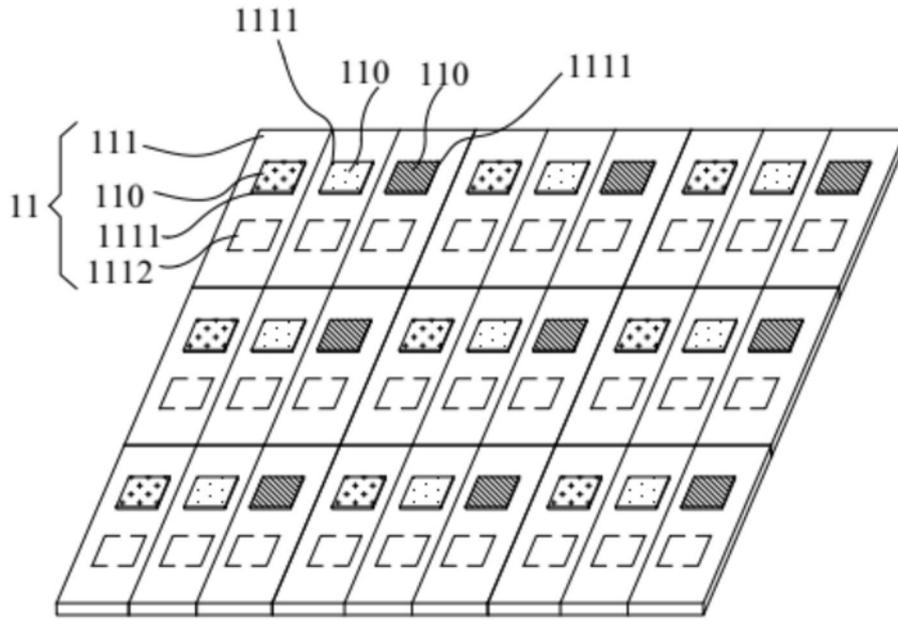


图17d

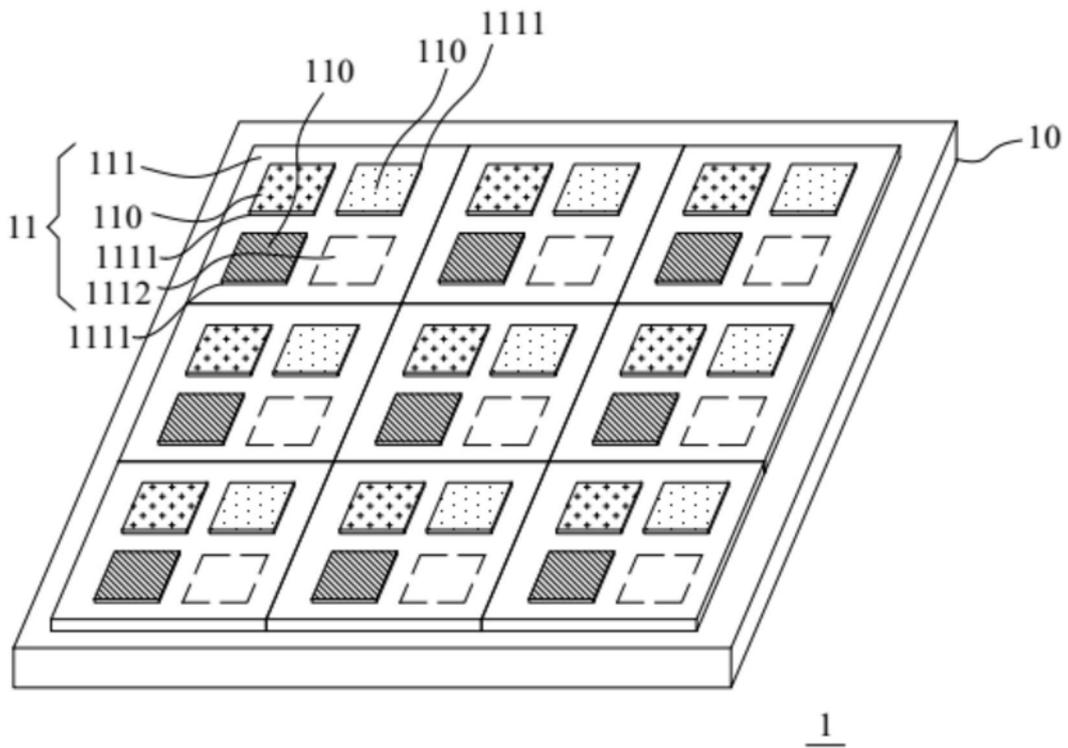


图18

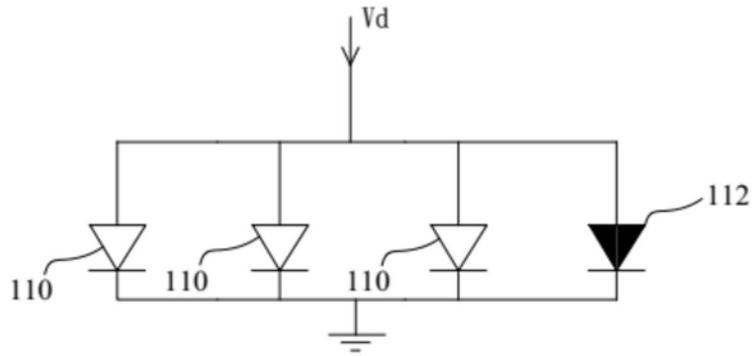


图19

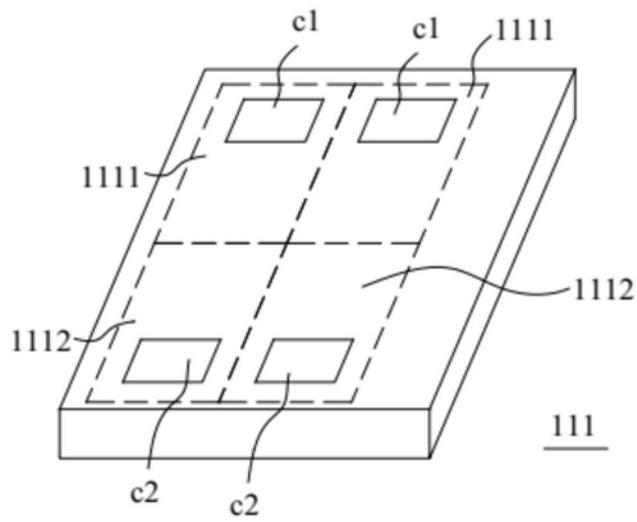


图20

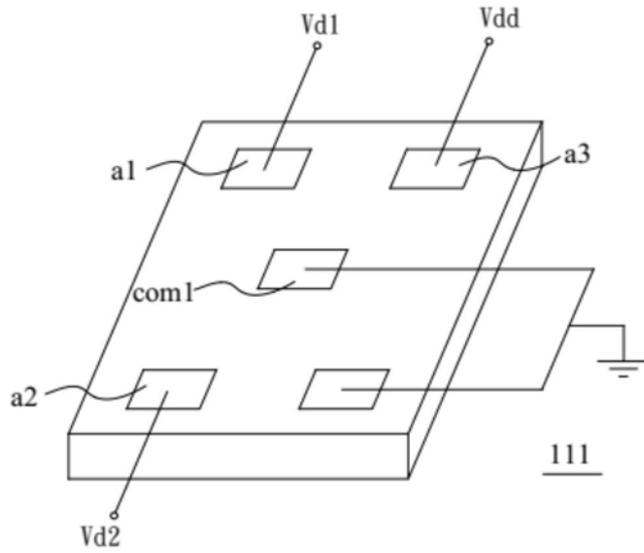


图21

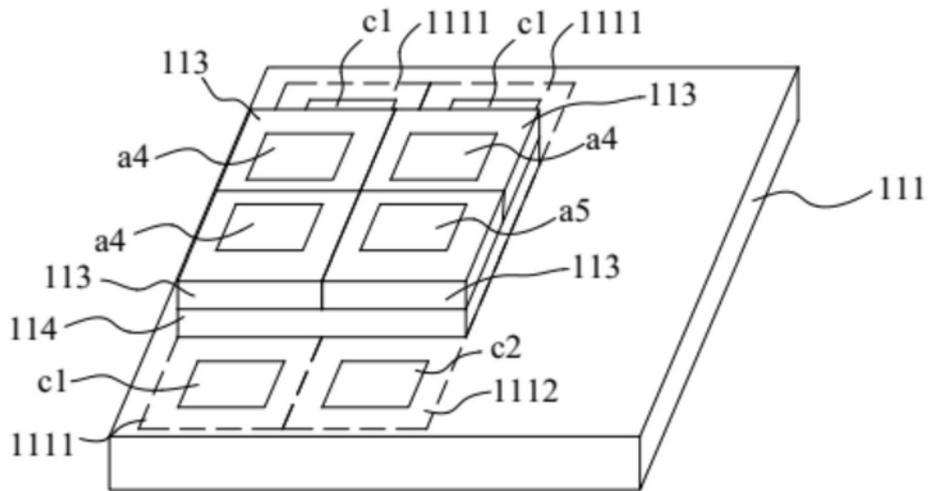


图22

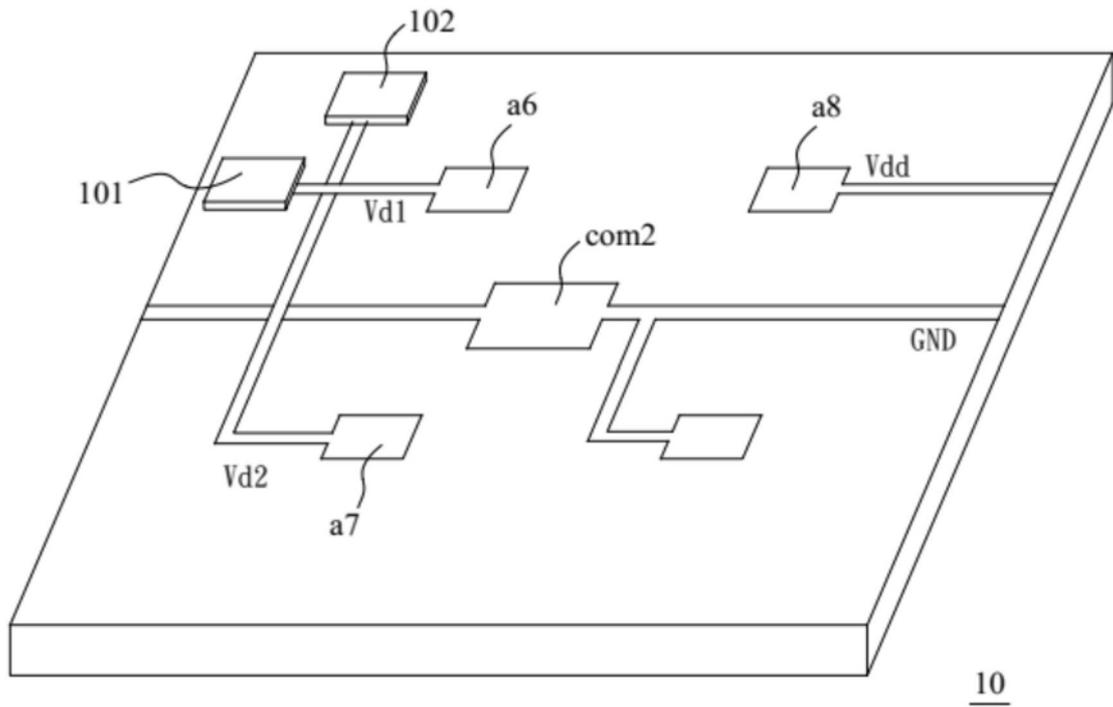


图23

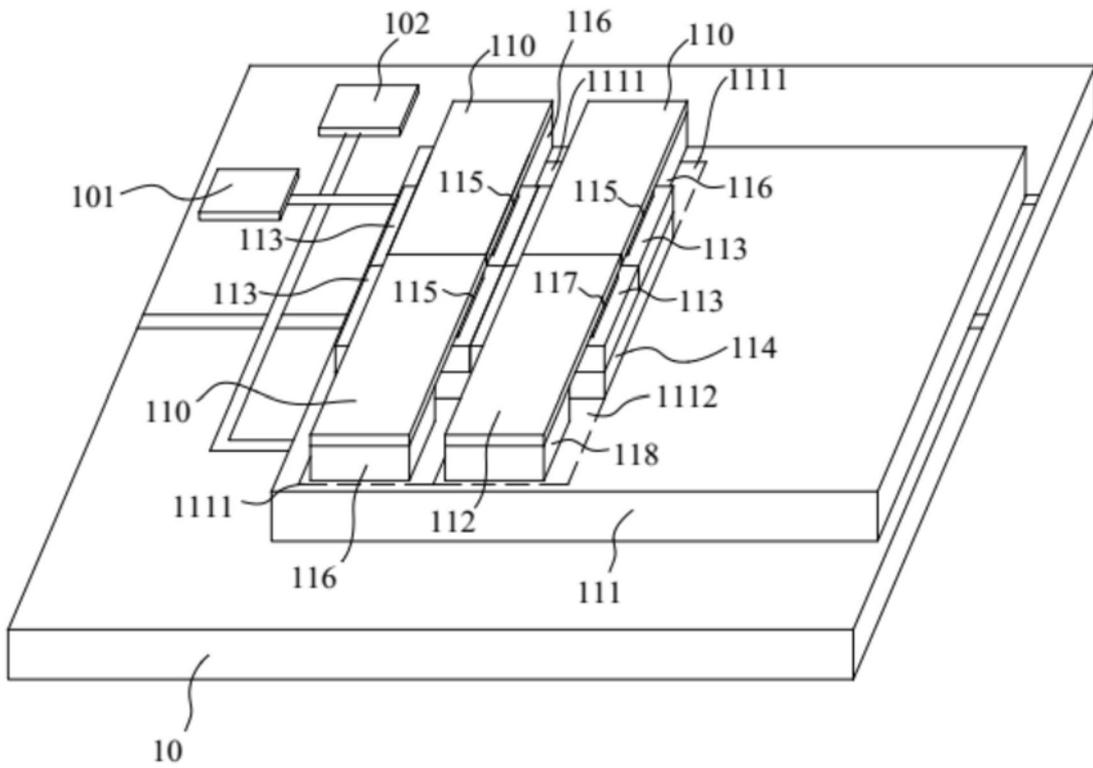


图24

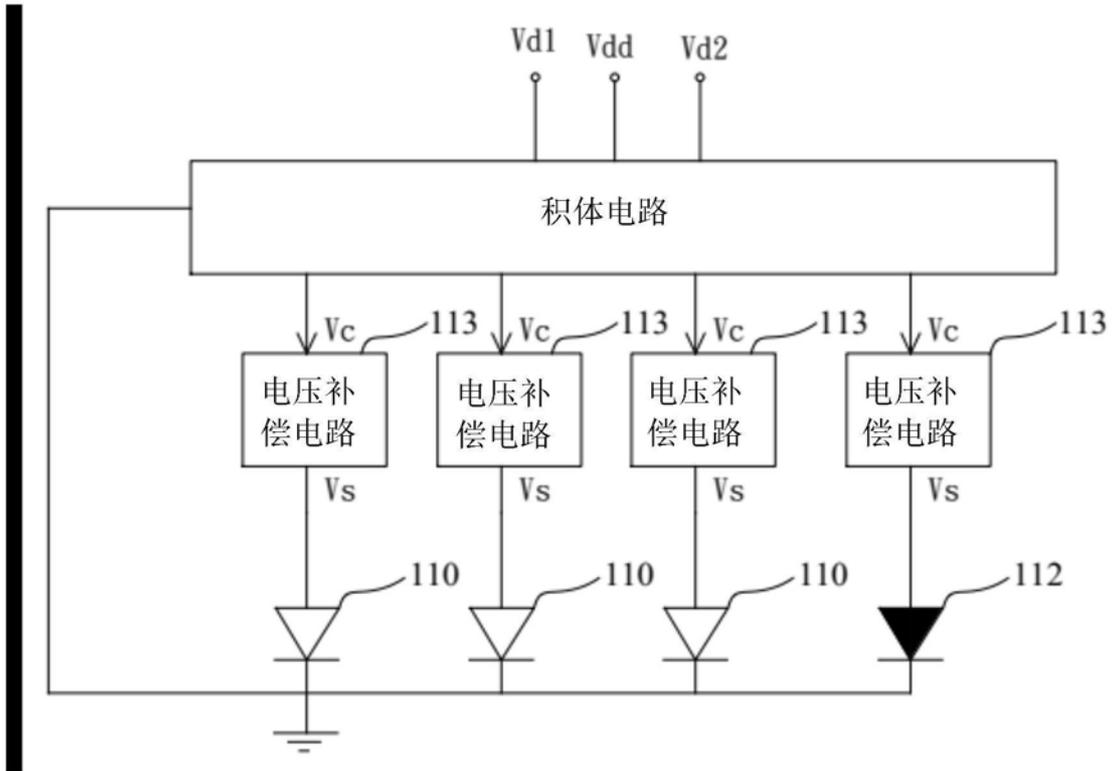


图25

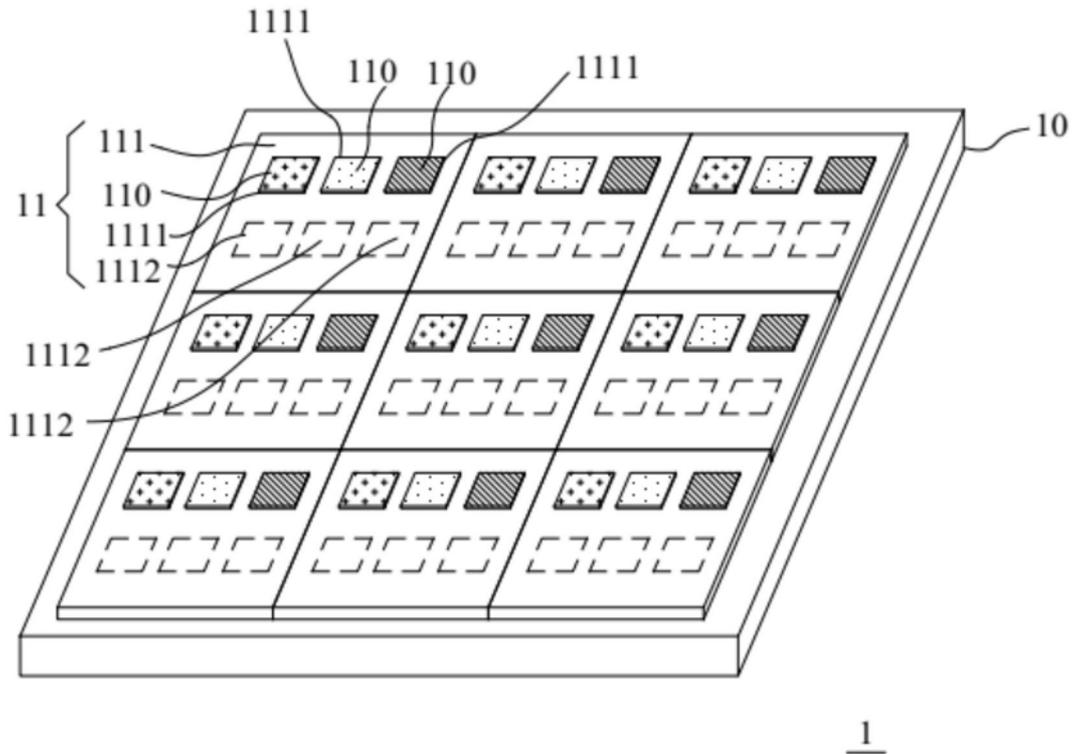


图26

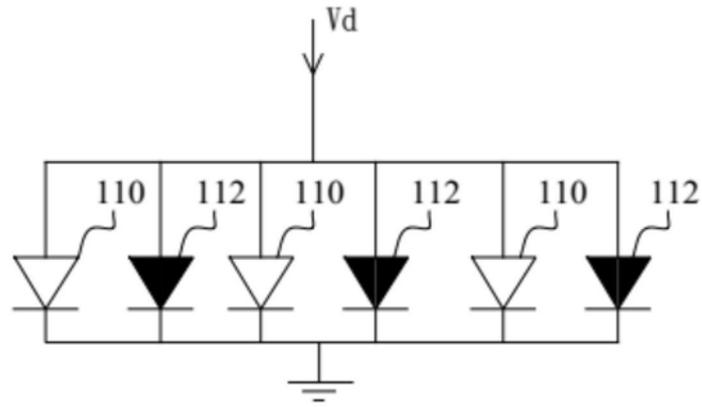


图27

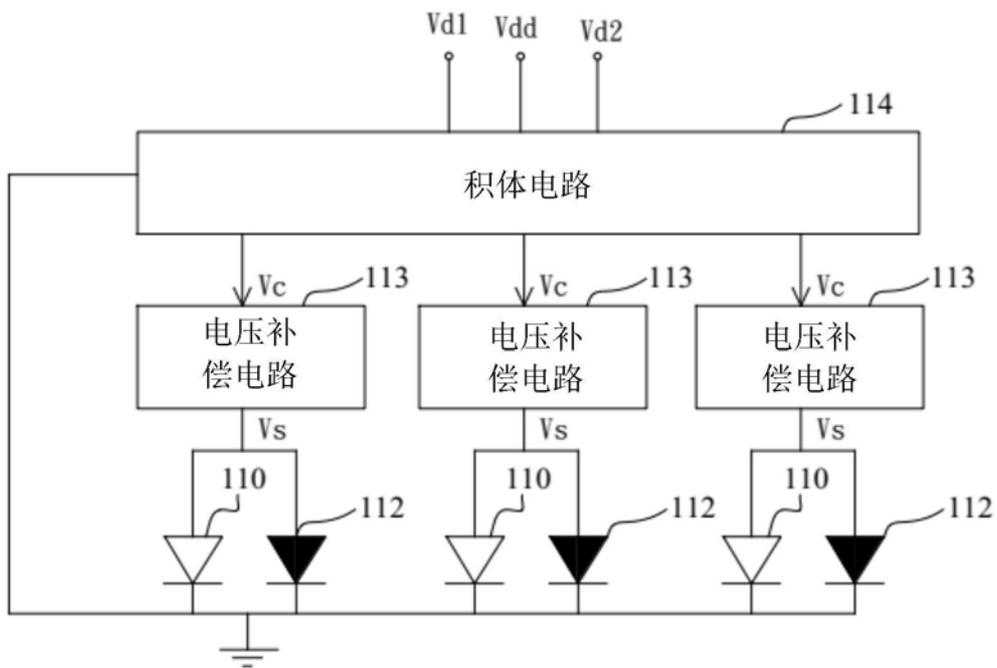


图28

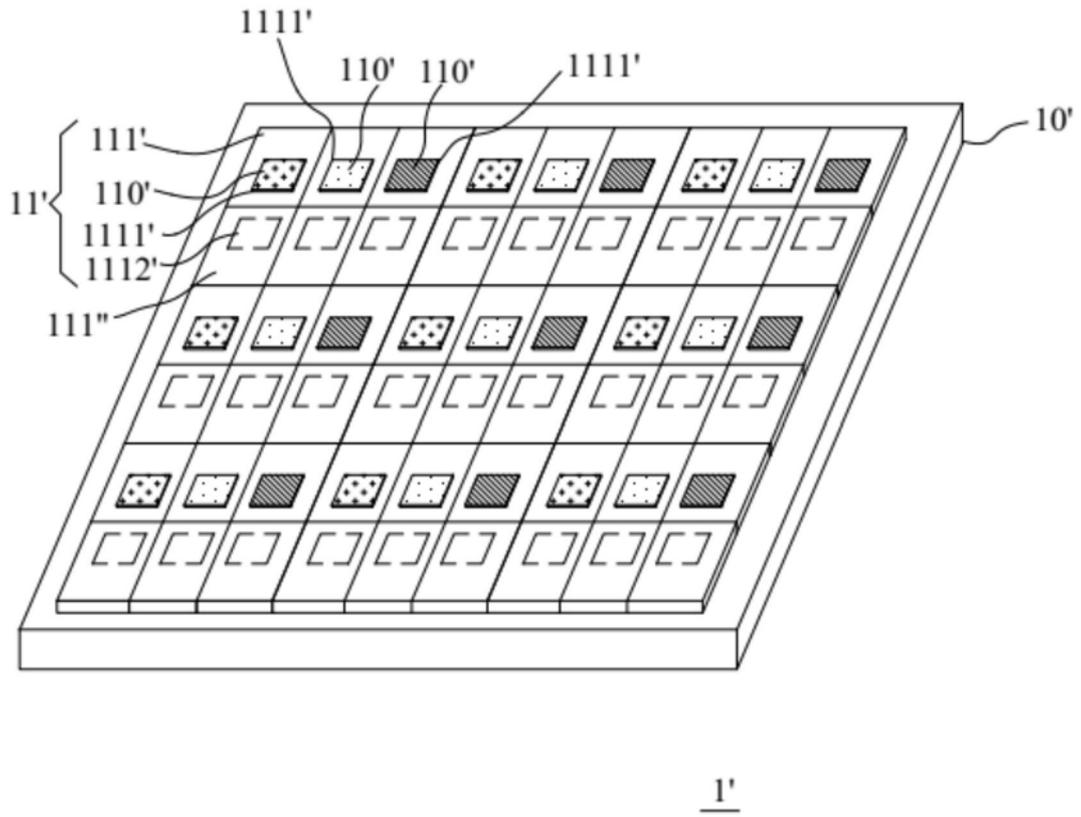


图29

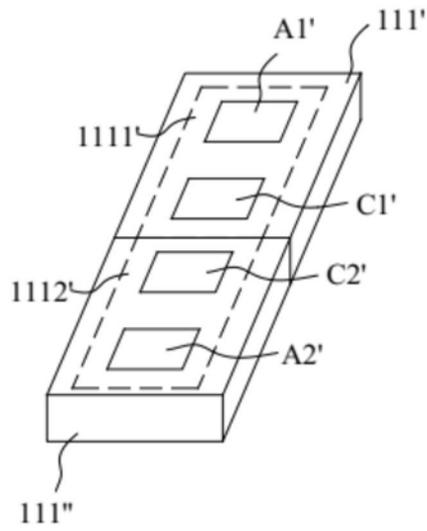


图30

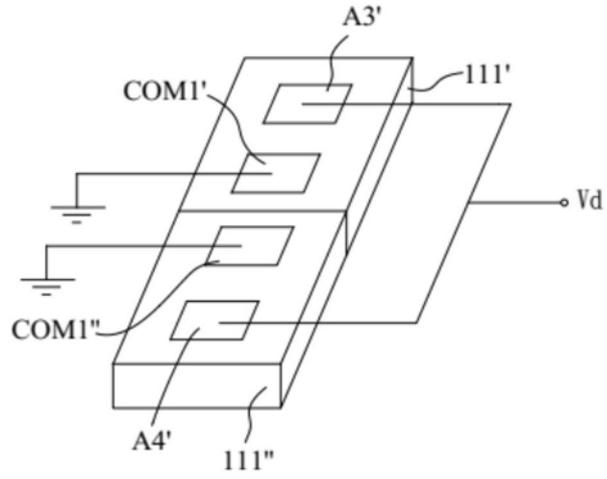


图31

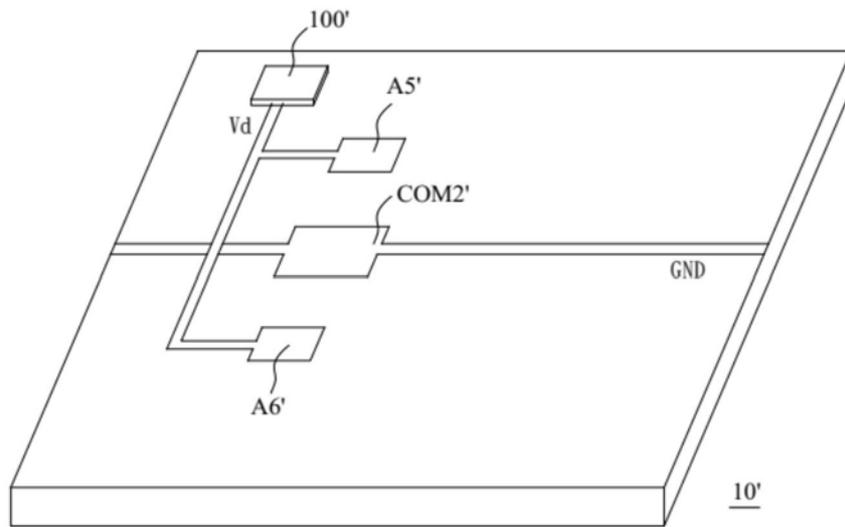


图32

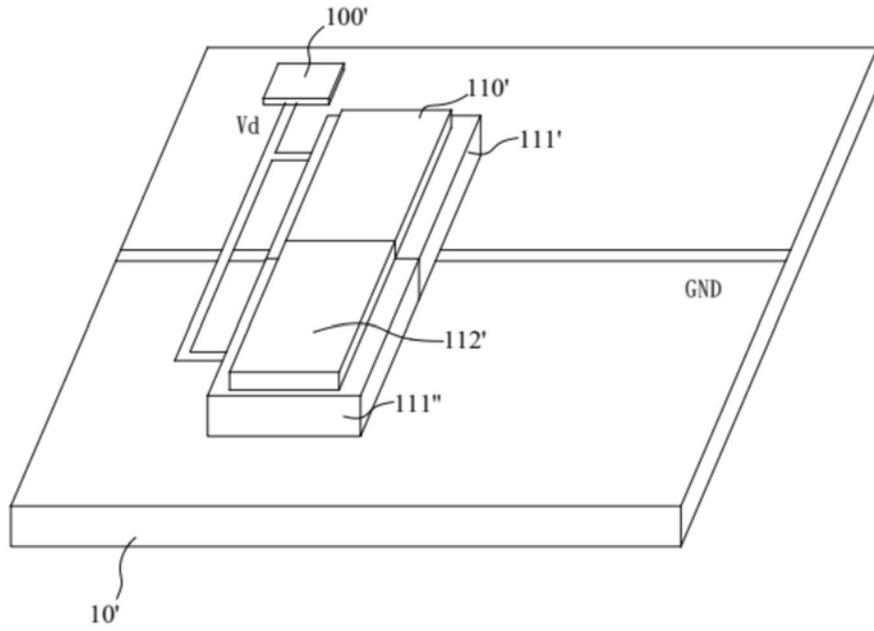


图33

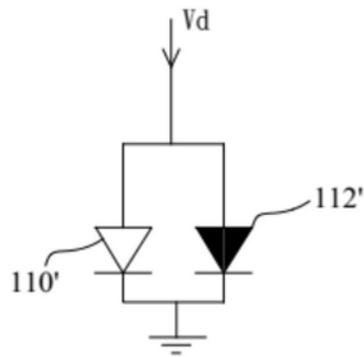


图34

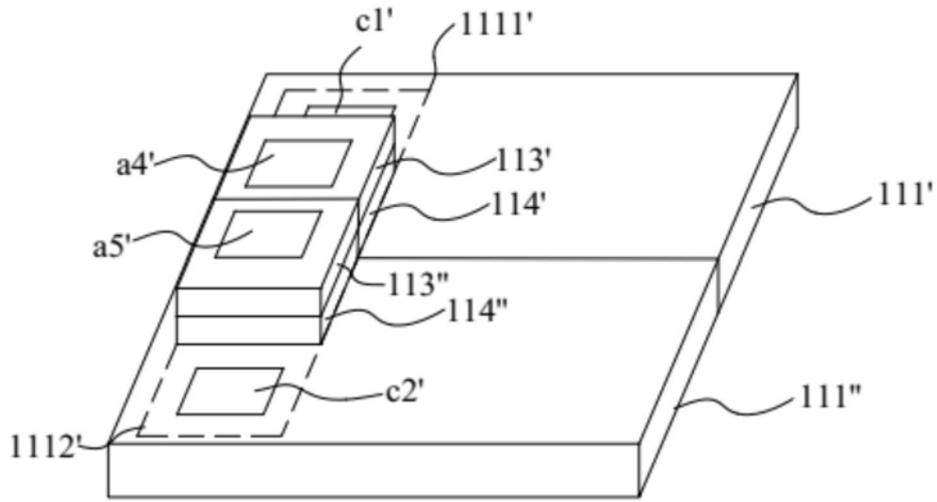


图35

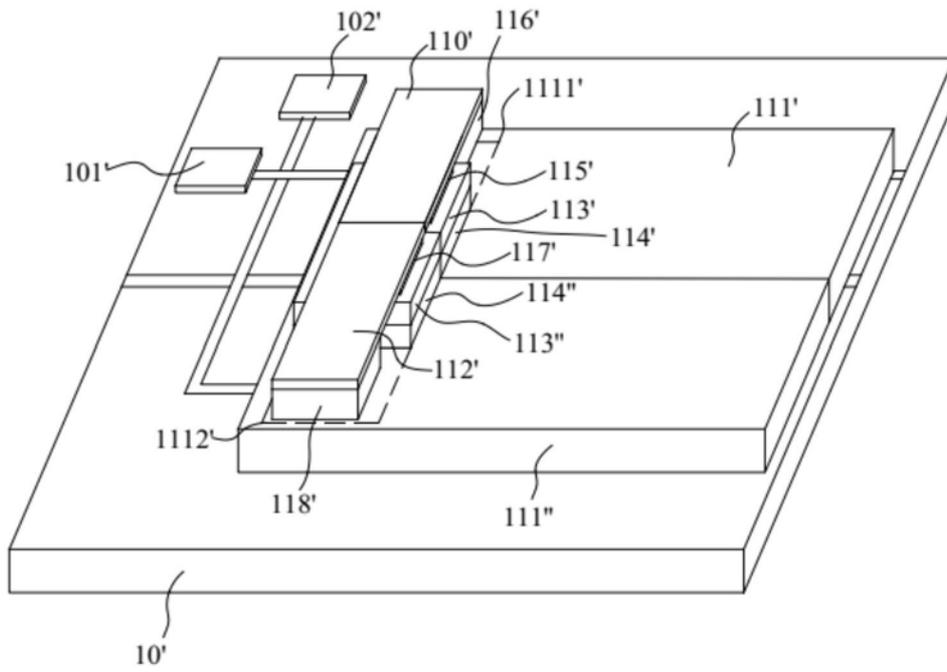


图36

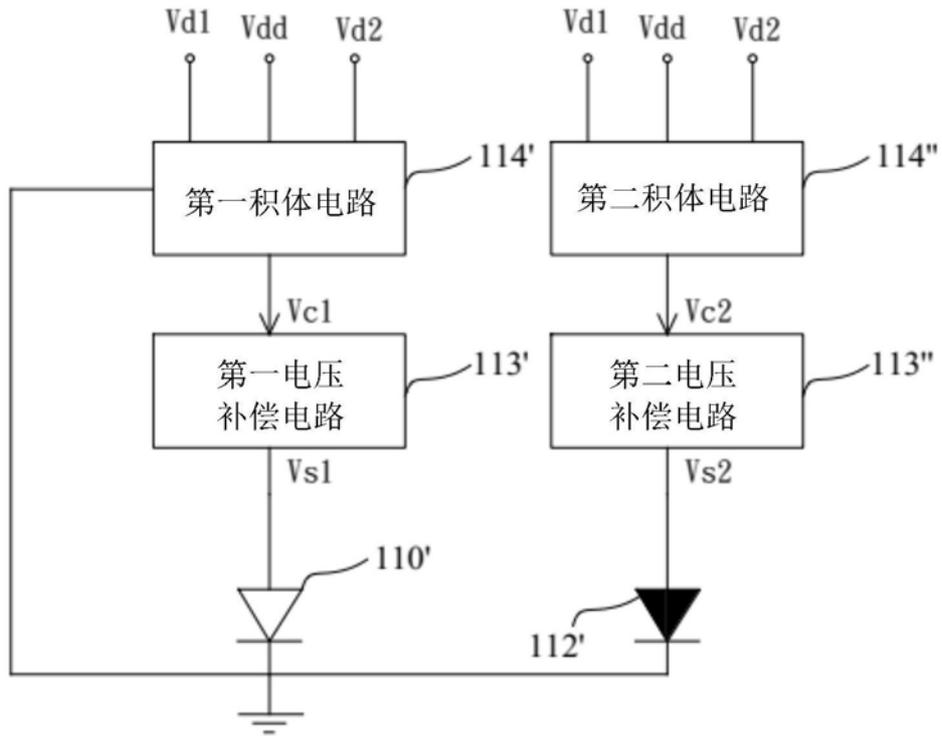


图37

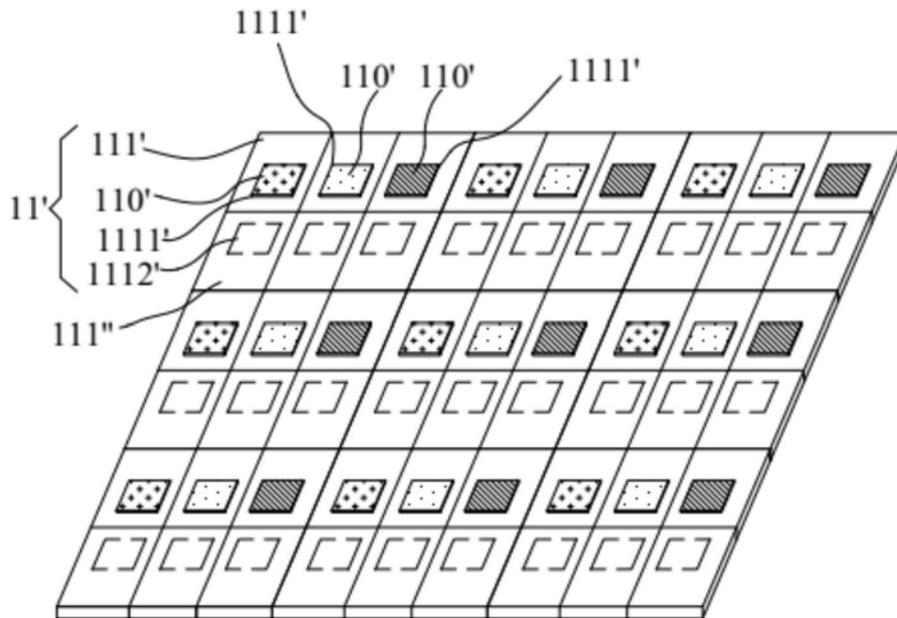


图38a

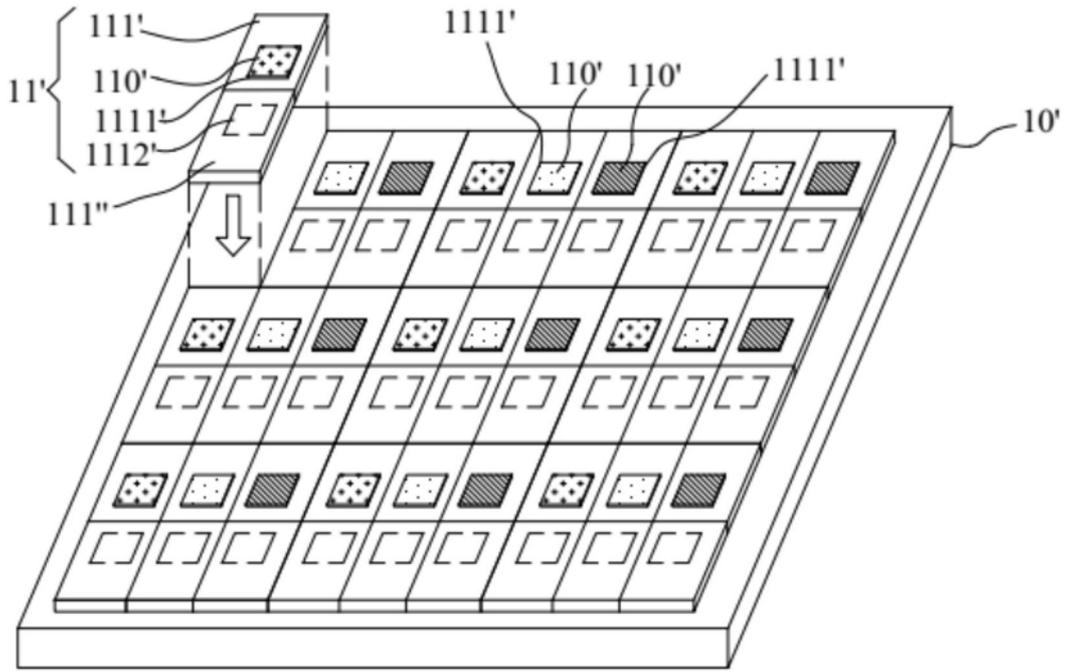


图38b

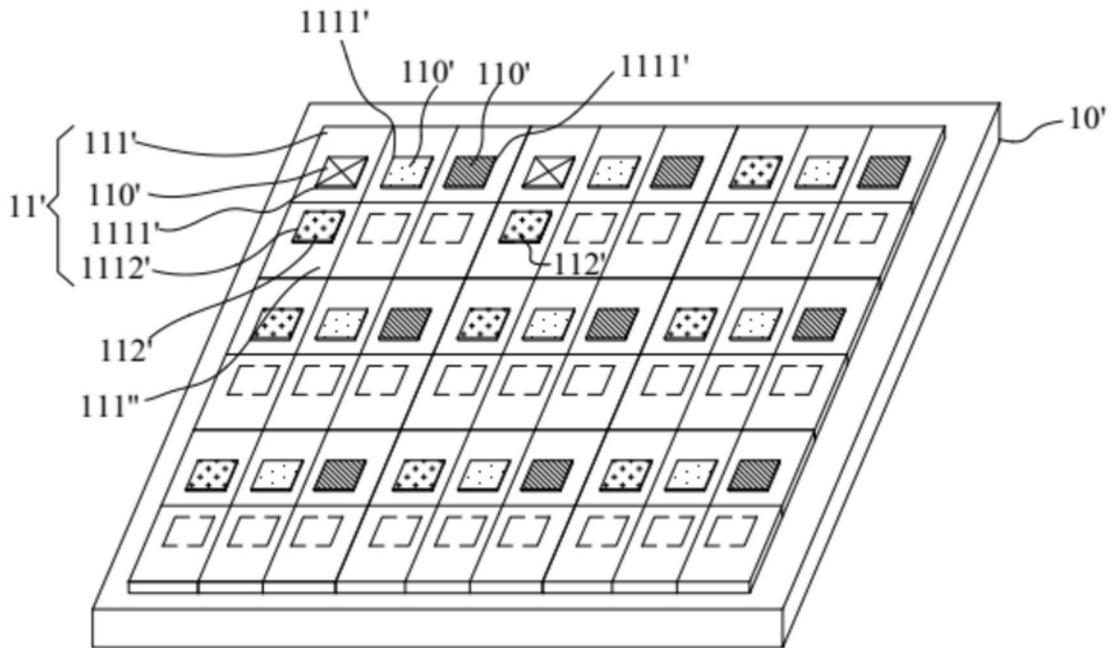


图38c

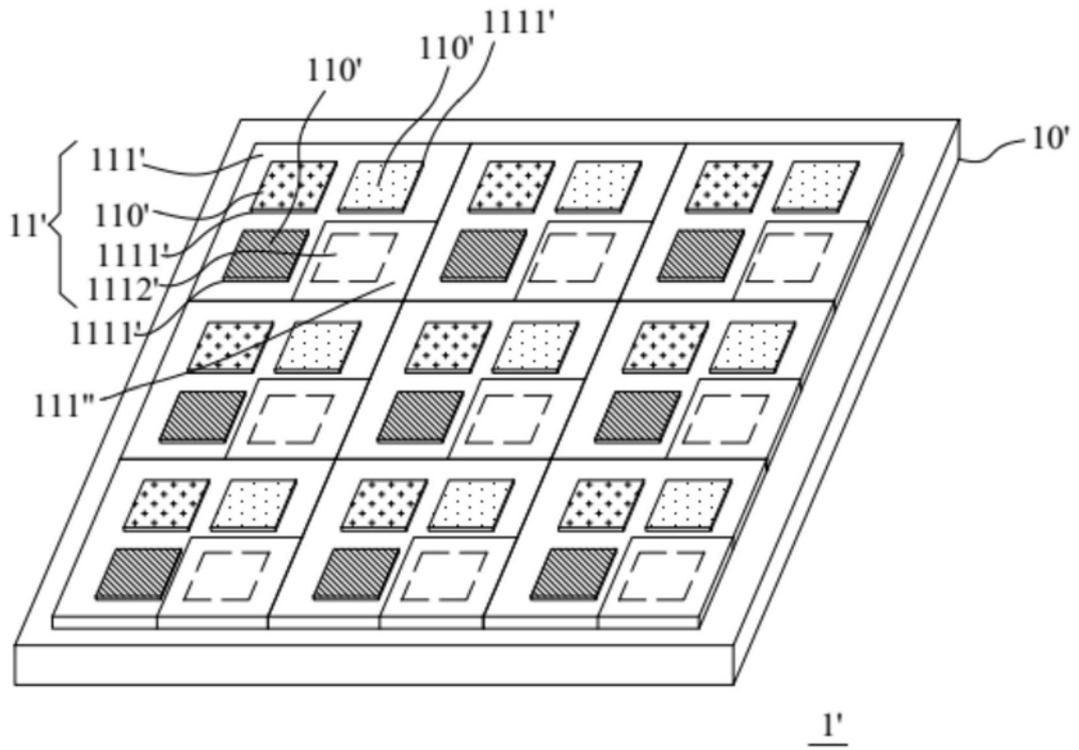


图39

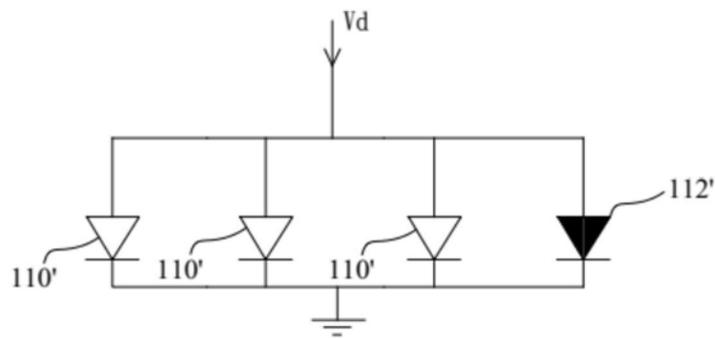


图40

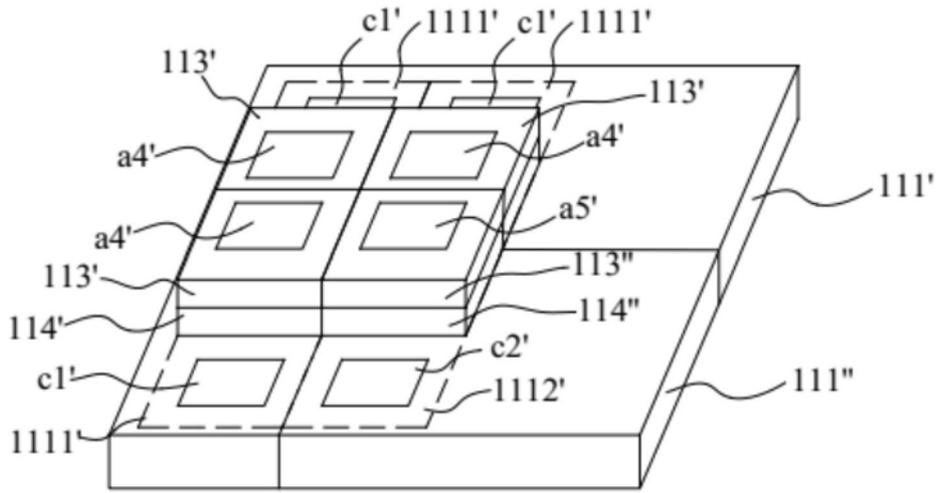


图41

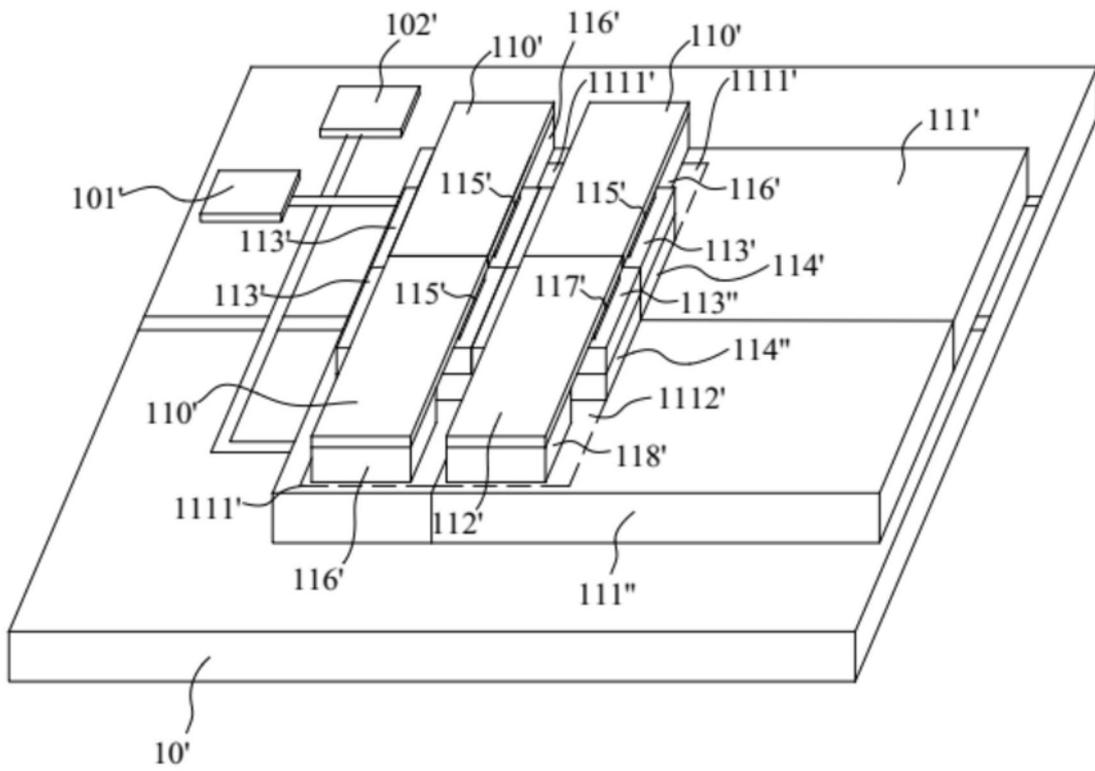


图42

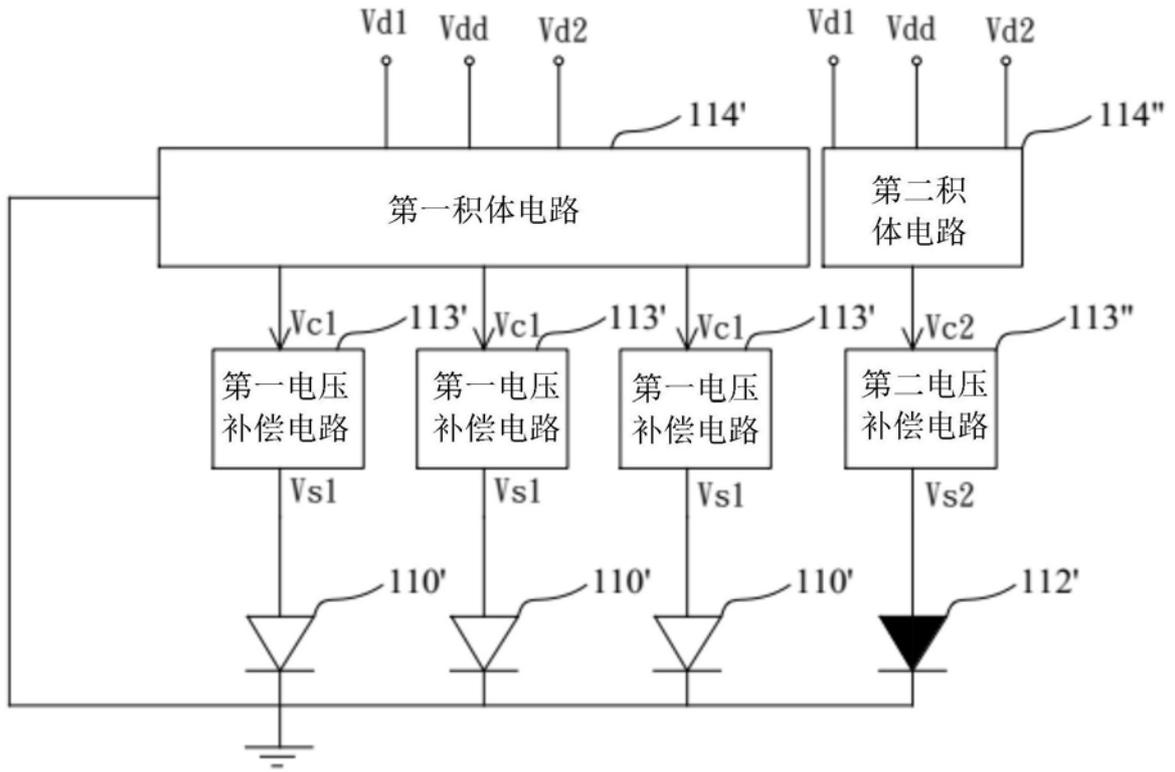


图43

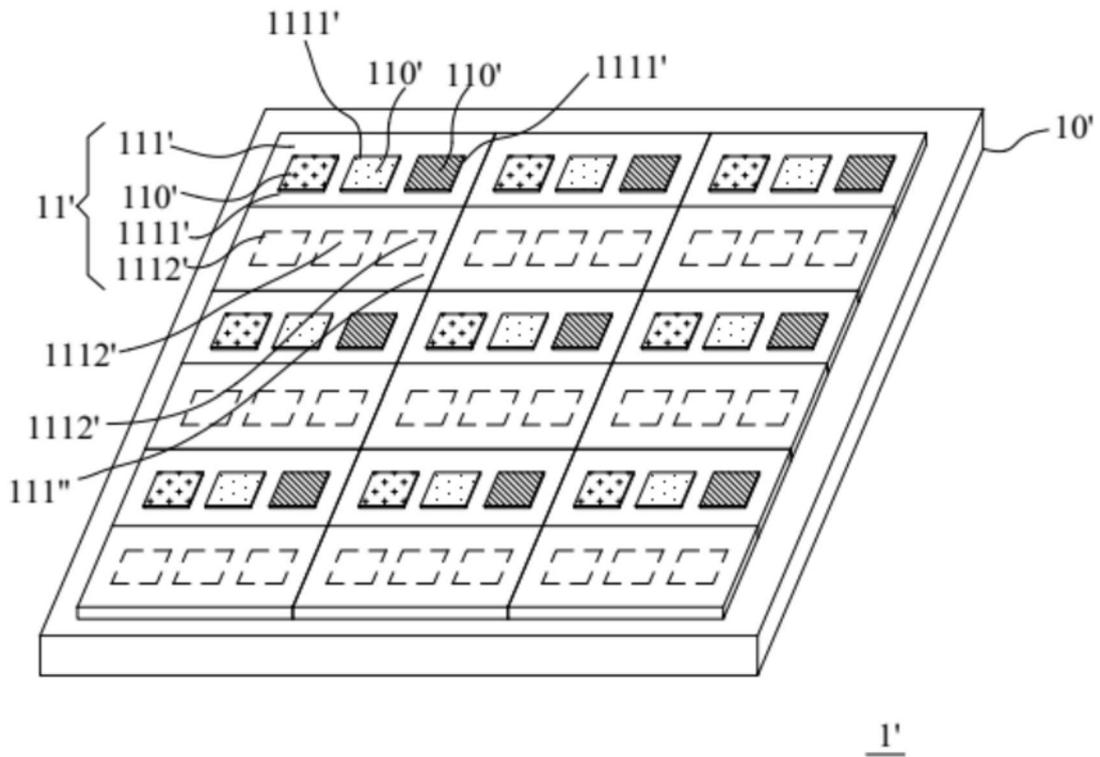


图44

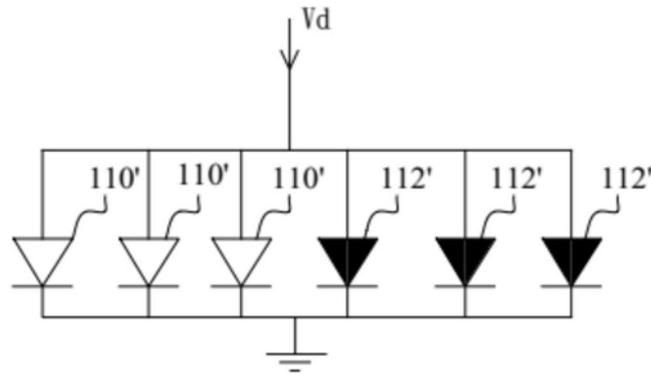


图45

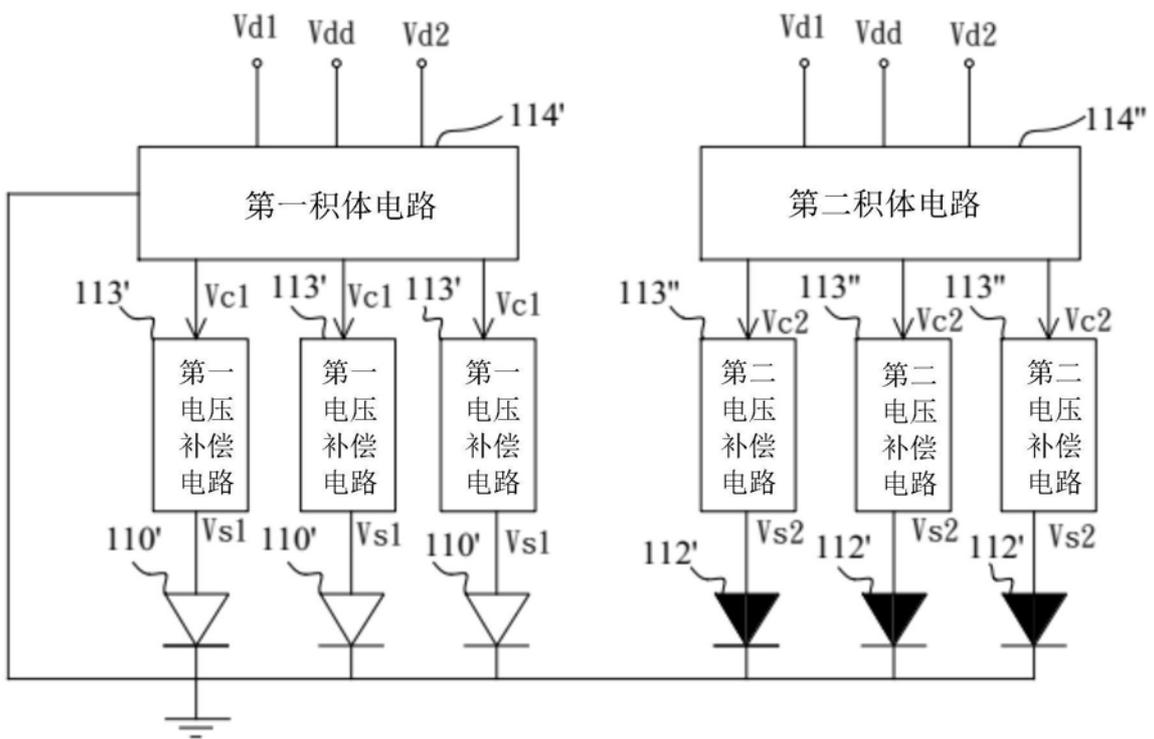


图46