

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-153329

(P2008-153329A)

(43) 公開日 平成20年7月3日(2008.7.3)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 D	5 F 0 8 3
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 7 K	5 F 1 1 0
HO 1 L 21/20 (2006.01)	HO 1 L 29/78 6 2 7 G	5 F 1 5 2
HO 1 L 27/10 (2006.01)	HO 1 L 29/78 6 1 6 L	
	HO 1 L 21/20	

審査請求 未請求 請求項の数 8 O L (全 29 頁) 最終頁に続く

(21) 出願番号 特願2006-337856 (P2006-337856)  
 (22) 出願日 平成18年12月15日 (2006.12.15)

(71) 出願人 503121103  
 株式会社ルネサステクノロジ  
 東京都千代田区大手町二丁目6番2号  
 (74) 代理人 100080001  
 弁理士 筒井 大和  
 (72) 発明者 亀代 典史  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内  
 (72) 発明者 峰 利之  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内  
 (72) 発明者 石井 智之  
 東京都千代田区丸の内一丁目6番6号 株  
 株式会社日立製作所新事業開発本部内

最終頁に続く

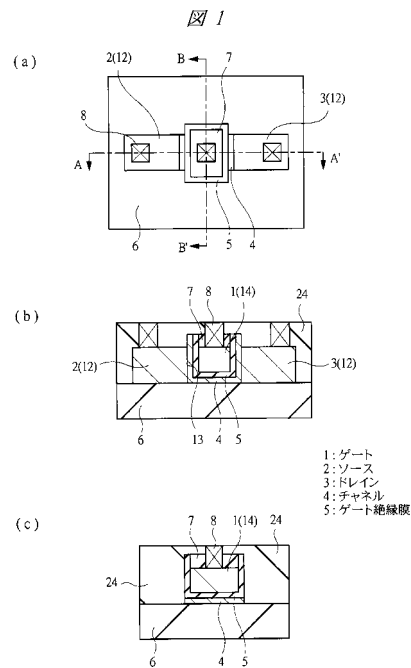
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 薄いチャネルを有する薄膜トランジスタを形成する。

【解決手段】 絶縁層6上にソース・ドレイン材料膜12を形成した後、絶縁層6に達する開口部13をソース・ドレイン材料膜12に形成する。次いで、開口部13内の絶縁層6およびソース・ドレイン材料膜12上に、所望の膜厚のチャネル4およびゲート絶縁膜5を順に形成した後、ゲート絶縁膜5上で開口部13内を埋め込むゲート材料膜14を形成する。次いで、ゲート材料膜14上にキャップ膜7を形成し、ゲート材料膜14からなるゲート1を形成する。次いで、ソース・ドレイン材料膜12上にマスク層を形成する。次いで、ゲート1をキャップ膜7で保護しながらマスク層で保護されていないソース・ドレイン材料膜12を除去し、ゲート1の両側にソース・ドレイン材料膜12を残す。一方のソース・ドレイン材料膜12がソース2、他方の前記ソース・ドレイン材料膜12がドレイン3となる。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

以下の工程を含むことを特徴とする半導体装置の製造方法；

- (a) 絶縁層上にソース・ドレイン材料膜を形成する工程、
- (b) 前記絶縁層に達する開口部を前記ソース・ドレイン材料膜に形成する工程、
- (c) 前記開口部内の前記絶縁層および前記開口部内の前記ソース・ドレイン材料膜上に、半導体膜を形成する工程、
- (d) 前記半導体膜上にゲート絶縁膜を形成する工程、
- (e) 前記ゲート絶縁膜上であって前記開口部内を埋め込むゲート材料膜を形成する工程、
- (f) 前記ゲート材料膜上にキャップ膜を形成し、前記ゲート材料膜からなるゲートを形成する工程、
- (g) 前記工程 (f) の後に、前記ソース・ドレイン材料膜上にマスク層を形成する工程、
- (h) 前記ゲートを前記キャップ膜で保護しながら前記マスク層で保護されていない前記ソース・ドレイン材料膜を除去し、前記ゲートの両側に前記ソース・ドレイン材料膜を残す工程。

10

## 【請求項 2】

前記工程 (c) では、アモルファスシリコン膜からなる前記半導体膜を形成することを特徴とする請求項 1 記載の半導体装置の製造方法。

20

## 【請求項 3】

前記工程 (f) の前に、前記アモルファスシリコン膜をアニール処理し、前記アモルファスシリコン膜を結晶化することを特徴とする請求項 2 記載の半導体装置の製造方法。

## 【請求項 4】

前記工程 (b) では、不純物がドーブされていない多結晶シリコン膜からなる前記ソース・ドレイン材料膜を形成し、

前記アニール処理後、前記工程 (h) の前に、前記ソース・ドレイン材料膜に不純物打ち込みを行うことを特徴とする請求項 3 記載の半導体装置の製造方法。

## 【請求項 5】

前記工程 (f) では、堆積によって前記キャップ膜を形成することを特徴とする請求項 1 記載の半導体装置の製造方法。

30

## 【請求項 6】

前記工程 (d) では、酸化シリコン膜からなる前記ゲート絶縁膜を形成し、

前記工程 (f) では、CVD法によって堆積された酸化シリコン膜からなる前記キャップ膜を形成することを特徴とする請求項 1 記載の半導体装置の製造方法。

## 【請求項 7】

前記工程 (d) では、窒化膜を含む前記ゲート絶縁膜を形成し、

前記工程 (e) では、多結晶シリコン膜からなる前記ゲート材料膜を形成し、

前記工程 (f) では、前記多結晶シリコン膜が酸化された酸化シリコン膜からなる前記キャップ膜を形成することを特徴とする請求項 1 記載の半導体装置の製造方法。

40

## 【請求項 8】

前記工程 (e) では、多結晶シリコン膜からなる前記ゲート材料膜を形成し、

前記工程 (e) の後に、前記ゲート材料膜上に金属膜を形成し、

前記工程 (f) では、前記多結晶シリコン膜と前記金属膜の反応によるシリサイド膜からなる前記キャップ膜を形成することを特徴とする請求項 1 記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体装置の製造技術に関し、特に、薄膜トランジスタを備えた半導体装置

50

に適用して有効な技術に関するものである。

【背景技術】

【0002】

薄膜トランジスタ ( T F T ; Thin Film Transistor ) は、電界効果トランジスタ ( F E T ; Field Effect Transistor ) の 1 種であり、基本的にゲート、ソース、ドレインの 3 端子から構成され、主に、液晶表示装置に用いられる。また、薄膜トランジスタは、通常の M I S ( Metal Insulator Semiconductor ) トランジスタと混載した半導体装置、例えば S R A M ( Static Random Access Memory )、D R A M ( Dynamic RAM ) などにも用いられる。

【0003】

特開平 5 - 1 9 0 8 5 6 号公報 ( 特許文献 1 ) および特開平 6 - 2 1 4 5 8 号公報 ( 特許文献 2 ) では、薄膜トランジスタを S R A M のメモリセルに用いる場合、S R A M の待機時電流には薄膜トランジスタのオフ電流が影響し、薄膜トランジスタのチャンネルの膜厚を薄くすることが待機時電流低減に有効であると記載されている。また、この特許文献 1、2 には、絶縁層上に形成されたソース、ドレイン、ゲートの 3 端子および、このゲート上のゲート絶縁膜を介したチャンネルからなる薄膜トランジスタが記載されている。このチャンネルの膜厚がソース、ドレインの膜厚より薄くなっている。

【特許文献 1】特開平 5 - 1 9 0 8 5 6 号公報

【特許文献 2】特開平 6 - 2 1 4 5 8 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

素子の微細化の進行にしたがって多くの M I S ( Metal Insulator Semiconductor ) トランジスタを同一のチップ上に搭載することができるようになり、高機能、高性能の半導体装置を形成することができる。

【0005】

ところで、薄膜トランジスタを通常の M I S トランジスタと混載した場合、素子分離領域 ( 絶縁層 ) 上に形成することができる。このため、回路やメモリの面積低減に役立つことが考えられる。また、液晶表示装置に代表されるように、薄膜トランジスタは半導体基板上のみならず、絶縁性のガラス基板上にも形成することもできる。

【0006】

このため、絶縁層上に形成される薄膜トランジスタはこれまで以上に重要視され、性能のよい薄膜トランジスタを形成する技術が必要とされる。

【0007】

図 2 7 は、本発明者らが検討した薄膜トランジスタの構造を示す断面図である。この薄膜トランジスタは、絶縁層 1 0 6 上に形成されており、ゲート 1 0 1、ソース 1 0 2、ドレイン 1 0 3、チャンネル 1 0 4 および、ゲート絶縁膜 1 0 5 を有している。絶縁層 1 0 6 上には、同一の多結晶シリコン膜からなるソース 1 0 2、ドレイン 1 0 3 および、チャンネル 1 0 4 が設けられており、ソース 1 0 2 とドレイン 1 0 3 との間にチャンネル 1 0 4 が設けられている。このチャンネル 1 0 4 上には、ゲート絶縁膜 1 0 5 を介してゲート 1 0 1 が設けられている。なお、ゲート 1 0 1、ソース 1 0 2 および、ドレイン 1 0 3 のそれぞれにはコンタクト 1 0 8 が電氣的に接続されている。

【0008】

図 2 7 に示すような薄膜トランジスタでは、ゲート 1 0 1 をマスクにソース 1 0 2、ドレイン 1 0 3 を形成するための不純物打ち込みを行うため、製造工程がシンプルである。なお、リーク電流低減など素子の性能向上のために、いわゆる L D D 構造の不純物打ち込みを行う場合もある。

【0009】

薄膜トランジスタのオフ電流を低減する方法として、チャンネルの膜厚を薄くすることが非常に効果的である。

10

20

30

40

50

## 【0010】

図27で示す薄膜トランジスタは、ソース102、ドレイン103および、チャンネル104は同一の多結晶シリコン膜から構成される。したがって、チャンネル104の膜厚を薄くするためには、ソース102およびドレイン103の膜厚も同時に薄くする必要がある。しかし、ソース102およびドレイン103の膜厚を薄くすると、抵抗の増大やコンタクト108形成時の突き抜けなど、種々の問題が発生する。このため、多結晶シリコン膜は50nm程度以上の膜厚で形成される。

## 【0011】

そこで、チャンネルの膜厚を薄くするため、チャンネルをソースおよびドレインとは別に形成することが考えられる。

## 【0012】

図28、図29は、ソース102およびドレイン103に対して、チャンネル104が薄い薄膜トランジスタの構造を示す断面図である。

## 【0013】

図28に示すような薄膜トランジスタでは、例えば上記特許文献1の技術を用いて、先にソース102、ドレイン103およびゲート101を加工しておき、チャンネル104を別途形成することで、チャンネル104だけを薄くすることができる。あるいは、図29に示すような薄膜トランジスタでは、例えば上記特許文献2の技術を用いて、ソース102、ドレイン103およびゲート101を加工した後、スペース部を絶縁膜107で埋め込むことで段差を少なくした後、チャンネル104を別途形成することで、チャンネル104だけを薄くすることができる。

## 【0014】

しかしながら、図28および図29に示すような構造の薄膜トランジスタでは、ゲート絶縁膜105をゲート101だけに残すために、マスクを用いて直接加工する必要がある。このため、ゲート絶縁膜105の膜厚ばらつきによる信頼性の低下という課題がある。また、下部ゲートとするため、ゲート101の両脇にスペース部をとる必要があり、さらに、ゲート101にコンタクトを形成するためにパッドを引き出す必要があり、素子の縮小化の妨げとなる課題もある。

## 【0015】

本発明の目的は、薄いチャンネルを有する薄膜トランジスタを形成することのできる技術を提供することにある。

## 【0016】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【課題を解決するための手段】

## 【0017】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

## 【0018】

本発明による半導体装置の製造方法は、まず、絶縁層上にソース・ドレイン材料膜を形成した後、前記絶縁層に達する開口部を前記ソース・ドレイン材料膜に形成する。次いで、前記開口部内の前記絶縁層および前記ソース・ドレイン材料膜上に、所望の膜厚の半導体膜およびゲート絶縁膜を順に形成した後、前記ゲート絶縁膜上であって前記開口部内を埋め込むゲート材料膜を形成する。次いで、前記ゲート材料膜上にキャップ膜を形成し、前記ゲート材料膜からなるゲートを形成する。次いで、前記ソース・ドレイン材料膜上にマスク層を形成する。次いで、前記ゲートを前記キャップ膜で保護しながら前記マスク層で保護されていない前記ソース・ドレイン材料膜を除去し、前記ゲートの両側に前記ソース・ドレイン材料膜を残す。一方の前記ソース・ドレイン材料膜がソース、他方の前記ソース・ドレイン材料膜がドレインとなる。

## 【発明の効果】

10

20

30

40

50

## 【0019】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

## 【0020】

本発明の半導体装置の製造技術によれば、所望の膜厚の半導体膜からなる薄いチャネルを有する薄膜トランジスタを形成することができる。

## 【発明を実施するための最良の形態】

## 【0021】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一部材には原則として同一の符号を付し、その繰り返しの説明は省略する。特に異なる実施の形態間で機能が対応するものについては、形状、不純物濃度や結晶性等で違いがあっても同じ符号を付すこととする。また、説明を容易にするために、平面図であってもハッチングを付す場合がある。

10

## 【0022】

本願においては、ゲート、ゲート電極および、ゲート領域を総称して「ゲート」、ソース、ソース電極および、ソース領域を総称して「ソース」、ドレイン、ドレイン電極および、ドレイン領域を総称して「ドレイン」という。

## 【0023】

また、本願においては、メモリ、半導体メモリおよび、メモリセル（単位メモリセル）を総称して「メモリ」という。なお、メモリには、SRAM、フラッシュメモリ、EEPROM（Electrically Erasable and Programmable Read Only Memory）などが含まれるが、特に断りがない場合、本願ではゲインセル構造のメモリを「メモリ」という。

20

## 【0024】

## （実施の形態1）

図1は本発明の実施の形態1における半導体装置の上面構造および断面構造を示す説明図である。本実施の形態1による半導体装置はいわゆる薄膜トランジスタである。なお、図1の半導体装置では、素子構造の説明上煩雑さを避けるために、例えばサイドウォールや配線層などを省略している。

## 【0025】

まず、図1により、本実施の形態1による半導体装置の構造について説明する。図1（a）は上面図、（b）は（a）のA-A'切断面における断面図、（c）は（a）のB-B'切断面における断面図である。なお、図1（a）の上面図では、各構造の位置関係を確認しやすいように、層間絶縁膜24は省略している。

30

## 【0026】

本実施の形態1による半導体装置は、例えば半導体基板上の酸化シリコン膜からなる絶縁層6上に、例えばn型の多結晶シリコン膜からなるソース2およびドレイン3が形成されている。また、絶縁層6の上であってソース2とドレイン3との間に、半導体膜、例えば厚さ2.5nm程度のイントリンシックの多結晶シリコン膜からなるチャネル4が形成されている。また、このチャネル4上には、例えば15nm程度の膜厚の酸化シリコン膜からなるゲート絶縁膜5が形成されている。また、絶縁層6の上部であってソース2とドレイン3との間に、ソース2、ドレイン3およびチャネル4とはゲート絶縁膜5を介して電氣的に絶縁され、チャネル4の電位を制御する、例えばn型の多結晶シリコン膜からなるゲート1が形成されている。また、ゲート1の上面には、例えば酸化シリコン膜からなるキャップ膜7が形成されている。また、ソース2からドレイン3にチャネル4を通じて電流が流れる方向と交差する方向では、ソース2、ドレイン3の寸法よりもゲート1の寸法の方が大きく、かつゲート1の下部全面にチャネル4が形成されている。また、ソース2、ドレイン3および、ゲート1を覆うように層間絶縁膜24が形成されている。また、ゲート1、ソース2および、ドレイン3のそれぞれには、コンタクト8が電氣的に接続されている。なお、ゲート1が金属もしくはシリサイドからなり、ソース2またはドレイン3の少なくとも一方が金属もしくはシリサイドからなっても良い。また、チャネル4が例

40

50

えば単結晶シリコン膜、アモルファスシリコン膜などの半導体膜からなっても良い。

【0027】

本実施の形態1で示す薄膜トランジスタは、堆積によりチャネルの膜厚を制御することができるため、薄く形成することができる。このため、薄膜トランジスタのオフ電流を低減することができる。特にチャネル膜厚を5nm程度以下とすることで、顕著なリーク低減効果が得られる。通常のトランジスタのオフ時のリーク電流(オフ電流)が、10のマイナス10乗から15乗アンペア程度であるのに対して、チャネル膜厚が5nm程度以下の薄膜トランジスタでは、膜厚方向の量子力学的な閉じ込め効果のため、リーク電流を10のマイナス19乗程度にすることも可能である。ただし、薄膜トランジスタのオン電流を増やす場合には、より厚い膜厚のチャネルとしてもよい。つまり、ソースおよびドレインとチャネルの膜厚を独立に設定できるため、ソースおよびドレインの抵抗を増加することなく、必要なチャネル電流が得られるようにチャネルの膜厚を最適な値に設定することが可能である。

10

【0028】

本実施の形態1で示す薄膜トランジスタは、開口部(孔)の内側にゲート1を埋め込む構造とするため、ソース2およびドレイン3とゲート1の間に不要なスペースを必要とせず、またゲート1にコンタクト8を形成するためにパッドを引き出す必要がないため、素子の寸法を小さくすることができる。

【0029】

次に、本実施の形態1による半導体装置の製造工程を説明する。図2から図9は、本実施の形態1の薄膜トランジスタを製造する際の各工程における上面図および断面図である。図2から図9において、(a)は上面図、(b)は(a)のA-A'切断面における断面図、(c)は(a)のB-B'切断面における断面図である。

20

【0030】

なお、前記上面図は、煩雑さを避けるため、当該工程における主要部位の位置のみを示すもので、正確な上面図には相当しない。また、各断面図は、半導体装置が形成される絶縁層より上部の構成を例示する。この絶縁層は、半導体基板やガラス基板上に形成された例えば酸化シリコン膜である。

【0031】

まず、図2に示すように、半導体基板の絶縁層6上に、ソース・ドレイン材料膜12およびストッパ層9の順で形成した後、絶縁層6に達する開口部13をストッパ膜9およびソース・ドレイン材料膜12に形成する。

30

【0032】

具体的には、p型のシリコン単結晶からなる半導体基板全面にCVD(Chemical Vapor Deposition)法または熱酸化により、酸化シリコン膜からなる絶縁層6を形成した後、ノンドープの多結晶シリコン膜からなるソース・ドレイン材料膜12を、例えばCVD法によって150nm程度堆積する。次いで、ソース・ドレイン材料膜12上に例えば50nm程度の膜厚の窒化シリコン膜からなるストッパ層9を堆積した後、レジストによる孔パターンをマスクとしてエッチングを行い、チャネルおよびゲート領域のソース・ドレイン材料膜12を除去し、開口部13を形成する。

40

【0033】

続いて、図3に示すように、開口部13内の絶縁層6および開口部13内のソース・ドレイン材料膜12上に所望の膜厚のチャネル4、ゲート絶縁膜5の順で形成した後、ゲート絶縁膜5上であって開口部13内を埋め込むゲート材料膜14を形成する。

【0034】

具体的には、基板の洗浄を行った後、例えばCVD法によって2.5nm程度のアモルファスシリコン膜からなるチャネル4、例えば15nm程度の厚さの酸化シリコン膜からなるゲート絶縁膜5および例えば200nm程度の厚さのn型多結晶シリコン膜からなるゲート材料膜14を堆積する。さらに、アニールを行うことでチャネル4のアモルファスシリコン膜は結晶化し、多結晶シリコン膜となる。

50

## 【 0 0 3 5 】

ここで、本発明者らの独自の検討により、このような極薄膜のチャンネル 4 の結晶化には、10 nm 程度以上の厚膜を形成する温度よりも高い温度、例えば 900 程度が必要であることを見出した。なお、このアニールの時点で薄膜トランジスタのソース 2、ドレイン 3 となるソース・ドレイン材料膜 1 2 には不純物が導入されていないため、薄膜トランジスタの短チャンネル特性に悪影響を与えることはない。

## 【 0 0 3 6 】

続いて、図 4 に示すように、例えば CMP (Chemical Mechanical Polishing) 法あるいはエッチバックによって、ゲート材料膜 1 4 を削り、ストッパ層 9 の表面が露出したところで停止する。これによって、先に形成した孔パターンの開口部 1 3 にのみ n 型多結晶シリコン膜からなるゲート材料膜 1 4 が残ることになる。

10

## 【 0 0 3 7 】

続いて、図 5 に示すように、ゲート材料膜 1 4 をエッチバックによって、ストッパ層 9 の表面より後退させて所望の高さに調整する。この残存したゲート材料膜 1 4 が薄膜トランジスタのゲート 1 となる。

## 【 0 0 3 8 】

続いて、図 6 に示すように、ゲート材料膜 1 4 上にキャップ膜 7 を形成し、ゲート材料膜からなるゲート 1 を形成する。

## 【 0 0 3 9 】

具体的には、ゲート材料膜 1 4 上を覆うように、例えば CVD 法によって 100 nm 程度の酸化シリコン膜を堆積し、CMP 法によってストッパ層 9 の表面が露出したところで停止することによって、酸化シリコン膜からなるキャップ膜 7 を形成する。

20

## 【 0 0 4 0 】

続いて、図 7 に示すように、エッチングによってストッパ層 9 を除去する。この際、ゲート 1 はキャップ膜 7 によって保護されることとなる。ここでは、酸化シリコン膜と窒化シリコン膜のエッチングの選択比において、窒化シリコン膜がよりエッチングされるようにしている。

## 【 0 0 4 1 】

次いで、レジストをマスクに n 型のソース・ドレインとしたい領域および p 型のソース・ドレインとしたい領域の多結晶シリコン膜に各々不純物打ち込みを行う。ここでは、薄膜トランジスタのソースおよびドレインは n 型とするため、ソース・ドレイン材料膜 1 2 に n 型の不純物を打ち込んだ。

30

## 【 0 0 4 2 】

続いて、図 8 に示すように、ゲート 1 を横切るように、ゲート 1 およびソース・ドレイン材料膜 1 2 上にマスク層 1 0 を形成する。

## 【 0 0 4 3 】

具体的には、ゲート 1 の一方側にソース 2、他方側にドレイン 3 となるようにソース・ドレイン材料膜 1 2 を残存させるために、ゲート 1 を横切るように、ゲート 1 およびソース・ドレイン材料膜 1 2 上にレジストからなるマスク層 1 0 を形成する。

## 【 0 0 4 4 】

続いて、ゲート 1 をキャップ膜 7 で保護しながらマスク層 1 0 で保護されていないソース・ドレイン材料膜 1 2 を除去し、図 9 に示すように、ゲート 1 の両側にソース・ドレイン材料膜 1 2 を残す。

40

## 【 0 0 4 5 】

具体的には、レジストをマスク層 1 0 に多結晶シリコン膜からなるソース・ドレイン材料膜 1 2 をエッチングする。このとき、図 8 に示すような例えばレジストからなるマスク層 1 0 を用いて、図 9 に示すように、ソース・ドレイン材料膜 1 2 から薄膜トランジスタのソース 2 およびドレイン 3 を形成する。この際、薄膜トランジスタのゲート 1 は、酸化シリコン膜からなるキャップ膜 7 で保護されており、削れることがない。

## 【 0 0 4 6 】

50

続いて、例えば酸化シリコン膜からなる層間絶縁膜 2 4 を堆積、平坦化する工程、コンタクト 8 を形成する工程、配線を形成する工程を行い、図 1 に示したような半導体装置が完成する。

【 0 0 4 7 】

このように、本実施の形態 1 で示す薄膜トランジスタの製造工程において、堆積によりチャンネル 4 の膜厚を制御することによって、チャンネル 4 を薄く形成することができる。また、チャンネル 4 の形成後、膜厚の変化によってチャンネル 4 を断線するような例えば酸化工程を含んでいない。このため、薄膜トランジスタのオフ電流を低減することができる。

【 0 0 4 8 】

また、本実施の形態 1 で示す薄膜トランジスタは、開口部の内側にゲート 1 を埋め込む構造とするため、ソース 2 およびドレイン 3 とゲート 1 の間に不要なスペースを必要とせず、またゲート 1 にコンタクト 8 を形成するためにパッドを引き出す必要がないため、素子の寸法を小さくすることができる。

【 0 0 4 9 】

本実施の形態 1 では、薄膜トランジスタが n 型である場合について説明したが、p 型としても良い。この場合は、ゲート 1 となるゲート材料膜 1 4 を p 型多結晶シリコン膜とし、ソース 2 およびドレイン 3 となるソース・ドレイン材料膜 1 2 へは p 型の不純物打ち込みを行うことになる。

【 0 0 5 0 】

また、本実施の形態 1 では、アニールを行うことでチャンネル 4 のアモルファスシリコン膜を結晶化し、多結晶シリコン膜としたが、アニールを行わずにアモルファスシリコン膜をチャンネル 4 に用いてもよい。この場合、アニールを行わないため、他の素子と同一の基板上に混載する際に、耐熱性の低い素子を使うことが容易になるという利点がある。また、基板自体に耐熱性の低いもの、例えばガラス基板などを使う場合にも適している。

【 0 0 5 1 】

また、本実施の形態 1 では、ソース 2、ドレイン 3 およびゲート 1 に n 型多結晶シリコン膜、ゲート絶縁膜 5 に酸化シリコン膜を適用したが、表面をシリサイド化した多結晶シリコン膜や金属をゲートに、ハフニウムオキサイドやアルミナなどの高誘電体膜をゲート絶縁膜に適用した場合でも、前述したソース 2、ドレイン 3 およびゲート 1 とゲート絶縁膜 5 の組み合わせは有効である。その場合ゲート絶縁膜 5 の膜厚の大小関係は、物理膜厚でなく電氣的に酸化シリコン膜厚に換算した膜厚に読み替えて解釈すればよい。また、ゲート絶縁膜 5 の膜厚は、ゲートリークと信頼性が許容される範囲であれば、より薄い膜厚を用いることもできる。

【 0 0 5 2 】

また、本実施の形態 1 では、ストッパ層 9 に窒化シリコン膜を適用したが、ソース・ドレイン材料膜 1 2 の加工時およびキャップ膜 7 の加工時にストッパとなる材料であれば、適用できる。さらに、ストッパ層 9 は単層膜である必要はなく、例えば酸化シリコン膜、窒化シリコン膜の積層構造としてもよい。

【 0 0 5 3 】

また、本実施の形態 1 では、キャップ膜 7 に酸化シリコン膜を適用したが、ソース・ドレイン材料膜 1 2 の加工時にマスクとなる材料であれば、適用できる。例えばハフニウムオキサイド、アルミナなどの高誘電体膜でもよく、コバルトやニッケルおよびそのシリサイドなどの導体膜でもよい。ここで、キャップ膜 7 に導体膜を用いる場合は、図 1 に示す、ゲート 1 へのコンタクト 8 は、必ずしもキャップ膜 7 を貫通してゲート 1 に接続する必要はない。

【 0 0 5 4 】

また、本実施の形態 1 では、基板として、一般的な p 型のシリコン単結晶からなる半導体基板を用いたが、n 型のシリコン単結晶基板、S O I (Silicon on Insulator) 基板でもよいことは明らかである。さらには、絶縁層 6 上に形成することから、ガラス基板を用いることもできる。この場合も半導体基板と同様に、表面の絶縁層 6 上にソース・ドレ

10

20

30

40

50



ン材料膜 12 を堆積し、ソース・ドレイン材料膜 12 上にストッパ層 9 となる窒化シリコン膜を堆積して、本実施の形態 1 の薄膜トランジスタのゲート 1 を形成するための開口部（孔）をあけることで、図 2 と同一の形状となる。以降の工程は、図 3 ~ 図 9 を参照して説明した工程と同様の加工を行うことになる。

【 0 0 5 5 】

（実施の形態 2）

本発明の実施の形態 2 では、図 10 に示すような、いわゆるゲインセル構造のメモリを備えた半導体装置について説明する。なお、この半導体装置では、同一基板上に形成される、ロジックトランジスタおよび高耐圧トランジスタに、前記実施の形態 1 で述べた薄膜トランジスタを混載することになる。

10

【 0 0 5 6 】

図 10 に示すように、メモリセルの構成は、基本的には情報を書き込むトランジスタである書込みトランジスタ M1 と、情報を蓄積するトランジスタである蓄積トランジスタ M2 とを一体化させたものである。

【 0 0 5 7 】

図 10 (a) のメモリセルにおいて、書込みワード線 WWL と電氣的に接続された書込みトランジスタ M1 のゲートに電圧を印加し、書込みトランジスタ M1 を導通状態とした場合、書込みトランジスタ M1 のチャネルを電流が流れる。このとき、あらかじめ設定しておく書込みビット線 WBL の電位によって、蓄積ノード SN には異なった電荷量が蓄積される。すなわち、メモリセルに情報が記憶される。

20

【 0 0 5 8 】

一方、蓄積トランジスタ M2 は、蓄積電荷量の大小によって、ゲート電圧が異なり、これをセンスして情報を読み出すことができる。すなわち、ゲート電圧の変化によって蓄積トランジスタ M2 のコンダクタンスが変化し、読出しビット線 RBL から読出しワード線 RWL に流れる電流の違いとしてメモリセルの外に取り出される。

【 0 0 5 9 】

図 10 (b) のメモリセル構造において、同図 (a) のメモリセル構造との違いは、選択トランジスタ M3 を有する点である。よって、ゲート電圧の変化によって蓄積トランジスタ M2 のコンダクタンスが変化し、読出しビット線 RBL からソース線 SL に流れる電流の違いとしてメモリセルの外に取り出される。

30

【 0 0 6 0 】

本実施の形態 2 による半導体装置において、薄膜トランジスタの構造は、基本的に前記実施の形態 1 と同様である。この薄膜トランジスタは、ゲインセル構造のメモリの書込みトランジスタ M1 に用いる。

【 0 0 6 1 】

以下は、図 10 (b) に示した 3 トランジスタ型のメモリセルへの適用について述べる。なお、メモリセルを構成する、薄膜トランジスタ以外のトランジスタは、半導体基板上に形成する通常の MIS トランジスタのため、面積縮小などの用途によって、例えば図 10 (a) に示す 2 トランジスタ型のメモリセルのように、トランジスタ数は設計時に任意に設定することができる。

40

【 0 0 6 2 】

まず、図 11 により、本実施の形態 2 による半導体装置の構造について説明する。図 11 (a) は上面図、(b) は (a) の A - A' 切断面における断面図、(c) は (a) の B - B' 切断面における断面図である。なお、図 11 (a) の上面図では、各構造の位置関係を確認しやすいように、シリサイド膜 23 および層間絶縁膜 24 は省略している。

【 0 0 6 3 】

薄膜トランジスタの構造は、基本的に前記実施の形態 1 と同様である。薄膜トランジスタからなる書込みトランジスタ M1 は絶縁層 6 となる素子分離領域上に形成され、書込みトランジスタ M1 のソース 2 は蓄積トランジスタ M2 のゲート 2G と接続される。また、書込みトランジスタ M1 のゲート 1 およびドレイン 3 には、それぞれ書込みワード線コン

50

タクトCT<sub>WWL</sub>および書込みビット線コンタクトCT<sub>WBL</sub>が接続されている。

【0064】

次に、読出しトランジスタM2および選択トランジスタM3の構造について説明する。また、図示しない周辺回路部のロジックトランジスタおよび高耐圧トランジスタの構造についても併せて説明する場合もある。なお、これらのトランジスタは、MISトランジスタであり、上記薄膜トランジスタによる書込みトランジスタM1とは構造が異なるが、p型シリコンからなる基板上に形成されている。また、基板上に例えばn型ウエルを設け、さらにその内部に例えばp型ウエルを形成する、いわゆる3重ウエル構造を採用してもよい。3重ウエル構造を採ると互いにn型領域で分離されたp型ウエル同士を異なる電圧に設定することが可能であり、基板にバイアスを加えることができる。

10

【0065】

これらトランジスタのゲート絶縁膜は、例えば窒化処理した酸化シリコン膜よりなり、膜厚は2nm程度と7nm程度の2水準で設けられている。すなわち蓄積トランジスタM2、選択トランジスタM3および高耐圧トランジスタのゲート絶縁膜16を7nm程度、ロジックトランジスタのゲート絶縁膜を2nm程度、とした2水準である。

【0066】

蓄積トランジスタM2のゲート2Gおよび選択トランジスタM3のゲート17は、例えば多結晶シリコン膜からなり、酸化シリコン膜と窒化シリコン膜との積層よりなるサイドウォール18を有する。

【0067】

ここで、蓄積トランジスタM2および選択トランジスタM3において、ゲート2G、ゲート17およびソース、ドレインの表面は例えばニッケルシリサイドからなるシリサイド膜23によって低抵抗化されている。また、書込みトランジスタM1のソース2およびドレイン3の表面も例えばニッケルシリサイドからなるシリサイド膜23によって低抵抗化されている。なお、図11(a)の上面図では、各構造の位置関係を確認しやすいように、シリサイド膜23は省略している。

20

【0068】

また、高耐圧トランジスタおよびロジックトランジスタのゲートは、例えば多結晶シリコン膜からなり、酸化シリコン膜と窒化シリコン膜よりなるサイドウォールを有する。また、ロジックトランジスタのゲートは、表面を例えばニッケルシリサイドによって低抵抗化された多結晶シリコン膜からなる。同様に、アクティブ領域も、その表面を例えばニッケルシリサイドによって低抵抗化されている。なお、図11に示したように、書込みトランジスタM1のソース2と、蓄積トランジスタM2のゲート2Gとは同時に形成されるものであって、電気的に接続されることとなる。

30

【0069】

また、蓄積トランジスタM2のゲート2Gおよび選択トランジスタM3のサイドウォール18の下には、浅いn<sup>-</sup>領域である、いわゆるエクステンション領域19が設けられている。また、サイドウォール18の外側には、蓄積トランジスタM2のソース20、選択トランジスタM3のドレイン21であるn<sup>+</sup>領域が設けられている。また、蓄積トランジスタM2のソース20にはソース線コンタクトCT<sub>SL</sub>が接続され、選択トランジスタM3のドレイン21には読出しビット線コンタクトCT<sub>RBL</sub>が接続される。

40

【0070】

なお、ロジックトランジスタおよび高耐圧トランジスタともにエクステンション領域を有する場合、ロジックトランジスタは高耐圧トランジスタと比較して浅いエクステンション領域を用いることが好ましい。これは低エネルギーの不純物打ち込みあるいは表面からの不純物拡散を行うことによって形成するのであるが、横方向、縦方向の不純物広がりを抑制し、短いゲート長でも短チャネル効果に強いエクステンション構造とするためである。一方、高耐圧トランジスタはより高いエネルギーで不純物打ち込みを行い、縦方向、横方向により深く広がったエクステンション領域を形成することが好ましい。これは十分なPN接合の耐圧を確保するためである。

50

## 【 0 0 7 1 】

図 1 1 に示すように、蓄積トランジスタ M 2 および選択トランジスタ M 3 は、例えば p 型シリコンからなる基板上に直接繋がる形で形成された p 型ウエル 2 2 上に形成されている。蓄積トランジスタ M 2 のゲート 2 G は、書込みトランジスタ M 1 のソース 2 と電氣的に接続されており、蓄積トランジスタ M 2 のゲート容量を主成分とする電荷蓄積容量を形成することとなる。

## 【 0 0 7 2 】

次に、本実施の形態 2 による半導体装置の製造工程を説明する。図 1 2 から図 1 4 は、本実施の形態 2 のメモリを製造する際の各工程における上面図および断面図である。図 1 2 から図 1 4 において、( a ) は上面図、( b ) は ( a ) の A - A ' 切断面における断面図、( c ) は ( a ) の B - B ' 切断面における断面図である。

10

## 【 0 0 7 3 】

なお、前記上面図は、煩雑さを避けるため、当該工程における主要部位の位置のみを示すもので、正確な上面図には相当しない。また、各断面図は、半導体装置が形成される半導体基板表面に形成される p 型ウエルより上部の構成を例示する。

## 【 0 0 7 4 】

まず、例えば p 型のシリコン ( S i ) 単結晶からなる半導体基板 ( この段階では半導体ウェハと称する平面略円形状の半導体板 ) を用意し、酸化によって半導体基板 ( 以下、単に基板という ) の主面上に酸化シリコン膜 ( S i O <sub>2</sub> ) 膜を形成し、さらに窒化シリコン膜 ( S i N ) 膜を堆積する。

20

## 【 0 0 7 5 】

続いて、レジストをマスクに上記の窒化シリコン膜、酸化シリコン膜および基板をエッチングして、基板に溝を形成し、その溝を例えば C V D 法によって酸化シリコン膜で埋めた後に平坦化を行い、基板に素子分離領域 ( 絶縁層 ) とアクティブ領域とを形成する。次いで、アクティブ領域に不純物をイオン打ち込みして n 型ウエルおよび p 型ウエルを形成し、さらに n 型ウエル内に不純物を打ち込んで p 型ウエルを形成する。例えば、図 1 2 に示すように、素子分離領域に絶縁層 6、アクティブ領域に p 型ウエル 2 2 が形成されている。

## 【 0 0 7 6 】

基板表面の犠牲酸化後、レジストをマスクにしてしきい値電圧調整用の不純物イオンの打ち込みを行う。洗浄後シリコン基板表面を酸化して、例えば 7 n m の厚さの周辺回路用ゲート絶縁膜を形成する。次に、ロジック回路向けのトランジスタ部分が開口するレジストパターンを、マスク領域として、酸化シリコン膜のエッチングを行う。このとき、メモリ部の蓄積トランジスタ M 2 および選択トランジスタ M 3 は、レジストマスクに覆われており、酸化シリコン膜はエッチングされないようにする。

30

## 【 0 0 7 7 】

そして、前記レジスト膜を除去した後、シリコン基板表面を例えば 2 n m の厚さに酸化してロジック回路用のゲート絶縁膜を形成する。当該ゲート絶縁膜の表面を窒化してゲート絶縁膜の誘電率を上げた後、ゲート電極用のノンドープの多結晶シリコン膜からなるソース・ドレイン材料膜 1 2 を、例えば 1 5 0 n m 堆積する。

40

## 【 0 0 7 8 】

これまでは基板上の各種回路を形成するロジックトランジスタや高耐圧トランジスタに共通の加工について説明したが、続いて、素子分離領域 ( 絶縁層 6 ) 上の書込みトランジスタ M 1 である薄膜トランジスタの加工についてのみ説明する。書込みトランジスタ M 1 となる薄膜トランジスタの形成工程については、前記実施の形態 1 の図 2 から図 9 と同一のため、図 2 から図 9 を参照する。

## 【 0 0 7 9 】

図 2 に示すように、絶縁層 6 上にソース・ドレイン材料膜 1 2 およびその上に例えば 5 0 n m 程度の膜厚の窒化シリコン膜からなるストッパ層 9 を堆積した後、レジストによる孔パターンをマスクとしてエッチングを行い、チャンネルおよびゲート領域のソース・ドレ

50

イン材料膜 1 2 を除去し、開口部 1 3 を形成する。

【 0 0 8 0 】

続いて、基板の洗浄を行った後、図 3 に示すように、例えば 2 . 5 n m 程度のアモルファスシリコン膜（半導体膜）からなるチャンネル 4、例えば 1 5 n m 程度の厚さからなるゲート絶縁膜 5 および例えば 2 0 0 n m 程度の厚さの n 型多結晶シリコン膜からなるゲート材料膜 1 4 を堆積する。さらに、アニールを行うことでチャンネル 4 のアモルファスシリコン膜は結晶化し、多結晶シリコン膜となる。

【 0 0 8 1 】

ここで、本発明者らの独自の検討により、このような極薄膜の結晶化には、1 0 n m 程度以上の厚膜を形成する温度よりも高い温度が必要であることを見出した。なお、このアニールの時点で薄膜トランジスタのソース、ドレインとなるソース・ドレイン材料膜 1 2 には不純物が導入されておらず、またロジックトランジスタや高耐圧トランジスタの拡散層は形成前であるため、薄膜トランジスタ、ロジックトランジスタおよび高耐圧トランジスタの短チャンネル特性に悪影響を与えることはない。

10

【 0 0 8 2 】

続いて、図 4 に示すように、例えば C M P 法あるいはエッチバックによって、ゲート材料膜 1 4 を削り、ストッパ層 9 の表面が露出したところで停止する。これによって、先に形成した孔パターンの開口部 1 3 にのみ n 型多結晶シリコン膜からなるゲート材料膜 1 4 が残ることになる。

【 0 0 8 3 】

続いて、図 5 に示すように、ゲート材料膜 1 4 をエッチバックによって、ストッパ層 9 の表面より後退させて所望の高さに調整する。この残存したゲート材料膜 1 4 が薄膜トランジスタのゲート 1 となる。

20

【 0 0 8 4 】

ここで、基板内に、例えば素子分離領域とアクティブ領域の段差が存在する場合、図 4 を参照して説明したゲート材料膜 1 4 を削る工程で、段差下部の領域においてストッパ層 9 上にゲート材料膜 1 4 が残る場合がある。この場合、上記ゲート材料膜 1 4 のエッチバックを行う際に段差分エッチングを追加する事で、ストッパ層 9 上の残膜を取り除くことができる。

【 0 0 8 5 】

続いて、図 6 に示すように、例えば 1 0 0 n m 程度の酸化シリコン膜からなるキャップ膜 7 を堆積し、C M P 法によってキャップ膜 7 を削り、ストッパ層 9 の表面が露出したところで停止する。

30

【 0 0 8 6 】

ここで、基板内に、例えば素子分離領域とアクティブ領域の段差が存在する場合、段差下部の領域においてストッパ層 9 上にキャップ膜 7 が残る場合がある。素子分離領域の方が段差上部の場合、開口部 1 3 の領域を覆うレジストをマスクとしてエッチングを行い、キャップ膜 7 の残膜を除去すれば良い。また、素子分離領域の方が段差下部の場合、開口部 1 3 の上部にキャップ膜 7 が残ることになるのでレジストマスクは必要なく、基板全面にエッチバックを行い、段差部のキャップ膜 7 を除去すれば良い。

40

【 0 0 8 7 】

続いて、図 7 に示すように、エッチングによってストッパ層 9 を除去する。この際、ゲート 1 はキャップ膜 7 によって保護されることとなる。ここでは、酸化シリコン膜と窒化シリコン膜のエッチングの選択比において、窒化シリコン膜がよりエッチングされるようにしている。

【 0 0 8 8 】

これまでは書込みトランジスタ M 1 となる薄膜トランジスタの加工についてのみ説明したが、続いて、蓄積トランジスタ M 2、選択トランジスタ M 3 および基板上の各種回路を形成するロジックトランジスタや高耐圧トランジスタに共通の加工について説明する。

【 0 0 8 9 】

50

レジストをマスクに n 型のゲートとしたい領域および p 型のゲートとしたい領域の多結晶シリコン膜に各々不純物打ち込みを行う。なお、薄膜トランジスタのソース 2、ドレイン 3 および蓄積トランジスタのゲート 2 G、選択トランジスタのゲート 1 7 は n 型とするため、n 型の不純物を打ち込んだ。

【 0 0 9 0 】

続いて、レジストをマスクに多結晶シリコン膜をエッチングし、ロジックトランジスタ、高耐圧トランジスタおよび蓄積トランジスタ M 2、選択トランジスタ M 3 のゲートパターンを形成する。このとき、図 1 2 に示すような例えばレジストからなるマスク層 1 0 を用いて、図 1 3 に示すように、ソース・ドレイン材料膜 1 2 から書込みトランジスタ M 1 となる薄膜トランジスタのソース 2 およびドレイン 3 を同時に形成する。この際、薄膜トランジスタのゲート 1 は、酸化シリコン膜からなるキャップ膜 7 で保護されており、削れることがない。

10

【 0 0 9 1 】

続いて、高耐圧トランジスタのエクステンション形成を行う。まず、高耐圧トランジスタの n 型 M I S トランジスタのエクステンションでは、レジストをマスクに、例えば 1 0 k e V 程度で n 型不純物の P (リン) を打ち込む。次いで、高耐圧トランジスタの p 型 M I S トランジスタのエクステンションでは、レジストをマスクに、例えば 5 k e V 程度で p 型不純物の B F <sub>2</sub> を打ち込む。

【 0 0 9 2 】

続いて、図 1 4 に示すように、ロジックトランジスタ、蓄積トランジスタ M 2 および選択トランジスタ M 3 のエクステンション領域 1 9 形成を行う。まず、それらの n 型 M I S トランジスタのエクステンションでは、高耐圧トランジスタ部分、p 型 M I S トランジスタ部分を覆うレジストパターンをマスクに、例えば 3 k e V 程度で n 型不純物の A s (ヒ素) を打ち込む。次いで、より深い位置に p 型不純物を打ち込んでパンチスルーを防ぐために上記エクステンション下の p 型ウエル濃度を上昇させた。次いで、ロジックトランジスタの p 型 M I S トランジスタのエクステンション形成では、例えば 3 k e V 程度で p 型不純物の B F <sub>2</sub> を打ち込む。次いで、より深い位置に n 型不純物を打ち込んでパンチスルーを防ぐためにエクステンション下の n 型ウエル濃度を上昇させた。

20

【 0 0 9 3 】

続いて、C V D 法によって酸化シリコン膜を形成した後、窒化シリコン膜を堆積し、さらに、C V D 法によって酸化シリコン膜を堆積後、エッチバックを行って、ロジックトランジスタのゲート、高耐圧トランジスタのゲート、蓄積トランジスタ M 2 のゲート 2 G および、選択トランジスタ M 3 のゲート 1 7 側面にサイドウォール 1 8 を形成する (図 1 1 参照)。

30

【 0 0 9 4 】

なお、図 1 1 では、書込みトランジスタ M 1 である薄膜トランジスタのゲート 1 およびソース 2、ドレイン 3 にサイドウォールが示されていないが、薄膜トランジスタにも同時に形成される。ただし、薄膜トランジスタ下は絶縁層 6 で不純物打ち込みには関係なく、素子構造の説明上煩雑さを避けるために、サイドウォールを省略している。

【 0 0 9 5 】

続いて、サイドウォール 1 8 とレジストをマスクに n 型 M I S トランジスタ領域には n 不純物、p 型 M I S トランジスタ領域には p 型不純物を打ち込んで拡散層 2 0、2 1 を形成する (図 1 1 参照)。この拡散層 2 0、2 1 用の不純物打ち込みは、ロジックトランジスタおよび高耐圧トランジスタで共通の不純物打ち込み工程を用いた。これにより、蓄積トランジスタ M 2 のソース 2 0、ドレイン (選択トランジスタ M 3 のソースと共通)、選択トランジスタ M 3 のドレイン 2 1、ソースが形成される。

40

【 0 0 9 6 】

続いて、蓄積トランジスタ M 2、選択トランジスタ M 3、ロジックトランジスタおよび、高耐圧トランジスタのゲート、ドレイン、ソースおよび、書込みトランジスタ M 1 のソース 2、ドレイン 3 の表面にシリサイド膜 2 3 を形成する (図 1 1 参照)。まず、C V D

50

法によって、酸化シリコン膜を堆積し、多結晶シリコン膜抵抗素子などのシリサイド化しない部分を覆ったレジストパターンをマスクに、前記酸化シリコン膜を除去する。次いで、ニッケル(Ni)膜をスパッタで堆積し、アニールを行ってシリコン膜と反応させた後に、ニッケル膜を除去する。これにより、シリサイド膜23が形成される。

【0097】

このとき薄膜トランジスタからなる書込みトランジスタM1のゲート1上部はキャップ膜7で覆われているため、ゲート1とソース2、ドレイン3がシリサイド膜23のブリッチングによりショートしてしまうことはない。

【0098】

ここで、薄膜トランジスタを含めたメモリセル部全体をシリサイド化しない場合も考えられる。この場合の半導体装置の構図は、図15のようになる。図15(a)は上面図、(b)は(a)のA-A'切断面における断面図、(c)は(a)のB-B'切断面における断面図である。なお、図15(a)の上面図では、各構造の位置関係を確認しやすいように、層間絶縁膜24は省略している。

【0099】

このような作製プロセスは、薄膜トランジスタからなる書込みトランジスタM1のゲート1上面のキャップ膜7がその後の工程で削れ、多結晶シリコン膜からなるゲート1が露出した場合でもニッケル膜によるソース2、ドレイン3とのショートを起こす心配がないという特徴がある。

【0100】

続いて、例えば酸化シリコン膜からなる層間絶縁膜24を堆積、平坦化する工程、書込みワード線コンタクトCT<sub>WWL</sub>などのコンタクトを形成する工程、配線を形成する工程を行い、図11に示したような半導体装置が完成する。

【0101】

上記のように、半導体基板上に、ロジックトランジスタおよび高耐圧トランジスタを作製する途中にプロセスおよびホトマスクを最大で2枚追加することで、ソース2およびドレイン3と膜厚の異なるチャンネル4を有する薄膜トランジスタを混載することができ、ゲインセル構造のメモリを形成することができる。

【0102】

本実施の形態2では、基板として、p型のシリコン膜からなる半導体基板を適用したが、SOI構造を有する基板を適用してもよい。SOI構造の基板を適用した場合、ロジックトランジスタの特性が向上し、より高速、低電力のLSI(Large Scale Integration)が実現できる。また3重ウエル工程が必要なくなり、工程が簡略化される。

【0103】

また、本実施の形態2では、ロジックトランジスタおよび高耐圧トランジスタのゲートに表面をシリサイド化した多結晶シリコン膜、ゲート絶縁膜に表面を窒化した酸化シリコン膜を適用したが、金属のゲートやハフニウムオキサイド、アルミナなどの高誘電体膜をゲート絶縁膜に適用した場合でも、前述した拡散層構造とゲート絶縁膜の組合せは有効である。その場合ゲート絶縁膜厚の大小関係は、物理膜厚でなく電氣的に酸化シリコン膜厚に換算した膜厚に読み替えて解釈すればよい。例えば、高誘電体膜と酸化シリコン膜のゲート絶縁膜が混在していた場合、高誘電体膜の誘電率を使って同等の静電容量を与える酸化シリコン膜の膜厚に換算し、それが酸化シリコン膜よりも薄い場合、高誘電体膜を薄膜のゲート絶縁膜として解釈すれば本実施の形態で述べた関係はそのまま有効である。

【0104】

また、本実施の形態2では、メモリ部の蓄積トランジスタM2および選択トランジスタM3のゲート絶縁膜を高耐圧トランジスタのゲート絶縁膜と同じ膜厚に設定したが、メモリ部のトランジスタの性能を向上させるために、別途膜厚の異なるゲート絶縁膜を設定し、いわゆる3水準の仕様としてもよい。

【0105】

また、本実施の形態2では、メモリ部の蓄積トランジスタM2および選択トランジスタ

10

20

30

40

50

M3のエクステンション領域19をロジックトランジスタと同時に形成したが、メモリ部のトランジスタの性能を向上させるために、別のマスクを用いてロジックトランジスタのエクステンションと打ち分けてもよい。

【0106】

(実施の形態3)

本実施の形態3による半導体装置において、薄膜トランジスタの構造は基本的に前記実施の形態1と同様である。しかし、図16に示すように、薄膜トランジスタのゲート絶縁膜15を例えばONO(Oxide Nitride Oxide)膜のような耐酸化性を有する膜とすることに関連して相違する。図16(a)は上面図、(b)は(a)のA-A'切断面における断面図、(c)は(a)のB-B'切断面における断面図である。なお、図16(a)の上面図では、各構造の位置関係を確認しやすいように、層間絶縁膜24は省略している。

10

【0107】

次に、本実施の形態3による半導体装置の製造工程を説明する。図17から図22は、本実施の形態3の薄膜トランジスタを製造する際の各工程における上面図および断面図である。図17から図22において、(a)は上面図、(b)は(a)のA-A'切断面における断面図、(c)は(a)のB-B'切断面における断面図である。

【0108】

なお、前記上面図は、煩雑さを避けるため、当該工程における主要部位の位置のみを示すもので、正確な上面図には相当しない。また、各断面図は、半導体装置が形成される絶縁層より上部の構成を例示する。この絶縁層6は、半導体基板やガラス基板上に形成された例えば酸化シリコン膜である。

20

【0109】

まず、前記実施の形態1において図2を参照して説明した製造工程と同様の製造工程によって、半導体基板の絶縁層6上に、ソース・ドレイン材料膜12およびストッパ層9の順で形成した後、絶縁層6に達する開口部13をストッパ膜9およびソース・ドレイン材料膜12に形成する。これ以降の工程で、前記実施の形態1と製造工程が異なる。

【0110】

続いて、図17に示すように、開口部13内の絶縁層6および開口部13内のソース・ドレイン材料膜12上に所望の膜厚のチャンネル4、ゲート絶縁膜15の順で形成した後、ゲート絶縁膜15上であって開口部13内を埋め込むゲート材料膜14を形成する。

30

【0111】

具体的には、基板の洗浄を行った後、例えば2.5nm程度のアモルファスシリコン膜(半導体膜)からなるチャンネル4、ゲート絶縁膜15として例えば5nm程度の厚さからなる酸化シリコン膜(酸化膜)、10nm程度の厚さからなる窒化シリコン膜(窒化膜)、5nm程度の厚さからなる酸化シリコン膜(酸化膜)を堆積した後、例えば200nm程度の厚さのn型多結晶シリコン膜からなるゲート材料膜14を堆積する。さらに、アニールを行うことでチャンネル4のアモルファスシリコン膜は結晶化し、多結晶シリコン膜となる。このように、前記実施の形態1とは異なり、本実施の形態3ではゲート絶縁膜15に耐酸化性を有する膜であるONO膜を用いている。

40

【0112】

続いて、図18に示すように、例えばCMP法あるいはエッチバックによって、ゲート材料膜14を削り、ストッパ層9の表面が露出したところで停止する。これによって、先に形成した孔パターンの開口部13にのみn型多結晶シリコン膜からなるゲート材料膜14が残ることになる。さらに、ゲート材料膜14をエッチバックによって、ストッパ層9の表面より後退させて所望の高さに調整する。ただし、このエッチバックは必須の工程ではない。

【0113】

続いて、図19に示すように、ゲート材料膜14上にキャップ膜11を形成し、ゲート材料膜からなるゲート1を形成する。

50

## 【0114】

具体的には、ゲート材料膜14であるn型多結晶シリコン膜の酸化を行う。この際、露出しているゲート材料膜14表面と共に、露出している多結晶シリコン膜からなるチャンネル4が酸化され、酸化シリコン膜からなるキャップ膜11が形成される。一方、酸化されなかったゲート材料膜14は、薄膜トランジスタのゲート1となる。

## 【0115】

このキャップ膜11の形成の際、後にソース、ドレインとなるソース・ドレイン材料膜12表面は、ストッパ層9で保護されているため、酸化されない。また、表面が露出しているチャンネル4の酸化速度は不純物が導入されているn型多結晶シリコン膜からなるゲート材料膜14より遅いため、露出しているチャンネル4の酸化は小さい。さらに、ゲート絶縁膜15に耐酸化性を有する膜を用いているため、酸化速度の速いn型多結晶シリコン膜側から酸化種が拡散して、チャンネル4が酸化、断線されることはない。

10

## 【0116】

例えば、酸化シリコン膜のみからなるゲート絶縁膜15を用いた場合、キャップ膜11を形成するための酸化と共に、例えば多結晶シリコンからなるチャンネル4も酸化されて、薄いチャンネル4の膜厚がさらに薄く変化、すなわち断線することが考えられる。しかしながら、本実施の形態3では、ゲート絶縁膜15に耐酸化性を有する膜であるONO膜を用いているため、チャンネル4が酸化、断線されることはない。

## 【0117】

続いて、図20に示すように、エッチングによってストッパ層9を除去する。この残存したキャップ膜11によってゲート1は保護されることとなる。ここでは、酸化シリコン膜と窒化シリコン膜のエッチングの選択比において、窒化シリコン膜がよりエッチングされるようにしている。

20

## 【0118】

続いて、レジストをマスクにn型のソース・ドレインとしたい領域およびp型のソース・ドレインとしたい領域の多結晶シリコン膜に各々不純物打ち込みを行う。なお、薄膜トランジスタのソースおよびドレインはn型とするため、n型の不純物を打ち込んだ。

## 【0119】

続いて、図21に示すように、ゲート1を横切るように、ゲート1およびソース・ドレイン材料膜12上にマスク層10を形成する。

30

## 【0120】

具体的には、ゲート1の一方側にソース2、他方側にドレイン3となるようにソース・ドレイン材料膜12を残存させるために、ゲート1を横切るように、ゲート1およびソース・ドレイン材料膜12上にレジストからなるマスク層10を形成する。

## 【0121】

続いて、ゲート1をキャップ膜11で保護しながらマスク層10で保護されていないソース・ドレイン材料膜12を除去し、図22に示すように、ゲート1の両側にソース・ドレイン材料膜12を残す。

## 【0122】

具体的には、レジストをマスクに多結晶シリコン膜をエッチングする。このとき、図21に示すような例えばレジストからなるマスク層10を用いて、図22に示すように、ソース・ドレイン材料膜12から薄膜トランジスタのソース2およびドレイン3を同時に形成する。この際、薄膜トランジスタのゲート1は、酸化シリコン膜からなるキャップ膜11で保護されており、削れることがない。

40

## 【0123】

続いて、例えば酸化シリコン膜からなる層間絶縁膜24の堆積、平坦化する工程、コンタクト8を形成する工程、配線を形成する工程を行い、図16に示したような半導体装置が完成する。

## 【0124】

このように、本実施の形態3で示す薄膜トランジスタの製造工程において、堆積により

50



チャンネル４の膜厚を制御することによって、チャンネル４を薄く形成することができる。また、ゲート絶縁膜１５に耐酸化性を有する膜を用いているため、チャンネル４の形成後、例えばキャップ膜１１を形成する酸化工程によってチャンネル４が酸化、断線されることはない。このため、薄膜トランジスタのオフ電流を低減することができる。

【０１２５】

また、本実施の形態３で示す薄膜トランジスタは、開口部の内側にゲート１を埋め込む構造とするため、ソース２およびドレイン３とゲート１の間に不要なスペースを必要とせず、またゲート１にコンタクト８を形成するためにパッドを引き出す必要がないため、素子の寸法を小さくすることができる。

【０１２６】

本実施の形態３では、ゲート絶縁膜１５を、５ｎｍ程度の厚さからなる酸化シリコン膜、１０ｎｍ程度の厚さからなる窒化シリコン膜、５ｎｍ程度の厚さからなる酸化シリコン膜としたが、耐酸化性を有する範囲であれば、窒化シリコン膜はより薄く設定してもよく、またチャンネル４と接する側の界面準位を増加させず、かつリーク電流が許容される範囲であれば、酸化シリコン膜はより薄く設定してもよい。

【０１２７】

また、本実施の形態３では、ゲート絶縁膜１５に、いわゆるONO膜を適用したが、例えばON膜や、酸化シリコン膜とアルミナなどの高誘電体の積層膜でもよく、チャンネル４と接する側の界面準位を増加させず、かつ耐酸化性を有する材料であれば、適用できる。また、窒化シリコン膜の有する正の固定電荷や、高誘電体膜の有する負の固定電荷により、薄膜トランジスタのしきい値を変動させることができる。このとき、窒化シリコン膜もしくは高誘電体膜とチャンネル４の間の、酸化シリコン膜の厚さを変えることで、上記の固定電荷によるしきい値の変動量を制御し、任意のしきい値に設定することが可能である。

【０１２８】

(実施の形態４)

本実施の形態４による半導体装置において、図２３に示すように、薄膜トランジスタの構造は基本的に前記実施の形態３と同様である。ただし本実施の形態４では、同一基板上に形成される、ロジックトランジスタおよび高耐圧トランジスタに、前記実施の形態３で述べた薄膜トランジスタを混載することになる。なお、図２３(a)の上面図では、各構造の位置関係を確認しやすいように、シリサイド膜２３および層間絶縁膜２４は省略している。

【０１２９】

薄膜トランジスタからなる書込みトランジスタM１は絶縁層６となる素子分離領域上に形成され、蓄積トランジスタM２、選択トランジスタM３、ロジックトランジスタおよび、高圧トランジスタはアクティブ領域に形成される。薄膜トランジスタからなる書込みトランジスタM１のソース２は蓄積トランジスタM２のゲート２Gと接続される。

【０１３０】

本実施の形態４による半導体装置の製造工程は、前記実施の形態２において薄膜トランジスタを形成する工程において、前記実施の形態３で述べたように、薄膜トランジスタのゲート絶縁膜１５を例えばONO膜のような耐酸化性を有する膜とし、マスク層を熱酸化で形成するところが異なる。

【０１３１】

このため、前記実施の形態２で述べた、基板内に、例えば素子分離領域とアクティブ領域の段差が存在し、素子分離領域の方が段差上部の場合に発生する段差下部のマスク層のエッチング残りを除去するためのホットマスクは必要なく、薄膜トランジスタ混載用の追加マスク数を１枚に低減することができる。

【０１３２】

(実施の形態５)

図２４は、本実施の形態５による薄膜トランジスタ(半導体装置)の説明図であり、(a)は上面図、(b)は(a)のA-A'切断面における断面図、(c)は(a)のB-

10

20

30

40

50

B' 切断面における断面図である。なお、図 24 (a) の上面図では、各構造の位置関係を確認しやすいように、層間絶縁膜 24 は省略している。

【0133】

前記実施の形態 1、2 では、堆積によって形成された酸化シリコン膜をキャップ膜 7 に、前記実施の形態 3、4 では、酸化によって形成された酸化シリコン膜をキャップ膜 11 に適用した場合について説明した。これらに対し、本実施の形態 5 では、図 24 に示すように、シリサイド化によって形成されたシリサイド膜をキャップ膜 25 に適用するものである。なお、本実施の形態 5 の薄膜トランジスタを構成する他の部材は前記実施の形態 1 と同様であるので、その説明は省略する。

【0134】

次に、本実施の形態 5 による薄膜トランジスタの製造工程を説明する。図 25 および図 26 は、本実施の形態 5 による薄膜トランジスタの製造工程中の説明図であり、(a) は上面図、(b) は (a) の A-A' 切断面における断面図、(c) は (a) の B-B' 切断面における断面図である。なお、前記上面図は、煩雑さを避けるため、当該工程における主要部位の位置のみを示すもので、正確な上面図には相当しない。また、各断面図は、半導体装置が形成される絶縁層 6 より上部の構成を例示する。この絶縁層 6 は、半導体基板やガラス基板上に形成された例えば酸化シリコン膜である。

【0135】

まず、前記実施の形態 1 において図 2 ~ 図 4 を参照して説明した製造工程と同様の製造工程を行う。

【0136】

続いて、図 25 に示すように、多結晶シリコン膜からなるゲート材料膜 14 上に、金属膜 26 を形成する。この金属膜 26 は、例えば、スパッタによって形成されたニッケル膜である。なお、金属膜 26 は、チタン膜、コバルト膜などであっても良い。

【0137】

続いて、図 26 に示すように、アニールによって、ゲート材料膜 14 の多結晶シリコン膜と、金属膜 26 のニッケル膜の反応によるニッケルシリサイド膜からなるキャップ膜 25 を形成する。次いで、未反応の金属膜 26 を除去する。以降、例えば、前記実施の形態 1 において図 7 ~ 図 9 を参照して説明した製造工程と同様の製造工程を行うことによって、薄膜トランジスタ (半導体装置) が完成する。

【0138】

このように、本実施の形態 5 で示す薄膜トランジスタの製造工程において、堆積によりチャンネル 4 の膜厚を制御することによって、チャンネル 4 を薄く形成することができる。また、チャンネル 4 の形成後、膜厚の変化によってチャンネル 4 を断線するような例えば酸化工程を含んでいない。このため、薄膜トランジスタのオフ電流を低減することができる。

【0139】

また、本実施の形態 5 で示す薄膜トランジスタは、開口部の内側にゲート 1 を埋め込む構造とするため、ソース 2 およびドレイン 3 とゲート 1 の間に不要なスペースを必要とせず、またゲート 1 にコンタクト 8 を形成するためにパッドを引き出す必要がないため、素子の寸法を小さくすることができる。

【0140】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【産業上の利用可能性】

【0141】

本発明は、半導体装置を製造する製造業に幅広く利用されるものであり、特に、半導体基板上に形成するロジックトランジスタとのプロセス整合性がよく、低コストの半導体メモリを備えた半導体装置を実現するのに利用されるものである。

【図面の簡単な説明】

10

20

30

40

50

## 【 0 1 4 2 】

【図 1】本発明の実施の形態 1 における半導体装置の一例の説明図であり、( a ) は上面図、( b ) は ( a ) の A - A ' 切断面における断面図、( c ) は ( a ) の B - B ' 切断面における断面図である。

【図 2】本発明の実施の形態 1 における半導体装置の製造工程中の説明図であり、( a ) は上面図、( b ) は ( a ) の A - A ' 切断面における断面図、( c ) は ( a ) の B - B ' 切断面における断面図である。

【図 3】図 2 に続く半導体装置の製造工程中における説明図である。

【図 4】図 3 に続く半導体装置の製造工程中における説明図である。

【図 5】図 4 に続く半導体装置の製造工程中における説明図である。

10

【図 6】図 5 に続く半導体装置の製造工程中における説明図である。

【図 7】図 6 に続く半導体装置の製造工程中における説明図である。

【図 8】図 7 に続く半導体装置の製造工程中における説明図である。

【図 9】図 8 に続く半導体装置の製造工程中における説明図である。

【図 10】本発明の実施の形態 2 における半導体装置を用いたメモリと配線の接続関係を示す等価回路図であり、( a ) は 2 トランジスタ構成、( b ) は 3 トランジスタ構成である。

【図 11】本発明の実施の形態 2 における半導体装置の一例の説明図であり、( a ) は上面図、( b ) は ( a ) の A - A ' 切断面における断面図、( c ) は ( a ) の B - B ' 切断面における断面図である。

20

【図 12】本発明の実施の形態 2 における半導体装置の製造工程中の説明図であり、( a ) は上面図、( b ) は ( a ) の A - A ' 切断面における断面図、( c ) は ( a ) の B - B ' 切断面における断面図である。

【図 13】図 12 に続く半導体装置の製造工程中における説明図である。

【図 14】図 13 に続く半導体装置の製造工程中における説明図である。

【図 15】本発明の実施の形態 2 における半導体装置の他の一例の説明図であり、( a ) は上面図、( b ) は ( a ) の A - A ' 切断面における断面図、( c ) は ( a ) の B - B ' 切断面における断面図である。

【図 16】本発明の実施の形態 3 における半導体装置の一例の説明図であり、( a ) は上面図、( b ) は ( a ) の A - A ' 切断面における断面図、( c ) は ( a ) の B - B ' 切断面における断面図である。

30

【図 17】本発明の実施の形態 3 における半導体装置の製造工程中の説明図であり、( a ) は上面図、( b ) は ( a ) の A - A ' 切断面における断面図、( c ) は ( a ) の B - B ' 切断面における断面図である。

【図 18】図 17 に続く半導体装置の製造工程中における説明図である。

【図 19】図 18 に続く半導体装置の製造工程中における説明図である。

【図 20】図 19 に続く半導体装置の製造工程中における説明図である。

【図 21】図 20 に続く半導体装置の製造工程中における説明図である。

【図 22】図 21 に続く半導体装置の製造工程中における説明図である。

【図 23】本発明の実施の形態 4 における半導体装置の一例の説明図であり、( a ) は上面図、( b ) は ( a ) の A - A ' 切断面における断面図、( c ) は ( a ) の B - B ' 切断面における断面図である。

40

【図 24】本発明の実施の形態 5 における半導体装置の一例の説明図であり、( a ) は上面図、( b ) は ( a ) の A - A ' 切断面における断面図、( c ) は ( a ) の B - B ' 切断面における断面図である。

【図 25】本発明の実施の形態 5 における半導体装置の製造工程中の説明図であり、( a ) は上面図、( b ) は ( a ) の A - A ' 切断面における断面図、( c ) は ( a ) の B - B ' 切断面における断面図である。

【図 26】図 25 に続く半導体装置の製造工程中における説明図である。

【図 27】本発明者らが検討した半導体装置の断面図である。

50

【図 2 8】本発明者らが検討した半導体装置の断面図である。

【図 2 9】本発明者らが検討した半導体装置の断面図である。

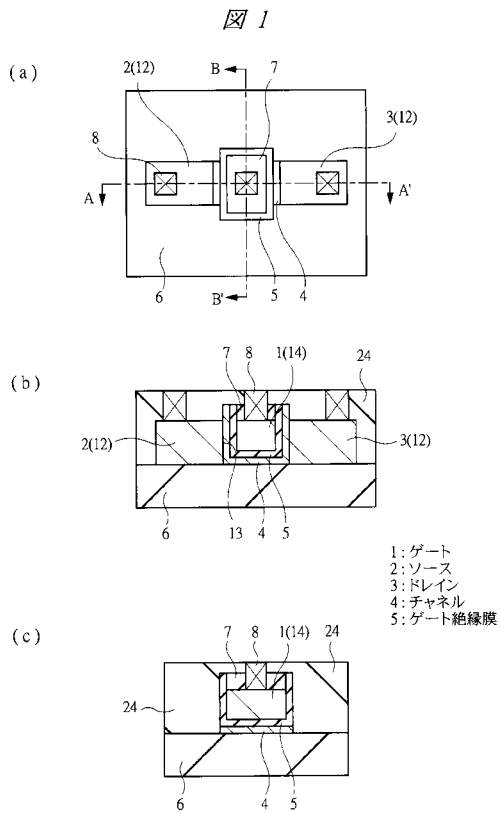
【符号の説明】

【 0 1 4 3 】

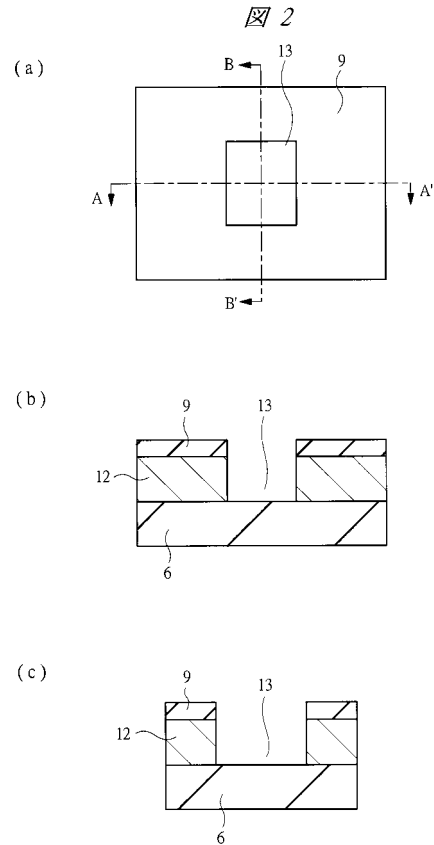
1	ゲート	
2	ソース	
2 G	蓄積トランジスタのゲート	
3	ドレイン	
4	チャネル（半導体膜）	
5	ゲート絶縁膜	10
6	絶縁層	
7	キャップ膜	
8	コンタクト	
9	ストッパ層	
1 0	マスク層	
1 1	キャップ膜	
1 2	ソース・ドレイン材料膜	
1 3	開口部	
1 4	ゲート材料膜	
1 5	ゲート絶縁膜	20
1 6	ゲート絶縁膜	
1 7	選択トランジスタのゲート	
1 8	サイドウォール	
1 9	エクステンション領域	
2 0	蓄積トランジスタのソース（拡散層）	
2 1	選択トランジスタのドレイン（拡散層）	
2 2	ウエル	
2 3	シリサイド膜	
2 4	層間絶縁膜	
2 5	キャップ膜	30
2 6	金属膜	
1 0 1	ゲート	
1 0 2	ソース	
1 0 3	ドレイン	
1 0 4	チャネル	
1 0 5	ゲート絶縁膜	
1 0 6	絶縁層	
1 0 7	絶縁膜	
1 0 8	コンタクト	
M 1	書込みトランジスタ	40
M 2	蓄積トランジスタ	
M 3	選択トランジスタ	
W W L	書込みワード線	
W B L	書込みビット線	
R W L	読出しワード線	
R B L	読出しビット線	
S L	ソース線	
S N	蓄積ノード	
C T <sub>W W L</sub>	書込みワード線コンタクト	
C T <sub>W B L</sub>	書込みビット線コンタクト	50

C T<sub>R</sub> W L 読出しワード線コンタクト  
C T<sub>R</sub> B L 読出しビット線コンタクト  
C T<sub>S</sub> L ソース線コンタクト

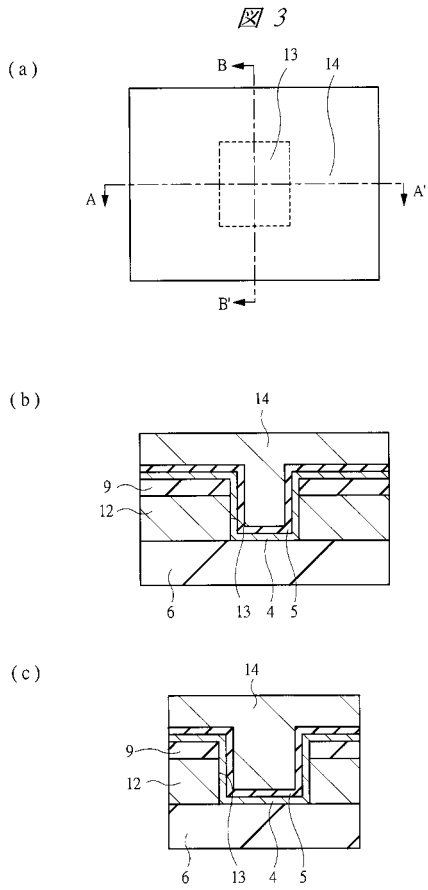
【図1】



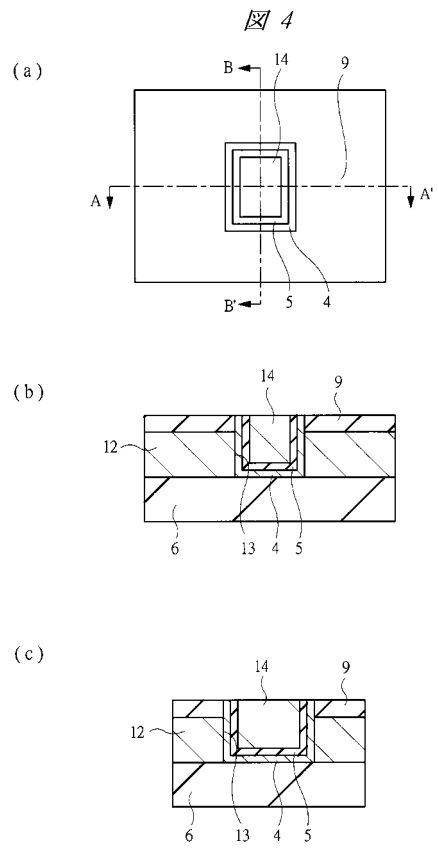
【図2】



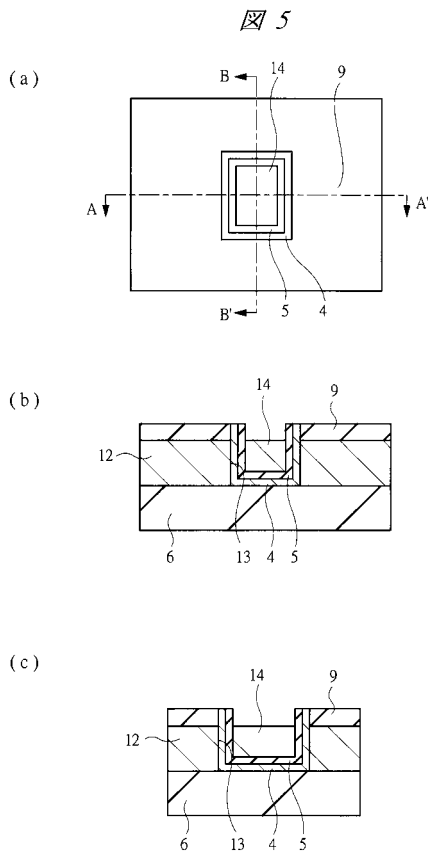
【 図 3 】



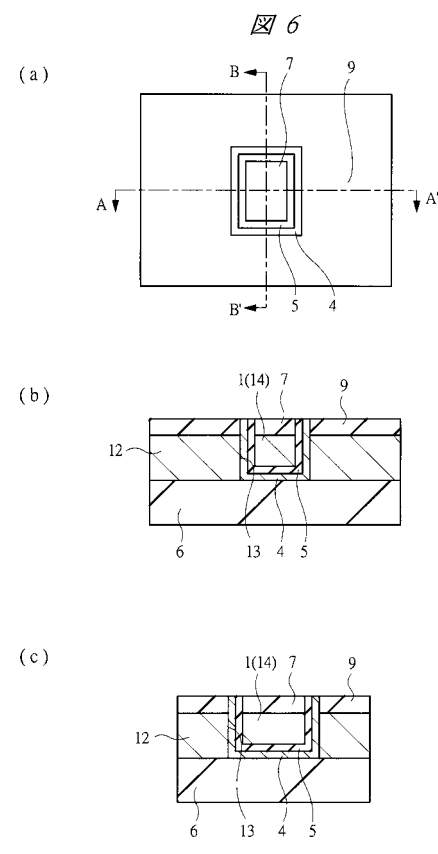
【 図 4 】



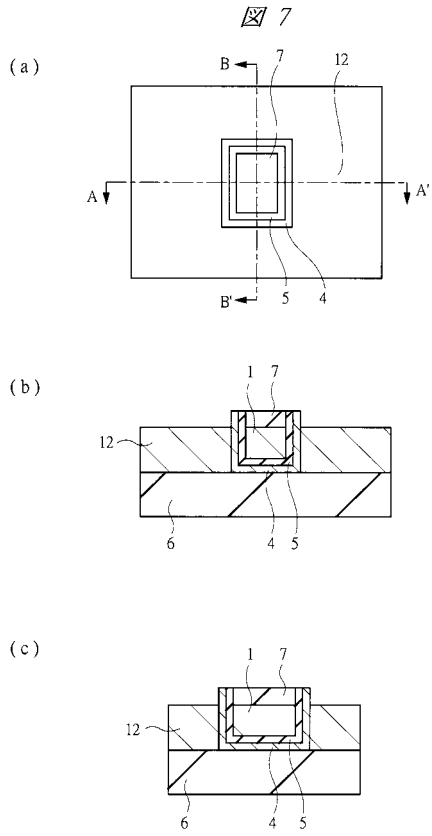
【 図 5 】



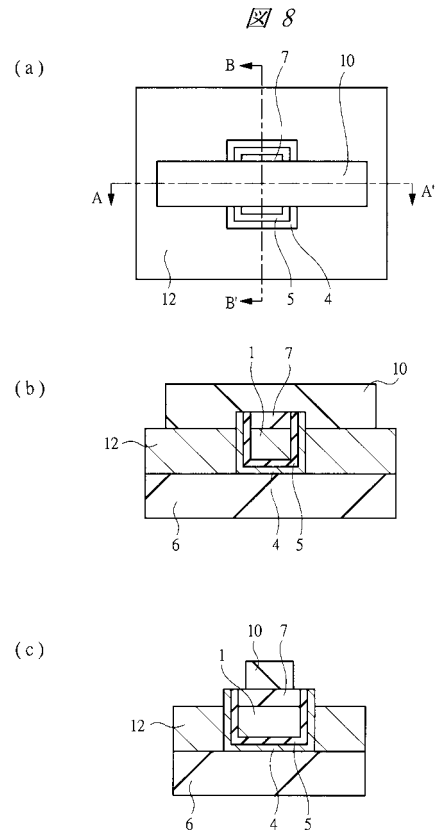
【 図 6 】



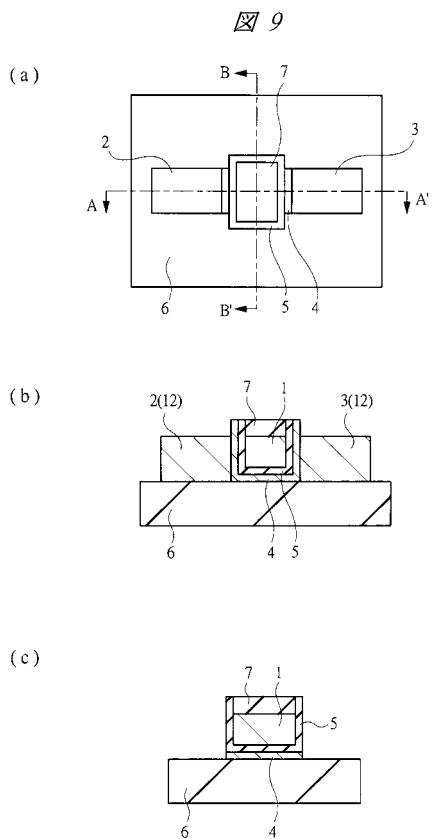
【 図 7 】



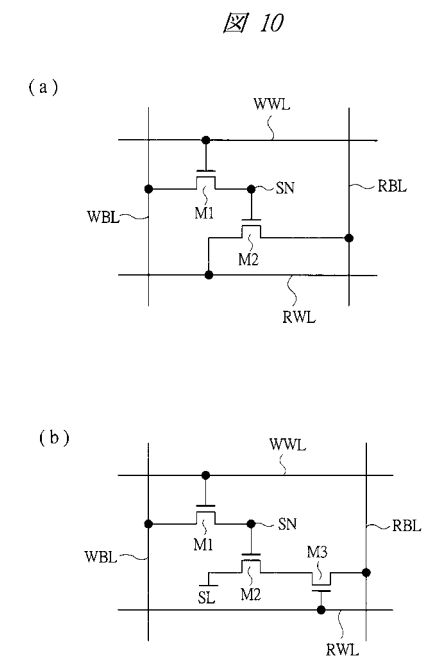
【 図 8 】



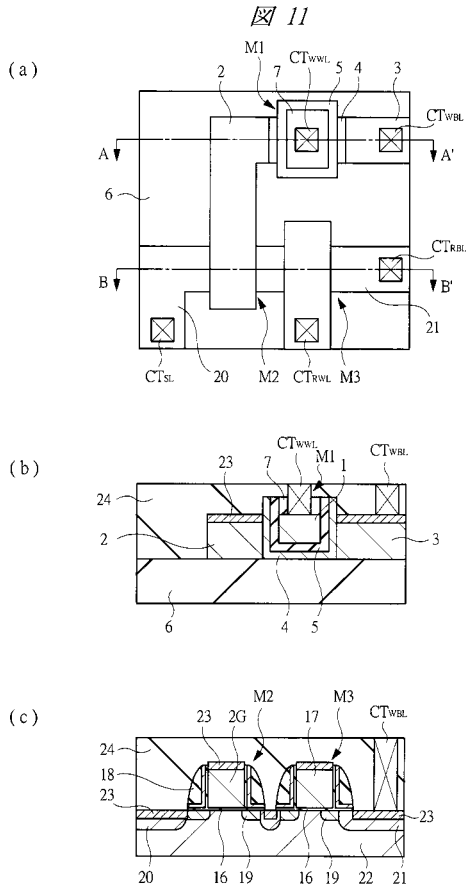
【 図 9 】



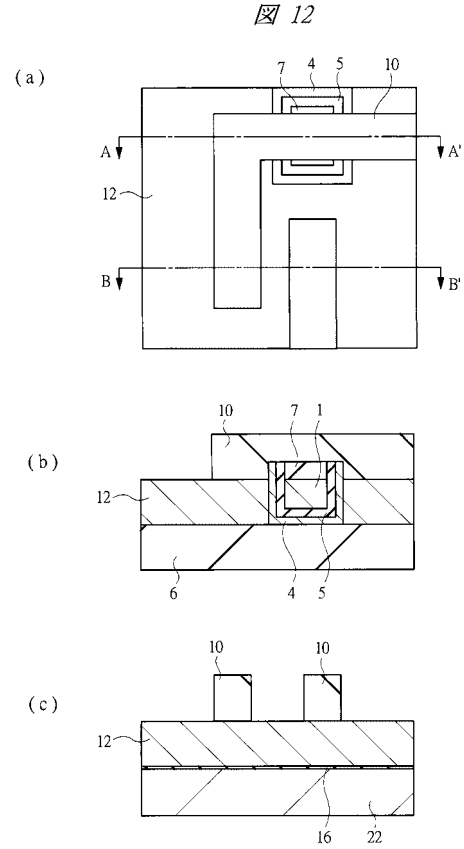
【 図 10 】



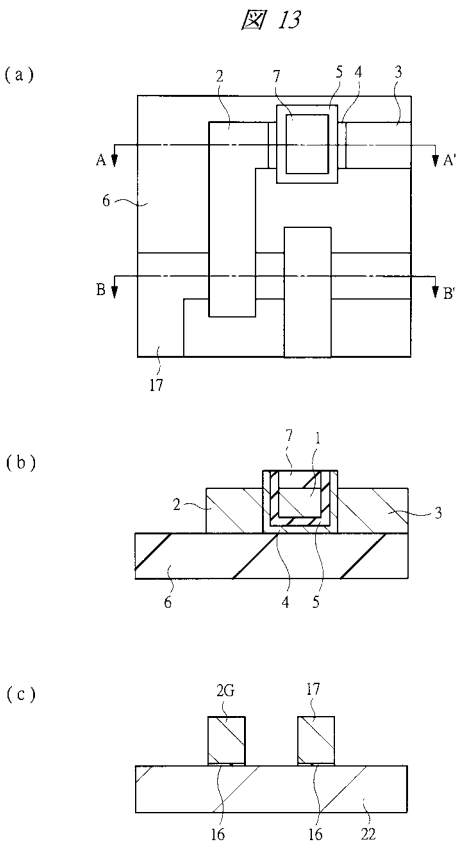
【 図 1 1 】



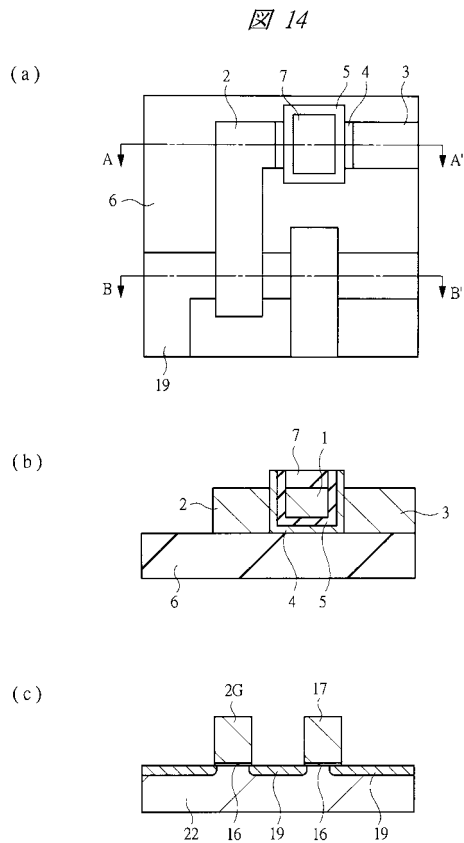
【 図 1 2 】



【 図 1 3 】

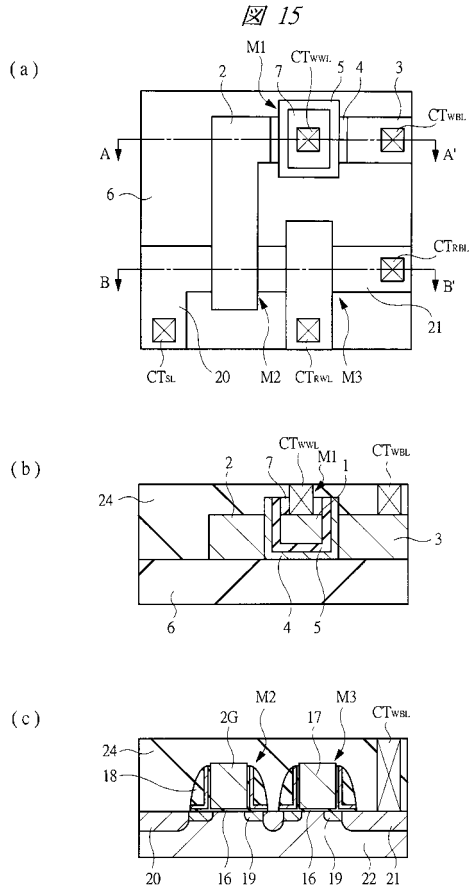


【 図 1 4 】

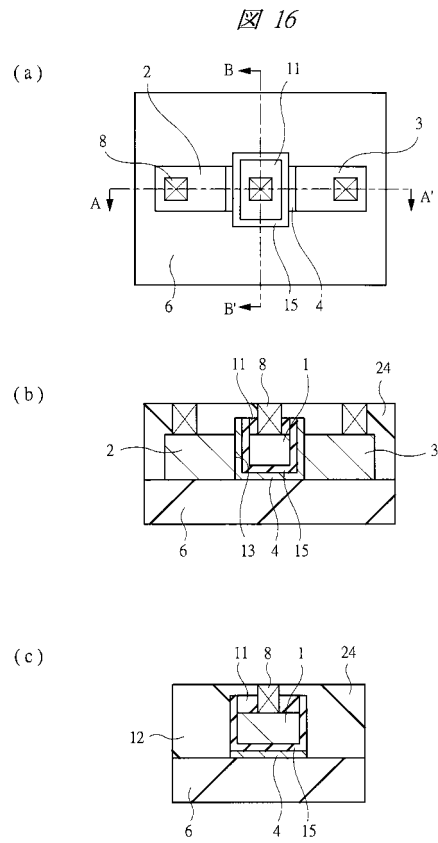




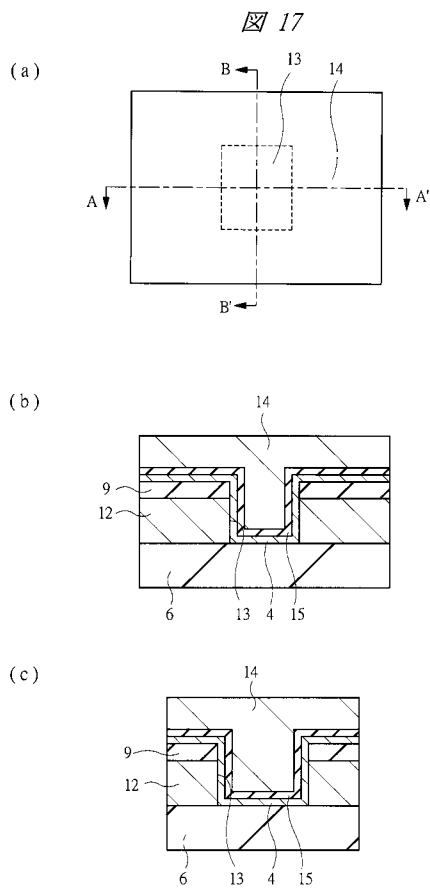
【 図 1 5 】



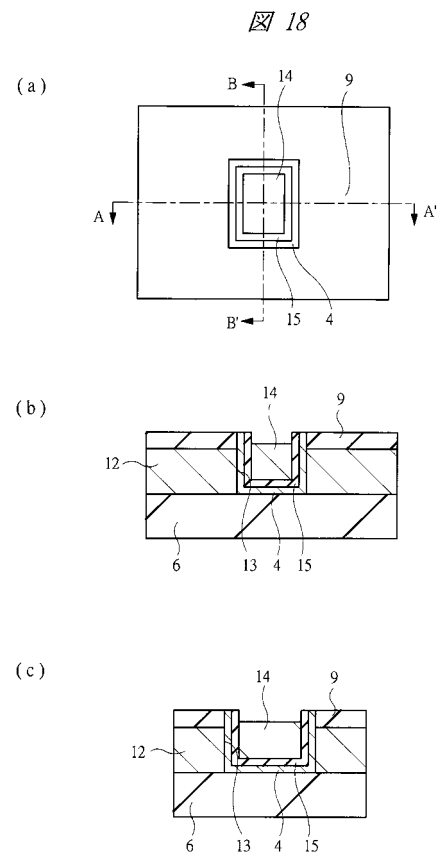
【 図 1 6 】



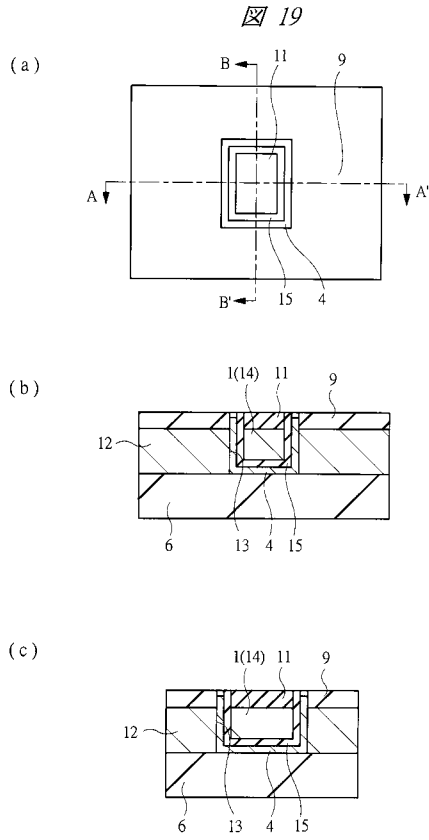
【 図 1 7 】



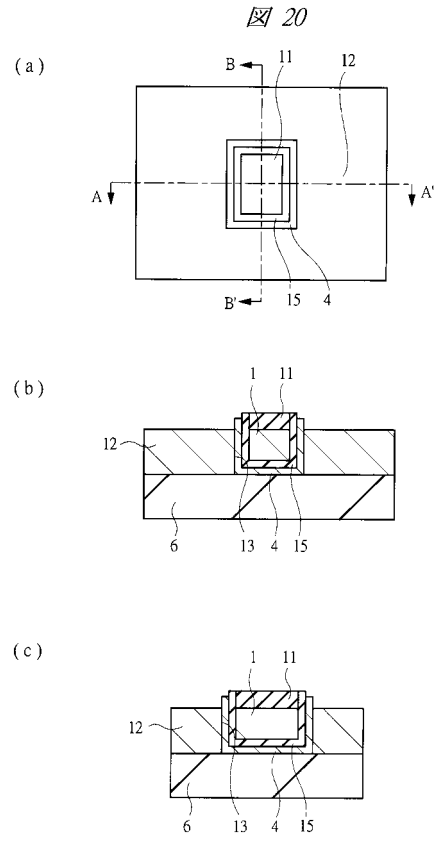
【 図 1 8 】



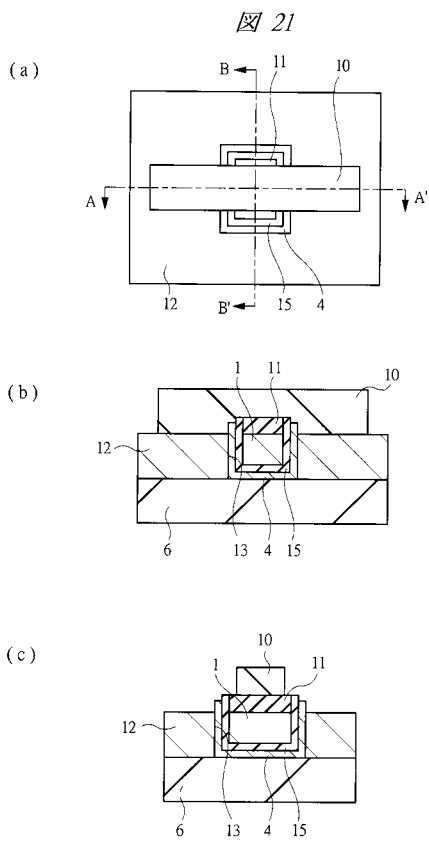
【 図 19 】



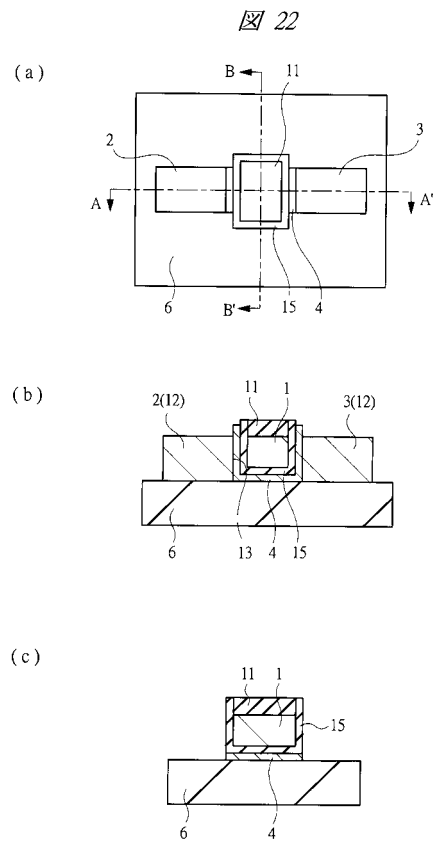
【 図 20 】



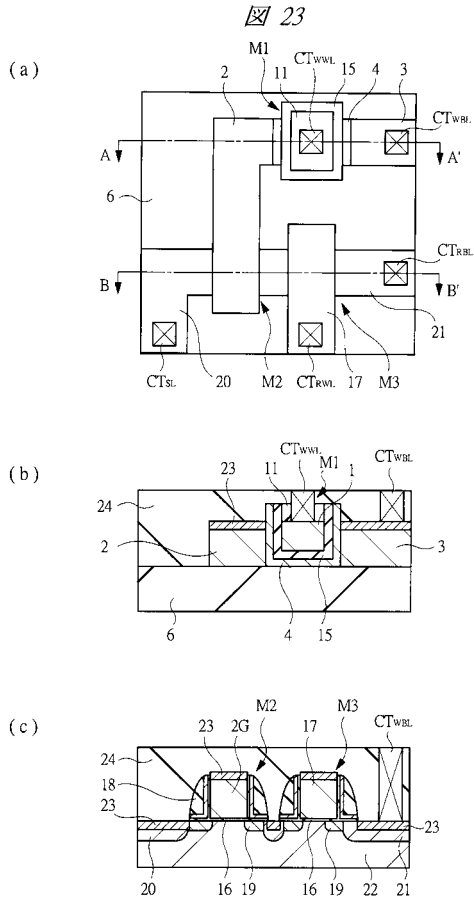
【 図 21 】



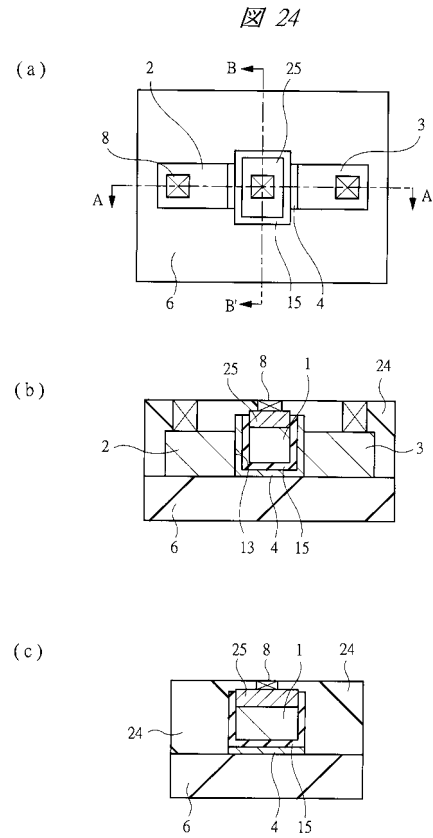
【 図 22 】



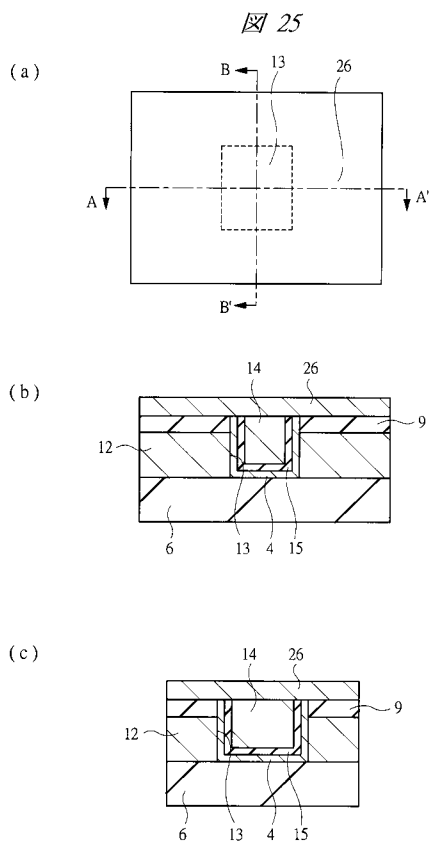
【 図 2 3 】



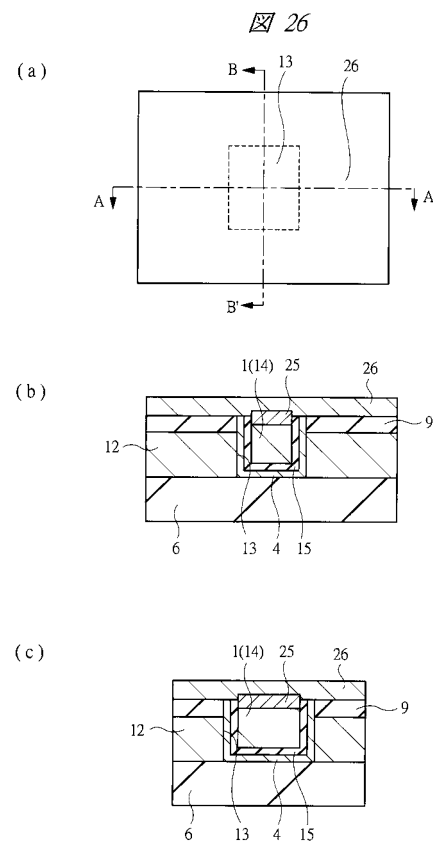
【 図 2 4 】



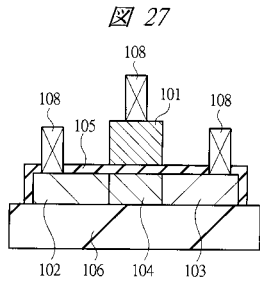
【 図 2 5 】



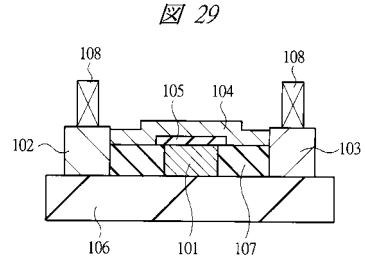
【 図 2 6 】



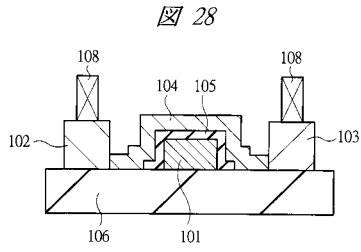
【 図 2 7 】



【 図 2 9 】



【 図 2 8 】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 27/10 3 1 1

(72)発明者 佐野 聡明

北海道亀田郡七飯町字中島 1 4 5 番地 株式会社ルネサス北日本セミコンダクタ内

Fターム(参考) 5F083 AD02 AD10 AD69 GA06 GA27 HA02 HA10 JA02 JA04 JA05  
JA35 JA39 LA12 LA16 LA20 PR33 PR36 PR41 ZA07 ZA08  
ZA12  
5F110 AA01 BB01 BB04 BB06 BB07 BB08 CC05 DD02 DD05 DD13  
EE02 EE05 EE09 EE14 EE22 EE32 EE38 EE41 EE45 FF01  
FF02 FF03 FF04 FF09 FF10 FF22 FF26 FF29 GG02 GG12  
GG13 GG15 GG22 GG25 GG35 GG44 HJ01 HJ13 HK05 HK09  
HK14 HK21 HK34 HK40 HM07 HM15 NN04 NN23 NN35 PP01  
PP10 QQ19  
5F152 CC02 CC07 CD13 CE05 CE12 CE24 CF09 CF13 CF14 CF17  
CG13 CG15 FF21