

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-30728

(P2006-30728A)

(43) 公開日 平成18年2月2日(2006.2.2)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K007
G09G 3/20 (2006.01)	G09G 3/20 611H	5C080
H01L 51/50 (2006.01)	G09G 3/20 622G	
	G09G 3/20 624B	
	G09G 3/20 641D	

審査請求 未請求 請求項の数 8 O L (全 20 頁) 最終頁に続く

(21) 出願番号	特願2004-211146 (P2004-211146)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成16年7月20日 (2004.7.20)	(74) 代理人	100086298 弁理士 船橋 國則
		(72) 発明者	山本 哲郎 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	内野 勝秀 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	山下 淳一 東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

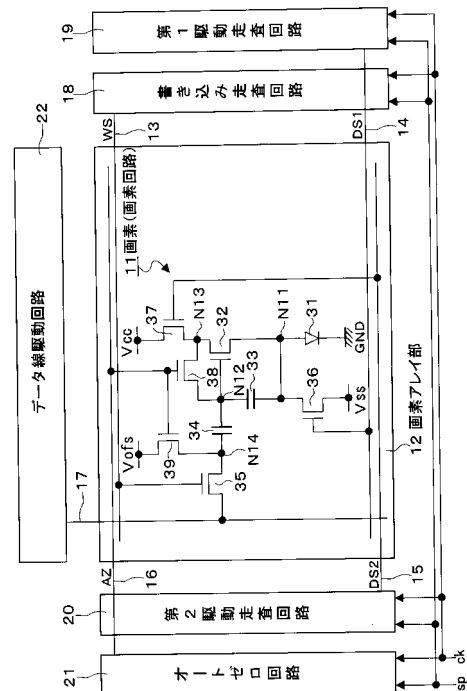
(54) 【発明の名称】 表示装置および表示装置の駆動方法

(57) 【要約】

【課題】 キャパシタ（画素容量）の容量と駆動トランジスタのゲート・ソース間容量との和がスイッチングトランジスタの寄生容量よりも小さいと、駆動トランジスタのソース電位の変化量により当該駆動トランジスタのゲート・ソース間電位の値が変化してしまい、所望の発光が望めない。

【解決手段】 駆動トランジスタであるTFT32のゲート・ソース間にキャパシタ33を接続し、TFT32のソースをスイッチングトランジスタであるTFT36を介して接地電位GNDに選択的に接続するとともに、キャパシタ34およびTFT37~39の作用によってTFT32の閾値電圧V_{th}のバラツキをキャンセルする構成の画素回路11において、オートゼロ信号AZの波高値を電源電位V_{cc}よりも低く設定し、TFT38, 39のオン電圧を下げることで、電源電位V_{ss}の揺れを軽減するようにする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

一端が第 1 の電源電位に接続された電気光学素子と、
 前記電気光学素子の他端にソースが接続された駆動トランジスタと、
 前記駆動トランジスタのゲートとソースの間に接続された第 1 のキャパシタと、
 データ線から輝度情報に応じた信号を選択的に取り込む第 1 のスイッチングトランジスタと、
 前記駆動トランジスタのドレインと第 2 の電源電位との間に接続された第 2 のスイッチングトランジスタと、
 前記駆動トランジスタのソースと第 3 の電源電位との間に接続された第 3 のスイッチングトランジスタと、
 前記駆動トランジスタのゲートと前記第 1 のスイッチングトランジスタとの間に接続された第 2 のキャパシタと、
 前記駆動トランジスタのゲートとドレインとの間に接続された第 4 のスイッチングトランジスタと、
 前記第 1 のスイッチングトランジスタと前記第 2 のキャパシタとの接続ノードと所定電位との間に接続された第 5 のスイッチングトランジスタと
 を有する画素回路が行列状に配置されてなる表示装置であって、
 前記第 2 の電源電位以上の波高値を持つ第 1 の駆動信号を生成し、当該第 1 の駆動信号によって前記第 1、第 2 および第 3 のスイッチングトランジスタを駆動する第 1 の駆動手段と、
 前記第 2 の電源電位よりも低い波高値を持つ第 2 の駆動信号を生成し、当該第 2 の駆動信号によって前記第 4 および第 5 のスイッチングトランジスタを駆動する第 2 の駆動手段と
 備えたことを特徴とする表示装置。

【請求項 2】

前記駆動トランジスタは、Nチャネル電界効果トランジスタであることを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記第 2 の駆動信号の波高値は、黒表示時の前記駆動トランジスタのゲート電圧と前記第 4 のスイッチングトランジスタの閾値電圧との和以上であることを特徴とする請求項 1 記載の表示装置。

【請求項 4】

前記第 2 の駆動信号の波高値は、前記所定電位と前記第 5 のスイッチングトランジスタの閾値電圧との和以上であることを特徴とする請求項 1 記載の表示装置。

【請求項 5】

一端が第 1 の電源電位に接続された電気光学素子と、
 前記電気光学素子の他端にソースが接続された駆動トランジスタと、
 前記駆動トランジスタのゲートとソースの間に接続された第 1 のキャパシタと、
 データ線から輝度情報に応じた信号を選択的に取り込む第 1 のスイッチングトランジスタと、
 前記駆動トランジスタのドレインと第 2 の電源電位との間に接続された第 2 のスイッチングトランジスタと、
 前記駆動トランジスタのソースと第 3 の電源電位との間に接続された第 3 のスイッチングトランジスタと、
 前記駆動トランジスタのゲートと前記第 1 のスイッチングトランジスタとの間に接続された第 2 のキャパシタと、
 前記駆動トランジスタのゲートとドレインとの間に接続された第 4 のスイッチングトランジスタと、

前記第 1 のスイッチングトランジスタと前記第 2 のキャパシタとの接続ノードと所定電位との間に接続された第 5 のスイッチングトランジスタと

を有する画素回路が行列状に配置されてなる表示装置の駆動方法であって、

前記第 2 の電源電位以上の波高値を持つ第 1 の駆動信号によって前記第 1 , 第 2 および第 3 のスイッチングトランジスタを駆動し、

前記第 2 の電源電位よりも低い波高値を持つ第 2 の駆動信号によって前記第 4 および第 5 のスイッチングトランジスタを駆動する

ことを特徴とする表示装置の駆動方法。

【請求項 6】

前記駆動トランジスタは、Nチャネル電界効果トランジスタである

ことを特徴とする請求項 5 記載の表示装置の駆動方法。

【請求項 7】

前記第 2 の駆動信号の波高値は、黒表示時の前記駆動トランジスタのゲート電圧と前記第 4 のスイッチングトランジスタの閾値電圧との和以上である

ことを特徴とする請求項 5 記載の表示装置の駆動方法。

【請求項 8】

前記第 2 の駆動信号の波高値は、前記所定電位と前記第 5 のスイッチングトランジスタの閾値電圧との和以上である

ことを特徴とする請求項 5 記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置および表示装置の駆動方法に関し、特に流れる電流によって輝度が変化する電気光学素子を表示素子として有する画素回路が行列状に配置されてなり、画素回路(画素)毎に能動素子を有して当該能動素子によって画素単位で表示駆動が行われる表示装置および当該表示装置の駆動方法に関する。

【背景技術】

【0002】

表示装置、例えば画素の表示素子として液晶セルを用いた液晶表示装置においては、液晶セルを含む画素を多数マトリクス状に配列し、表示すべき画像情報に応じて画素毎に光強度を制御することによって画像の表示駆動が行われるようになっている。この表示駆動は、画素の表示素子として、流れる電流によって輝度が変化する電気光学素子、例えば有機 E L (electro luminescence) 素子を用いた有機 E L 表示装置でも同様である。

【0003】

ただし、有機 E L 表示装置の場合は、画素の表示素子として、自発光素子である有機 E L 素子を用いたいわゆる自発光型の表示装置であるため、光源(バックライト)からの光強度を制御する液晶表示装置に比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を持っている。また、有機 E L 素子の発光輝度がそれに流れる電流値によって制御される、即ち有機 E L 素子が電流制御型であるという点で、液晶セルが電圧制御型である液晶表示装置とは大きく異なっている。

【0004】

有機 E L 表示装置においては、液晶表示装置と同様、その駆動方式として単純(パッシブ)マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が単純であるものの、大型でかつ高精細の表示装置の実現が難しいなどの問題がある。このため、近年、画素内部の発光素子に流れる電流を、同様に画素内部に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタ(一般には、薄膜トランジスタ(Thin Film Transistor; T F T))によって制御する、アクティブマトリクス方式の開発が盛んに行われている。

【0005】

図 20 は、アクティブマトリクス型有機 E L 表示装置の構成の概略を示すブロック図で

10

20

30

40

50

ある。このアクティブマトリクス型表示装置は、有機EL素子を含む画素（画素回路）51がマトリクス状にm列n行配列されてなる画素アレイ部52を有している。ここでは、図面の簡略化のために、画素アレイ部52が3列2行の画素配列の場合を例に挙げて示している。

【0006】

この画素アレイ部52において、画素51の各々に対して各行毎に走査線53および駆動線54が配線され、また各列毎にデータ線55が配線されている。この画素アレイ部52の周囲には、走査線53を駆動する書き込み走査回路56と、駆動線54を駆動する駆動走査回路57と、輝度情報に応じたデータ信号をデータ線55に供給するデータ線駆動回路58とが配置されている。

10

【0007】

図21は、アクティブマトリクス型有機EL表示装置における画素回路（単位画素の回路）の従来例を示す回路図である。

【0008】

図21から明らかなように、この従来例に係る画素回路は、例えばカソード（陰極）が接地電位GNDに接続された有機EL素子101と、ドレインが有機EL素子101のアノード（陽極）に接続され、ソースが正電源電位Vccに接続されたPチャネルTFT102と、このTFT102のゲートと正電源電位Vccとの間に接続されたキャパシタ103と、ソースがTFT102のゲートに、ゲートが走査線105に、ドレインがデータ線106にそれぞれ接続されたPチャネルTFT104とを有する構成となっている（例えば、特許文献1, 2参照）。

20

【0009】

ここで、有機EL素子は多くの場合整流性があるため、OLED (Organic Light Emitting Diode) と呼ばれることがある。したがって、図21およびその他の図では、OLEDとしてダイオードの記号を用いて示している。ただし、以下の説明において、OLEDには必ずしも整流性が要求されるものではない。

【0010】

続いて、上記構成の画素回路の動作について説明する。まず、走査線105の電位を選択状態（ここでは、低レベル状態）とし、データ線106に書き込み電位Vdataを印加すると、TFT104が導通してキャパシタ103が充電または放電される。これにより、TFT102のゲート電位は書き込み電位Vdataとなる。次に、走査線105の電位を非選択状態（ここでは、高レベル状態）とすると、走査線105とTFT102とは電氣的に切り離されるが、TFT102のゲート電位はキャパシタ103によって安定に保持される。

30

【0011】

そして、TFT102および有機EL素子101に流れる電流は、TFT102のゲート・ソース間電圧Vgsに応じた値となる。すると、有機EL素子101は、その電流値に応じた輝度で発光し続ける。ここで、データ線106を通して供給される輝度情報を、走査線105を選択し、TFT104を通して画素内部に伝える動作を、以下、「書き込み」と呼ぶこととする。

40

【0012】

上述したように、図21の画素回路では、一度電位Vdataの書き込みを行えば、次に電位Vdataの書き込みが行われるまでの間、有機EL素子101は一定の輝度で発光を継続する。また、駆動トランジスタであるTFT102のゲート電圧を変化させることで、有機EL素子101に流れる電流値を制御している。このとき、TFT102は、ソースが正電源電位Vccに接続されており、常に飽和領域で動作しているため、下記の式(1)に示した電流値Idsを持つ定電流源となっている。

【0013】

$$I_{ds} = 1/2 \cdot \mu (W/L) C_{ox} (V_{gs} - |V_{th}|)^2 \quad \dots (1)$$

ここで、VthはTFT102のしきい値、 μ はキャリアの移動度、Wはチャネル幅、L

50

はチャンネル長、 C_{ox} は単位面積当たりのゲート容量、 V_{gs} はゲート・ソース間電圧である。

【0014】

単純マトリクス型表示装置では、各発光素子は、選択された瞬間にのみ発光する。これに対して、アクティブマトリクス型表示装置では、書き込み終了後も発光素子が発光を継続する。したがって、アクティブマトリクス型表示装置は、単純マトリクス型表示装置に比べて発光素子のピーク輝度、ピーク電流を下げるができるなどの点で、とりわけ大型・高精細の表示装置では有利となる。

【0015】

図22は、有機EL素子の電流-電圧特性($I-V$ 特性)の経時変化を示す特性図である。図22において、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。

10

【0016】

一般的に、有機EL素子の $I-V$ 特性は、図22に示すように、時間が経過するにつれて劣化してしまう。ところが、図21の画素回路では、先述したように、駆動トランジスタであるTF102による定電流駆動のために有機EL素子101には定電流が流れ続け、有機EL素子の $I-V$ 特性が劣化してもその発光輝度が低下することはない。

【0017】

ところで、図21の画素回路は、PチャンネルのTF101によって構成されている。このPチャンネルのTF101に代えて、NチャンネルのTF102によって画素回路を構成することができ

20

【0018】

ここで、PチャンネルのTF101をNチャンネルのTF102に置き換えた画素回路について考察する。

【0019】

図23は、図21のPチャンネルTF101をNチャンネルTF102に置き換えた画素回路の構成を示す回路図である。

【0020】

図23から明らかなように、この画素回路は、例えばカソードが接地電位GNDに接続された有機EL素子201と、ソースが有機EL素子201のアノードに接続され、ドレインが正電源電位 V_{cc} に接続されたNチャンネルTF202と、このTF202のゲートと正電源電位 V_{cc} との間に接続されたキャパシタ203と、ドレインがTF202のゲートに、ゲートが走査線205に、ソースがデータ線206にそれぞれ接続されたNチャンネルTF204とを有するソースフォロア回路構成となっている。

30

【0021】

図24は、初期状態における駆動トランジスタとしてのTF202と有機EL素子201の動作点を示す図である。図24において、横軸はTF202のドレイン・ソース間電圧 V_{ds} を、縦軸はドレイン・ソース間電流 I_{ds} をそれぞれ示している。図24に示すように、ソース電圧はTF202と有機EL素子201との動作点で決まり、ゲート電圧によって異なる値を持つ。このTF202は飽和領域で駆動されるため、動作点のソース電圧に対するゲート・ソース間電圧 V_{gs} に関して式(1)で与えられる電流値の電流 I_{ds} を流す。

40

【0022】

【特許文献1】米国特許第5684365号明細書

【特許文献2】特開平8-234683号公報

【発明の開示】

【発明が解決しようとする課題】

【0023】

しかしながら、PチャンネルのTF101をNチャンネルのTF102に置き換えた画素回路におい

50

ても、有機EL素子のI-V特性の経時変化に伴う劣化は避けられず、これにより、図25に示すように、動作点の変動してしまうため、駆動トランジスタであるTF T 2 0 2に同じゲート電圧を印加したとしてもそのソース電圧は変動する。これにより、TF T 2 0 2のゲート・ソース間電圧 V_{gs} が変化してしまい、当該TF T 2 0 2に流れる電流値が変動する。同時に、有機EL素子201に流れる電流値も変化するため、有機EL素子201のI-V特性が変化すると、それに伴って有機EL素子201の発光輝度も経時変化してしまう。

【0024】

また、図24の画素回路の変形例として、図26に示すように、有機EL素子201のアノードを正電源電位 V_{cc} に接続し、駆動トランジスタとしてのNチャネルTF T 2 0 2のドレインを有機EL素子201のカソードに、ソースを接地電位 GND にそれぞれ接続する回路構成を採ることも考えられる。

10

【0025】

この変形例に係る画素回路においては、図21のPチャネルTF T 1 0 2による駆動の場合と同様に、NチャネルTF T 2 0 2はソース電位が接地電位 GND に固定され、定電流源として動作する。したがって、有機EL素子201のI-V特性の劣化による輝度変化を防止できる。

【0026】

しかしながら、この変形例に係る画素回路では、駆動トランジスタであるNチャネルTF T 2 0 2を有機EL素子201のカソード側に接続する構成を採らざるを得ない。このカソード接続の構成を採るためには、有機EL素子に関して新規にアノード・カソードの電極の開発が必要である。このアノード・カソードの電極の開発は、現状の技術では非常に困難であるとされている。このような観点から、従来は、有機EL素子のI-V特性の経時変化に伴う輝度の変化を抑えたNチャネルトランジスタによる画素回路の開発は為されていなかった。

20

【0027】

本発明は、上記課題に鑑みてなされたものであって、その目的とするところは、発光素子の電流-電圧特性が経時変化しても、それに伴う輝度変化のないNチャネルトランジスタによって実現可能な画素回路が行列状に配置されてなる表示装置および表示装置の駆動方法を提供することにある。

30

【課題を解決するための手段】

【0028】

上記目的を達成するために、本発明では、
 一端が第1の電源電位に接続された電気光学素子と、
 前記電気光学素子の他端にソースが接続された駆動トランジスタと、
 前記駆動トランジスタのゲートとソースの間に接続された第1のキャパシタと、
 データ線から輝度情報に応じた信号を選択的に取り込む第1のスイッチングトランジスタと、
 前記駆動トランジスタのドレインと第2の電源電位との間に接続された第2のスイッチングトランジスタと、
 前記駆動トランジスタのソースと第3の電源電位との間に接続された第3のスイッチングトランジスタと、
 前記駆動トランジスタのゲートと前記第1のスイッチングトランジスタとの間に接続された第2のキャパシタと、
 前記駆動トランジスタのゲートとドレインとの間に接続された第4のスイッチングトランジスタと、
 前記第1のスイッチングトランジスタと前記第2のキャパシタとの接続ノードと所定電位との間に接続された第5のスイッチングトランジスタと
 を有する画素回路が行列状に配置されてなる表示装置において、
 前記第2の電源電位以上の波高値を持つ第1の駆動信号によって前記第1、第2および

40

50

第3のスイッチングトランジスタを駆動し、

前記第2の電源電位よりも低い波高値を持つ第2の駆動信号によって前記第4および第5のスイッチングトランジスタを駆動するようにしている。

【0029】

上記構成の表示装置において、第2のスイッチングトランジスタがオンした状態で、第3のスイッチングトランジスタをオン状態にして駆動トランジスタのソース電位を第3の電源電位に設定し、第1のキャパシタに充電される電圧を入力電圧と第3の電源電位との差に確定させる。そして、第1のキャパシタへの書き込みが終了した後、電気光学素子の発光期間において、第3のスイッチングトランジスタをオフ状態にすることで、電気光学素子に電流が流れ始める。このとき、駆動トランジスタが定電流源として動作することから、電気光学素子の電流 - 電圧特性が経時変化し、これに伴って駆動トランジスタのソース電位が変化したとしても、第1のキャパシタによって駆動トランジスタのゲート・ソース間の電位差が一定に保たれているので、電気光学素子に流れる電流は変わらず、したがって当該電気光学素子の発光輝度も一定に保たれる。

10

【0030】

また、上記書き込み動作に先立って、第3のスイッチングトランジスタがオンした状態で、第4、第5のスイッチングトランジスタがオンすることで、駆動トランジスタの閾値電圧のバラツキをキャンセルする閾値キャンセル期間に入る。この閾値キャンセル期間において、第3のスイッチングトランジスタをオフすることで、第1、第2のキャパシタの作用により、駆動トランジスタのゲート・ドレイン間電圧が時間の経過とともに緩やかに減少し、一定期間が経過した後に当該駆動トランジスタの閾値電圧 V_{th} と第3の電源電位 V_{ss} との和となる。このとき、上記所定電位を V_{ofs} とすると、第1のキャパシタには $(V_{ofs} - V_{th} - V_{ss})$ の電圧が、第2のキャパシタには V_{th} の電圧が保持される。そして、書き込み動作に入ることで、駆動トランジスタの閾値電圧 V_{th} がキャンセルされる。

20

【0031】

さらに、第2の駆動信号の波高値を第2の電源電位よりも低い設定したことで、第4、第5のスイッチングトランジスタのオン電圧が、他のスイッチングトランジスタのオン電圧よりも低くなる。第4、第5のスイッチングトランジスタのオン電圧を下げることで、駆動トランジスタのゲート電圧(ゲート・ドレイン間電圧)が下がるため、第3電源電位に流れる電流量を軽減でき、その結果、第3の電源電位の揺れを軽減できる。

30

【発明の効果】

【0032】

本発明によれば、電気光学素子の電流 - 電圧特性が経時変化し、これに伴って駆動トランジスタのソース電位が変化したとしても、電気光学素子の発光輝度を一定に保つことができ、また第3の電源電位の揺れを軽減できることで、当該揺れに起因して生ずる画質劣化を緩和することができる。

【発明を実施するための最良の形態】

【0033】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

40

【0034】

図1は、本発明が適用されるアクティブマトリクス型表示装置および当該表示装置に用いられる画素(以下、画素回路と記す場合もある)の構成を示す回路図である。本適用例に係るアクティブマトリクス型表示装置は、流れる電流によって輝度が変化する電気光学素子、例えば有機EL素子31を表示素子として含む画素11がマトリクス状に(行列状に)2次元配置されてなる画素アレイ部12を有している。ここでは、図面の簡略化のために、ある1つの画素11のみを具体的な回路構成をもって示している。

【0035】

この画素アレイ部12において、画素12の各々に対して各行毎に走査線13、第1、第2駆動線14、15およびオートゼロ線16が配線され、また各列毎にデータ線17が

50

配線されている。この画素アレイ部 1 2 の周囲には、走査線 1 3 を駆動する書き込み走査回路 1 8 と、第 1 , 第 2 駆動線 1 4 , 1 5 を駆動する第 1 , 第 2 駆動走査回路 1 9 A , 1 9 B と、オートゼロ線 1 6 を駆動するオートゼロ回路 2 1 と、輝度情報に応じたデータ信号をデータ線 1 7 に供給するデータ線駆動回路 2 2 とが配置されている。本例では、書き込み走査回路 1 8 および第 1 駆動走査回路 1 9 が画素アレイ部 1 2 を挟んで一方側 (図の右側) に配置され、その反対側に第 2 駆動走査回路 2 0 およびオートゼロ回路 2 1 が配置された構成となっている。

【 0 0 3 6 】

[画素回路]

図 1 から明らかなように、画素 (画素回路) 1 1 は、有機 E L 素子 3 1 に加えて、駆動トランジスタ 3 2、キャパシタ (画素容量) 3 3 , 3 4 およびスイッチングトランジスタ 3 5 ~ 3 9 を回路素子として有する構成となっている。駆動トランジスタ 3 2 およびスイッチングトランジスタ 3 5 ~ 3 9 は、N チャンネル電界効果トランジスタ、例えば N チャンネル T F T (薄膜トランジスタ) である。以下、駆動トランジスタ 3 2 およびスイッチングトランジスタ 3 5 ~ 3 9 を、T F T 3 2 および T F T 3 5 ~ 3 9 と記すものとする。

10

【 0 0 3 7 】

有機 E L 素子 3 1 は、カソード電極が第 1 の電源電位 (本例では、接地電位 G N D) に接続されている。T F T 3 2 は、有機 E L 素子 2 1 を発光駆動する駆動トランジスタであり、ドレインが第 2 の電源電位 (本例では、正側電源電位 V c c) に、ソースが有機 E L 素子 3 1 のアノード電極にそれぞれ接続されてソースフォロア回路を形成している。キャ

20

【 0 0 3 8 】

T F T 3 5 は、ソースがデータ線 1 7 に、ゲートが第 1 走査線 1 3 にそれぞれ接続されている。キャパシタ 3 4 は、一端が T F T 3 5 のドレインに、他端が T F T 3 2 のゲートとキャパシタ 3 3 の一端との接続ノード N 1 2 にそれぞれ接続されている。T F T 3 6 は、ドレインが接続ノード N 1 1 に、ソースが第 3 の電源電位 V s s (例えば、接地電位 G N D) にそれぞれ接続されている。なお、第 3 の電源電位 V s s として、負側電源電位を用いても良い。

【 0 0 3 9 】

T F T 3 7 は、ドレインが電源電位 V c c に、ソースが T F T 3 2 のドレインに、ゲートが第 2 駆動線 1 5 にそれぞれ接続されている。T F T 3 8 は、ドレインが T F T 3 2 のドレインと T F T 3 7 のソースとの接続ノード N 1 3 に、ソースが接続ノード N 1 2 に、ゲートがオートゼロ線 1 6 にそれぞれ接続されている。T F T 3 9 は、ドレインが所定電位 V o f s に、ソースが T F T 3 5 のドレインに、ゲートがオートゼロ線 1 6 にそれぞれ接続されている。

30

【 0 0 4 0 】

続いて、上記構成の画素 (画素回路) 1 1 を行列状に 2 次元配置してなるアクティブマトリクス型有機 E L 表示装置の回路動作について、図 2 のタイミングチャートおよび図 3 ~ 図 7 の動作説明図を用いて説明する。

40

【 0 0 4 1 】

図 2 には、ある行の画素 1 1 を駆動する際に、書き込み走査回路 1 8 から走査線 1 3 を介して画素 1 1 に与えられる書き込み信号 W S、第 1 , 第 2 駆動走査回路 1 9 , 2 0 から第 1 , 第 2 駆動線 1 4 , 1 5 を介して画素 1 1 に与えられる第 1 , 第 2 駆動信号 D S 1 , D S 2 およびオートゼロ回路 2 1 からオートゼロ線 1 6 を介して画素 1 1 に与えられるオートゼロ信号 A Z のタイミング関係を示している。ここで、書き込み信号 W S、駆動信号 D S 1 , D S 2 が特許請求の範囲における第 1 の駆動信号に相当し、オートゼロ信号 A Z が特許請求の範囲における第 2 の駆動信号に相当する。また、図 3 ~ 図 7 の動作説明図では、図面の簡略化のために、T F T 3 2 , 3 5 ~ 3 9 についてはスイッチのシンボルを用いて図示するものとする。

50

【 0 0 4 2 】

通常の発光状態では、書き込み走査回路 18 から出力される書き込み信号 W S、第 1 駆動走査回路 19 から出力される駆動信号 D S 1 およびオートゼロ回路 21 から出力されるオートゼロ信号 A Z が “ L ” レベルにあり、第 2 駆動走査回路 20 から出力される駆動信号 D S 2 が “ H ” レベルにあるため、図 3 に示すように、T F T 3 5 , 3 6 , 3 8 , 3 9 はオフした状態にあり、T F T 3 7 がオンした状態にある。このとき、駆動トランジスタである T F T 3 2 は、飽和領域で動作するように設計されているため定電流源として動作する。その結果、有機 E L 素子 3 1 には T F T 3 2 から、先述した式 (1) で与えられる一定電流 I_{ds} が供給される。

【 0 0 4 3 】

次に、T F T 3 7 がオンした状態で第 1 駆動走査回路 19 から出力される駆動信号 D S 1 およびオートゼロ回路 21 から出力されるオートゼロ信号 A Z が “ H ” レベルになり、T F T 3 6 , 3 8 , 3 9 がオン状態となる。これにより、有機 E L 素子 3 1 のアノードには電源電位 V_{ss} が印加され、T F T 3 2 のゲートには電源電位 V_{cc} が印加される。この際、電源電位 V_{ss} が有機 E L 素子 3 1 のカソード電圧 V_{cas} (本例では、接地電位 G N G) と有機 E L 素子 3 1 の閾値電圧 V_{thel} との和 ($V_{cas} + V_{thel}$) よりも小さいのであれば、有機 E L 素子 3 1 は非発光状態となり、非発光期間に入る。以下、電源電位 V_{ss} は G N D レベルにあるとし、 $V_{ss} = V_{cas} + V_{thel}$ とする。このとき、T F T 3 6 , 3 8 をオンすることでそれに応じた一定電流 I_{ds} が、図 4 に点線の矢印で示す経路を流れる。

【 0 0 4 4 】

次に、第 2 駆動走査回路 20 から出力される駆動信号 D S 2 が “ L ” レベルになることで、図 5 に示すように、T F T 3 7 がオフ状態となり、T F T 3 2 の閾値電圧 V_{th} をキャンセル (補正) する閾値キャンセル期間に入る。このとき、T F T 3 2 は、ゲートとドレインが T F T 3 8 を介して接続されているため飽和領域で動作する。また、T F T 3 2 のゲートには、キャパシタ 3 3 , 3 4 が並列に接続されているため、T F T 3 2 のゲート・ドレイン間の電圧 V_{gd} は、図 8 に示すように、時間の経過とともに緩やかに減少してゆく。

【 0 0 4 5 】

そして、一定期間が経過した後、T F T 3 2 のゲート・ソース間電圧 V_{gs} は T F T 3 2 の閾値電圧 V_{th} となる。このとき、キャパシタ 3 4 には ($V_{ofs} - V_{th}$) の電圧が、キャパシタ 3 3 には V_{th} の電圧がそれぞれ充電される。その後、T F T 3 5 , 3 7 がオフし、T F T 3 6 がオンした状態でオートゼロ回路 21 から出力されるオートゼロ信号 A Z が “ H ” レベルから “ L ” レベルに遷移すると、T F T 3 8 , 3 9 がオフ状態となり、閾値キャンセル期間の終了となる。このとき、キャパシタ 3 4 には ($V_{ofs} - V_{th}$) の電圧が、キャパシタ 3 3 には V_{th} の電圧がそれぞれ保持される。

【 0 0 4 6 】

次に、T F T 3 5 , 3 8 , 3 9 がオフし、T F T 3 6 , 3 7 がオンした状態で書き込み走査回路 18 から出力される書き込み信号 W S が “ H ” レベルになることで、この書き込み期間では、図 6 に示すように、T F T 3 5 がオン状態となり、データ線 17 を通して与えられる入力信号電圧 V_{in} の書き込み期間となる。T F T 3 5 がオンすることで、T F T 3 5 のドレイン、キャパシタ 3 4 の一端および T F T 3 9 のソースの接続ノード N 14 に入力信号電圧 V_{in} を取り込み、当該接続ノード N 14 の電圧変化量 V を、キャパシタ 3 4 を介して T F T 3 2 のゲートにカップリングさせる。

【 0 0 4 7 】

このとき、T F T 3 2 のゲート電圧 V_g は閾値電圧 V_{th} という値であり、カップリング量 V はキャパシタ 3 3 の容量値 C_1 、キャパシタ 3 4 の容量値 C_2 および T F T 3 2 の寄生容量値 C_3 によって下記の式 (2) のように決定される。

$$V = \{ C_2 / (C_1 + C_2 + C_3) \} \cdot (V_{in} - V_{ofs}) \dots (2)$$

したがって、キャパシタ 3 3 , 3 4 の容量値 C_1 , C_2 を T F T 3 2 の寄生容量値 C_3

10

20

30

40

50

に比べて十分大きく設定すれば、TFT32のゲートへのカップリング量 V は、TFT32の閾値電圧 V_{th} の影響を受けずに、キャパシタ33, 34の容量値 C_1, C_2 のみによって決定される。

【0048】

書き込み走査回路18から出力される書き込み信号 WS が“H”レベルから“L”レベルに遷移し、TFT35がオフすることで、入力信号電圧 V_{in} の書き込み期間が終了する。この書き込み期間の終了後、TFT35, 38, 39がオフした状態で第1駆動走査回路19から出力される駆動信号 $DS1$ が“L”レベルになることで、TFT36がオフ状態となり、その後、第2駆動走査回路20から出力される駆動信号 $DS2$ が“H”レベルになることで、図7に示すように、TFT37がオン状態となる。

10

【0049】

TFT37がオンすることで、TFT32のドレイン電位が電源電位 V_{cc} まで上昇する。TFT32のゲート・ソース間電圧 V_{gs} が一定であるため、TFT32は一定電流 I_{ds} を有機EL素子31に供給する。このとき、接続ノード $N11$ の電位は、有機EL素子31に一定電流 I_{ds} が流れる電圧 V_x まで上昇し、その結果、有機EL素子31は発光する。

【0050】

上述した一連の動作を行う画素11においても、有機EL素子31は発光時間が長くなるとその $I-V$ 特性が変化してしまう。そのため、接続ノード $N11$ の電位も変化する。しかしながら、TFT32のゲート・ソース間電位 V_{gs} が一定値に保たれているため、有機EL素子31に流れる電流は変化しない。したがって、有機EL素子31の $I-V$ 特性が劣化しても、一定電流 I_{ds} が常に流れ続けるため、有機EL素子31の輝度が変化することはない。また、閾値キャンセル期間におけるTFT38の作用により、TFT32の閾値電圧 V_{th} をキャンセルし、当該閾値電圧 V_{th} のバラツキの影響を受けない一定電流 I_{ds} を流すことができるため、高画質の画像を得ることができる。

20

【0051】

ここで、電源電位 V_{ss} について考える。TFT36をオン状態にして有機EL素子31を非発光状態にすることで、電源電位 V_{ss} には電流が流れるようになる。その後、TFT38, 39をオン状態、TFT37をオフ状態にして、閾値電圧 V_{th} のキャンセル動作をすることによっても電源電位 V_{ss} には電流が流れる。表示パネル全体でも、電源電位 V_{ss} に電流が流れることで、図9に示すように、電源電位 V_{ss} は揺れてしまう。この揺れは電源電位 V_{ss} に流れる電流量が少なくなれば起こらなくなる。

30

【0052】

画素アレイ部12内において、閾値電圧 V_{th} のキャンセル動作終了から信号電圧 V_{in} を書き込むまでの間に電源電位 V_{ss} が揺れてしまうと、駆動トランジスタであるTFT32のゲート電位が、当該TFT32がほぼオフ状態となる電位にあるため、TFT32のドレイン電圧は電源電位 V_{ss} 、つまりTFT32のソース電位の変化に追従することができず、その結果、キャパシタ33に充電されている電位が変化してしまう。

【0053】

また、閾値電圧 V_{th} のキャンセル期間中、特にキャンセル動作終了付近で電源電位 V_{ss} が揺れてしまうと、図10に示すように、TFT32のゲート電位が当該TFT32のソース電位に完全に追従できず、ゲート・ソース間電圧 V_{gs} は電源電位 V_{ss} の揺れがないときと比べて変化してしまう。逆に、TFT32のゲート・ソース間電圧 V_{gs} が大きいときに電源電位 V_{ss} が揺れてしまっても、TFT32のゲート・ソース間電圧 V_{gs} は、閾値電圧 V_{th} のキャンセル期間内に電源電位 V_{ss} の揺れに追従し、ゲート・ソース間電圧 V_{gs} は電源電位 V_{ss} の揺れがないときと比べてほとんど変化しなくなってしまう。これにより、画としては、ラスタ表示時に、図11に示すように、垂直走査方向の最終段に向けて帯状の白筋や黒筋、グラデーションが生じてしまい、均一な画を得ることができなくなる。

40

【0054】

50

[実施形態]

そこで、本発明では、図 1 に示すアクティブマトリクス型有機 EL 表示装置において、オートゼロ回路 2 1 の動作電源を、書き込み走査回路 1 8 および第 1 , 第 2 駆動走査回路 1 9 , 2 0 の動作電源と別系統にし、オートゼロ回路 2 1 から出力されるオートゼロ信号 AZ の波高値 AZ on が画素回路 1 1 の電源電位 Vcc よりも低くなるように、オートゼロ回路 2 1 の電源電圧を書き込み走査回路 1 8 および第 1 , 第 2 駆動走査回路 1 9 , 2 0 の電源電圧よりも低く設定するようにしている。オートゼロ信号 AZ の波高値 AZ on を低くするという事は、画素回路 1 1 の TFT 3 8 , 3 9 のオン電圧を、他の TFT 3 5 ~ 3 7 のオン電圧よりも下げることの意味する。

【 0 0 5 5 】

これにより、オートゼロ回路 2 1 からは電源電位 Vcc よりも低い波高値 AZ on のオートゼロ信号 AZ が出力される。因みに、書き込み走査回路 1 8 および第 1 , 第 2 駆動走査回路 1 9 , 2 0 から出力される書き込み信号 WS および第 1 , 第 2 駆動信号 DS 1 , DS 2 の各波高値は、電源電位 Vcc + (例えば、3 V 程度) に設定されている。なお、書き込み信号 WS、第 1 , 第 2 駆動信号 DS 1 , DS 2 およびオートゼロ信号 AZ の各タイミング関係は、図 1 2 のタイミングチャートに示すように、図 2 のタイミングチャートと基本的に同じである。

【 0 0 5 6 】

続いて、上記構成の本実施形態に係るアクティブマトリクス型有機 EL 表示装置の回路動作について、図 1 2 のタイミングチャートおよび図 1 3 ~ 図 1 7 の動作説明図を用いて説明する。なお、画素回路 1 1 の構成は、図 1 に示すものと全く同じである。

【 0 0 5 7 】

図 1 2 には、ある行の画素 1 1 を駆動する際の書き込み信号 WS、第 1 , 第 2 駆動信号 DS 1 , DS 2 およびオートゼロ信号 AZ のタイミング関係を示しており、上述したように、図 1 と同じタイミングとなっている。また、図 1 3 ~ 図 1 7 の動作説明図では、図面の簡略化のために、TFT 3 2 , 3 5 ~ 3 9 についてはスイッチのシンボルを用いて図示するものとする。

【 0 0 5 8 】

まず、通常の発光状態では、書き込み走査回路 1 8 から出力される書き込み信号 WS、第 1 駆動走査回路 1 9 から出力される駆動信号 DS 1 およびオートゼロ回路 2 1 から出力されるオートゼロ信号 AZ が “ L ” レベル (GND レベル) にあり、第 2 駆動走査回路 2 0 から出力される駆動信号 DS 2 が “ H ” レベルにあるため、図 1 3 に示すように、TFT 3 7 のみがオンした状態にある。このとき、駆動トランジスタである TFT 3 2 は、飽和領域で動作するように設計されているため定電流源として動作し、先述した式 (1) で与えられる一定電流 Ids を有機 EL 素子 3 1 に供給する。

【 0 0 5 9 】

次に、TFT 3 7 がオンした状態で駆動信号 DS 1 およびオートゼロ信号 AZ が “ H ” レベル (波高値 AZ on) になることで、TFT 3 6 , 3 8 , 3 9 がオン状態となる。これにより、有機 EL 素子 3 1 のアノードには電源電位 Vss が印加される。このとき、TFT 3 2 のゲート電位は電源電位 Vcc とはならず、TFT 3 8 の閾値電圧を Vth2 とすれば、電位 (AZ on - Vth2) となる。

【 0 0 6 0 】

この際、電源電位 Vss が有機 EL 素子 3 1 のカソード電圧 Vcas (本例では、接地電位 GNG) と有機 EL 素子 3 1 の閾値電圧 Vthel との和 (Vcas + Vthel) よりも小さいのであれば、有機 EL 素子 3 1 は非発光状態となり、非発光期間に入る。以下、Vss Vcas + Vthel とする。このとき、TFT 3 6 がオンしても、キャパシタ 3 3 に保持されている電圧、即ち TFT 3 2 のゲート・ソース間電圧 Vgd は変わらないため、一定電流 Ids は、図 1 4 に点線の矢印で示す経路を流れる。

【 0 0 6 1 】

次に、第 2 駆動走査回路 2 0 から出力される駆動信号 DS 2 が “ L ” レベルになること

10

20

30

40

50

で、図15に示すように、TFT37がオフ状態となり、TFT32の閾値電圧 V_{th} をキャンセル(補正)する閾値キャンセル期間に入る。このとき、TFT32は、ゲートとドレインがTFT38を介して接続されているため飽和領域で動作する。また、TFT32のゲートには、キャパシタ33, 34が並列に接続されているため、TFT32のゲート・ドレイン間の電圧 V_{gd} は、図18に示すように、電位($AZ_{on} - V_{th2}$)から時間の経過とともに緩やかに減少してゆく。

【0062】

そして、一定期間が経過した後、TFT32のゲート・ソース間電圧 V_{gs} はTFT32の閾値電圧 V_{th} となる。このとき、キャパシタ34には($V_{ofs} - V_{th}$)の電圧が、キャパシタ33には V_{th} の電圧がそれぞれ充電される。その後、TFT35, 37がオフし、TFT36がオンした状態でオートゼロ回路21から出力されるオートゼロ信号AZが“H”レベルから“L”レベルに遷移すると、TFT38, 39がオフ状態となり、閾値キャンセル期間の終了となる。このとき、キャパシタ34には($V_{ofs} - V_{th}$)の電圧が、キャパシタ33には V_{th} の電圧がそれぞれ保持される。

【0063】

次に、TFT35, 38, 39がオフし、TFT36, 37がオンした状態で書き込み走査回路18から出力される書き込み信号WSが“H”レベルになることで、この書き込み期間では、図16に示すように、TFT35がオン状態となり、データ線17を通して与えられる入力信号電圧 V_{in} の書き込み期間となる。TFT35がオンすることで、TFT35のドレイン、キャパシタ34の一端およびTFT39のソースの接続ノードN14に入力信号電圧 V_{in} を取り込み、当該接続ノードN14の電圧変化量 V を、キャパシタ34を介してTFT32のゲートにカップリングさせる。

【0064】

このとき、TFT32のゲート電圧 V_g は閾値電圧 V_{th} という値であり、カップリング量 V はキャパシタ33の容量値 C_1 、キャパシタ34の容量値 C_2 およびTFT32の寄生容量値 C_3 によって先述した式(2)のように決定され、キャパシタ33, 34の容量値 C_1 , C_2 をTFT32の寄生容量値 C_3 に比べて十分大きく設定すれば、TFT32のゲートへのカップリング量 V は、キャパシタ33, 34の容量値 C_1 , C_2 のみによって決定される。

【0065】

書き込み走査回路18から出力される書き込み信号WSが“H”レベルから“L”レベルに遷移し、TFT35がオフすることで、入力信号電圧 V_{in} の書き込み期間が終了する。この書き込み期間の終了後、TFT35, 38, 39がオフした状態で第1駆動走査回路19から出力される駆動信号DS1が“L”レベルになることで、TFT36がオフ状態となり、その後、第2駆動走査回路20から出力される駆動信号DS2が“H”レベルになることで、図17に示すように、TFT37がオン状態となる。

【0066】

TFT37がオンすることで、TFT32のドレイン電位が電源電位 V_{cc} まで上昇する。TFT32のゲート・ソース間電圧 V_{gs} が一定であるため、TFT32は一定電流 I_{ds} を有機EL素子31に供給する。このとき、接続ノードN11の電位は、有機EL素子31に一定電流 I_{ds} が流れる電圧 V_x まで上昇し、その結果、有機EL素子31は発光する。

【0067】

続いて、電源電位 V_{ss} について考える。閾値電圧 V_{th} のキャンセル動作をする際、TFT35~39がオンした状態において、駆動トランジスタであるTFT32が飽和領域で動作するため、電源電位 V_{ss} に流れる電流はTFT32のゲート・ソース間電圧 V_{gs} の2乗に比例する。ここで、本実施形態に係る有機EL表示装置においては、図12のタイミングチャートから明らかなように、オートゼロ信号AZの波高値 AZ_{on} を電源電位 V_{cc} よりも低く設定することで、当該オートゼロ信号AZを駆動信号とするTFT38, 39のオン電圧が、他のTFT35~37のオン電圧よりも下がる。

10

20

30

40

50

【0068】

このように、TFT38, 39のオン電圧を下げることにより、TFT32のゲート電圧(ゲート・ドレイン間電圧 V_{gd})が下がるため、電源電位 V_{ss} に流れる電流量を軽減できる。電源電位 V_{ss} に流れる電流量が軽減されることで、電源電位 V_{ss} の揺れを軽減できるため、当該揺れに起因して垂直走査方向の最終段に向けて生じる帯状の白筋や黒筋、グラデーション等の画質不良をなくすことができ、均一な画を得ることができるようになる。

【0069】

ここで、TFT38, 39のオン電圧、即ちオートゼロ信号AZの波高値 AZ_{on} が電源電位 V_{cc} よりも低ければ、いくらでも良いという訳ではなく、下限値がある。すなわち、黒表示時のTFT32のゲート電圧を V_{bl} とすれば、 $(V_{bl} + V_{th})$ 以上である必要がある。TFT38, 39のオン電圧が $(V_{bl} + V_{th})$ よりも下回ると、閾値電圧 V_{th} のキャンセル動作を行えなくなってしまう。換言すれば、オートゼロ信号AZの波高値 AZ_{on} を $(V_{bl} + V_{th})$ $AZ_{on} < V_{cc}$ の条件を満足するように設定することで、閾値電圧 V_{th} のキャンセル動作を確実に実行しつつ、電源電位 V_{ss} の揺れに起因する画質不良をなくし、均一な画を得ることができる。

【0070】

また、TFT39の閾値電圧を V_{th3} とすれば、 $(V_{ofs} + V_{th3})$ 以上としなければ、TFT39がTFT38と同じタイミングでオン状態となることができなくなるため、書き込み直前の接続ノードN14の電位を V_{ofs} とすることができなくなってしまう。換言すれば、オートゼロ信号AZの波高値 AZ_{on} を $(V_{ofs} + V_{th3})$ $AZ_{on} < V_{cc}$ の条件を満足するように設定することで、閾値電圧 V_{th} のキャンセル動作を確実に実行しつつ、電源電位 V_{ss} の揺れに起因する画質不良をなくし、均一な画を得ることができる。

【0071】

上述したように、本実施形態に係るアクティブマトリクス型有機EL表示装置では、オートゼロ信号AZの波高値 AZ_{on} を電源電位 V_{cc} よりも低く設定し、TFT38, 39のオン電圧を、他のTFT35~37のオン電圧よりも下げたことで、TFT32のゲート電圧(ゲート・ドレイン間電圧 V_{gd})が下がり、その結果、電源電位 V_{ss} に流れる電流量、ひいては電源電位 V_{ss} の揺れを軽減できるため、当該揺れに起因して生ずる画質劣化を緩和することができる。

【0072】

ところで、画素11内に配線される電源電位 V_{ss} 用の電源ライン(以下、 V_{ss} ラインと記す)については、配線抵抗値が小さくして電位 V_{ss} の揺れを最小限に抑えるために、一般的に、 V_{ss} ラインの配線の太さを太しており、その分だけ画素11の面積が大きくならざるを得ない。これに対して、本実施形態に係るアクティブマトリクス型有機EL表示装置では、上述したように、電源電位 V_{ss} の揺れを軽減できることで、その軽減できる分だけ V_{ss} ラインの配線の太さを細くすることができるため、画素11の小面積化を図ることができる。その結果、多画素化に伴う高精細化を実現することができ、しかも画素内のレイアウトに余裕を持たせることができるため、高歩留まり化を実現することができる。

【0073】

なお、上記実施形態では、第1の電源電位を接地電位GND、第2の電源電位を正側電源電位、第3の電源電位を接地電位GND(または、負側電源電位)とした画素回路を例に挙げて説明したが、この電位関係に限られるものではなく、例えば第1の電源電位を負側電源電位、第2の電源電位を接地電位GNDに設定した画素回路や、第3の電源電位を正側電源電位に設定した画素回路にも同様に適用可能である。

【0074】

また、上記実施形態では、画素の表示素子として、有機EL素子を用いた有機EL表示装置に適用した場合を例に挙げて説明したが、これに限られるものではなく、流れる電流

10

20

30

40

50

によって輝度が増加する電気光学素子を画素の表示素子として用いた表示装置全般に適用可能である。

【図面の簡単な説明】

【0075】

【図1】本発明の適用例に係るアクティブマトリクス型表示装置および当該表示装置に用いられる画素（画素回路）の構成を示す回路図である。

【図2】本適用例に係る画素回路の動作説明に供するタイミングチャートである。

【図3】本適用例に係る画素回路の動作説明図（その1）である。

【図4】本適用例に係る画素回路の動作説明図（その2）である。

【図5】本適用例に係る画素回路の動作説明図（その3）である。

10

【図6】本適用例に係る画素回路の動作説明図（その4）である。

【図7】本適用例に係る画素回路の動作説明図（その5）である。

【図8】本適用例に係る画素回路の動作説明に供する特性図である。

【図9】本適用例に係る画素回路の課題の説明に供する波形図（その1）である。

【図10】本適用例に係る画素回路の課題の説明に供する波形図（その2）である。

【図11】垂直走査方向の最終段に向けてグラデーションが生じる様子を示す図である。

【図12】本発明の一実施形態に係るアクティブマトリクス型有機EL表示装置に用いられる画素回路の動作説明に供するタイミングチャートである。

【図13】本実施形態に係る画素回路の動作説明図（その1）である。

【図14】本実施形態に係る画素回路の動作説明図（その2）である。

20

【図15】本実施形態に係る画素回路の動作説明図（その3）である。

【図16】本実施形態に係る画素回路の動作説明図（その4）である。

【図17】本実施形態に係る画素回路の動作説明図（その5）である。

【図18】本実施形態に係る画素回路の動作説明に供する特性図である。

【図19】本実施形態に係る画素回路の課題の説明に供する波形図である。

【図20】アクティブマトリクス型有機EL表示装置の構成の概略を示すブロック図である。

【図21】従来例に係る画素回路を示す回路図である。

【図22】有機EL素子のI-V特性の経時変化を示す特性図である

【図23】NチャンネルTFTで構成した従来例に係る画素回路を示す回路図である。

30

【図24】初期状態における駆動トランジスタであるTFTと有機EL素子の動作点を示す図である。

【図25】経時変化後の駆動トランジスタであるTFTと有機EL素子の動作点を示す図である。

【図26】NチャンネルTFTのソースを接地電位に接続した構成の画素回路を示す回路図である。

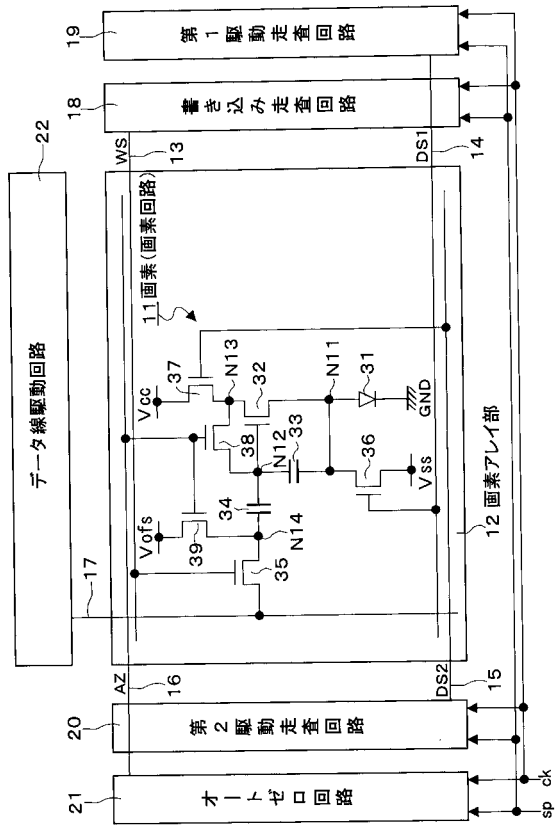
【符号の説明】

【0076】

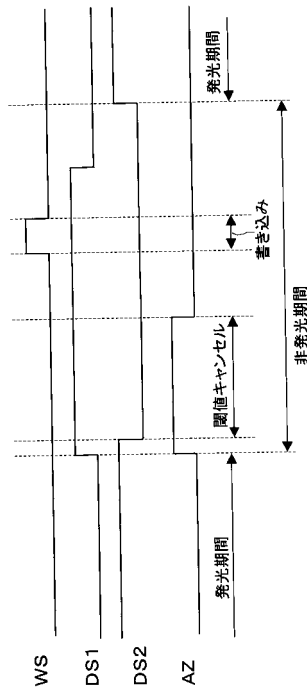
11...画素（画素回路）、12...画素アレイ部、13...走査線、14...第1駆動線、15...第2駆動線、16...オートゼロ線、17...データ線、18...書き込み走査回路、19...第1駆動走査回路、20...第2駆動走査回路、21...オートゼロ回路、22...データ線駆動回路、31...有機EL素子、32...駆動トランジスタ（TFT）、33、34...キャパシタ、35～39...スイッチングトランジスタ（TFT）

40

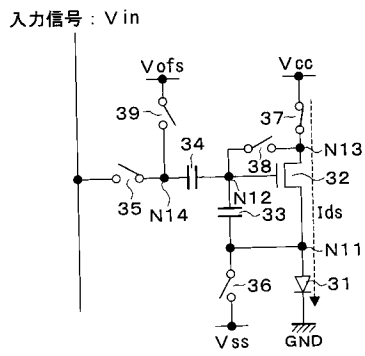
【 図 1 】



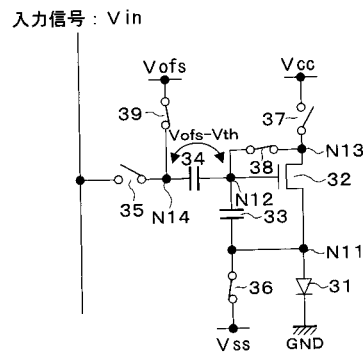
【 図 2 】



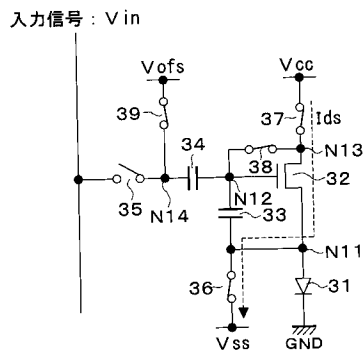
【 図 3 】



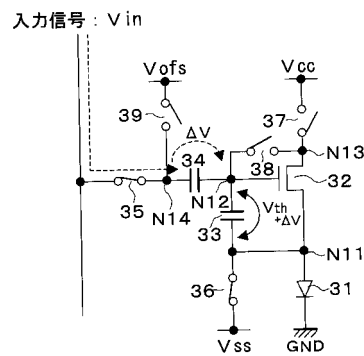
【 図 5 】



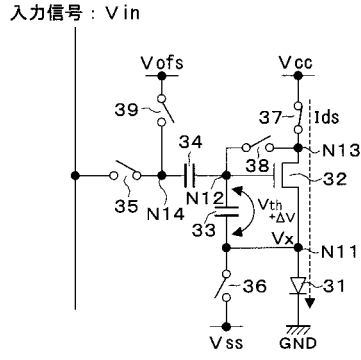
【 図 4 】



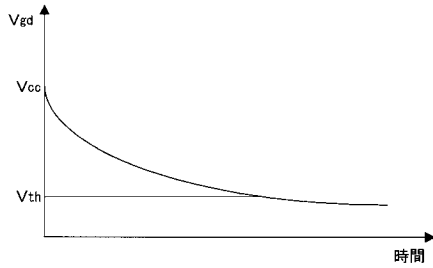
【 図 6 】



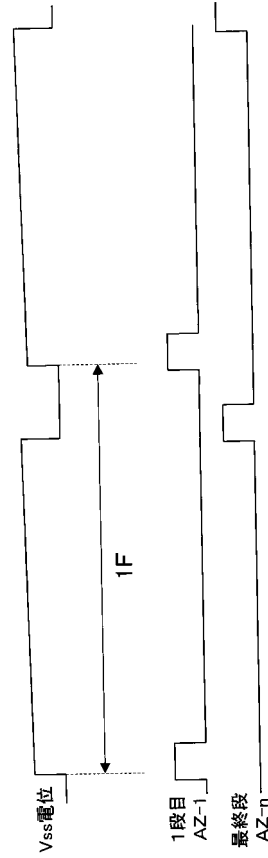
【 図 7 】



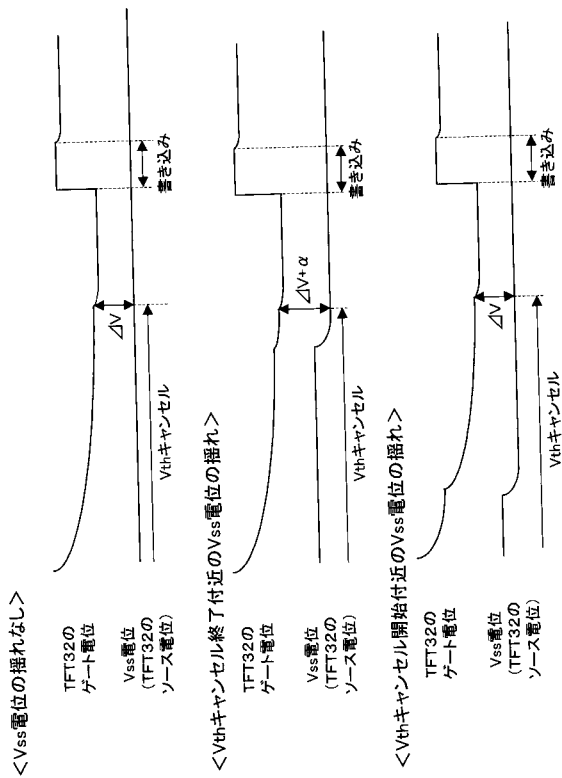
【 図 8 】



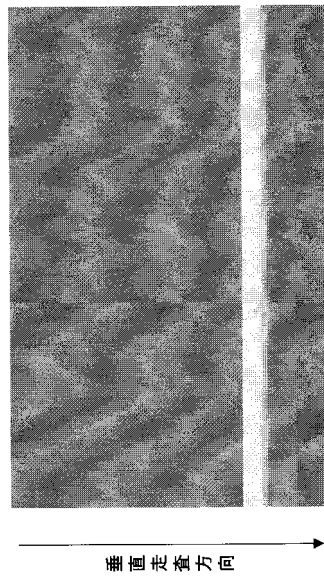
【 図 9 】



【 図 10 】

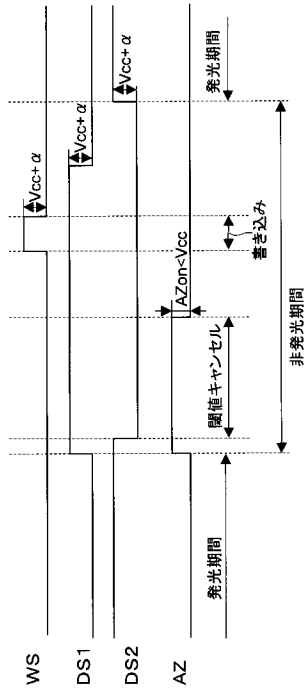


【 図 11 】

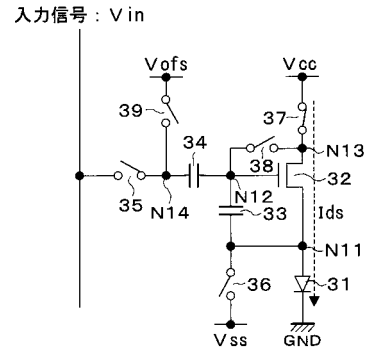


垂直走査方向

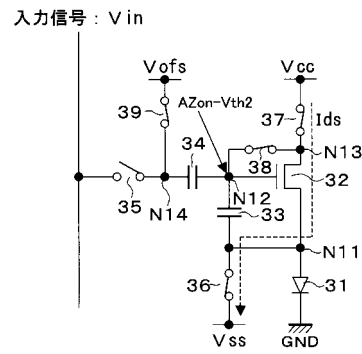
【 図 1 2 】



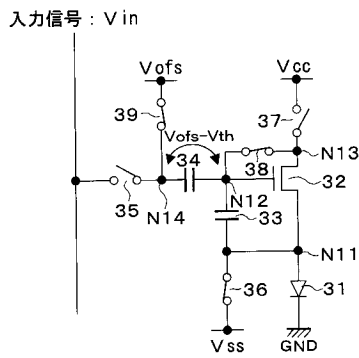
【 図 1 3 】



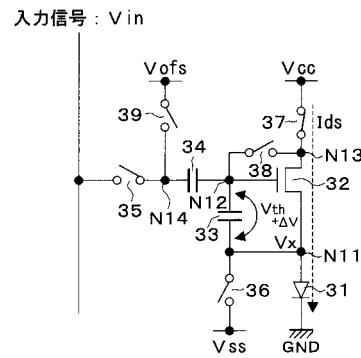
【 図 1 4 】



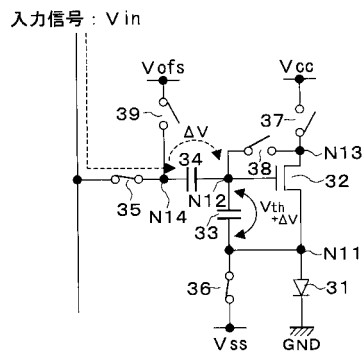
【 図 1 5 】



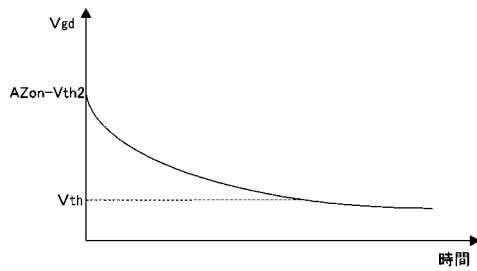
【 図 1 7 】



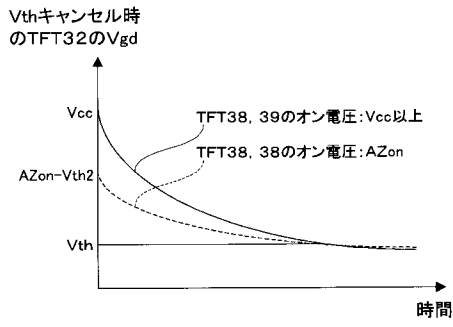
【 図 1 6 】



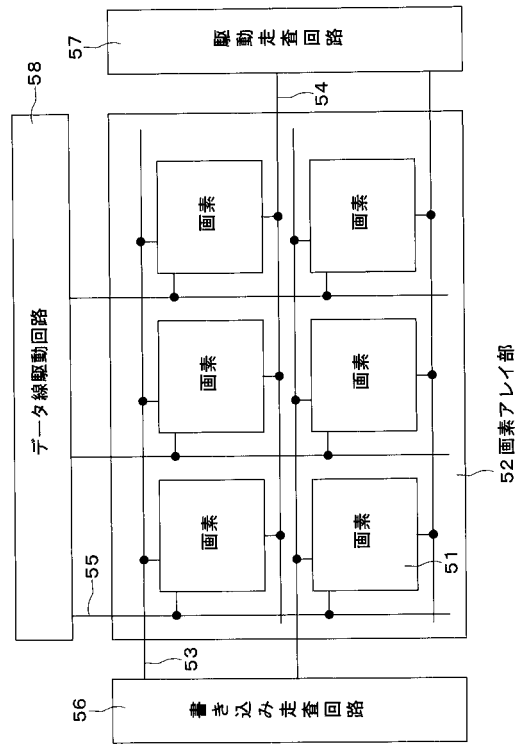
【 図 1 8 】



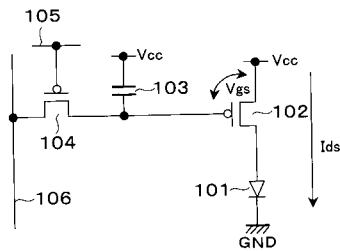
【 図 1 9 】



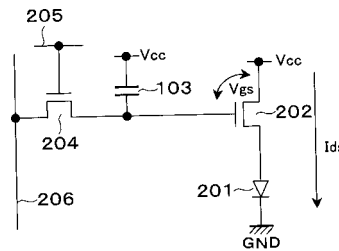
【 図 2 0 】



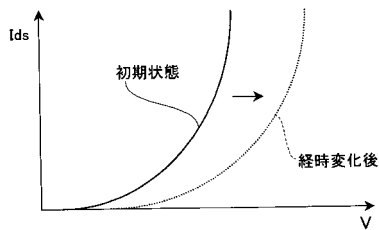
【 図 2 1 】



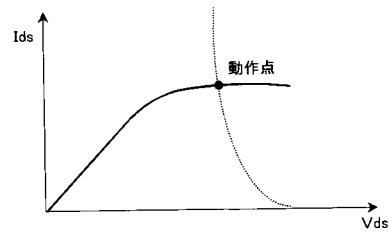
【 図 2 3 】



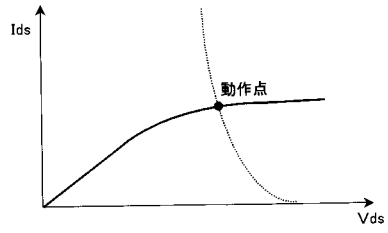
【 図 2 2 】



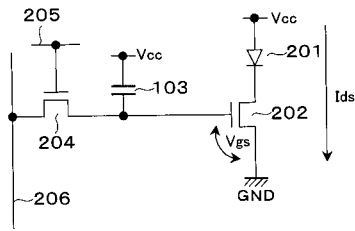
【 図 2 4 】



【 図 2 5 】



【 図 2 6 】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 7 0 J

H 0 5 B 33/14 A

Fターム(参考) 3K007 AB02 AB11 AB17 BA06 DB03 GA00 GA04

5C080 AA06 BB05 DD05 DD28 DD29 EE28 FF11 JJ01 JJ02 JJ03

JJ04 JJ05