

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-166414
(P2008-166414A)

(43) 公開日 平成20年7月17日(2008.7.17)

(51) Int.Cl. F I テーマコード (参考)
 HO 1 L 21/3205 (2006.01) HO 1 L 21/88 S 5 F 0 3 3
 HO 1 L 23/52 (2006.01)

審査請求 未請求 請求項の数 19 O L (全 25 頁)

(21) 出願番号 特願2006-352801 (P2006-352801)
 (22) 出願日 平成18年12月27日(2006.12.27)

(71) 出願人 000000295
 沖電気工業株式会社
 東京都港区虎ノ門1丁目7番12号
 (74) 代理人 100085419
 弁理士 大垣 孝
 (74) 代理人 100141955
 弁理士 岡田 宏之
 (72) 発明者 時藤 俊一
 東京都港区虎ノ門1丁目7番12号 沖電
 気工業株式会社内

最終頁に続く

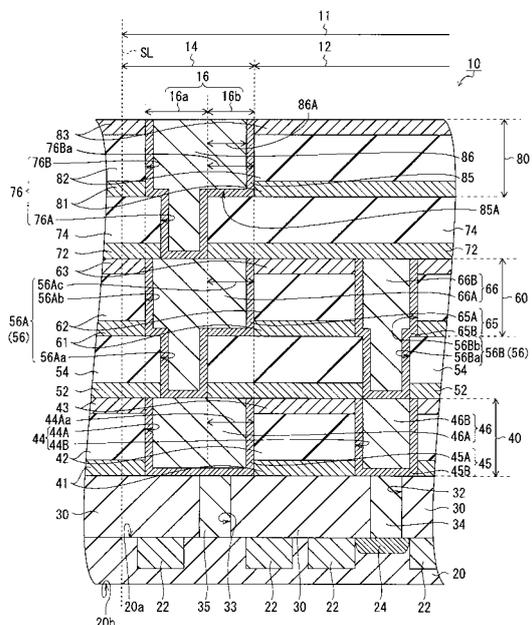
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 シールリングに起因する剥離を防止する。

【解決手段】 半導体装置 10 は、上面 20 a 及び当該上面と対向する下面 20 b を有して、機能素子 24 が設けられている素子領域 12 及び当該素子領域を囲む周辺領域 14 が設定されている基板 20 と、周辺領域に設けられ、かつ配線が設けられている配線層 (40、60、80) と同一層に設けられているリング部であって、チップ領域の周囲を囲む環状のリング本体 16 a、及び当該リング本体から素子領域側に突出する複数の突出部 16 b を有するリング部を含むシールリング 16 とを具えている。

【選択図】 図 2



半導体装置 (2)

【特許請求の範囲】**【請求項 1】**

上面及び当該上面と対向する下面を有して、機能素子が設けられている素子領域及び当該素子領域を囲む周辺領域が設定されている基板と、

前記周辺領域に設けられ、かつ前記素子領域に設けられている配線を含む配線層と同一層に設けられたリング部であって、前記素子領域の周囲を囲む環状のリング本体、及び当該リング本体から前記素子領域側に突出する複数の突出部を有する当該リング部を含むシールリングと

を具備していることを特徴とする半導体装置。

【請求項 2】

上面及び当該上面と対向する下面を有して、機能素子が設けられている素子領域及び当該素子領域を囲む周辺領域が設定されている基板と、

前記基板の上側に設けられている絶縁膜と、

前記絶縁膜を貫通するシールリング用溝を埋め込んで前記周辺領域に設けられているリング部を含むシールリングとを具備、

前記リング部は、前記絶縁膜を貫通する配線用溝を埋め込んで前記素子領域に設けられた銅を材料とする配線を含む配線層と同一層に設けられており、前記素子領域の周囲を囲む環状のリング本体、及び当該リング本体から前記素子領域側に突出する複数の突出部を有していることを特徴とする半導体装置。

【請求項 3】

複数の前記突出部はいずれも同一形状、及び同一サイズであって、複数の当該突出部は、前記リング本体の延在方向に対して同一方向に並列配置されており、かつ隣接する突出部同士の離間距離を等間隔としてあることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

複数の隣接する前記突出部同士の離間距離は、最小でも、使用される露光装置の光学系の解像限界により規定される最小間隔としてあることを特徴とする請求項 1 から 3 のいずれか一項に記載の半導体装置。

【請求項 5】

複数の前記突出部の平面形状はいずれも長方形であり、当該長方形の短辺又は長辺は前記リング本体の延在方向に対して垂直方向に配置されており、当該長方形は使用される露光装置の光学系の解像限界により規定される最小サイズとしてあることを特徴とする請求項 3 又は 4 に記載の半導体装置。

【請求項 6】

複数の前記配線層が互いに層間絶縁膜により離間されて積層されている多層配線構造を有しており、複数の前記配線層それぞれに設けられている複数の前記リング部が前記層間絶縁膜を貫通する埋込み部により互いに接続され、かつ前記基板の前記上面に至って構成されている前記シールリングを具備していることを特徴とする請求項 1 から 5 のいずれか一項に記載の半導体装置。

【請求項 7】

前記リング部は、当該リング部の直下の埋込み部と一体的に構成されていることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】

前記層間絶縁膜は、比誘電率が最大でも 3.0 である絶縁材料により構成されていることを特徴とする請求項 6 又は 7 に記載の半導体装置。

【請求項 9】

前記材料は、二酸化ケイ素水素シルセシオキサン、メチルシルセシオキサン、SiOC、有機成分からなるポリマー材料及び多孔質材料を含む絶縁材料の群から選択される絶縁材料であることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】

前記材料は、二酸化ケイ素水素シルセシオキサン、メチルシルセシオキサン、SiOC、有機成分からなるポリマー材料及び多孔質材料を含む絶縁材料の群から選択される絶縁材料であることを特徴とする請求項 8 に記載の半導体装置。

10

20

30

40

50

前記層間絶縁膜の膜厚は、100nmから5000nmの範囲の値であることを特徴とする請求項8又は9に記載の半導体装置。

【請求項11】

前記リング部及び前記埋込み部は、当該リング部及び当該埋込み部の側面を覆っているバリアメタルをさらに具備していることを特徴とする請求項6から10のいずれか一項に記載の半導体装置。

【請求項12】

前記バリアメタルは、タンタル、窒化タンタル、タングステン、窒化タングステン、WSiN、窒化チタン及びTiSiNを含む金属群から選択される単層膜又は2層以上の積層膜であることを特徴とする請求項11に記載の半導体装置。

10

【請求項13】

前記バリアメタルの膜厚は、2nmから50nmの範囲であることを特徴とする請求項11又は12に記載の半導体装置。

【請求項14】

複数の配線層が互いに層間絶縁膜により離間されて積層されている多層配線構造を具備している半導体装置の製造方法において、

上面及び当該上面と対向する下面を有して、素子領域及び当該素子領域を囲む周辺領域が設定されている基板を準備する工程と、

前記素子領域の周囲を囲む環状のリング本体、及び当該リング本体から前記素子領域側に突出する複数の突出部を有するリング部を前記周辺領域に、かつ前記配線層と同一層に形成する配線層形成工程と、

20

複数の前記配線層同士及び前記基板の前記上面と最下層の前記配線層とを離間する前記層間絶縁膜を貫通する環状の埋込み部により各配線層に形成されている前記リング部同士を隙間なく互いに接続する工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項15】

前記リング部及び前記埋込み部の形成工程は、当該リング部の直下の前記埋込み部と同時かつ一体的に形成することを特徴とする請求項14に記載の半導体装置の製造方法。

【請求項16】

前記リング部の形成工程は、複数の前記突出部がいずれも同一形状及び同一サイズであって、複数の当該突出部が前記シールリングの延在方向に対して同一方向に並列配置されており、かつ隣接する突出部同士の離間距離を等間隔として形成することを特徴とする請求項14又は15に記載の半導体装置の製造方法。

30

【請求項17】

前記リング部の形成工程は、複数の隣接する前記突出部同士の離間距離を、最小でも、使用される露光装置の光学系の解像限界により規定される最小間隔として形成することを特徴とする請求項14から16のいずれか一項に記載の半導体装置の製造方法。

【請求項18】

前記リング部の形成工程は、複数の前記突出部の平面形状がいずれも長方形であり、当該長方形の短辺又は長辺は前記シールリングの延在方向に対して垂直方向に配置されており、当該長方形は使用される露光装置の光学系の解像限界により規定される最小サイズとして形成することを特徴とする請求項14から17のいずれか一項に記載の半導体装置の製造方法。

40

【請求項19】

上面及び当該上面と対向する下面を有して、素子領域及び当該素子領域を囲む周辺領域が設定されている基板を準備する工程と、

前記基板に、複数の機能素子及び当該機能素子同士を電氣的に分離する素子分離構造を形成する工程と、

前記基板上に、前記機能素子及び前記素子分離構造を覆う第1絶縁膜を形成する工程と

50

前記素子領域に前記第 1 絶縁膜を貫通しているコンタクトホールを形成するとともに、及び前記周辺領域に前記第 1 絶縁膜を貫通するシールリング用第 1 溝を形成する工程と、前記コンタクトホールを埋め込む埋込みコンタクトを形成するとともに、前記シールリング用第 1 溝を埋め込み、埋込み部本体と前記素子領域側に突出する突出部とを有するシールリング用第 1 埋込み部を形成する工程と、

前記第 1 絶縁膜の表面上を覆う第 1 拡散防止膜、当該第 1 拡散防止膜上を覆う第 2 絶縁膜、及び当該第 2 絶縁膜上を覆う第 1 キャップ膜をこの順に積層する工程と、

前記第 1 拡散防止膜、前記第 2 絶縁膜及び前記第 1 キャップ膜を貫通して、前記埋込みコンタクトの頂面を露出させる配線用第 1 溝及び前記シールリング用第 1 埋込み部の頂面を露出させて前記素子領域を囲み、前記周辺領域内で前記素子領域側に突出する複数の第 1 突出領域を有しているシールリング用第 2 溝を含む第 1 溝部を形成する工程と、

前記第 1 キャップ膜の表面及び前記第 1 溝部の表面を覆う第 1 バリアメタル膜を形成する工程と、

前記第 1 バリアメタル膜が成膜されている前記第 1 溝部を埋め込んで前記第 1 バリアメタル膜上を覆う第 1 配線膜を成膜する工程と、

前記第 1 配線膜の表面から前記第 1 キャップ膜の表面が露出するまで、当該第 1 配線膜及び前記第 1 バリアメタル膜を削り取って、前記配線用第 1 溝内を覆う配線用第 1 バリアメタル及び前記シールリング用第 2 溝内を覆うシールリング用第 1 バリアメタル、並びに前記配線用第 1 バリアメタルが設けられている前記配線用第 1 溝を埋め込む配線用第 1 埋込み部及び前記シールリング用第 1 バリアメタルが設けられている前記シールリング用第 2 溝を埋め込んでいて、環状の埋込み部本体と前記素子領域側に突出する突出部とを有するシールリング用第 2 埋込み部を含む第 2 埋込み部を形成する工程と、

露出した前記第 1 キャップ膜、前記配線用第 1 バリアメタル、前記シールリング用第 1 バリアメタル、前記配線用第 1 埋込み部及び前記シールリング用第 2 埋込み部上を覆う第 2 拡散防止膜、当該第 2 拡散防止膜上を覆う第 3 絶縁膜、当該第 3 絶縁膜上を覆う第 3 拡散防止膜、当該第 3 拡散防止膜上を覆う第 4 絶縁膜及び当該第 4 絶縁膜上を覆う第 2 キャップ膜をこの順に積層する工程と、

前記第 2 キャップ膜、前記第 4 絶縁膜、前記第 3 拡散防止膜、前記第 3 絶縁膜及び前記第 2 拡散防止膜を貫通して、前記第 1 埋込み部の頂面の一部分を露出させる配線用前駆第 2 溝及び前記素子領域を囲むシールリング用前駆第 3 溝をそれぞれ形成する工程と、

前記配線用前駆第 2 溝を含む領域に当該配線用前駆第 2 溝よりも幅広であって前記第 2 キャップ膜から前記第 3 拡散防止膜まで貫通して下部溝に連通するより幅広の上部溝をさらに形成して得られる配線用第 2 溝、及び前記シールリング用前駆第 3 溝を含む領域に当該シールリング用前駆第 3 溝よりも幅広であって、前記素子領域側に突出する複数の第 2 突出領域を有していて、前記第 2 キャップ膜から前記第 3 拡散防止膜まで貫通して下部溝に連通するより幅広の上部溝をさらに形成して得られるシールリング用第 3 溝を含む第 2 溝部を完成させる工程と、

前記第 2 キャップ膜の表面及び前記第 2 溝部の表面を覆う第 2 バリアメタル膜を形成する工程と、

前記第 2 バリアメタル膜が成膜されている前記第 2 溝部を埋め込んで前記第 2 バリアメタル膜上を覆う第 2 配線膜を成膜する工程と、

前記第 2 配線膜の表面から前記第 2 キャップ膜の表面が露出するまで、当該第 2 配線膜及び前記第 2 バリアメタル膜を削り取って、前記配線用第 2 溝内を覆う配線用第 2 バリアメタル及び前記シールリング用第 3 溝内を覆うシールリング用第 2 バリアメタル、並びに前記配線用第 2 バリアメタルが設けられている前記配線用第 2 溝を埋め込む配線用第 2 埋込み部及び前記シールリング用第 2 バリアメタルが設けられている前記シールリング用第 3 溝を埋め込むシールリング用第 3 埋込み部を含む第 3 埋込み部を形成する工程と

を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【0001】

この発明は半導体装置及びその製造方法に関し、特にシールリングを具える半導体装置及びその製造方法に関する。

【背景技術】

【0002】

近年の半導体装置における素子の集積度及び性能の向上に伴って、配線自体の微細化及び配線間隔のさらなる極小化が求められている。製造プロセスの微細化の進行により、配線遅延が動作律速になってきていることから、配線材料をより低抵抗の銅(Cu)、或いは銅合金とする銅配線技術が開発されてきている。配線材料としての銅或いは銅合金は、エッチング技術による加工が困難である。従って、いわゆるダマシン法と呼ばれる製造方法が採用されるのが一般的である。

10

【0003】

このダマシン法は、具体的には、絶縁膜に配線溝を形成し、この配線溝を埋め込む銅合金薄膜を堆積した後、銅合金薄膜をその上側から研削することにより、配線溝を埋め込む部分のみを残存させ、埋込み配線を形成する方法である。この銅合金薄膜の研削工程には、CMP(Chemical Mechanical Polishing)法が適用されている。

【0004】

また、このような銅配線技術を採用するにあたり、特に配線容量を低減するために、従来用いられていたシリコン酸化膜に代わり、より誘電率の低い、すなわち比誘電率(k)が約4.2から約1.5程度の低誘電率の材料を用いるいわゆる低誘電率膜が絶縁膜として用いられている。

20

【0005】

このような低誘電率膜、特に多孔質の膜は、界面密着性といった機械的特性(Modulus, Hardness)の低さから、例えばダマシン法におけるCMP工程、個片化工程といった低誘電率膜に応力がかかる工程において、この低誘電率膜とこれに接触している他の絶縁膜或いはシールリングといった他の構造との界面に剥離等の損傷が発生して半導体装置の電気的特性を損なうおそれがある。

【0006】

ダマシン法及び低誘電率膜を採用した従来の半導体装置において、特にダイシング時の損傷が素子領域に達するのを防止する目的で、素子領域を連続的に取り囲む、いわゆるシールリングを設けた半導体装置及びその製造方法が知られている(例えば、特許文献1参照)。

30

【特許文献1】特開2005-167198号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

上述の従来のシールリングは、個片化工程時の素子領域外で発生するクラック(剥離)の素子領域への波及を効果的に防止することができる。

【0008】

しかしながら、低誘電率膜とこれと接触するシールリングとの界面での剥離はシールリングに起因する場合もある。

40

【0009】

上述の従来のシールリングの構成によれば、シールリングの素子領域側の界面で発生する剥離、すなわちクラックの発生及びこのクラックの素子領域への伝播を防止するには十分ではない。

【0010】

従って、例えばCMP工程により、低誘電率膜とシールリングとの界面に大きな応力がかかった場合に、シールリングの素子領域側の界面で発生するクラックの発生及びこのクラックの素子領域への伝播を防止するための技術が囑望されている。

50

【課題を解決するための手段】**【0011】**

この発明は、上述の課題に鑑みてなされたものである。この課題を解決するにあたり、この発明の半導体装置は、下記のような構成を具えている。

【0012】

すなわち、この発明の半導体装置は、上面及び当該上面と対向する下面を有して、機能素子が設けられている素子領域及びこの素子領域を囲む周辺領域が設定されている基板と、周辺領域に設けられ、かつ素子領域に設けられている配線を含む配線層と同一層に設けられたリング部であって、素子領域の周囲を囲む環状のリング本体、及びこのリング本体から素子領域側に突出する複数の突出部を有するリング部を含むシールリングとを具えている。

10

【0013】

また、この発明の半導体装置の製造方法は、下記のような工程を含んでいる。

【0014】

すなわち、複数の配線層が互いに層間絶縁膜により離間されて積層されている多層配線構造を具えている半導体装置の製造方法は、上面及びこの上面と対向する下面を有して、素子領域及びこの素子領域を囲む周辺領域が設定されている基板を準備する工程と、周辺領域に、素子領域の周囲を囲む環状のリング本体、及びこのリング本体から素子領域側に突出する複数の突出部を有するリング部を配線層と同一層に形成する配線層形成工程と、複数の配線層同士及び基板の上面と最下層の配線層とを離間する層間絶縁膜を貫通する環状の埋込み部により各配線層に形成されているリング部同士を隙間なく互いに接続する工程とを含んでいる。

20

【0015】

上述したこの発明の半導体装置は、特に素子領域側に突出した複数の突出部を有するシールリングを具えていることを特徴としている。

【0016】

これら複数の突出部は、いわゆるテクノロジーノードが許容する範囲で任意好適な形状とすることができるが、好ましくは例えばいずれも同一形状、及び同一サイズとするのがよい。さらにこれら突出部は、シールリングの延在方向に対して同一方向に並列配置し、かつ隣接する突出部同士の離間距離を等間隔とすることができる。

30

【0017】

また、複数の隣接する突出部同士の離間距離は、好ましくは例えば最小でも、使用される露光装置の光学系の解像限界により規定される最小間隔とすることができる。

【0018】

さらに、複数の突出部の平面形状は、好ましくは例えば、いずれも長方形であり、長方形の短辺又は長辺はシールリングの延在方向に対して垂直方向に配置されており、この長方形は使用される露光装置の光学系の解像限界により規定される最小サイズとするのがよい。

【発明の効果】**【0019】**

この発明の半導体装置の構成によれば、シールリングとこれと接触する絶縁膜との接触面積を大幅に増加することができる。従って、例えばCMP工程により発生する応力が、増加した接触面積に分散するため、特に低誘電率膜と他の構造との界面における剥離の発生を効果的に防止することができる。

40

【0020】

また、この発明の半導体装置の製造工程によれば、このような構成を具える半導体装置を効率的に製造することができる。

【発明を実施するための最良の形態】**【0021】**

以下、図面を参照して、この発明の実施の形態につき説明する。なお、図面には、この

50

発明が理解できる程度に各構成成分の形状、大きさ及び配置関係が概略的に示されているに過ぎず、従って、この発明は特に図示例にのみ限定されるものではない。

【0022】

また、以下の説明において、特定の材料、条件及び数値条件等を用いることがあるが、これらは好適例の1つに過ぎず、従って、この発明は何らこれら好適例に限定されるものではない。

【0023】

さらに、以下の説明に用いる各図において、同様の構成成分については、同一の符号を付して示し、その重複する説明を省略する場合もあることを理解されたい。

【0024】

(半導体装置の構成例1)

図1、図2及び図3を参照して、この発明の半導体装置の構成例につき詳細に説明する。

10

【0025】

図1(A)は個片化直前の1つの半導体装置に着目して上面側からみた部分平面図であり、図1(B)は図1(A)に示した部分領域Aを拡大して示す部分拡大図である。なお、下側に位置する各配線層が具える同様の構成についても図2に対応させて符号を付してある。

【0026】

図2は、図1(B)のI-I'一点鎖線で切断した切断面を示す部分断面概略図である。

20

【0027】

図3は、特にシールリングに着目した図2と同様の部分断面概略図である。

【0028】

この発明の半導体装置は、基板と、この基板上に設けられていて、素子領域(アクティブ領域)を囲むシールリングを具えている。そして、この発明の半導体装置は、このシールリングの形状に特徴を有している。

【0029】

この点につき、以下、順に説明する。

【0030】

まず、図2に示すように、半導体装置10は、基板20を含んでいる。基板20は、好ましくは例えばシリコンウェハといった半導体基板である。

30

【0031】

基板20は、上面20a及びこの上面20aと対向する下面20bとを有している。この基板20には、個片化されたときに半導体装置10となるチップ領域11が設定されている。なお、この図示例では、個片化工程時に研削されるスクライプラインSLがチップ領域11の境界線となっている。

【0032】

図1(A)に示すように、基板20には、トランジスタといった機能素子が設けられる、矩形状の素子領域12及びこの素子領域12を囲む周辺領域14が設定されている。

40

【0033】

この基板20上には、複数の配線層、すなわちこの構成例では第1配線層40、第2配線層60及び第3配線層80と、これら複数の配線層を互いに離間する例えばこの構成例では第1から第6までの絶縁膜30、42、54、62、74及び82、すなわち複数層の層間絶縁膜とが設けられている。

【0034】

すなわち、基板20上に、第1絶縁膜30、第1配線層40、第3絶縁膜54、第2配線層60、第5絶縁膜74、及び第3配線層80が順次に階層的に積層されている階層構造が形成されている。また、第2絶縁膜42は、第1配線層40の階層に含まれており、第4絶縁膜62は、第2配線層60の階層に含まれており、さらに第6絶縁膜82は、第

50

3配線層80の階層に含まれている。

【0035】

図1(A)及び(B)に示すように、この発明にかかるシールリング16は、素子領域12を囲む周辺領域14に設けられていて、素子領域12を囲むリング本体16aを有している。すなわち、リング本体16aは閉じた環状の形状としてある。この例ではリング本体16aの外形の輪郭は、素子領域12の形状に対応した好ましくは例えば四角形状となっている。このように、リング本体16aの延在形状は、素子領域12又はチップ領域11の形状に応じた任意好適な形状とすることができる。すなわち、素子領域12は、一体的な壁状に構成されるシールリング16により隙間なくその周囲を囲まれている。

【0036】

図1(B)に示すように、シールリング16は、さらに、リング本体16aと一体的に形成されている、複数の突出部16bを具えている。この突出部16bは、リング本体16aから素子領域12側に突出している。この図示例では、突出部16bの平面形状は、後述する製造方法、特にフォトリソグラフィ工程が許容する範囲内で、任意のサイズ、また任意の形状とすることができる。この図示例では、突出部16bは、1つの角隅を切り欠いた凹凸を有する四角形状、長方形形状、台形状、サイズの異なるさらなる長方形形状といった複数種類の形状を任意に組み合わせた形状としてある。また、これら各形状の部分の配置間隔、すなわち相互の離間距離についても後述する製造方法、特にフォトリソグラフィ工程が許容する範囲内で、任意好適なものとしてすることができる。

【0037】

なお、周辺領域14には、上述の複数の配線層それぞれを貫通するリング本体16a及び突出部16bが設けられている。以下、リング本体16a及び突出部16bを総称して、単にリング部とも称する。

【0038】

図2に示す構成例では、シールリング16は、埋込み部と、この埋込み部の頂面を除く壁面に設けられているバリアメタルとを具えている。図2及び図3を参照してより具体的に説明すると、第1絶縁膜30を貫通してシールリング用第1埋込み部35が設けられている。第2絶縁膜42を貫通してシールリング用第1バリアメタル45Aが設けられているシールリング用第2埋込み部46Aが第1リング部48として設けられている。第3絶縁膜54及び第4絶縁膜62を貫通して、シールリング用第2バリアメタル65Aが設けられているシールリング用第3埋込み部66Aが第2リング部68として設けられている。さらに第5絶縁膜74及び第6絶縁膜82を貫通して第3バリアメタル85が設けられている第4埋込み部86が第3リング部88として設けられている。

【0039】

このようにして、基板20の所要の領域と、第3配線層80の埋込み部86とは、その間に設けられた埋込み部35、46A、66Aとバリアメタル45A、65A、85を経て連続的に結合された状態となる。

【0040】

このようにリング部のリング本体16aは環状に設けられている、すなわちシールリング16は、これらリング部同士及びリング部と基板とを離間する絶縁膜を貫通してこれらを互いに接続する環状の埋込み部により構成されている。結果として、素子領域12は、一体的な壁状に構成されるシールリング16により隙間なくその周囲を囲まれる。

【0041】

以下、このシールリング16につきさらに詳細に説明するが、以下の構成例の説明においては、各配線層40、60及び80に設けられている第1、第2及び第3リング部48、68及び88の特に突出部16bの形状をいずれも同一であるものとして説明する。しかしながら、この発明の半導体装置は同一形状の突出部16bに限定されず、各配線層ごとに異なる形状及び/又はサイズのリング本体16a及び突出部16bを有するリング部を設ける構成とすることができる。

【0042】

10

20

30

40

50

基板 20 の上面 20 a 側には、詳細は省略するが例えば拡散層 24 により構成されるトランジスタ等からなる複数の機能素子が設けられている。さらに基板 20 には、例えば S T I (S h a l l o w T r e n c h I s o l a t i o n)、L O C O S (L o c a l O x i d a t i o n o f S i l i c o n) といった機能素子を電気的に分離する素子分離構造 22 が設けられている。

【0043】

これら拡散層 24 及び素子分離構造 22 上、すなわち基板 20 の上面 20 a 上には、第 1 絶縁膜 30 が設けられている。

【0044】

この第 1 絶縁膜 30 は、例えばシリコン酸化膜とすればよい。

10

【0045】

第 1 絶縁膜 30 の素子領域 12 内には、この第 1 絶縁膜 30 を貫通して、この例では拡散層 24 として示す素子に至るコンタクトホール 32 が設けられている。

【0046】

また、第 1 絶縁膜 30 の周辺領域 14 内には、この第 1 絶縁膜 30 を貫通して、基板上面 20 a に至るシールリング用第 1 溝 33 が設けられている。

【0047】

このシールリング用第 1 溝 33 は、素子領域 12 を閉環状に囲んでいる。

【0048】

コンタクトホール 32 内にはこれを埋め込む埋込みコンタクト 34 が設けられている。埋込みコンタクト 34 は、例えばタングステン (W) といった従来公知の導電性材料により構成すればよい。

20

【0049】

シールリング用第 1 溝 33 も同様に、例えばタングステンといった従来公知の導電性材料により埋め込んでシールリング用第 1 埋込み部 35 として構成すればよい。埋込みコンタクト 34 とシールリング用第 1 埋込み部 35 とは、好ましくは同一の材料により形成するのがよい。

【0050】

なお、第 1 絶縁膜 30 がシリコン酸化膜で形成されている場合には、シールリング用第 1 埋込み部 35 は、一続きに素子領域 12 を隙間なく囲む形状とする必要はなく、例えば埋込みコンタクト 34 と同様の複数の柱状の構造とし、複数の柱状体として構成されるシールリング用第 1 埋込み部 35 が素子領域 12 を囲む列柱状に配置される構成としてもよい。

30

【0051】

第 1 絶縁膜 30 及びこの第 1 絶縁膜 30 から露出する埋込みコンタクト 34 及びシールリング用第 1 埋込み部 35 上には、第 1 拡散防止膜 41 が設けられている。この第 1 拡散防止膜 41 は、特に配線の材料として用いられる銅の拡散を防止するための膜である。

【0052】

第 1 拡散防止膜 41 は、例えばシリコン窒化膜、又はシリコンカーバイド (S i C) 膜とすればよい。

40

【0053】

この第 1 拡散防止膜 41 上には第 2 絶縁膜 42 が積層されている。

【0054】

第 2 絶縁膜 42 は、シリコン酸化膜と比較して、比誘電率の小さい低誘電率膜とするのがよい。具体的には、比誘電率 (k) が好ましくは最大でも 3 . 0 である従来公知の低誘電率膜 (L o w - k 膜)、例えば H S Q : 二酸化ケイ素水素シルセスシオキサン (h y d r o g e n s i l s e s q u i o x a n e)、M S Q : メチルシルセスシオキサン (m e t h y l s i l s e s q u i o x a n e)、C D O (c a r b o n d o p e d o x i d e) といった材料或いはダウケミカル社製 S i L K (登録商標) といったポリマー材料を材料とする膜とすればよい。

【0055】

50

このとき、第2絶縁膜42の膜厚は、好ましくは100nmから5000nmの範囲内のいずれかの値とするのがよい。

【0056】

さらに第2絶縁膜42の表面上には、第1キャップ膜43が設けられている。キャップ膜とは、例えば高密度のシリコン酸化膜により構成される低誘電率膜を保護する機能を奏する膜である。

【0057】

第1溝部44は、第1キャップ膜43の表面から、第1キャップ膜43、第2絶縁膜42及び第1拡散防止膜41を貫通して、第1絶縁膜30の表面に至って設けられている。

【0058】

この第1溝部44は、埋込みコンタクト34及びシールリング用第1埋込み部35の頂面を露出させて設けてある。

【0059】

第1溝部44は、配線用第1溝44Bとシールリング用第2溝44Aとを含んでいる。配線用第1溝44Bは、素子領域12内の埋込みコンタクト34の直上に設けられてその頂面を露出させている。シールリング用第2溝44Aは、周辺領域14内のシールリング用第1埋込み部35の直上に設けられてその頂面を露出させている。

【0060】

図1(B)にも示すように、このシールリング用第2溝44Aは、リング本体16aと上述した突出部16bの輪郭を画成する第1突出領域44Aaとを有している。

【0061】

第1溝部44内の表面には、第1バリアメタル45が設けられている。すなわちシールリング用第1埋込み部35の頂面上を含むシールリング用第2溝44A内の表面には、シールリング用第1バリアメタル45Aが設けられている。また、埋込みコンタクト34の頂面上を含む配線用第1溝44B内の表面には配線用第1バリアメタル45Bが設けられている。

【0062】

このシールリング用第1バリアメタル45Aは、シールリング用第2溝44Aの第1突出領域44Aaの輪郭に沿った、この例ではいわゆるつづら折れ形状の屈曲部45Aaを有している。

【0063】

第1バリアメタル45としては、好ましくは例えばタンタル、窒化タンタル、タングステン、窒化タングステン、WSiN、窒化チタン及びTiSiNを含む群から選択される単層膜又は2層以上の積層膜とすればよい。

【0064】

第1バリアメタル45の膜厚は、好ましくは例えば2nmから50nmの範囲内のいずれかの値とすればよいが、このバリアメタルの膜厚はいわゆるテクノロジーノードに対応した最適な膜厚とすればよい。

【0065】

第1バリアメタル45上、すなわち、第1バリアメタル45に覆われた第1溝部44には、これを埋め込む、例えば銅又は銅合金からなる第2埋込み部46が設けられている。

【0066】

この第2埋込み部46は、第1配線層40の本質的な構成要素である。すなわち第2埋込み部46は、第1配線層40に含まれる複数の配線を構成する配線用第1埋込み部46Bとシールリング用第2埋込み部46Aとを含んでいる。

【0067】

配線用第1埋込み部46Bは、配線用第1溝44Bを埋め込んで設けられている。また、シールリング用第2埋込み部46Aは、シールリング用第2溝44Aを埋め込んで設けられている。

【0068】

10

20

30

40

50

これら配線用第1埋込み部46B及びシールリング用第2埋込み部46Aの頂面は第1キャップ膜43の表面と実質的に同一高さとされている。

【0069】

なお、図3にも示すように、このシールリング用第2埋込み部46Aと上述のシールリング用第1バリアメタル45Aとで上述した第1リング部48を構成している。

【0070】

第1キャップ膜43、第1バリアメタル45及び埋込み部46上には、第1拡散防止膜41と同様の構成を有する第2拡散防止膜52が設けられている。

【0071】

この第2拡散防止膜52上には第3絶縁膜54が積層されている。第3絶縁膜54は、既に説明した第2絶縁膜42と同様の低誘電率膜である。

10

【0072】

さらに第3絶縁膜54上には、第1拡散防止膜41と同様の構成の第3拡散防止膜61が設けられている。

【0073】

第3拡散防止膜61上には第4絶縁膜62が積層されている。第4絶縁膜62は、既に説明した第2絶縁膜42と同様の低誘電率膜である。

【0074】

この第4絶縁膜62上には、第1キャップ膜43と同様の構成を有する第2キャップ膜63が設けられている。

20

【0075】

これら第2拡散防止膜52、第3絶縁膜54、第3拡散防止膜61、第4絶縁膜62、及び第2キャップ膜63には、これらを通する第2溝部56が設けられている。

【0076】

この第2溝部56には、周辺領域14に設けられているシールリング用第3溝56Aと素子領域12に設けられている配線用第2溝56Bとが含まれる。

【0077】

第2溝部56は、この発明の各配線層の形成工程に採用されるダマシン法を適用することを考慮して構成されている。ここでは特に上層配線層を形成する際に下層配線層に接続される埋込みビアを同時に埋め込んで形成するいわゆるデュアルダマシン法を採用した構成例につき説明する。

30

【0078】

第2拡散防止膜52及び第3絶縁膜54には、これらを通して、シールリング用第2埋込み部46Aの頂面の一部に至るシールリング用下部溝56Aa及び配線用第2埋込み部46Bの頂面の一部に至る配線用下部ビアホール56Baが設けられている。シールリング用下部溝56Aaは周辺領域14に設けられている。また、配線用下部ビアホール56Baは素子領域12に設けられている。

【0079】

第3拡散防止膜61、第4絶縁膜62及び第2キャップ膜63には、これらを通し、下部溝56Aaよりも幅広のシールリング用上部溝56Ab及び下部ビアホール56Baの径よりも幅広の配線用上部溝56Bbが設けられている。シールリング用上部溝56Abは周辺領域14に設けられている。また、配線用上部溝56Bbは素子領域12に設けられている。

40

【0080】

すなわち、シールリング用第3溝56Aは、溝幅のみが異なる同一形状のシールリング用下部溝56Aaとシールリング用上部溝56Abとが上下に連通して構成されている。また、配線用第2溝56Bは、配線用下部ビアホール56Baと配線用上部溝56Bbが連通して構成されている。

【0081】

このようにシールリング用第3溝56A及び配線用第2溝56Bは、溝同士又は溝とヴ

50

ィアホールとを組み合わせた２段の構成とされている。

【 0 0 8 2 】

図 1 (B) にも示すように、このシールリング用第 3 溝 5 6 A は、リング本体 1 6 a と上述した突出部 1 6 b との輪郭を画成する第 2 突出領域 5 6 A c を有している。

【 0 0 8 3 】

第 2 溝部 5 6 内の表面には、既に説明した第 1 バリアメタル 4 5 と同様の構成の第 2 バリアメタル 6 5 が設けられている。すなわちシールリング用第 2 埋込み部 4 6 A の頂面の一部を含むシールリング用第 3 溝 5 6 A 内の表面には、シールリング用第 2 バリアメタル 6 5 A が設けられている。また、配線用第 1 埋込み部 4 6 B の頂面的一部分上を含む配線用第 2 溝 5 6 B 内の表面には配線用第 2 バリアメタル 6 5 B が設けられている。

10

【 0 0 8 4 】

このシールリング用第 2 バリアメタル 6 5 A は、シールリング用第 3 溝 5 6 A の第 2 突出領域 5 6 A c の輪郭に沿った形状の屈曲部 6 5 A a を有している。

【 0 0 8 5 】

第 2 バリアメタル 6 5 上、すなわち、第 2 バリアメタル 6 5 に覆われたシールリング用第 3 溝 5 6 A 及び配線用第 2 溝 5 6 B には、これらを埋め込む、例えば銅又は銅合金からなる第 3 埋込み部 6 6 が設けられている。

【 0 0 8 6 】

この第 3 埋込み部 6 6 は、第 2 配線層 6 0 の本質的な構成要素である。すなわち第 3 埋込み部 6 6 は、第 2 配線層 6 0 に含まれる複数の配線を構成する配線用第 2 埋込み部 6 6 B とシールリング用第 3 埋込み部 6 6 A とを含んでいる。

20

【 0 0 8 7 】

配線用第 2 埋込み部 6 6 B は、配線用第 2 溝 5 6 B を埋め込んで設けられている。また、シールリング用第 3 埋込み部 6 6 A は、シールリング用第 3 溝 5 6 A を埋め込んで設けられている。

【 0 0 8 8 】

これら配線用第 2 埋込み部 6 6 B 及びシールリング用第 3 埋込み部 6 6 A の頂面は第 2 キャップ膜 6 3 の表面と実質的に同一の高さとされている。

【 0 0 8 9 】

なお、図 3 にも示すように、このシールリング用第 3 埋込み部 6 6 A と上述のシールリング用第 2 バリアメタル 6 5 A とで上述した第 2 リング部 6 8 を構成している。

30

【 0 0 9 0 】

この例では、シールリング用下部溝 5 6 A a とシールリング用上部溝 5 6 A b とが連通して構成されているシールリング用第 3 溝 5 6 A と、配線用下部ヴィアホール 5 6 B a と配線用上部溝 5 6 B b とが連通して構成されている配線用第 2 溝 5 6 B とを単一の工程で一体的な構成として埋め込むいわゆるデュアルダマシン法を採用した構成例を説明したが、例えばシールリング用下部溝 5 6 A a とシールリング用上部溝 5 6 A b とを、それぞれ個別の工程で埋め込むシングルダマシン法により形成される、個別の埋込み部を接続する構成としてもよい。

【 0 0 9 1 】

第 2 キャップ膜 6 3、第 2 バリアメタル 6 5 及び第 3 埋込み部 6 6 上には、第 1 拡散防止膜 4 1 と同様の構成を有する第 4 拡散防止膜 7 2 が設けられている。

40

【 0 0 9 2 】

この第 4 拡散防止膜 7 2 上には第 5 絶縁膜 7 4 が積層されている。第 5 絶縁膜 7 4 は、既に説明した第 2 絶縁膜 4 2 と同様の低誘電率膜である。

【 0 0 9 3 】

さらに第 5 絶縁膜 7 4 上には、第 1 拡散防止膜 4 1 と同様の構成の第 5 拡散防止膜 8 1 が設けられている。

【 0 0 9 4 】

第 5 拡散防止膜 8 1 上には第 6 絶縁膜 8 2 が積層されている。第 6 絶縁膜 8 2 は、既に

50

説明した第 2 絶縁膜 4 2 と同様の低誘電率膜である。

【 0 0 9 5 】

この第 6 絶縁膜 8 2 上には、第 1 キャップ膜 4 3 と同様の構成を有する第 3 キャップ膜 8 3 が設けられている。

【 0 0 9 6 】

これら第 4 拡散防止膜 7 2、第 5 絶縁膜 7 4、第 5 拡散防止膜 8 1、第 6 絶縁膜 8 2、及び第 3 キャップ膜 8 3 には、これらを通る第 3 溝部 7 6 が設けられている。

【 0 0 9 7 】

第 3 溝部 7 6 及びこれを埋め込む後述する埋込み部については、第 2 溝部 5 6 及び第 3 埋込み部 6 6 の構成と何ら変わるところがないため、構成についてのみ説明する。

10

【 0 0 9 8 】

この第 3 溝部 7 6 は、周辺領域 1 4 に設けられている。すなわち、シールリング 1 6 の一部分を構成する溝部である。

【 0 0 9 9 】

第 3 溝部 7 6 は、第 2 溝部 5 6 と同様に、この発明の各配線層の形成工程に採用されるダマシン法を適用することを考慮して構成されている。

【 0 1 0 0 】

第 4 拡散防止膜 7 2 及び第 5 絶縁膜 7 4 には、これらを通り、シールリング用第 3 埋込み部 6 6 A の頂面の一部分に至るシールリング用下部溝 7 6 A が設けられている。シールリング用下部溝 7 6 A は周辺領域 1 4 に設けられている。

20

【 0 1 0 1 】

第 5 拡散防止膜 8 1、第 6 絶縁膜 8 2 及び第 3 キャップ膜 8 3 には、これらを通り、下部溝 7 6 A よりも幅広のシールリング用上部溝 7 6 B が設けられている。シールリング用上部溝 7 6 B は周辺領域 1 4 に設けられている。

【 0 1 0 2 】

すなわち、第 3 溝部 7 6 は、溝幅のみが異なる同一形状のシールリング用下部溝 7 6 A とシールリング用上部溝 7 6 B とが上下に連通して構成されている。

【 0 1 0 3 】

図 1 (B) にも示すように、この第 3 溝部 7 6 の特にシールリング用上部溝 7 6 B は、リング本体 1 6 a と上述した突出部 1 6 b との輪郭を画成する第 3 突出領域 7 6 B a を有している。

30

【 0 1 0 4 】

第 3 溝部 7 6 内の表面には、既に説明した第 1 バリアメタル 4 5 と同様の構成の第 3 バリアメタル 8 5 が設けられている。すなわちシールリング用第 3 埋込み部 6 6 A の頂面の一部分を含む第 3 溝部 7 6 の表面には、シールリング用の第 3 バリアメタル 8 5 が設けられている。

【 0 1 0 5 】

この第 3 バリアメタル 8 5 は、第 3 溝部 7 6 の第 3 突出領域 7 6 B a の輪郭に沿った形状の屈曲部 8 5 A を有している。

【 0 1 0 6 】

第 3 バリアメタル 8 5 上、すなわち、第 3 バリアメタル 8 5 に覆われた第 3 溝部 7 6 には、これらを埋め込む、例えば銅又は銅合金からなる第 4 埋込み部 8 6 が設けられている。

40

【 0 1 0 7 】

この第 4 埋込み部 8 6 は、第 3 配線層 8 0 の本質的な構成要素である。

【 0 1 0 8 】

第 4 埋込み部 8 6 は、第 3 溝部 7 6 を埋め込んで設けられている。第 4 埋込み部 8 6 の頂面は第 3 キャップ膜 8 3 の表面と実質的に同一の高さとされている。

【 0 1 0 9 】

なお、図 3 にも示すように、この第 4 埋込み部 8 6 と上述の第 3 バリアメタル 8 5 とで

50

上述した第3リング部88を構成している。

【0110】

この発明の半導体装置の構成例によれば、シールリングと、特にこのシールリングと接触する絶縁膜との接触面積を大幅に増加することができる。従って、例えばダマシプロセスに必須のCMP工程により発生する応力が増加した接触面積に分散するため、特に低誘電率膜とシールリングとの界面における剥離の発生を効果的に防止することができる。

【0111】

(半導体装置の製造方法例)

以下、図を参照して、上述した構成を有するこの発明の半導体装置の製造方法につき説明する。

【0112】

図4(A)及び(B)は、製造途中で得られた構造体を図2と同じ位置で切断した切り口を示す模式図である。

【0113】

図5は、図4(B)から続く模式図である。

【0114】

図6は、図5から続く模式図である。

【0115】

図7は、図6から続く模式図である。

【0116】

図4(A)に示すように、まず、好ましくは例えばシリコンウェハといった基板20を準備する。

【0117】

基板20には、スクライプラインSLに沿って研削個片化したときに半導体装置となるチップ領域11を設定する。また、このチップ領域11内には、電氣的にアクティブな素子領域12及びこの素子領域12を囲む周辺領域14を設定しておく。

【0118】

次いで、基板20に、素子を電氣的に分離するための素子分離構造22を常法に従って形成する。

【0119】

既に説明したように、素子分離構造としては、例えばSTI(Shallow Trench Isolation)、LOCOS(Local Oxidation of Silicon)が想定されている。

【0120】

次いで、基板20に、例えば拡散層24により構成されるトランジスタ等の複数の機能素子を形成する。この素子形成工程は、従来公知のイオン打ち込み工程及び拡散工程を任意好適な条件で実施すればよい。

【0121】

これら拡散層24及び素子分離構造22上に、第1絶縁膜30を形成する。

【0122】

この第1絶縁膜30は、既に説明したように例えばシリコン酸化膜が想定されている。第1絶縁膜30は、CVD法といった任意好適な条件での従来公知の成膜方法により形成すればよい。

【0123】

次いで、第1絶縁膜30に、この第1絶縁膜30を貫通して、この例では素子領域12内の拡散層24として示す機能素子に至るコンタクトホール32を形成する。同時に、周辺領域14内である第1絶縁膜30には、この第1絶縁膜30を貫通して基板上面20aに至り、素子領域12を閉環状に囲んでいるシールリング用第1溝33を形成する。

【0124】

これらコンタクトホール32及びシールリング用第1溝33は、常法に従う任意好適な

10

20

30

40

50

条件で、一連のレジスト塗布工程、ホトリソグラフィ工程によるレジストパターンの形成工程、かかるレジストパターンをマスクとして用いるエッチング工程により形成すればよい。

【0125】

次に、コンタクトホール32を埋め込む埋込みコンタクト34を常法に従って形成する。また、同時にシールリング用第1溝33も、例えばタンゲステンといった従来公知の導電性材料により埋め込んでシールリング用第1埋込み部35とする。

【0126】

埋込みコンタクト34及びシールリング用第1埋込み部35は、例えばタンゲステン(W)といった従来公知の導電性材料を用いて形成すればよい。

10

【0127】

埋込みコンタクト34及びシールリング用第1埋込み部35の形成工程は、コンタクトホール32及びシールリング用第1溝33をスパッタ法等の従来公知の方法に従って同時に埋め込む工程とするのがよい。さらにエッチバック工程を行って、埋込みコンタクト34及びシールリング用第1埋込み部35を形成すればよい。このエッチバック工程により埋込みコンタクト34及びシールリング用第1埋込み部35の頂面は、第1絶縁膜30の表面の高さとほぼ同一の高さとなる。

【0128】

次いで、第1絶縁膜30及びこの第1絶縁膜30から露出する埋込みコンタクト34及びシールリング用第1埋込み部35上に、第1拡散防止膜41を形成する。

20

【0129】

第1拡散防止膜41は、例えばシリコン窒化膜、又はシリコンカーバイド(SiC)膜を従来公知のCVD法等により任意好適な条件で成膜することにより形成すればよい。

【0130】

さらにこの第1拡散防止膜41上に、第2絶縁膜42を積層する。

【0131】

第2絶縁膜42は、既に説明したように、比誘電率(k)が好ましくは最大でも3.0である従来公知の低誘電率膜(Low-k膜)、例えばHSQ(hydrogen silsesquioxane)、MSQ(methyl silsesquioxane)、CDO(carbon doped oxide)といった材料或いはダウケミカル社製SiLK(登録商標)といったポリマー材料を材料として成膜すればよい。

30

【0132】

第2絶縁膜42の成膜工程は、選択された膜材料に応じた工程、例えば従来公知の塗布法、CVD法により形成すればよい。

【0133】

次に、第2絶縁膜42の表面上に、第1キャップ膜43を積層する。キャップ膜としては、例えば高密度のシリコン酸化膜を形成するのがよい。

【0134】

この第1キャップ膜43は、具体的には高密度のシリコン酸化膜を従来公知のプラズマCVD法により任意好適な条件で成膜すればよい。

40

【0135】

次いで、第1溝部44を形成する。第1溝部44、すなわち第1突出領域44Aaを有しているシールリング用第2溝44A及び配線用第1溝44Bを、第1キャップ膜43の表面から、第1キャップ膜43、第2絶縁膜42及び第1拡散防止膜41を貫通して、第1絶縁膜30の表面に至るよう形成する。

【0136】

第1溝部44は、従来公知のホトリソグラフィ工程、及び第1キャップ膜43、第2絶縁膜42及び第1拡散防止膜41を構成する材料に応じた任意好適な条件でのエッチング工程により各膜をパターンングすることにより、所望のパターンとして形成すればよい。

【0137】

50

次に、第 1 溝部 4 4 内の表面を覆う第 1 バリアメタル 4 5 を形成する。

【 0 1 3 8 】

まず、露出面全面、すなわち第 1 キャップ膜 4 3 の表面及び形成された第 1 溝部 4 4 内、すなわち側壁、露出した第 1 絶縁膜 3 0 の表面、埋込みコンタクト 3 4 の頂面及びシールリング用第 1 埋込み部 3 5 の頂面上を覆う第 1 バリアメタル膜 4 5 X を成膜する。

【 0 1 3 9 】

この第 1 バリアメタル膜 4 5 X としては、好ましくは例えばタンタル、窒化タンタル、タングステン、窒化タングステン、W S i N、窒化チタン及び T i S i N を含む群から選択される従来公知の材料を、これら材料に応じた任意好適な手法により成膜して単層膜又は 2 層以上の積層膜とすればよい。

【 0 1 4 0 】

第 1 バリアメタル膜 4 5 X は、バリアメタルの膜厚はいわゆるテクノロジーノードに対応した最適な膜厚として形成すればよい。この膜厚は、好ましくは例えば 2 n m から 5 0 n m の範囲内のいずれかの値として形成すればよい。

【 0 1 4 1 】

次に、第 1 バリアメタル膜 4 5 X 上、すなわち、第 1 バリアメタル膜 4 5 X に覆われている第 1 溝部 4 4 を例えば銅合金で埋め込み、かつ露出面全面を覆う第 1 配線膜 4 6 X を成膜する。

【 0 1 4 2 】

この第 1 配線膜 4 6 X を銅合金膜として形成する工程は、例えば 2 段階の工程により行うのがよい。具体的には、まず、第 1 段階は、従来公知の P V D 法により露出面全面に対し、銅合金の膜を好ましくは膜厚 2 0 n m から 1 5 0 n m の範囲内で堆積させる。次いで第 2 段階として、好ましくは従来公知の電解メッキ法、C V D 法又は無電解メッキ法により、第 1 溝部 4 4 を埋め込む第 1 配線膜 4 6 X を形成すればよい。

【 0 1 4 3 】

次に、図 4 (B) に示すように、第 1 バリアメタル膜 4 5 X 及び第 1 配線膜 4 6 X を、第 1 キャップ膜 4 3 の表面が露出するまで、すなわち配線用第 1 埋込み部 4 6 B 及びシールリング用第 2 埋込み部 4 6 A の頂面は第 1 キャップ膜 4 3 の表面と実質的に同一高さとなるよう平坦に研削する。この研削工程によって、第 1 溝部 4 4、すなわちシールリング用第 2 溝 4 4 A 内の表面を覆っていて、シールリング用第 2 溝 4 4 A の第 1 突出領域 4 4 A a の輪郭に沿った形状の屈曲部 4 5 A a (図 1 (B) 参照。) を有しているシールリング用第 1 バリアメタル 4 5 A、配線用第 1 溝 4 4 B 内の表面を覆う配線用第 1 バリアメタル 4 5 B、第 1 配線層 4 0 に含まれる複数の配線を構成する配線用第 1 埋込み部 4 6 B、及び第 1 突出部 4 6 A a を有するシールリング用第 2 埋込み部 4 6 A を完成させる。すなわち、第 1 バリアメタル 4 5 A と第 2 埋込み部 4 6 A とを有する第 1 リング部 4 8 が形成される (図 3 参照。) 。

【 0 1 4 4 】

この研削工程は、任意好適な条件で行われる従来公知の C M P 工程により行うのがよい。好適な C M P 工程の条件を、一般的な技術水準として例示すると、研磨圧力を 2 . 5 p s i から 4 . 5 p s i 程度の範囲とし、研磨パッドと研磨面との相対速度を 6 0 m / 分から 1 8 0 m / 分程度の範囲内のいずれかの値とする。

【 0 1 4 5 】

シールリング用第 1 バリアメタル 4 5 A は屈曲部 4 5 A a を有している。従って、この屈曲部が存在する分だけ絶縁膜との接触面積を増加させることができる。よって、この C M P 工程により発生する応力が増加した接触面積に分散するため、特に低誘電率膜と他の構造との界面における剥離の発生を効果的に防止することができる。

【 0 1 4 6 】

図 4 (B) に示すように、次いで、露出した第 1 キャップ膜 4 3、第 1 バリアメタル 4 5 及び第 2 埋込み部 4 6 上に、既に説明した第 1 拡散防止膜 4 1 と同様の工程を実施して、第 2 拡散防止膜 5 2 を形成する。

10

20

30

40

50

【0147】

さらに、第2拡散防止膜52上に、既に説明した第2絶縁膜42と同様の工程を実施して、低誘電率膜である第3絶縁膜54を積層する。

【0148】

形成された第3絶縁膜54上に、第1拡散防止膜41と同様の工程を実施して、第3拡散防止膜61を積層する。

【0149】

次いで、第3拡散防止膜61上に、既に説明した第2絶縁膜42と同様の工程を実施して、低誘電率膜である第4絶縁膜62を積層する。

【0150】

さらに、第4絶縁膜62上に、既に説明した第1キャップ膜43と同様の工程を実施して、第2キャップ膜63を形成する。

【0151】

次いで、これら第2拡散防止膜52、第3絶縁膜54、第3拡散防止膜61、第4絶縁膜62、及び第2キャップ膜63に、これらを通する第2溝部56を形成する。

【0152】

第2溝部56は、従来公知のホトリソグラフィ工程、及び各積層膜を構成する材料に応じた任意好適な条件でのエッチング工程により各膜をパターンングすることにより、所望のパターンとして形成すればよい。

【0153】

第2溝部56を形成するにあたり、まず、シールリング用前駆第3溝56AX及び配線用前駆第2溝56BXを形成する。

【0154】

シールリング用前駆第3溝56AXを、周辺領域14に形成する。このシールリング用前駆第3溝56AXの形成により、第2拡散防止膜52、第3絶縁膜54、第3拡散防止膜61、第4絶縁膜62、及び第2キャップ膜63を貫通してシールリング用第2埋込み部46Aの頂面の一部が露出する。

【0155】

配線用前駆第2溝56BXは、素子領域12に、第2拡散防止膜52、第3絶縁膜54、第3拡散防止膜61、第4絶縁膜62、及び第2キャップ膜63を貫通させて配線用第1埋込み部46Bの頂面の一部を露出させて形成する。なお、配線用前駆第2溝56BXは、この例では貫通孔として形成する。

【0156】

図5(A)に示すように、形成されたシールリング用前駆第3溝56AX及び配線用前駆第2溝56BXそれぞれを含む部分領域に、第2キャップ膜63の表面から、この第2キャップ膜63、第4絶縁膜62及び第3拡散防止膜61を貫通して第3絶縁膜54の表面に至る、より幅広のシールリング用上部溝56Ab及び貫通孔として形成される配線用前駆第2溝56BXの径よりも幅広の配線用上部溝56Bbを形成する。

【0157】

この工程により、第2拡散防止膜52及び第3絶縁膜54を貫通して残存するシールリング用前駆第3溝56AXは形成されたシールリング用上部溝56Abに連通するシールリング用下部溝56Aaとなり、残存する配線用前駆第2溝56BXは形成された配線用上部溝56Bbに連通する配線用下部ビアホール56Baとなる。

【0158】

ここまでの工程により、シールリング用前駆第3溝56AX及び配線用前駆第2溝56BXは、溝幅のみが異なる同一形状のシールリング用下部溝56Aaとシールリング用上部溝56Abとが上下に連通しているシールリング用第3溝56A、配線用下部ビアホール56Baと配線用上部溝56Bbとが連通している配線用第2溝56Bを含む第2溝部56として完成する。

【0159】

10

20

30

40

50

図5(A)及び(B)に示すように、シールリング用上部溝56Abは、上述した突出部16bの輪郭を画成する第2突出領域56Acを有するように形成される。

【0160】

なお、シールリング16の全幅は2 μ mから20 μ m程度の範囲内のいずれかの値とすることができる。

【0161】

この第2突出領域56Acは、ホトリソグラフィ工程に使用される特に露光装置の光学系が許容する範囲内で、任意のサイズ、また任意の形状として形成される。図示例は、突出部16bは、凹凸を有する四角形状、長方形形状、台形状、先の長方形とはサイズの異なる長方形形状といった複数種類の形状を任意に組み合わせた例である。

10

【0162】

また、これら第2突出領域56Acの配置間隔、すなわち相互の離間距離についても、特にホトリソグラフィ工程に使用される露光装置の光学系が許容する範囲内で、任意好適なものとして形成すればよい。

【0163】

第2突出領域56Acのサイズは、最小で、いわゆる最小ピッチの1/2程度とすることができる。一般的な技術水準を例示すると、例えば65nmノードの場合には200nm程度である。また例えば45nmノードの場合には130nm程度、例えば32nmノードの場合には90nm程度とすることができる。

【0164】

次に、図6に示すように、露出面全面、すなわち第2キャップ膜63の表面及び第2溝部56内の表面を覆う第2バリアメタル膜65Xを形成する。第2バリアメタル膜65Xは、既に説明した第1バリアメタル膜45Xと同様の工程を実施して形成すればよい。

20

【0165】

次いで、第2バリアメタル膜65X上、すなわち、第2バリアメタル膜65Xに覆われている第2溝部56を例えば銅合金で埋め込み、かつ露出面全面を覆う第2配線膜66Xを成膜する。

【0166】

この第2配線膜66Xの形成工程は、第1配線膜46Xと同様の工程により形成すればよい。

30

【0167】

次に、図7に示すように、第2バリアメタル膜65X及び第2配線膜66Xを、第2キャップ膜63の表面が露出するまで、すなわち配線用第3埋込み部66B及びシールリング用第3埋込み部66Aの頂面が第2キャップ膜63の表面と実質的に同一高さとなるよう平坦に研削する。この研削工程により、第2溝部56、すなわちシールリング用第3溝56A内の表面を覆っていて、シールリング用第3溝56Aの第2突出領域56Acの輪郭に沿った形状の屈曲部65Aaを有しているシールリング用第2バリアメタル65A、配線用第2溝56B内の表面を覆う配線用第2バリアメタル65B、第2配線層60に含まれる複数の配線を構成する配線用第3埋込み部66B、及び第2突出部66Aaを有するシールリング用第3埋込み部66Aを完成させる。すなわち、シールリング用第2バリアメタル65Aとシールリング用第3埋込み部66Aとを有する第2リング部68が得られる(図3参照。)

40

【0168】

この研削工程は、既に説明した第1バリアメタル45の製造工程と同様に、任意好適な条件で行われる従来公知のCMP工程により行うのがよい。

【0169】

シールリング用第2バリアメタル65Aは屈曲部65Aaを有している。従って、屈曲部65Aaが存在する分だけ絶縁膜との接触面積を増加させることができる。よって、このCMP工程により発生する応力が増加した接触面積に分散するため、特に低誘電率膜と他の構造との界面における剥離の発生を効果的に防止することができる。

50

【0170】

さらなる配線層を形成する場合には、既に説明した第2配線層60の製造工程と同様の工程を繰り返すことにより、第2配線層60の上側に積層されて、任意好適なパターンを有する配線及びシールリングを含む第3配線層80（図2参照。）、第4配線層といったさらなる配線層を形成することができる。

【0171】

全配線層の形成終了後、スクライプラインSLに沿って、従来公知のダイシングブレード等を用いて研削を行うことで個片化工程を行う。これにより半導体装置10が切り出されて完成する。

【0172】

（半導体装置の構成例2）

図8（A）を参照して、この発明の半導体装置の構成例2につき説明する。

【0173】

この例の半導体装置は、シールリングの突出部の形状及び配置に特徴を有している。なお、以下に説明するさらなる構成例の説明については、シールリングの構成以外の他の構成要素及び製造方法は、既に説明した構成例1と何ら変わるところがないため、これらの詳細な説明は省略する。

【0174】

図8（A）は個片化直前の1つの半導体装置に着目して上面側からみた部分平面図であり、図1（A）に示した部分領域Aを拡大して示す部分拡大図である。

【0175】

図8（A）に示すように、この例のシールリング16は複数の突出部16bを具えている。

【0176】

この例では、複数の突出部16bは、いずれも素子領域12側に突出した2つの角隅のうち一方を切り欠いた、凹凸を有する四角形状の平面形状としてある。これら複数の突出部16bは、シールリング16の延在方向に対して同一方向、すなわち周辺領域14から素子領域12に向かう方向であって、シールリング16の延在方向に直交する方向に並列配置されている。

【0177】

この例の複数の突出部16bは、いずれも同一形状、同一サイズ（突出長 w_2 ）であり、かつ隣接する突出部16b同士の離間距離Pを等間隔としてある。

【0178】

この離間距離Pは、製造プロセス、特にホトリソグラフィ工程の解像限界により最小間隔が規定される。離間距離Pは、最小で、露光装置の光学系の解像限界により規定されるいわゆる最小ピッチとすることができる。

【0179】

このような構成とすれば、CMP工程において、シールリング16に加わる応力をより均一化することができる。従って、CMP工程時の局所的な応力の集中を防止することができるので、シールリング16とこれと接触する絶縁膜、特に低誘電率膜との境界面での剥離の発生をより効果的に防止することができる。

【0180】

（半導体装置の構成例3）

図8（B）を参照して、この発明の半導体装置の構成例3につき説明する。

【0181】

図8（B）は個片化直前の1つの半導体装置に着目して上面側からみた部分平面図であり、図1（A）に示した部分領域Aを拡大して示す部分拡大図である。

【0182】

図8（A）に示すように、この例のシールリング16は複数の突出部16bを具えている。

10

20

30

40

50

【 0 1 8 3 】

この例では、複数の突出部 1 6 b は、いずれも四角形状の平面形状としてある。これら複数の突出部 1 6 b は、シールリング 1 6 の延在方向に対して同一方向、すなわち周辺領域 1 4 から素子領域 1 2 に向かう方向であって、シールリング 1 6 の延在方向に直交する方向に櫛歯状に並列配置されている。

【 0 1 8 4 】

この例の複数の突出部 1 6 b は、いずれも同一形状、同一サイズ（突出長 w_2 、突出幅 w_1 ）であり、かつ隣接する突出部 1 6 b 同士の離間距離 P を等間隔としてある。

【 0 1 8 5 】

この離間距離 P 及び突出長 w_2 は、いずれも製造プロセス上、特にホトリソグラフィ工程の解像限界で許容される最小サイズ（最小ピッチ）としてある。

10

【 0 1 8 6 】

このような構成とすれば、既に説明した構成例 1 及び 2 で得られる効果に加えて、半導体装置 1 0 の周辺領域 1 4、すなわち半導体装置 1 0 の電氣的機能に寄与しない領域を最小とすることができる。すなわち、同一の機能を有する半導体装置であれば、半導体装置の平面的な面積をより減少させ、より小型化することができる。結果として、製造コストがより低減される。

【 0 1 8 7 】

既に説明したこの発明のシールリング 1 6 の構成例において、突出部 1 6 b を素子領域側 1 2 のみに設け、スクライプライン $S L$ 側は平面状とする例を説明したが、突出部 1 6 b と同様の形状をスクライプライン $S L$ 側に設ける構成とすることもできる。

20

【 0 1 8 8 】

このようにすれば、個片化工程において、シールリングと絶縁膜との剥離を効果的に防止することができる。

【 図面の簡単な説明 】

【 0 1 8 9 】

【 図 1 】 図 1 (A) は個片化直前の 1 つの半導体装置に着目して上面側からみた部分平面図であり、図 1 (B) は図 1 (A) に示した部分領域 A を拡大して示す部分拡大図である。

【 図 2 】 図 1 (B) の $I - I'$ 一点鎖線で切断した切断面を示す部分断面概略図である。

30

【 図 3 】 特にシールリングに着目した図 2 と同様の部分断面概略図である。

【 図 4 】 (A) 及び (B) は製造途中で得られた構造体を図 2 と同じ位置で切断した切り口を示す模式図である。

【 図 5 】 図 5 (A) は図 4 (B) から続く模式図であり、図 5 (B) は第 2 突出領域の形状を示す平面概略図である。

【 図 6 】 図 5 から続く模式図である。

【 図 7 】 図 6 から続く模式図である。

【 図 8 】 (A) 及び (B) は個片化直前の 1 つの半導体装置に着目して上面側からみた部分平面図であり、図 1 (A) に示した部分領域 A を拡大して示す部分拡大図である。

40

【 符号の説明 】

【 0 1 9 0 】

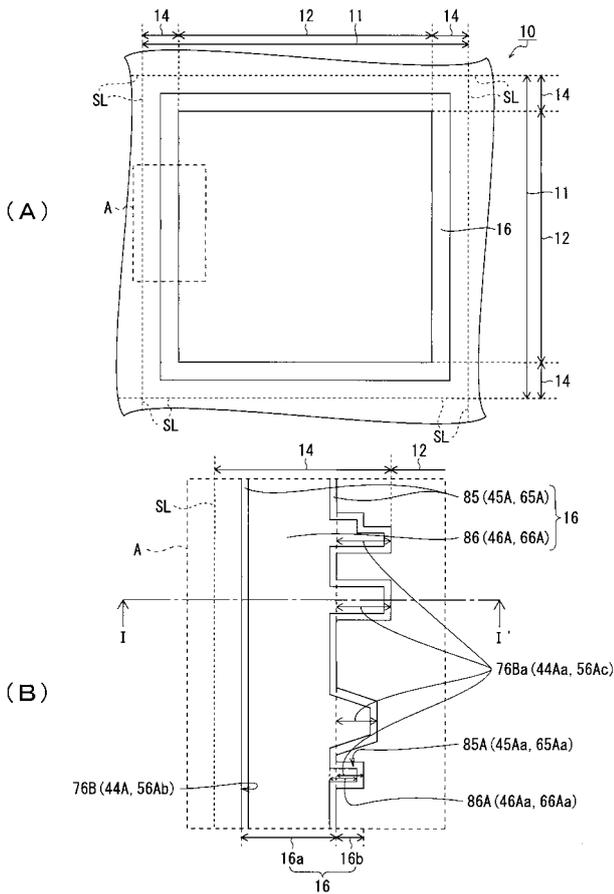
- 1 0 : 半導体装置
- 1 1 : チップ領域
- 1 2 : 素子領域
- 1 4 : 周辺領域
- 1 6 : シールリング (リング部)
- 1 6 a : リング本体
- 1 6 b : 突出部
- 2 0 : 基板 (半導体基板)
- 2 0 a : 上面

50

2 0 b : 下面	
2 2 : 素子分離構造	
2 4 : 拡散層	
3 0 : 第 1 絶縁膜	
3 2 : コンタクトホール	
3 3 : シールリング用第 1 溝	
3 4 : 埋込みコンタクト	
3 5 : シールリング用第 1 埋込み部	
4 0 : 第 1 配線層	
4 1 : 第 1 拡散防止膜	10
4 2 : 第 2 絶縁膜	
4 3 : 第 1 キャップ膜	
4 4 : 第 1 溝部	
4 4 A : シールリング用第 2 溝	
4 4 A a : 第 1 突出領域	
4 4 B : 配線用第 1 溝	
4 5 X : 第 1 バリアメタル膜	
4 5 : 第 1 バリアメタル	
4 5 A : シールリング用第 1 バリアメタル	
4 5 A a : 屈曲部	20
4 5 B : 配線用第 1 バリアメタル	
4 6 : 第 2 埋込み部	
4 6 X : 第 1 配線膜	
4 6 A : シールリング用第 2 埋込み部	
4 6 A a : 第 1 突出部	
4 6 B : 配線用第 1 埋込み部	
4 8 : 第 1 リング部	
5 2 : 第 2 拡散防止膜	
5 4 : 第 3 絶縁膜	
5 6 : 第 2 溝部	30
5 6 A : シールリング用第 3 溝	
5 6 A a : シールリング用下部溝	
5 6 A b : シールリング用上部溝	
5 6 A c : 第 2 突出領域	
5 6 A X : シールリング用前駆第 3 溝	
5 6 B : 配線用第 2 溝	
5 6 B a : 配線用下部 ヴィアホール	
5 6 B b : 配線用上部溝	
5 6 B X : 配線用前駆第 2 溝	
6 0 : 第 2 配線層	40
6 1 : 第 3 拡散防止膜	
6 2 : 第 4 絶縁膜	
6 3 : 第 2 キャップ膜	
6 5 : 第 2 バリアメタル	
6 5 A : シールリング用第 2 バリアメタル	
6 5 A a : 屈曲部	
6 5 B : 配線用第 2 バリアメタル	
6 5 X : 第 2 バリアメタル膜	
6 6 : 第 3 埋込み部	
6 6 A : シールリング用第 3 埋込み部	50

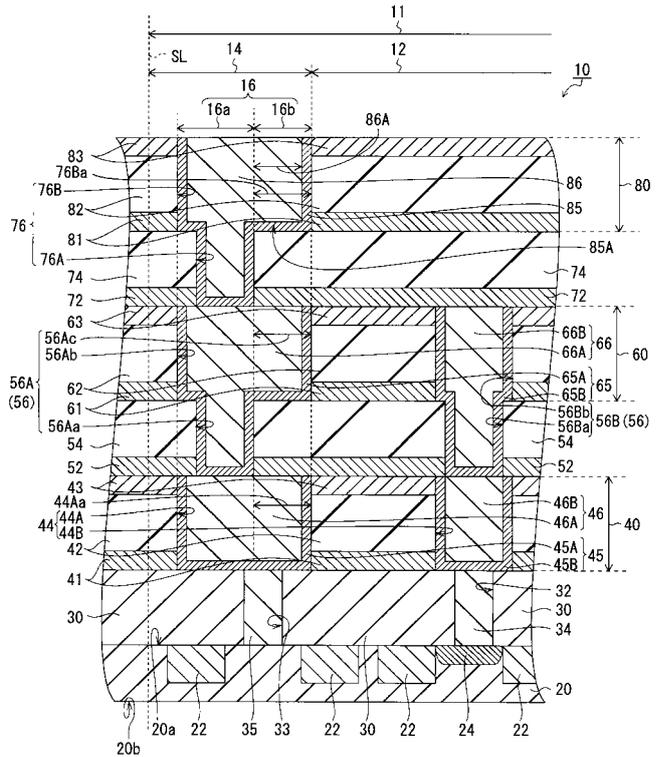
- 66Aa : 第2 突出部
- 66B : 配線用第2 埋込み部
- 66X : 第2 配線膜
- 68 : 第2 リング部
- 72 : 第4 拡散防止膜
- 74 : 第5 絶縁膜
- 76 : 第3 溝部
- 76A : シールリング用下部溝
- 76B : シールリング用上部溝
- 76Ba : 第3 突出領域
- 80 : 第3 配線層
- 81 : 第5 拡散防止膜
- 82 : 第6 絶縁膜
- 83 : 第3 キャップ膜
- 85 : 第3 パリアメタル
- 85A : 屈曲部
- 86 : 第4 埋込み部
- 88 : 第3 リング部

【 図 1 】



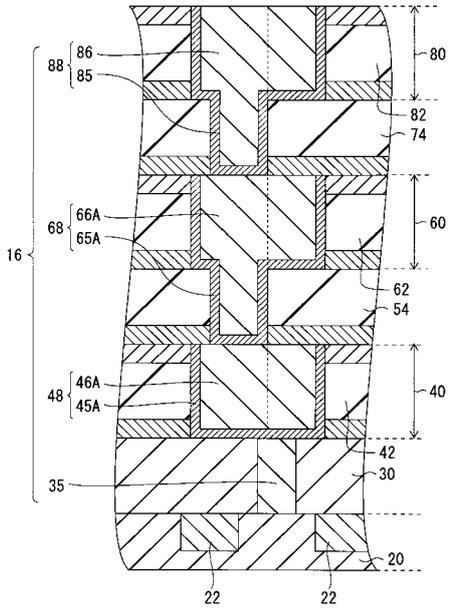
半導体装置 (1)

【 図 2 】



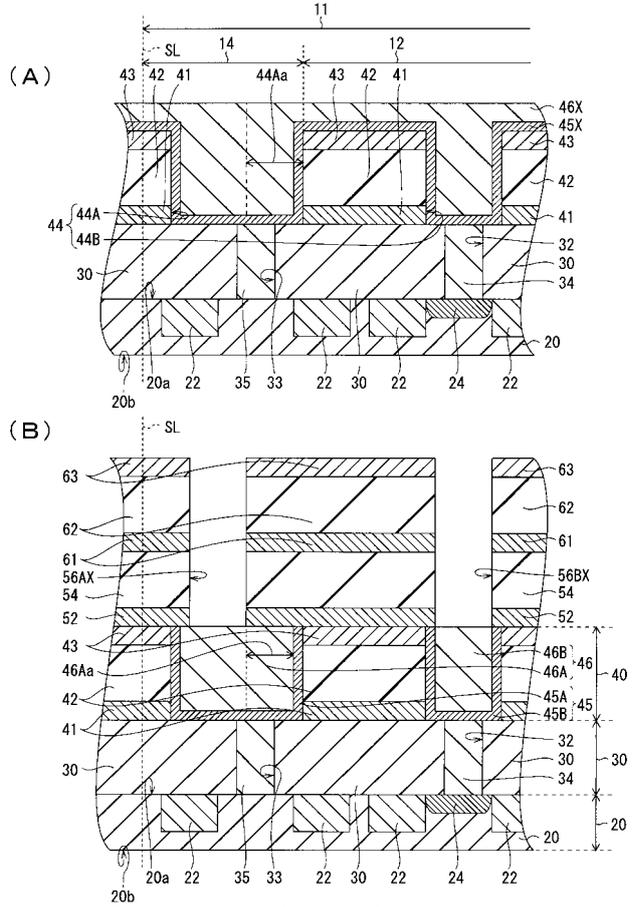
半導体装置 (2)

【 図 3 】



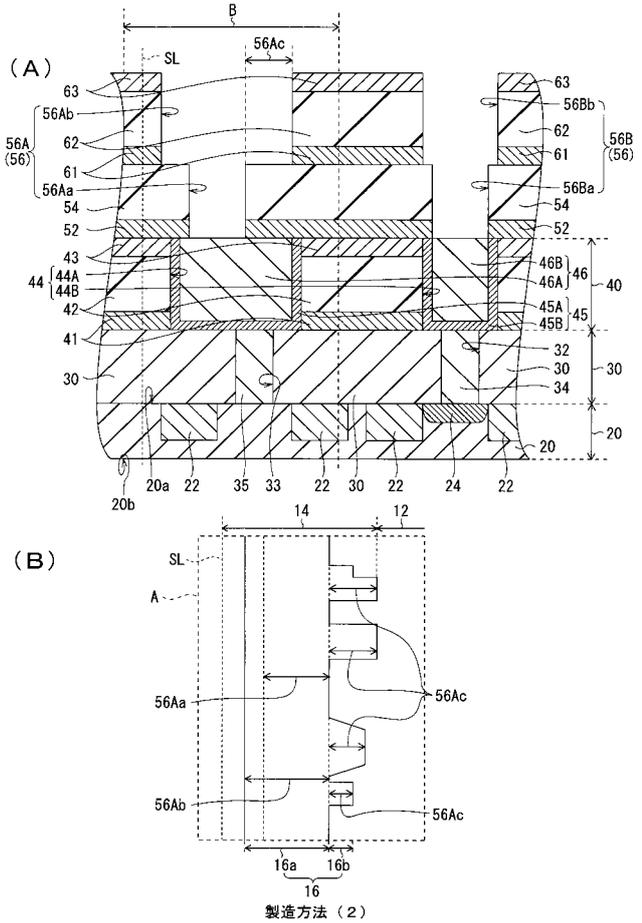
半導体装置 (3)

【 図 4 】



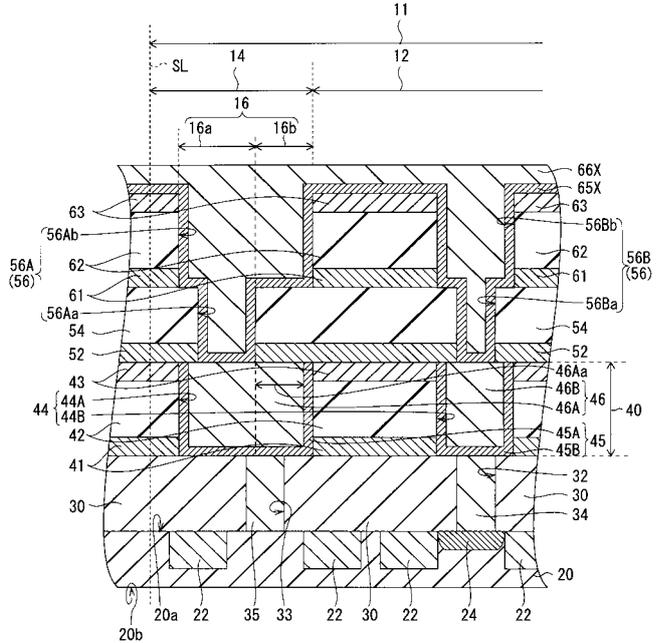
製造方法 (1)

【 図 5 】



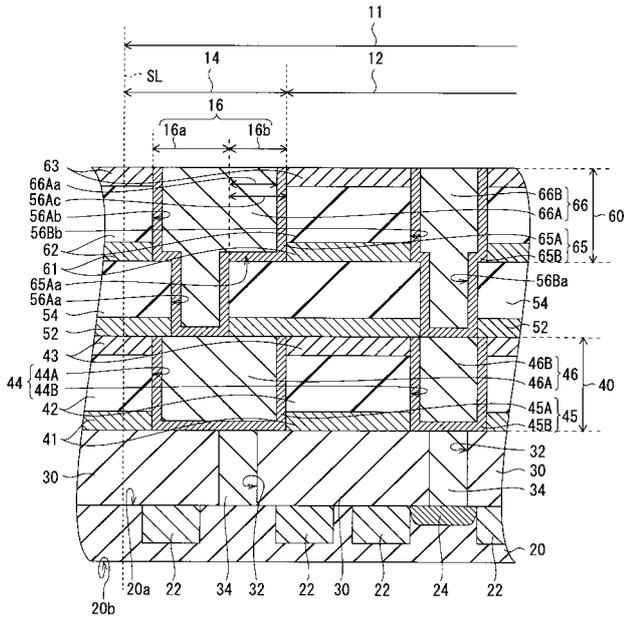
製造方法 (2)

【 図 6 】



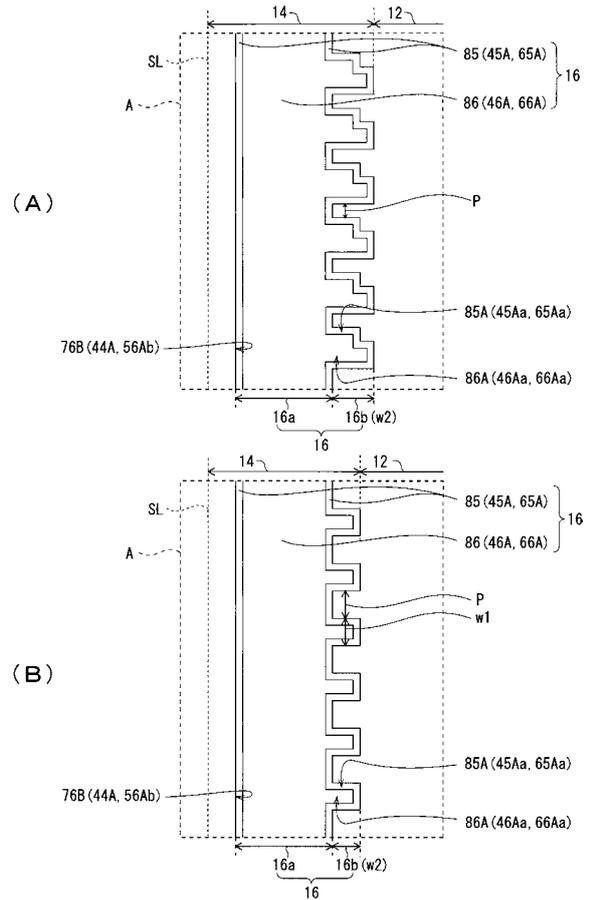
製造方法 (3)

【 図 7 】



製造方法 (4)

【 図 8 】



(A)

(B)

半導体装置 (4)

フロントページの続き

Fターム(参考) 5F033 HH11 HH12 HH19 HH21 HH32 HH33 HH34 JJ11 JJ12 JJ19
JJ32 JJ33 JJ34 KK01 KK11 KK12 KK32 KK33 KK34 MM01
MM02 MM12 MM13 MM23 NN06 NN07 PP06 PP14 PP27 PP28
PP33 QQ09 QQ37 QQ48 RR01 RR04 RR06 RR09 RR21 RR25
SS11 SS15 SS21 TT01 VV03 XX17 XX19 XX28