

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5994939号
(P5994939)

(45) 発行日 平成28年9月21日(2016.9.21)

(24) 登録日 平成28年9月2日(2016.9.2)

(51) Int. Cl.	F I
HO 1 L 27/08 (2006.01)	HO 1 L 27/08 3 3 1 A
HO 1 L 21/8234 (2006.01)	HO 1 L 27/06 1 0 2 A
HO 1 L 27/06 (2006.01)	HO 1 L 27/08 3 3 1 C
HO 1 L 29/06 (2006.01)	HO 1 L 27/08 3 3 1 E
HO 1 L 29/861 (2006.01)	HO 1 L 29/06 3 0 1 D
請求項の数 20 (全 26 頁) 最終頁に続く	

(21) 出願番号 特願2015-522531 (P2015-522531)	(73) 特許権者 000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号
(86) (22) 出願日 平成26年6月6日(2014.6.6)	(74) 代理人 100108914 弁理士 鈴木 壯兵衛
(86) 国際出願番号 PCT/JP2014/003022	(72) 発明者 山路 将晴 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(87) 国際公開番号 W02014/199608	審査官 宇多川 勉
(87) 国際公開日 平成26年12月18日(2014.12.18)	
審査請求日 平成27年10月5日(2015.10.5)	
(31) 優先権主張番号 特願2013-125343 (P2013-125343)	
(32) 優先日 平成25年6月14日(2013.6.14)	
(33) 優先権主張国 日本国(JP)	
	最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

p型の半導体基板と、
前記半導体基板上に形成されるn型の埋め込み層と、
前記埋め込み層上に形成されるn型の半導体層と、
前記半導体層の一部に設けられた浮遊電位領域と、
前記浮遊電位領域が設けられた部分の前記半導体層を囲み前記半導体基板と接し、前記浮遊電位領域から離れてリング状に形成されるp型の第1分離領域と、
前記浮遊電位領域と前記第1分離領域との間の前記半導体層の下部に設けられた第1絶縁分離領域と、
前記第1絶縁分離領域上に形成されるダイオードと、
前記第1分離領域から離れて前記ダイオードが配置された領域をリング状に囲み前記半導体層の表面から前記半導体層の下部に達するp型の第2分離領域と、
前記第1分離領域の上部に形成されるn型のソース領域と、
前記ダイオードのカソード領域と前記浮遊電位領域との間の前記半導体層の上部に形成される、前記ソース領域を有するトランジスタのn型のドレインコンタクト領域と、
を備えることを特徴とする半導体装置。

【請求項2】

p型の半導体基板と、
前記半導体基板上に形成されるn型の埋め込み層と、

前記埋め込み層上に形成される n 型の半導体層と、
 前記半導体層の一部に設けられた浮遊電位領域と、
 前記浮遊電位領域が設けられた部分の前記半導体層を囲み前記半導体基板と接し、前記浮遊電位領域から離れてリング状に形成される p 型の第 1 分離領域と、
 前記浮遊電位領域と前記第 1 分離領域との間の前記半導体層の下部に設けられた第 1 絶縁分離領域と、

前記第 1 絶縁分離領域上に形成されるダイオードと、
 前記第 1 分離領域から離れて前記ダイオードが配置された領域をリング状に囲み前記半導体層の表面から前記半導体層の下部に達する p 型の第 2 分離領域と、

前記第 1 分離領域と前記第 2 分離領域との間の前記半導体層の上部に形成される p 型のベース領域と、

前記ベース領域の上部に形成される n 型のソース領域と、
 前記ダイオードのカソード領域と前記浮遊電位領域との間の前記半導体層の上部に形成される、前記ベース領域および前記ソース領域を有するトランジスタの n 型のドレインコンタクト領域と、

を備えることを特徴とする半導体装置。

【請求項 3】

前記ダイオードは、
 前記第 2 分離領域から離れて前記第 1 絶縁分離領域上の前記半導体層の上部に形成される p 型のアノード領域と、

前記アノード領域と前記浮遊電位領域との間で前記アノード領域および前記浮遊電位領域から離れて前記第 1 絶縁分離領域上の前記半導体層の上部に形成される n 型の前記カソード領域と、

を備えることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記トランジスタは、前記ソース領域と前記半導体層に挟まれた前記第 1 分離領域上にゲート絶縁膜を介して形成されるゲート電極を更に備えることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

前記浮遊電位領域にロジック回路が集積化されることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記カソード領域と前記ドレインコンタクト領域との間で前記半導体層の上面から前記第 1 絶縁分離領域に達する p 型の第 3 分離領域を更に備えることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記ロジック回路の下方を覆うように前記半導体層の下部に設けられた第 2 絶縁分離領域と、前記ドレインコンタクト領域と前記浮遊電位領域との間で前記半導体層の表面から前記第 2 絶縁分離領域に達する p 型の第 4 分離領域と、を更に備えることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】

前記第 3 分離領域が前記ロジック回路の電源の低電位側と電氣的に接続されたことを特徴とする請求項 6 に記載の半導体装置。

【請求項 9】

前記第 4 分離領域が前記ロジック回路の電源の低電位側と電氣的に接続されたことを特徴とする請求項 7 に記載の半導体装置。

【請求項 10】

前記第 2 分離領域、前記第 3 分離領域、前記第 4 分離領域、前記アノード領域および前記カソード領域は、平面形状が閉じた環状であることを特徴とする請求項 7 に記載の半導体装置。

10

20

30

40

50

【請求項 1 1】

前記ドレインコンタクト領域と前記浮遊電位領域との距離が、前記アノード領域から注入される正孔の拡散長さより長いことを特徴とする請求項 3 に記載の半導体装置。

【請求項 1 2】

前記第 1 絶縁分離領域が、空洞であることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 1 3】

前記第 2 絶縁分離領域が、空洞であることを特徴とする請求項 7 に記載の半導体装置。

【請求項 1 4】

前記カソード領域と前記浮遊電位領域とを接続する導電路を備えることを特徴とする請求項 1 または 2 に記載の半導体装置。 10

【請求項 1 5】

前記埋め込み層は、前記半導体基板の上部に形成された拡散層からなり、前記半導体層は、前記埋め込み層上に形成されたエピタキシャル成長層からなることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 1 6】

前記埋め込み層は、前記半導体基板上に形成された第 1 エピタキシャル成長層からなり、前記半導体層は、前記第 1 エピタキシャル成長層上に形成された第 2 エピタキシャル成長層からなることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 1 7】 20

p 型の半導体基板と、
前記半導体基板上に形成される n 型の埋め込み層と、
前記埋め込み層の上に設けられた、ロジック回路が形成される浮遊電位領域と、
前記浮遊電位領域と同じ厚さで、前記埋め込み層の上に、前記浮遊電位領域を囲むように島状に配置された n 型の半導体層と、
前記半導体層を囲むようにリング状に設けられ、前記浮遊電位領域から離れて、前記半導体層の上面から前記半導体基板に達する p 型の第 1 分離領域と、
前記浮遊電位領域と前記第 1 分離領域との間の前記埋め込み層に設けられた第 1 絶縁分離領域と、

前記第 1 絶縁分離領域上に形成されるダイオードと、 30
前記第 1 分離領域から離れて、前記ダイオードが配置される部分の前記半導体層を囲むようにリング状に設けられ、前記半導体層を貫通する p 型の第 2 分離領域と、
前記第 1 分離領域の上部に設けられた、トランジスタの n 型のソース領域と、
前記ダイオードのカソード領域と前記浮遊電位領域との間の前記半導体層の上部に設けられた、前記トランジスタの n 型のドレインコンタクト領域と、
を備えることを特徴とする半導体装置。

【請求項 1 8】

p 型の半導体基板と、
前記半導体基板上に形成される n 型の埋め込み層と、
前記埋め込み層の上に設けられた、ロジック回路が形成される浮遊電位領域と、 40
前記浮遊電位領域と同じ厚さで、前記埋め込み層の上に、前記浮遊電位領域を囲むように島状に配置された n 型の半導体層と、
前記半導体層を囲むようにリング状に設けられ、前記浮遊電位領域から離れて、前記半導体層の上面から前記半導体基板に達する p 型の第 1 分離領域と、
前記浮遊電位領域と前記第 1 分離領域との間の前記埋め込み層に設けられた第 1 絶縁分離領域と、

前記第 1 絶縁分離領域上に形成されるダイオードと、
前記第 1 分離領域から離れて、前記ダイオードが配置される部分の前記半導体層を囲むようにリング状に設けられ、前記半導体層を貫通する p 型の第 2 分離領域と、
前記第 1 分離領域と前記第 2 分離領域との間の前記半導体層の上部に形成される、トラ 50

ンジスタの p 型のベース領域と、

前記ベース領域の上部に形成される、前記トランジスタの n 型のソース領域と、

前記ダイオードのカソード領域と前記浮遊電位領域との間の前記半導体層の上部に設けられた、前記トランジスタの n 型のドレインコンタクト領域と、

を備えることを特徴とする半導体装置。

【請求項 19】

前記ダイオードは、

前記第 1 絶縁分離領域上の前記半導体層に形成された p 型のアノード領域と、

アノード領域と前記浮遊電位領域との間の前記半導体層に形成される n 型の前記カソード領域と、

を備えることを特徴とする請求項 17 または 18 に記載の半導体装置。

【請求項 20】

前記トランジスタは、前記ソース領域と前記半導体層に挟まれた前記第 1 分離領域の上部の一部をベース領域として、前記ベース領域上にゲート絶縁膜を介して形成されるゲート電極、を更に備えることを特徴とする請求項 17 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、高耐圧集積回路装置などの半導体装置に関する。

【背景技術】

【0002】

I G B T (Insulated Gate Bipolar Transistor : 絶縁ゲート型バイポーラトランジスタ) や M O S F E T (Metal - Oxide - Semiconductor Field - Effect Transistor) などのパワーデバイスは、モータ制御用のインバータのほか、大容量の F P D (Flat Panel Display : フラットパネルディスプレイ) などの電源用途、エアコンや照明といった家電用インバータなど多くの分野で広く利用されている。

従来、このパワーデバイスの駆動および制御は、フォトカプラなどの半導体素子やトランスなどの電子部品を組み合わせる構成した電子回路によって行っていた。しかし、近年 L S I (大規模集積回路) 技術の進歩により、定格電圧が 1 2 0 0 V までの高耐圧集積回路装置が実用化されている。

【0003】

図 10 は、モータ制御用インバータを構成するパワーモジュールと主回路駆動回路の要部構成図である (例えば、特許文献 1 参照) 。三相モータ 70 を駆動するために用いるパワーデバイスはブリッジ回路を構成し、同一パッケージに収納されたパワーモジュール 71 の構造をしている。

この図 10 ではパワーモジュール 71 はパワーデバイスである I G B T とダイオードによって構成されている。また、I G B T の代わりに M O S F E T であっても良い。図 10 では I G B T は上アーム出力素子 Q 1 ~ Q 3、下アーム出力素子 Q 4 ~ Q 6、ダイオードは D 1 ~ D 6 で示されている。

主電源 V C C 2 の高電位側端子 (= V C C 2 H 端子) は、Q 1、Q 2、Q 3 のコレクタに接続し、低電位側端子 (= V C C 2 L 端子) は、Q 4、Q 5、Q 6 のエミッタに接続する。

【0004】

各 I G B T のゲートは主回路駆動回路 72 の出力に接続し、パワーモジュール 71 で構成されるインバータの出力 U、V、W は三相モータ 70 に接続している。

主電源 V C C 2 は、通常 A C 1 0 0 ~ 4 0 0 V と高電圧である。特に Q 4、Q 5、Q 6 がそれぞれオフ状態で、Q 1、Q 2、Q 3 がオン状態の時は Q 1、Q 2、Q 3 のエミッタ電位がそれぞれ高電圧になる。

そのため、これらのゲートを駆動する場合にエミッタ電位より更に高い電圧で駆動しな

10

20

30

40

50

ければならない。

また、主回路駆動回路72の入出力端子I/O (Input/Output)は通常マイクロコンピュータへ接続され、そのマイクロコンピュータによりパワーモジュール71で構成されるインバータ回路全体の制御がなされる。主回路駆動回路72を高耐圧集積回路装置で構成した場合について一例を示す。

【0005】

図11は、主回路駆動回路を高耐圧集積回路装置で構成した場合の各要素の要部配置図である。主回路駆動回路72は、入出力端子I/Oを通してマイクロコンピュータと信号のやり取りを行う。主回路駆動回路72は、IGBTをオンオフさせる制御信号を発生させる制御回路(CU:Control Unit)を備えている。また、このCUからの信号を、受けてIGBTのゲートを駆動し、またIGBTの過電流、を検出し、異常信号をCUに伝えるゲート駆動回路(GDU:Gate Driver Unit)を備えている。また、図10のブリッジを構成するIGBTの内、高電位側に接続するQ1, Q2, Q3のゲート信号およびアラーム信号について、VCC2L端子の電位(=VCC2L)レベルとVCC2H端子の電位(=VCC2H)レベルとを媒介する働きを担うレベルシフト回路(LSU:Level Shift Unit)を備えている。

10

【0006】

このGDUはQ1, Q2, Q3とそれぞれ接続するGDU-U, GDU-V, GDU-Wと、Q4, Q5, Q6とそれぞれ接続するGDU-X, GDU-Y, GDU-Zで構成される。GDU-U, GDU-V, GDU-Wはそれぞれ、U-OUT, V-OUT, W-OUTを基準電位とする回路である。つぎにこの中のLSUについて一例を示す。

20

図12はLSU(レベルシフト回路)の基本構成図である。基本構成としては高耐圧nチャンネルMOSFET61と抵抗RL1が用いられる。高耐圧nチャンネルMOSFET61はCU(制御回路)からの信号S1をGDU-U, V, Wへレベルシフトするためのものである。LSUは、高耐圧nチャンネルMOSFET61と抵抗RL1との間から、上アームGDUへ入力される信号S2が出力される。

このLSUに用いられる高耐圧nチャンネルMOSFET61は三相モータ70を駆動するIGBT(上下アーム出力素子Q1~Q6)と同等の600Vから1400V程度の耐圧が要求される。

【0007】

つぎに、ブートストラップシステムを同一半導体基板上に形成した、従来の高耐圧集積回路装置(HVゲートドライバIC)について説明する(特許文献2を参照)。

30

図13は、図10の上アーム出力素子Q1を駆動する図11に示したGDU-UとGDU-X、及びLSU及びブートストラップダイオードDbを1チップ化した場合の回路構成図である。勿論、GDU-V, GDU-Wも同様の構成をしている。

図14は、エピタキシャル基板上に図13に示した高耐圧集積回路装置を形成した場合の要部断面図を示し、図13に示したGDU-U及びブートストラップダイオードDbを示している。

図13に記載のLSU(レベルシフト回路)は、レベルアップ側のレベルシフト回路のみ示している。

40

【0008】

ここで、ブートストラップ回路の動作について説明する。Vb電圧(C1の電圧)は、GDU-Uに電源を供給している。一般にこのVb電圧は、HVゲートドライバICがドライブする外部のIGBT(Q1)を確実にエンハンス(フルオン)するため、15V程度に設定される。

このVb電圧はフローティング電源の電圧であり、高周波での方形波となるU-OUT電圧を基準電位とする。図13に示すように、フローティング電源はブートストラップダイオードDbとブートストラップコンデンサC1の組み合わせによって構成される。

【0009】

ブートストラップ回路が動作するのは、ローサイド側のIGBT(Q4)のゲートがオ

50

ン状態のとき、U - O U T 電圧が I G B T (Q 4) を通じてグランド電位まで低下する際である。このとき、ブートストラップコンデンサ C 1 は、15 V の低電圧電源である V D D 電源からブートストラップダイオード D b を通じて充電される。

また、逆にハイサイド側の I G B T (Q 1) のゲートがオンしている期間では、U - O U T 端子の電圧は、V C C 2 端子の電圧または、過渡的にはサージでそれ以上の高電圧になる。そのため、ブートストラップダイオード D b の逆耐圧は、高耐圧 n チャネル M O S F E T 6 1 と同等の 600 V から 1400 V 程度の耐圧値が要求される。

ここで充電に使用されるブートストラップコンデンサ C 1 は、100 n F 以上の大容量が必要であるため、集積化は難しく、外付けのタンタルコンデンサ、セラミックコンデンサなどを使用するのが一般的である。

10

【0010】

特許文献 3 には、S O I (S i l i c o n o n I n s u l a t o r) 基板を用いて p n ダイオードを形成すれば、ブートストラップダイオードの高耐圧化と基板への正孔リークを減少させることが示唆されている。

また、特許文献 4 では、シリコン基板の表面に複数の溝を 2 次元的に配列形成した後、シリコン基板に熱処理を施すことによって、複数の溝を 1 つの平板状の空洞に変えることで、コストの上昇や、信頼性の低下を招かずに S O N (S i l i c o n O n N o t h i n g) 構造を形成することが開示されている。

【0011】

また、特許文献 5 では、基板の所望の領域に微小空洞を形成するためのイオンを注入する第 1 ステップと、前記第 1 ステップにより微小空洞が形成された基板に熱処理をする第 2 ステップと、を有し、前記第 2 ステップには、少なくとも基板を 1000 以上の温度に曝すための高温熱処理ステップがあることで、低コストで高品質な S O N 半導体基板の製造方法を提供し、また、この半導体基板の製造方法を工程中にすることで高性能な高耐圧集積回路装置を製造することができる方法が開示されている。

20

また、特許文献 6 では、ブートストラップダイオードをハイサイド駆動回路部を取り囲む高耐圧接合終端領域に配置し、ダイオードのアノード領域とカソード領域の下に空洞を形成することによって、逆耐圧がかかる際には高耐圧を維持することができ、また、ブートストラップコンデンサを充電する際には、基板への正孔リークを無くすることができることが開示されている。

30

【0012】

また、特許文献 7 では、ブートストラップ F E T (電界効果型トランジスタ) をハイサイド駆動回路部を取り囲む高耐圧接合終端領域の一部に配置し、ブートストラップコンデンサを充電するタイミングで、その F E T のゲートを制御するブートストラップエミュレータ機能について開示されている。

また、特許文献 8 では、S I M O X 法による薄い埋め込み酸化膜を用いても高耐圧と低スイッチング損失が得られる S O I 横型半導体装置について記述されており、酸素イオン注入によって形成された部分 S O I 基板の埋め込み酸化膜を上下に挟むように高耐圧の I G B T と M O S F E T が並列に配置されていることが開示されている。

【0013】

図 1 3 および図 1 4 に示されている構成では、ハイサイド (上アーム側) の I G B T (Q 1) がオフすると、U - O U T 端子の電圧はグランド電位まで引き下げられて、ブートストラップコンデンサ C 1 を充電する。ブートストラップダイオード D b は、p⁻ 基板上に N e p i 層である n⁻ 層と n⁺ 埋め込み層を設け、アノード拡散領域として p⁺ 拡散を形成した構造をしている。

40

そのため、ブートストラップコンデンサ C 1 を充電する過程で、ブートストラップダイオード D b のアノード電極から V D D 電源へ電子を供給する一方、電位の低いカソード電極へホールが供給される。

【0014】

しかし、ブートストラップダイオード D b の順方向電圧降下 (V F 電圧) が 2 V 以下の

50

低電圧領域では、多くのホールが n^+ 埋め込み層を貫通し、グランド電位である p^- 基板へ流れ込む。その結果、 $U-OUT$ 電圧がグランド電位まで引き下げられブートストラップコンデンサを充電する期間には、 VDD 電源の高電位側端子からHVゲートドライバICの p^- 基板のGND端子に大きなリーク電流（漏れ電流）が発生し消費電流を増加させる。先に取り上げた特許文献6にも、ブートストラップコンデンサの充電期間にブートストラップダイオードDbの p^+ 領域であるアノード領域側（ VDD ）から n^+ 埋め込み層を経由して、 p^- 基板にホールが抜け出しリーク電流 I_{leak} となることが述べられている。

【0015】

これは、 p^+ 領域であるアノード領域側から注入されたホールが n^+ 領域であるカソード領域側で取り込まれて少数キャリアとして電子と再結合する割合より、電位障壁の低いグランド電位に固定された p^- 基板方向へ流れるホール成分の方が多いために起こるもので、結果的に p^- 基板へのリーク電流となってしまう。

また、特許文献6や特許文献7に示すように、ブートストラップダイオードもしくはブートストラップFET素子を、ハイサイド駆動回路を取囲んでいる高耐圧接合終端領域に配置する際には、同じく高耐圧接合終端領域内に配置される高耐圧 n チャネルMOSFET（図12の61に相当する）が一般的にはセット、リセット信号用に2つ必要であり、それぞれの配置領域に制約が発生する。

【0016】

なぜなら、レベルシフト素子である高耐圧 n チャネルMOSFETは周囲を取り囲む p 型のGND領域をバックゲート層に、その p^- 領域に取り囲まれた耐圧領域である n^- 領域はドレインドリフト層として使用するのに対し、ブートストラップダイオードは、図13に示された VDD 電位に固定され、カソード領域は同じく図13に示された $U-VCC$ 端子に接続されるため、高耐圧 n チャネルMOSFETとブートストラップダイオードは、それぞれ近くには配置することができず、十分な距離をとるか、互いにトレンチ溝や分離用の拡散層を設けるなどの素子分離構造が別途必要となるからである。そのため、HVゲートドライバICのチップ面積の増大や製造コストの増加を招くこととなる。

【0017】

図15は、特許文献6に記載されている高耐圧 n チャネルMOSFETとブートストラップダイオードの両方を同じ高耐圧接合終端領域に配置した場合の平面構成図である。図15に示されているレベルシフタ（高耐圧 n チャネルMOSFET）のドレイン層とブートストラップダイオードのカソード領域7Kの電位は、上述のようにドレイン電位と $U-VCC$ 端子の電位とで異なる。このために、ブートストラップダイオードの充電動作時に、ドレイン層へブートストラップダイオードのアノード領域6Aからのホールが注入されないようにドレイン層とアノード領域6Aとを数百 μm 程度離して配置する。また、カソード領域7Kで置換された電子キャリアが例えばドレインやカソード領域7Kが高電圧に持ち上げられる逆回復状態のときなどに高耐圧 n チャネルMOSFETのドレイン層へ誤って注入しないように、カソード領域7Kとドレイン層も数百 μm 程度間隔を空けることが望ましい。なぜなら、高耐圧 n チャネルMOSFETはレベルシフト素子であるため、ドレイン層に電子キャリアが注入されれば、レベルシフト回路の誤動作を招くからである。

【0018】

ここで、高耐圧 n チャネルMOSFETとブートストラップダイオードの2素子を別々の高耐圧接合終端領域に配置することは可能であるが、当然、余計な配置面積を占めることになるため、HVゲートドライバICのチップ面積が増大してしまうことは避けられない。

また、高耐圧 n チャネルMOSFETとブートストラップダイオードの両方を同じ高耐圧接合終端領域に配置することの課題は、互いの素子の電氣的な分離以外にブートストラップダイオードの充電能力を減少させるという点もある。2入力方式のレベルシフト回路であれば、高耐圧 n チャネルMOSFETはセット、リセット信号用の2つが必要であり

10

20

30

40

50

、これらの素子を高耐圧接合終端領域に配置することで、ブートストラップダイオードのアノード領域およびカソード領域の配置面積に制約ができるためである。

【0019】

アプリケーションが出力定格の低い家電製品などに使用するインバータなどの場合は、パワーデバイス（ここではパワーMOSFET）のゲート容量が小さく、キャリア周波数も100kHz程度であり、充電するブートストラップコンデンサの容量も100nFから1μF程度の容量であるため、コンデンサの充電時におけるダイオードの充電電流も数十mA程度で良い。しかしながら、アプリケーションが500kHzから1MHzなどの高周波が求められる用途や、パワーデバイス（ここではIGBT）のゲート容量の大きい産業機器向けのインバータなどの場合は、充電するブートストラップコンデンサの容量は数μFから数十μF程度の容量になる。このため、コンデンサの充電時におけるダイオードの充電電流は数百mA程度を流さなければならない。また、その時の順方向（VF）電圧は、コンデンサの放電電圧分である数V前後であるため、数百mAレベルの充電電流を流すには、ブートストラップダイオードのドリフト抵抗を低くすることと、十分な素子面積を確保しなければならない。

10

【先行技術文献】

【特許文献】

【0020】

【特許文献1】特許第3941206号公報

【特許文献2】US6825700号公報

20

【特許文献3】特開2004-200472号公報

【特許文献4】特開2001-144276号公報

【特許文献5】特開2003-332540号公報

【特許文献6】特開2012-227300号公報

【特許文献7】特許第3604148号公報

【特許文献8】特許第5055813号公報

【発明の概要】

【発明が解決しようとする課題】

【0021】

この発明の目的は、ブートストラップダイオードの順バイアス時に基板側に流れる正孔によるリーク電流を抑制すると同時にブートストラップコンデンサの充電電流を大きくし、なおかつチップ面積の増大を抑制することができる半導体装置を提供することにある。

30

【課題を解決するための手段】

【0022】

上記目的を達成するために、本発明の一態様に係る半導体装置は、p型の半導体基板と、半導体基板上に形成されるn型の埋め込み層と、埋め込み層上に形成されるn型の半導体層と、半導体層の一部に設けられた浮遊電位領域と、浮遊電位領域が設けられた部分の半導体層を囲み半導体基板と接し、浮遊電位領域から離れてリング状に形成されるp型の第1分離領域と、浮遊電位領域と第1分離領域との間の半導体層の下部に設けられた第1絶縁分離領域と、記第1絶縁分離領域上に形成されるダイオードと、第1分離領域から離れてダイオードが配置された領域をリング状に囲み半導体層の表面から半導体層の下部に達するp型の第2分離領域と、第1分離領域の上部に形成されるn型のソース領域と、ダイオードのカソード領域と浮遊電位領域との間の半導体層の上部に形成される、ソース領域を有するトランジスタのn型のドレインコンタクト領域と、を備えることを特徴としている。

40

【発明の効果】

【0023】

この発明によれば、ブートストラップダイオードの順バイアス時に基板側に流れる正孔によるリーク電流を抑制すると同時にブートストラップコンデンサの充電電流を大きくし、なおかつチップ面積の増大を抑制することができる。

50

【図面の簡単な説明】

【0024】

【図1】本発明の第1の実施形態に係る高耐圧集積回路装置の要部断面図（図2（b）のIIA-IIA線に沿った断面構造を示す要部断面図）である。

【図2】本発明の第1の実施形態に係る高耐圧集積回路装置の要部平面図であり、図2（a）は、ゲート駆動回路とそれを囲む耐圧構造部の全体図、図2（b）は、図2（a）に示す領域Faを拡大した拡大図である。

【図3】図2（b）のIIB-IIB線に沿った断面構造を示す要部断面図である。

【図4】本発明の第1の実施形態に係る高耐圧集積回路装置の他の例の要部平面図であり、図4（a）は、ゲート駆動回路とそれを囲む耐圧構造部の全体図、図4（b）は、図4（a）に示す領域Fbを拡大した拡大図である。

【図5】図11のゲート駆動回路（図10の上アームのIGBTを駆動するGDU-U、GDU-V）およびレベルシフト回路（LSU）と、ブートストラップダイオード（Db）とを1チップ化した場合の回路構成図である。

【図6】図1において、カソード領域とドレインコンタクト領域に高電圧が印加されたときの空乏層と、高耐圧nチャンネルMOSFETおよびブートストラップダイオードがオン状態になったときのキャリア（電子、正孔）の流れを示した図であり、図6（a）は空乏層の図、図6（b）はキャリアの流れを示す図である。

【図7】本発明の第2の実施形態に係る高耐圧集積回路装置の要部断面図（図2のIIA-IIA線に対応する位置での断面構造を示す断面図）である。

【図8】本発明の第3の実施形態に係る高耐圧集積回路装置の要部断面図（図2のIIA-IIA線に対応する位置での断面構造を示す断面図）である。

【図9】本発明の第4の実施形態に係る高耐圧集積回路装置の要部断面図（図2のIIA-IIA線に対応する位置での断面構造を示す断面図）である。

【図10】モータ制御用インバータを構成するパワーモジュールと、このパワーモジュールを駆動する主回路駆動回路とを示す要部構成図である。

【図11】図10の主回路駆動回路を高耐圧集積回路装置で構成した場合の各要素の要部配置図である。

【図12】図11のレベルシフト回路の基本構成図である。

【図13】図11のゲート駆動回路（図10の上アームのIGBTを駆動するGDU-U、GDU-V）およびレベルシフト回路（LSU）と、ブートストラップダイオード（Db）とを1チップ化した場合の回路構成図である。

【図14】エピタキシャル基板上にゲート駆動回路、及びブートストラップダイオードを集積化した場合のHVゲートドライバICの要部断面図である。

【図15】特許文献6に記載されている高耐圧nチャンネルMOSFETとブートストラップダイオードの両方を同じ高耐圧接合終端領域に配置した場合の平面構成図である。

【図16】フローティング領域とダイオード分離層とを接続し、このフローティング領域とダイオード分離層とに囲まれた領域にブートストラップダイオードを形成した場合の図である。

【発明を実施するための形態】

【0025】

以下、本発明の第1乃至第4の実施形態に係る半導体を、図面を参照して説明する。

本明細書及び添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+及び-は、+及び-の付されていない半導体領域に比してそれぞれ相対的不純物濃度が高いまたは低い半導体領域であることを意味する。

なお、以下の第1乃至第4の実施形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

また、第1乃至第4の実施形態で説明される添付図面は、見易くまたは理解し易くするために正確なスケール、寸法比で描かれていない。本発明はその要旨を超えない限り、以

10

20

30

40

50

下に説明する第1乃至第4の実施形態の記載に限定されるものではない。

また、第1乃至第4の実施形態で説明される添付図面のうち、図1、図3、図6乃至図9では、図面を見易くするために断面を表すハッチングを省略している。

【0026】

以下の第1乃至第4の実施形態では、本発明の「半導体装置」の代表例として高耐圧集積回路装置に着目して例示的に説明する。

(第1の実施形態)

図1乃至図3は、例えば図10、図11で示したブリッジ回路のハイサイド側のU相、V相、W相のうち、U相のゲート駆動回路部分(GDU-U、LSUおよびブートストラップダイオードDb)に関する箇所を図を示している。

図1に示すように、本発明の第1の実施形態に係る高耐圧集積回路装置100は、例えば単結晶シリコンからなるp⁻型の半導体基板1の表面上に表面層としてのn⁻型のエピタキシャル成長層(半導体層)2が形成された半導体基体を主体に構成されている。また、本発明の第1の実施形態に係る高耐圧集積回路装置100は、半導体基板1の表面から2μm~10μm程度の深さで拡散により形成するか、もしくは半導体基板1の表面上にエピタキシャル成長により形成されたn⁻型の埋め込み層50を備えている。また、本発明の第1の実施形態に係る高耐圧集積回路装置100は、埋め込み層50上のエピタキシャル成長層2の上部に配置されたpチャンネルMOSFET31およびp型のオフセット領域21と、オフセット領域21内に形成されたnチャンネルMOSFET32とを備えている。このpチャンネルMOSFET31とnチャンネルMOSFET32は、CMOS回路33を構成している。このCMOS回路33はロジック回路である。

【0027】

また、本発明の第1の実施形態に係る高耐圧集積回路装置100は、図1及び図2(a)に示すように、エピタキシャル成長層2の上部にCMOS回路33を囲むようにリング状に形成されたn⁺型のカソード領域7と、このカソード領域7から離れてこのカソード領域7を取り囲むようにリング状に形成されたp⁺型のアノード領域6と、このアノード領域6から離れてこのアノード領域6を取り囲むようにリング状に形成されたp型のフローティング領域(第2分離領域)5を備えている。このカソード領域7とアノード領域6でブートストラップダイオードDbが形成されている。

また、本発明の第1の実施形態に係る高耐圧集積回路装置100は、フローティング領域5から離れてこのフローティング領域5を取り囲むように形成され、GND電位が印加されるp型のディープ領域(第1分離領域)4を備えている。ディープ領域4の外側の同一半導体基板内には、図11に示したように、他の相(V相、W相)の回路を同様に形成することができる。また、図11のようにX相、Y相、Z相の回路も同一半導体基板上に形成することができる。

【0028】

また、本発明の第1の実施形態に係る高耐圧集積回路装置100は、フローティング領域5およびp型のダイオード分離層(第3分離領域)52に接するように形成されたSON構造の空洞(第1絶縁分離領域)3を備えている。この空洞3は埋め込み層50の表面から埋め込み層50内に微小のトレンチを多数形成し、アニール処理をすることにより形成される。そのため、この空洞3は埋め込み層50の内部に形成される。ダイオード分離層52はカソード領域7に囲まれている。

ディープ領域4は、半導体基板1の電位を例えばGND電位に固定するための領域である。p型のベース領域4aは、エピタキシャル成長層2の上部に選択的に形成された拡散層であり、レベルシフトデバイスである高耐圧nチャンネルMOSFET62のバックゲート層として使用される。高耐圧nチャンネルMOSFET62は、セット用MOSFET62aおよびリセット用MOSFET62bの2つを備えている(図2(b)参照)。

【0029】

ベース領域4aの上部には、高耐圧nチャンネルMOSFET62のn⁺型のソース領域55とp⁺型のコンタクト領域56とが形成されている。そして、ソース領域55とエピ

10

20

30

40

50

タキシャル成長層 2 との間のベース領域 4 a 上には、ゲート絶縁膜としてのゲート酸化膜 3 7 (SiO_2 など) を介して、ポリシリコンからなるゲート電極 5 3 が配置されている。第 1 の実施形態では、p 型のディープ領域 4 と p 型のベース領域 4 a とが接触しているが、互いに離れて形成してもよい。離れて形成する場合、ベース領域 4 a の上部に n⁺ 型のソース領域 5 5 が形成され、ディープ領域 4 およびベース領域 4 a のそれぞれの上部に p⁺ 型のコンタクト領域 5 6 が形成される。

【 0 0 3 0 】

また、ダイオード分離層 5 2 と離れて、CMOS 回路 3 3 を取り囲むように p 型のハイサイド分離層 (第 4 分離領域) 5 1 が CMOS 回路 3 3 の下に配置される空洞 3 に接するように形成されている。ハイサイド分離層 5 1 とダイオード分離層 5 2 とにより囲まれたエピタキシャル成長層 2 (領域 E) の表面には、高耐圧 n チャンネル MOS F E T 6 2 のドレインピックアップ層としての n⁺ 型のドレインコンタクト領域 5 7 が形成され、その上にドレイン電極 5 4 が形成されている。ハイサイド分離層 5 1 とダイオード分離層 5 2 とにより囲まれたエピタキシャル成長層 2 の底部には、空洞 3 は形成されていない。

【 0 0 3 1 】

レベルシフト抵抗 R L の一端はドレイン電極 5 4 に接続され、レベルシフト抵抗 R L の他端は U - V C C 端子 1 3 に接続される。ディープ領域 4 は G N D 端子 1 1 に接続され、アノード領域 6 は V D D 端子 1 2 に接続される。カソード領域 7 は U - V C C 端子 1 3 に接続される。U - V C C 端子 1 3 は外付けのブートストラップコンデンサ C 1 の高電位側に接続され、さらに CMOS 回路 3 3 を構成する p チャンネル MOS F E T 3 1 の p⁺ 型のソース領域 1 8 に接続される。ブートストラップコンデンサ C 1 の低電位側は CMOS 回路 3 3 を構成する n チャンネル MOS F E T 3 2 の n⁺ 型のソース領域 2 2 に接続され、さらに、U - O U T 端子 1 4 に接続される。

【 0 0 3 2 】

p チャンネル MOS F E T 3 1 の p⁺ 型のドレイン領域 1 9 と n チャンネル MOS F E T 3 2 の n⁺ 型のドレイン領域 2 3 は互いに接続され、これは U - G A T E 端子 1 5 に接続される。CMOS 回路 3 3 が形成されている浮遊電位領域 3 4 は、ブートストラップ電源の高電位側に接続されている。V D D 端子 1 2 はローサイド回路を駆動する V D D 電源 (制御電源) 1 6 の高電位側端子であり、V D D 電源 1 6 は数十 V の低電圧電源である。U - V C C 端子 1 3 は、ハイサイド回路を駆動するブートストラップコンデンサ C 1 の高電位側端子である。U - O U T 端子 1 4 の中間電位は主電源 V C C 2 の高電位側電位 V C C 2 H と低電位側電位 V C C 2 L との間で変動する。以上では U 相について説明したが V 相および W 相についても同様である。

ハイサイド分離層 5 1 とダイオード分離層 5 2 は、図 2 に示すように部分的に接続しており、同時に形成される。ディープ領域 4、フローティング領域 5、アノード領域 6、カソード領域 7、ダイオード分離層 5 2、ハイサイド分離層 5 1 の各々は、図 2 (a) に示すように、各々の平面形状が、浮遊電位領域 3 4 を囲むようにして閉じた環状で形成されている。

【 0 0 3 3 】

尚、図中の符号で、8, 9, 10, 26, 27, 29, 30, 54 は各層に接続する電極であり、25, 28, 53 はゲート電極である。また、20 と 57 および 24 と 56 はコンタクトとなる領域である。また、アノード領域 6 は、図示しない p 型の領域の上部にコンタクト層となる p⁺ 型の領域が形成された構造をしており、カソード領域 7 は、図示しない n 型の領域の上部にコンタクト層となる n⁺ 型の領域が形成された構造をしている。図 1 および図 3 では、p 型の領域および n 型の領域は省略されている。

また、フローティング領域 5、ダイオード分離層 5 2 およびハイサイド分離層 5 1 は電位が固定されないフローティング領域である。また、F E T では、ゲート絶縁膜が酸化膜からなる MOS 型でも、ゲート絶縁膜が酸化シリコン膜や窒化シリコン膜、或いはこれらの積層膜などの絶縁膜からなる M I S 型でもかまわない。

【 0 0 3 4 】

10

20

30

40

50

図1～図3において、埋め込み層50の上部には、選択的に空洞3が形成されている。空洞3は、少なくとも、ブートストラップダイオードDbの下方(底部)および高耐圧nチャネルMOSFET62のドレインコンタクト領域57の間の下方(底部)および浮遊電位領域34の下方(底部)に形成されている。この空洞3に接するようにフローティング領域5およびハイサイド分離層51とダイオード分離層52がそれぞれ形成されている。このハイサイド分離層51とダイオード分離層52は、高耐圧nチャネルMOSFET62のドレインコンタクト領域57のない部分では繋がった一つの領域をしており、共に同電位である。フローティング領域5、ハイサイド分離層51およびダイオード分離層52の各々は、エピタキシャル成長層2の表面からその深さ方向に向かって下部に到達するように形成されている。

10

【0035】

ここで、ブートストラップダイオードDbが形成された領域の下方を覆うようにエピタキシャル成長層2の下方に設けられた空洞3は、本発明の第1絶縁分離領域に対応する。また、ロジック回路(浮遊電位領域34)の下方を覆うようにエピタキシャル成長層2の下部に設けられた空洞3は、本発明の第2絶縁分離領域に対応する。

エピタキシャル成長層2のブートストラップダイオードDbが形成される領域は、CMOS回路(ロジック回路)33が形成される浮遊電位領域34と同じ厚さで、埋め込み層50上に浮遊電位領域34を囲むように島状に配置されている。ディープ領域4は、このエピタキシャル成長層2のブートストラップダイオードDbが形成される領域を囲むようにリング状に設けられ、浮遊電位領域34から離れてエピタキシャル成長層2の表面から半導体基板1に到達するように形成されている。フローティング領域5は、ディープ領域4から離れて、ブートストラップダイオードDbが形成される部分のエピタキシャル成長層2を囲むようにリング状に設けられ、エピタキシャル成長層2の表面から空洞3に亘って貫通するように空洞3に到達している。

20

【0036】

エピタキシャル成長層2の表面にはLOCOSが選択的に形成され、このLOCOSのない活性部分には、ディープ領域4と接続するGND電極8、アノード領域6と接続するアノード電極9、カソード領域7と接続するカソード電極10などが形成されている。GND電極8にはGND端子11が接続され、アノード電極9にはVDD端子12が接続され、カソード電極10にはU-VCC端子13が接続される。

30

高耐圧nチャネルMOSFET62とレベルシフト抵抗RLは、レベルシフト回路LSUを構成する。ドレインコンタクト領域57の電位は高耐圧nチャネルMOSFET62がオンのときはグラウンド電位となり、オフのときはU-VCC端子13の電位になる。このU-VCC端子13の電位は主電源VCC2の低電位側電位VCC2L(=グラウンド電位)から高電位側電位VCC2Hの範囲で変動する。また、U-VCC端子13の電位はU-OUT端子14の電位にVDD電源16の電圧(固定電圧)を加算した電位になる。

【0037】

図4は、本発明の第1の実施形態に係る高耐圧集積回路装置100の他の例の要部平面図であり、図4(a)は、ゲート駆動回路(GDU)とそれを囲む耐圧構造部の全体図、図4(b)は、図4(a)に示す領域Fbを拡大した拡大図である。図4に示す高耐圧集積回路装置100は、本発明の第1の実施形態に係る高耐圧集積回路装置100の変形例であるが、本発明の第1の実施形態に係る半導体装置と異なる点は以下の通りである。

40

すなわち、図2と異なる点は、図2では、ハイサイド分離層51の平面形状が浮遊電位領域34を囲む環状に形成されていたが、図4では、高耐圧nチャネルMOSFET62のドレインを囲むように形成されている点である。

このような形状であっても、同様の効果を得ることができる。また、図16のように、フローティング領域5とダイオード分離層52とを接続し、このフローティング領域5とダイオード分離層52とに囲まれた領域にブートストラップダイオードDbを形成することもできる。

【0038】

50

図5は、図11のゲート駆動回路(図10の上アームのIGBTを駆動するGDU-U, GDU-V)およびレベルシフト回路(LSU)と、ブートストラップダイオード(Db)とを1チップ化した場合の回路構成図である。図5では主回路を構成する上アーム出力素子Q1(U相)と下アーム出力素子Q4(X相)、それらと逆並列接続するダイオードD1, D4およびブートストラップコンデンサC1も示した。

図5において、上アーム出力素子Q1と下アーム出力素子Q4の接続点は主回路の中間点端子OUTであり、高耐圧集積回路装置100のU-OUT端子14に接続し、また図示しない負荷(モータなど)に接続する。U-OUT端子14(OUT端子)は中間電位にあり、主回路電源である高圧電源VCC2の高電位側電位VCC2Hと低電位側電位VCC2Lとの間で変動する。

10

【0039】

外付けの上アーム出力素子Q1、下アーム出力素子Q4として、それぞれ、IGBTを用いた場合の例で説明する。このIGBTの代わりにMOSFET(MOS型電界効果トランジスタ)、GTOサイリスタ(ゲートターンオフサイリスタ)、サイリスタ、SIT(静電誘導型トランジスタ)、SI(静電誘導)サイリスタ等の他の出力素子を用いても構わない。

上アーム出力素子Q1には上アームダイオードD1(還流ダイオード)が、下アーム出力素子Q4には下アームダイオードD4(還流ダイオード)が逆並列接続されている。

図5に示すように、上アーム出力素子Q1はフローティング状態(=浮遊電位状態)の上アームドライバGDU-Uにより駆動される。つまり外付けの上アーム出力素子Q1の制御電極にはHVゲートドライバICの上アームドライバGDU-Uの出力端子U-GATEが接続される。

20

【0040】

一方、外付けの下アーム出力素子Q4の制御電極にはHVゲートドライバICの下アームドライバGDU-Xの出力端子X-GATEが接続される。上アームドライバGDU-Uは内部電源であるU-VCC電源の高電位側端子(=U-VCC端子13)と中間点端子OUT(=U-OUT端子14)間に接続され、所定の電源電圧(=U-OUT端子14の電圧+VDD端子の電圧)が供給される。上アームドライバGDU-Uは浮遊電位領域34にあるハイサイド回路であり、下アームドライバGDU-Xは低電位(グランド電位)に固定されたローサイド回路である。

30

【0041】

また、下アームドライバGDU-Xは低電圧電源であるVDD電源16の高電位側端子であるVDD端子12とグランド電位(=接地電位)にあるGND端子11間に接続され、所定の電源電圧(=VDD電圧)が供給される。図10、図11に示すように、上アームドライバGDU-UにはLSU(=レベルシフト回路)にある高耐圧nチャネルMOSFET62を介して、制御回路部CUから上アーム用制御信号が、下アームドライバGDU-Xには制御回路部CUから直接下アーム用制御信号が入力される。

図示していないが、上アームドライバGDU-Uは上アームCMOSインバータと上アーム・バッファアンプおよび上アーム・コントロールロジックから構成されている。一方、下アームドライバGDU-Xは下アームCMOSインバータと、下アーム・バッファアンプおよび下アーム・コントロールロジックとから構成されている。

40

【0042】

図5に示す構成において、上アーム出力素子Q1および下アーム出力素子Q4は、上アームドライバGDU-Uおよび下アームドライバGDU-Xにより駆動され、それぞれ交互にオン/オフを行う。

したがって中間点端子(OUT端子)の電位は上アーム出力素子Q1および下アーム出力素子Q4の交互のオン/オフに伴って、接地電位(=GND電位=VCC2L)と主電源VCC2の高電位側電位VCC2Hの間で上昇・下降を繰り返す。上アーム出力素子Q1と下アーム出力素子Q4との交互のオン/オフの際のブートストラップ回路(ブートストラップダイオードDbとブートストラップコンデンサC1)の動作については、上述し

50

たように、ブートストラップコンデンサC1は、上アーム出力素子Q1がオフの場合でかつ、中間点端子OUTの電位がグランド電位まで下げられた期間のみで充電するため、ローサイドスイッチ（下アーム出力素子Q4）のオンタイム（あるいはハイサイドスイッチ（上アーム出力素子Q1）のオフタイム）は、上アームドライバGDU-UによってブートストラップコンデンサC1から引き出される電荷が完全に補充されるのに十分な長さにしなければならない。

【0043】

図1から図3において、ブートストラップダイオードDbはpnダイオードであり、Dbのカソード領域7とアノード領域6およびフローティング領域5は空洞3上のエピタキシャル成長層2に形成される。空洞3上の埋め込み層50とエピタキシャル成長層2を合わせた半導体層の厚さは、例えば14 μm である。空洞3の厚さを6 μm 以上すると、空洞3上のエピタキシャル成長層2の重さによって空洞3が潰れてしまう可能性があるため、空洞3の厚さは6 μm に以下とするとよい。

また、定格電圧が1200Vクラスの高耐圧レベルシフトを想定した場合、半導体基板1としては比抵抗率250~400 $\cdot\text{cm}$ 程度のもを用いる。空洞3の下に位置し、高耐圧nチャネルMOSFET62のドレインドリフト領域としても使用される埋め込み層50は、エピ厚が2~10 μm 程度のエピタキシャル成長層を半導体基板1上に形成するか、もしくは半導体基板1の表面から1100~1200の高温ドライブ処理により拡散深さXjが2~10 μm 程度になるように作製する。

【0044】

以降に、SON構造の空洞3の形成方法を説明する。

まず、上記の方法により埋め込み層50を形成した支持基板である半導体基板1にマスク酸化膜（熱酸化）を形成し、トレンチホールのパターンニング後にドライエッチングでトレンチのエッチングを行う。

つぎに、エッチング後はウェットエッチングでマスク酸化膜を除去し、1000~1200高温下の不活性ガス雰囲気（例えば水素ガス）でアニール処理を行う。

このアニール後はトレンチホールパターンの上部が塞がり空洞3が形成される。

ここで、電解エッチングなどでポーラスシリコンを形成し、高温下の不活性ガス雰囲気アニール処理を行い、空洞3を形成してもよい。空洞3の形成後、エピタキシャル成長層2を形成する。エピタキシャル成長層2の不純物濃度は $1 \times 10^{14} \sim 1 \times 10^{16} / \text{cm}^3$ 程度である。

【0045】

図1、図3に示されているように、空洞3に接するフローティング領域5、GND端子11に接続するディープ領域4および空洞3上にブートストラップダイオードDbのアノード領域6とカソード領域7をそれぞれ形成するために、リン、ボロンのイオン注入をそれぞれマスクを形成して行う。ドーズ量は次の通りである。ブートストラップダイオードDbのアノード領域6は $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ 、ブートストラップダイオードDbのカソード領域7は $1 \times 10^{15} / \text{cm}^2$ 、フローティング領域5は $1 \times 10^{12} \sim 5 \times 10^{14} / \text{cm}^2$ 、ディープ領域4は $1 \times 10^{12} \sim 5 \times 10^{14} / \text{cm}^2$ 程度である。

【0046】

フローティング領域5を空洞3にまで拡散させ、ディープ領域4を半導体基板1に達するように拡散させるため、イオン注入後に1100~1200程度で10時間ほどアニール処理をする。このフローティング領域5によって、VDD端子12に接続されたブートストラップダイオードDbのアノード領域6からGND端子11に接続する半導体基板1への正孔によるリーク電流を抑えることができる。なお、フローティング領域5と同時処理でハイサイド分離層51およびダイオード分離層52も形成することができる。

ここで、ブートストラップダイオードDbのアノード領域6とカソード領域7が空洞3にまで拡散してもかまわない。但し、ブートストラップダイオードDbのアノード領域6、フローティング領域5およびディープ領域4が接続しないように、互いに隙間を設ける

。ブートストラップダイオードDbのアノード領域6とカソード領域7との間隔は100 μm程度に設定し、アノード領域6とフローティング領域5との間隔はVDD電源16の電圧(例えば、15V程度)でパンチスルーしない間隔とする。

【0047】

また、高耐圧nチャネルMOSFET62は、ディープ領域4の表面に形成したソース領域55、ディープ領域4上にゲート酸化膜37を介して配置されたゲート電極53a、ドレインコンタクト領域57を備えている。また、高耐圧nチャネルMOSFET62のドレインドリフト領域は、フローティング領域5とディープ領域4との間のエピタキシャル成長層2、ハイサイド分離層51とダイオード分離層52に囲まれたエピタキシャル成長層2および埋め込み層50で構成される。

10

空洞3下の埋め込み層50の実効的な深さが1 μm以上になるように設定することで、埋め込み層50をドレインドリフト領域とし、レベルシフトデバイスとして十分な信号伝達をハイサイドのCMOS回路33(ロジック回路)へ伝えることができる。

【0048】

図1には図示していないが、エピタキシャル成長層2の表面で拡散領域の間にはフィールド酸化膜であるLOCOSが形成されている。また、TEOS(テトラエトキシシラン)やBPSG(ボロン・リンガラス)などのシリコン酸化膜である層間絶縁膜およびシリコン窒化膜であるパッシベーション膜を備える。

ここで、空洞3の形成後にn⁻型のエピタキシャル成長層2ではなくp⁻型のエピタキシャル成長層を成長させ、その後、リン不純物を注入し、図1のGNDp領域となるディープ領域4とフローティング領域5との間のエピタキシャル成長層2、フローティング領域5からカソード領域7までの間のエピタキシャル成長層2およびハイサイド分離層51とダイオード分離層52に囲まれたエピタキシャル成長層2を形成してもよい。不純物注入後、1100~1200 °Cで10時間ほどアニール処理を行い、これらのn領域を空洞の深さまで拡散させる。このとき、これらのn領域の濃度は $1 \times 10^{14} \sim 1 \times 10^{17} / \text{cm}^3$ 程度である。この場合、図1のディープ領域4、フローティング領域5、ハイサイド分離層51およびダイオード分離層52はp⁻型のエピタキシャル成長層に置き換わる。

20

【0049】

以上説明したように、本発明の第1の実施形態に係る高耐圧集積回路装置100によれば、フローティング領域5を設けることで、外付けのブートストラップコンデンサC1を充電する時に、半導体基板1へのホールによるリーク電流を抑えることができるため、消費電力が小さく高機能なゲートドライブ回路を有する高耐圧集積回路装置100を実現できる。また、ブートストラップダイオードDbと高耐圧nチャネルMOSFET62を空洞3の上下方向に配置することで、HVゲートドライバICの小面積化が図れるほか、これらのデバイス間の相互影響がなく誤動作の少ないブートストラップ回路が構成できる。また、空洞3はブートストラップダイオードDbの島領域(帯状のリング領域)に部分的に形成すればよいので、ウェハ(p⁻型の半導体基板1)の反りに与える影響は少ない。

30

【0050】

尚、上述した構成では絶縁分離領域はSON構造の空洞3の場合を示したが、SOI構造の絶縁膜の場合もある。この場合は、半導体基板1上の埋め込み層50上に絶縁分離領域となる部分SOI構造の絶縁膜を形成し、その上にエピタキシャル成長層2を形成するとよい。この場合は埋め込み層50とエピタキシャル成長層2からなるn型の半導体層内に絶縁分離領域であるSOI構造の絶縁膜が形成される。

40

空洞3を用いた部分SON半導体基板の代わりに酸化膜を用いた部分SOI半導体基板を用いた場合、酸化膜の厚さは、1500V程度の耐圧では15 μm(酸化膜の比誘電率を3.9で計算)程度必要となり、空洞3の場合に比べて酸化膜の場合は4倍程度厚くする必要があるので製造コストが増大する。しかし、絶縁効果はあるため、空洞3の代わりに酸化膜を用いてもよい。

【0051】

50

また、空洞3の形成は、トレンチホール形成工程（マスク酸化，パターンング，トレンチエッチング）、水素アニール工程、を加えるだけでよいので、酸化膜を用いたSOI基板を用いる場合より製造コストを抑えることができる。

つぎに、上述の空洞3の厚さについて説明する。高耐圧集積回路装置100ではブートストラップダイオードDbと高耐圧nチャンネルMOSFET62のそれぞれに逆バイアスを印加した際に埋め込み層50が完全に空乏化しており、リサーフ（RESURF）効果を損なわないときの誘電体分離高耐圧集積回路装置の耐圧Vbrはポアソン式を変換して式（1）で表される。

$$V_{br} = E_{cr} \times (d/2 + T_{ox} \times \epsilon_{si} / \epsilon_{ox}) \cdots (1)$$

ここでEcrは臨界電界、dはn⁻型半導体層の厚さ、Toxは誘電体層の厚さ、 ϵ_{si} はシリコンの比誘電率、 ϵ_{ox} は誘電体の比誘電率である。

誘電体層が空洞3の場合、 ϵ_{ox} に対応する空洞3の誘電率 ϵ_{cavity} は1となり、 $E_{cr} = 3 \times 10^5$ (V/cm)、 $d = 10 \mu\text{m}$ 、 $\epsilon_{si} = 11.7$ で、Toxに対応する空洞3の厚さ $T_{cavity} = 4 \mu\text{m}$ を代入すると $V_{br} = 1550$ Vとなる。この空洞3の厚さはSOI基板を用いるときの酸化膜の厚さの1/4程度になる。

【0052】

一般に高耐圧集積回路装置100に搭載されるレベルシフトLSUやブートストラップダイオードDbの耐圧は定格電圧が1200Vの場合にはn⁻半導体層（エピタキシャル成長層2）の比抵抗バラツキ、空洞3の厚さバラツキ、さらに外付け部品のパワートランジスタQ1、Q4の実耐圧などを加味すると最低でも1500V程度の耐圧が要求される。上記（1）式から、誘電体分離高耐圧集積回路装置の高耐圧化にはn⁻半導体層（エピタキシャル成長層2）、または誘電体層の厚膜化を行えばよいことがわかるが、誘電体層を空洞3とした場合、空洞3を厚くしてしまうと、空洞3上の半導体層の重さによって空洞3が潰れてしまう。よって空洞3の厚さは4～6μm程度が好適である。

【0053】

図6は、図1において、カソード領域7とドレインコンタクト領域57に高電圧が印加されたときの空乏層90と高耐圧nチャンネルMOSFET62およびブートストラップダイオードDbがオン状態になったときのキャリア（電子91、正孔92）の流れを示した図であり、図6（a）は空乏層の図、図6（b）はキャリアの流れを示す図である。

図6において、高耐圧nチャンネルMOSFET62がオフ状態では、U-VCC端子13の電位はU-OUT端子14の電位にVDD端子12の電位を加算した電位となる。

図6（a）において、U-OUT端子14の電位が主電源VCC2の高電位側電位VCC2Hになり、高耐圧nチャンネルMOSFET62がオフのとき、ブートストラップダイオードDbのカソード領域7と高耐圧nチャンネルMOSFET62のドレインコンタクト領域57に高電圧が印加される。そうすると、pn接合81、82から広がる空乏層90は埋め込み層50内で接続し、空洞3に達する。また、pn接合83から広がった空乏層90も一部空洞に達する。この状態ではU相である上アーム出力素子Q1のゲートにGDUを介してオン信号が印加されてQ1はオン状態になる。

【0054】

一方、高耐圧nチャンネルMOSFET62がオンすると、ソース領域55から図示しない電子（図6（b）に示す電子91に相当する）がドレインコンタクト領域57へ向かって流れて、ブートストラップコンデンサC1は放電する。そのため、ブートストラップコンデンサC1の電圧は低下する。ドレインコンタクト領域57の電位はグランド電位になり、pn接合81、82から広がる空乏層90の幅は狭くなる。しかし、pn接合83から広がった空乏層90はそのまま維持される。

【0055】

図6（b）において、主回路のX相である下アーム出力素子Q4がオンして、U-OUT端子14の電位がグランド電位になり、U-VCC端子13の電位がVDD端子12の電位より低くなると、ブートストラップダイオードDbが順バイアスされる。このとき高耐圧nチャンネルMOSFET62がオンしてQ1はオフ状態にある。この順バイアスによ

10

20

30

40

50

り、アノード領域 6 からカソード領域 7 に向かって正孔 9 2 が流れ、カソード領域 7 からアノード領域 6 に向かって電子 9 1 が流れる。ドリフト領域であるエピタキシャル成長層 2 内では伝導度変調が起こり、低オン電圧の状態では電流 I が流れる。この電流 I はブートストラップコンデンサ C 1 を充電する電流 I 1 と、高耐圧 n チャンネル MOS F E T 6 2 がオンしているため、ドレインコンタクト領域 5 7 へ流れる電流 I 2 に分かれる。電流 I 2 はレベルシフト抵抗 R L を介して流れるので小さく、電流 I の殆どは電流 I 1 として流れる。電流 I 1 を大きくすることで、放電により電圧低下したブートストラップコンデンサ C 1 を素早く充電することができる。フローティング領域 5、空洞 3、ダイオード分離層 5 2 を設けることで、アノード領域 6 から注入された正孔 9 2 は半導体基板 1 へ漏れ出ることが防止される。その結果、半導体基板 1 へのリーク電流を抑制することができる。

10

【 0 0 5 6 】

高耐圧 n チャンネル MOS F E T 6 2 のドリフト領域である埋め込み層 5 0 をブートストラップダイオード D b の形成領域 3 5 の下に配置することで、高耐圧 n チャンネル MOS F E T 6 2 で占めていた面積の分をブートストラップダイオード D b に振り分けることができるため、ブートストラップダイオード D b の面積を大きくすることができる。その結果、ブートストラップダイオード D b に大きな電流 I 1 を流すことができ、上述したように、ブートストラップコンデンサ C 1 を素早く充電することができる。このことによつて、インバータ装置の高周波化を図ることができる。

この第 1 の実施形態では、半導体基板 1 の埋め込み層 5 0 内に S O N 構造の空洞 3 を絶縁分離領域として形成し、空洞 3 の上部にあるエピタキシャル成長層 2 をブートストラップダイオード D b のドリフト領域とし、また、空洞 3 の下部にある埋め込み層 5 0 をレベルシフトデバイスである高耐圧 n チャンネル MOS F E T 6 2 のドレインドリフト領域として使用する。

20

【 0 0 5 7 】

ブートストラップダイオード D b と高耐圧 n チャンネル MOS F E T 6 2 のそれぞれを空洞 3 と p 型の拡散層 (p 型のフローティング領域 5 と p 型のダイオード分離層 5 2) によって素子分離することで、ブートストラップコンデンサ C 1 充電時の半導体基板 1 への正孔によるリーク電流を抑えることができる。

また、高耐圧接合終端領域全域をブートストラップダイオード D b として利用するため、充電電流も最大限利用することができる。

30

さらに、ブートストラップダイオード D b の下部に高耐圧 n チャンネル MOS F E T 6 2 を配置しているため、別領域に高耐圧 n チャンネル MOS F E T 6 2 を配置する必要がなく、チップ面積の増大を抑えることができる。

【 0 0 5 8 】

(第 2 の実施形態)

図 7 に示すように、本発明の第 2 の実施形態に係る高耐圧集積回路装置 2 0 0 は、本発明の第 1 の実施形態に係る高耐圧集積回路装置 1 0 0 に対して以下の構成が異なっている。

すなわち、本発明の第 1 の実施形態に係る高耐圧集積回路装置 1 0 0 では、p 型のハイサイド分離層 5 1 および p 型のダイオード分離層 5 2 がフローティング状態になっている。これに対し、本発明の第 2 の実施形態に係る高耐圧集積回路装置 2 0 0 では、p 型のハイサイド分離層 5 1 の上部に p + 型のコンタクト領域 5 1 a、p 型のダイオード分離層 5 2 の上部に p + 型のコンタクト領域 5 2 a がそれぞれ形成され、このコンタクト領域 5 1 a および 5 2 a に U - O U T 端子 1 4 が接続されている。このような構成とすることにより、U - O U T 端子 1 4 に負電圧サージが印加された際の C M O S 回路 3 3 の誤動作を抑制することができる。

40

【 0 0 5 9 】

ここで、上アーム出力素子 Q 1 がオンからオフに転じた際に負荷の誘導起電力により負電圧サージが発生する。それによって、U - O U T 端子 1 4 に負電圧サージが印加される。そうすると、図 1 に示すように、ブートストラップダイオード D b のアノード領域 6

50

から p 型のハイサイド分離層 5 1 および p 型のダイオード分離層 5 2 を通してハイサイド駆動回路 (C M O S 回路 3 3) へ正孔 9 2 が注入されて、C M O S 回路 3 3 が誤動作する場合がある。

この現象を防止するために、p 型のハイサイド分離層 5 1 の上部に p⁺ 型のコンタクト領域 5 1 a、p 型のダイオード分離層 5 2 の上部に p⁺ 型のコンタクト領域 5 2 a を設ける。これらのコンタクト領域 5 1 a、5 2 a を U - O U T 端子 1 4 に接続することで、図 7 に示すように、p 型のハイサイド分離層 5 1 と p 型のダイオード分離層 5 2 に入り込んだ正孔 9 2 をグラウンド電位より低い電位にある U - O U T 端子 1 4 から引抜くことができる。

【 0 0 6 0 】

その結果、負電圧サージ耐量の高い H V ゲートドライバ I C を有する高耐圧集積回路装置 2 0 0 を実現することが出来る。勿論、第 1 の実施形態で説明した効果は同じように得られる。尚、ハイサイド分離層 5 1 およびダイオード分離層 5 2 の上部の不純物濃度が十分高く、外部配線とオーミック接触する状態にある場合には、ハイサイド分離層 5 1 およびダイオード分離層 5 2 の各々の上部の不純物濃度が高い領域がコンタクト領域 5 1 a、5 2 a となる。

また、上述した第 1 の実施形態に係る高耐圧集積回路装置 1 0 0 では、図 1 に示すように、p 型のディープ領域 4 の上部に p 型のベース領域 4 a が形成されている。これに対し、本発明の第 2 の実施形態に係る高耐圧集積回路装置 2 0 0 では、図 7 に示すように、p 型のベース領域 4 a は形成されておらず、ディープ領域 4 の上部に n⁺ 型のソース領域 5 5 が形成されている。このように p 型のベース領域 4 a を形成しない場合もある。しかし、ベース領域 4 a とディープ領域 4 を別々に形成する場合の方が、高耐圧 n チャンネル M O S F E T 6 2 のバックゲートの不純物濃度を制御しやすい。

【 0 0 6 1 】

(第 3 の実施形態)

図 8 に示すように、本発明の第 3 の実施形態に係る高耐圧集積回路装置 3 0 0 は、上述した第 1 の実施形態に係る高耐圧集積回路装置 1 0 0 に対して以下の構成が異なっている。

すなわち、図 1 に示すように、本発明の第 1 の実施形態に係る高耐圧集積回路装置 1 0 0 では、ハイサイド分離層 5 1 とダイオード分離層 5 2 との間のエピタキシャル成長層 2 に高耐圧 n チャンネル M O S F E T 6 2 の n⁺ 型のドレインコンタクト領域 5 7 が設けられ、ハイサイド分離層 5 1 および浮遊電位領域 3 4 の下に空洞 3 が配置された構成になっている。

これに対し、本発明の第 3 の実施形態に係る高耐圧集積回路装置 3 0 0 では、図 8 に示すように、ハイサイド分離層 5 1 およびダイオード分離層 5 2 が設けられておらず、第 1 の実施形態の高耐圧 n チャンネル M O S F E T 6 2 に対して高耐圧 n チャンネル M O S F E T 6 3 の構成が異なっている。そして、本発明の第 3 の実施形態に係る高耐圧集積回路装置 3 0 0 では、浮遊電位領域 3 4 下の空洞 3 も設けられていない。

【 0 0 6 2 】

また、本発明の第 3 の実施形態に係る高耐圧集積回路装置 3 0 0 では、ドレインコンタクト領域 5 7 と、ブートストラップダイオード D b のカソード領域 7 および p チャンネル M O S F E T 3 1 の n⁺ 型のコンタクト領域 2 0 との間のそれぞれの距離 L を十分広げた構成になっている。距離 L を十分広げることで、U - O U T 端子 1 4 に負サージが印加されたときに、ブートストラップダイオード D b のアノード領域 6 から注入された正孔 9 2 は、カソード領域 7 とドレインコンタクト領域 5 7 から引き抜かれ、浮遊電位領域 3 4 への正孔 9 2 の注入は抑制される。この構造は第 1 の実施形態に比べて単純な構造であり、占有面積は大きくなるが、構造が単純化されるので良品率の向上を図ることができる。また、レベルシフトの誤動作を抑制するためには、ドレインコンタクト領域 5 7 と n⁺ 型のコンタクト領域 2 0 との間の寄生抵抗 R R 1 の抵抗値をレベルシフト抵抗 R L の抵抗値よりも大きくする必要がある。

10

20

30

40

50

【0063】

ドレインコンタクト領域57と n^+ 型のコンタクト領域20との間隔は、上述の抵抗条件を考慮すると、 $100\mu\text{m}$ 以上が望ましい。また、ドレインコンタクト領域57とコンタクト領域20との間隔を短くするために、エピタキシャル成長層2の上部に p 型拡散層を配置して、寄生抵抗 RR_1 の抵抗値を高くしても良い。

図8において、アノード領域6から注入された正孔92がカソード領域7およびドレインコンタクト領域57に入り込み、ハイサイド側のコンタクト領域20や p^+ 型のソース領域18に入り込まないように、アノード領域6から注入された正孔92の拡散長より距離 L を大きくする。このように、距離 L が正孔92の拡散長より長くすることで、コンタクト領域20や p^+ 型のソース領域18に到達する前に点線で示す正孔92は再結合により消滅する。正孔92の拡散長は数 $10\mu\text{m}$ 程度である。

10

【0064】

(第4の実施形態)

図9に示すように、本発明の第4の実施形態に係る高耐圧集積回路装置400は、上述した第1の実施形態に係る高耐圧集積回路装置100に対して以下の構成が異なっている。

すなわち、図1に示すように、本発明の第1の実施形態に係る高耐圧集積回路装置100では、高耐圧 n チャネルMOSFET62のドレインコンタクト領域57と浮遊電位領域34との間にハイサイド分離層51が設けられ、ハイサイド分離層51および浮遊電位領域34の下に空洞3が配置された構成になっている。

20

これに対し、本発明の第4の実施形態に係る高耐圧集積回路装置400では、図9に示すように、ハイサイド分離層51が設けられておらず、浮遊電位領域34下の空洞3も設けられていない。

【0065】

また、本発明の第4の実施形態に係る高耐圧集積回路装置400では、ドレインコンタクト領域57と、コンタクト領域20との間の距離 L を十分広げた構成になっている。このように、距離 L を十分広げることで、レベルシフトの誤動作を抑制することができる。第3の実施形態と同様に、ドレインコンタクト領域57とコンタクト領域20との間の寄生抵抗 RR_1 の抵抗値をレベルシフト抵抗 RL の抵抗値よりも大きくする必要がある。

ドレインコンタクト領域57とコンタクト領域20との間隔は、上述の抵抗条件を考慮すると、 $100\mu\text{m}$ 以上が望ましい。また、ドレインコンタクト領域57とコンタクト領域20との間隔を短くするために、エピタキシャル成長層2の上部に p 型拡散層を配置して、寄生抵抗 RR_1 の抵抗値を高くしても良い。

30

【0066】

以上、本発明者によってなされた発明を、上述の実施形態に基づき具体的に説明したが、本発明は、上述の実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

なお、本発明の第1乃至第4の実施形態に係る半導体装置では、半導体基板としてシリコン半導体基板を用いた場合について説明したが、本発明はこれに限定されるものではなく、例えば炭化ケイ素(SiC)や窒化ガリウム(GaN)などの半導体基板を用いた半導体装置に適用することができる。

40

【産業上の利用可能性】

【0067】

以上のように、本発明に係る半導体装置は、ブートストラップダイオードの順バイアス時に基板側に流れる正孔によるリーク電流を抑制すると同時にブートストラップコンデンサの充電電流を大きくし、なおかつチップ面積の増大を抑制することができ、同一基板に高耐圧MOSFETおよびブートストラップダイオードを有する半導体装置に有用である。

【符号の説明】

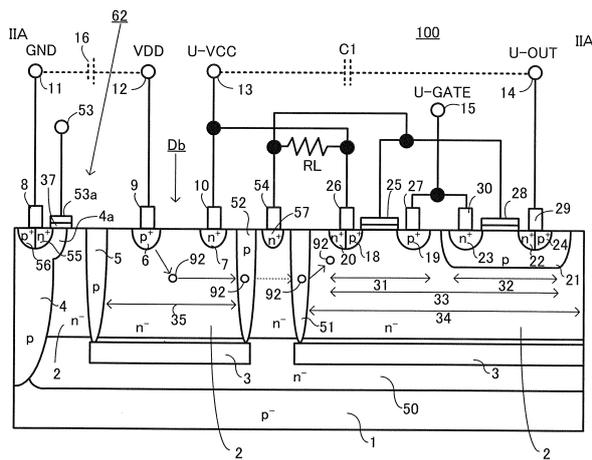
【0068】

50

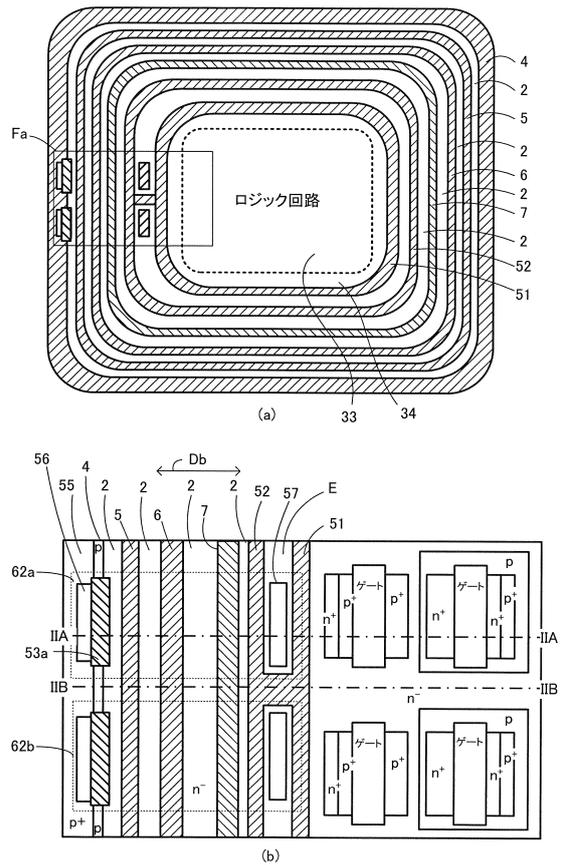
1	半導体基板	
2	エピタキシャル成長層（半導体層）	
3	空洞（第1絶縁分離領域，第2絶縁分離領域）	
4	ディープ領域（第1分離領域）	
5	フローティング領域（第2分離領域）	
6	アノード領域	
7	カソード領域	
8	GND電極	
9	アノード電極	
10	カソード電極	10
11	GND端子	
12	VDD端子	
13	U-VCC端子	
14	U-OUT端子	
15	U-GATE端子	
16	VDD電源	
18	ソース領域	
19	ドレイン領域	
20	コンタクト領域	
21	オフセット領域	20
22	ソース領域	
23	ドレイン領域	
24, 56	コンタクト領域	
25, 28, 53a	ゲート電極	
26, 29	ソース電極	
27, 30, 54a	ドレイン電極	
31	pチャネルMOSFET	
32	nチャネルMOSFET	
33	CMOS回路	
34	浮遊電位領域	30
35	形成領域	
50	埋め込み層	
51	ハイサイド分離層（第4分離領域）	
51a, 52a	コンタクト領域	
52	ダイオード分離層（第3分離領域）	
53	ゲート端子	
54	ドレイン端子	
55	ソース領域	
56	コンタクト領域	
57	ドレインコンタクト領域	40
62, 63	高耐圧nチャネルMOSFET	
81, 82, 83	pn接合	
90	空乏層	
91	電子	
92	正孔	
100, 200, 300, 400	高耐圧集積回路装置	
Db	ブートストラップダイオード	
C1	ブートストラップコンデンサ	
RL	レベルシフト抵抗	
Q1~Q3	上アーム出力素子	50

- Q 4 ~ Q 6 下アーム出力素子
- VCC 2 主電源
- VCC 2 H 高電位側電位
- VCC 2 L 低電位側電位
- L 距離
- GDU ゲート駆動回路

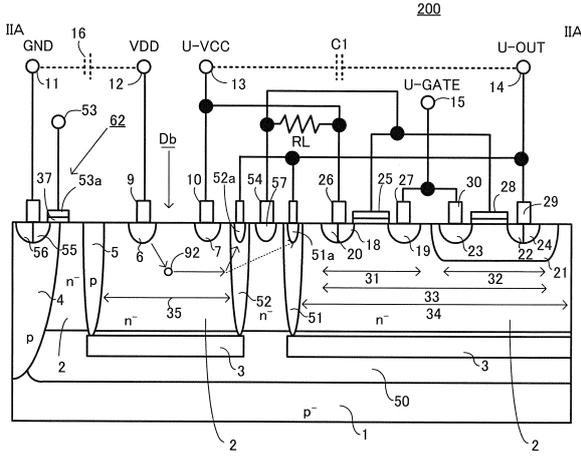
【図1】



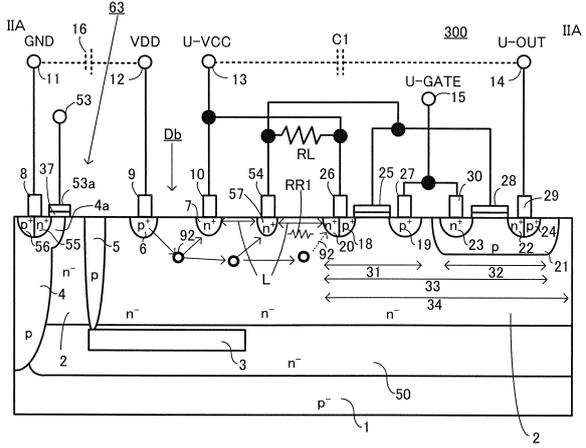
【図2】



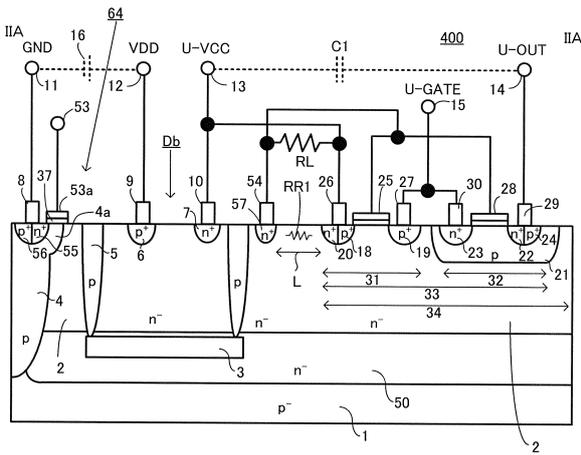
【図7】



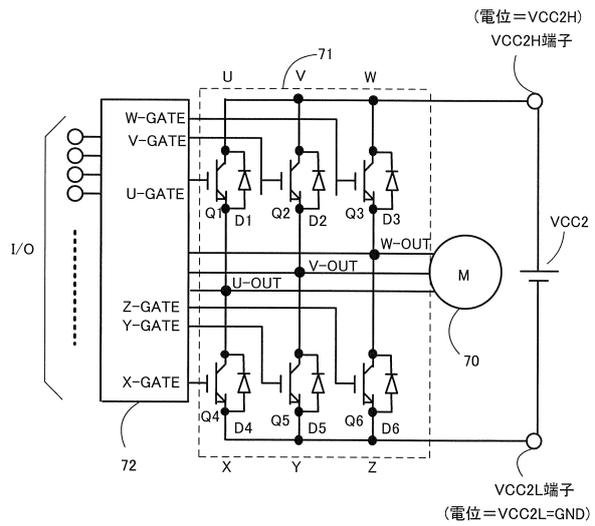
【図8】



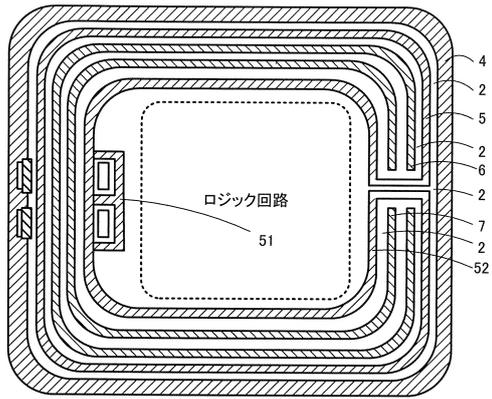
【図9】



【図10】



【図16】



フロントページの続き

(51) Int.Cl.			F I		
H 0 1 L	29/868	(2006.01)	H 0 1 L	29/91	C
H 0 1 L	21/822	(2006.01)	H 0 1 L	27/04	H
H 0 1 L	27/04	(2006.01)	H 0 1 L	21/76	A
H 0 1 L	21/764	(2006.01)	H 0 1 L	21/76	J
H 0 1 L	21/761	(2006.01)			

- (56)参考文献 特開2012-227300(JP,A)
特開2002-324848(JP,A)
特開2012-009694(JP,A)
特開2004-047937(JP,A)
特開2006-005182(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 27/08
H 0 1 L 21/761
H 0 1 L 21/764
H 0 1 L 21/822
H 0 1 L 21/8234
H 0 1 L 27/04
H 0 1 L 27/06
H 0 1 L 29/06
H 0 1 L 29/861
H 0 1 L 29/868