

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5524443号
(P5524443)

(45) 発行日 平成26年6月18日 (2014. 6. 18)

(24) 登録日 平成26年4月18日 (2014. 4. 18)

(51) Int. Cl.	F I	
HO 1 L 21/76 (2006. 01)	HO 1 L 21/76	L
HO 1 L 27/06 (2006. 01)	HO 1 L 27/06	1 O 2 A
HO 1 L 21/8234 (2006. 01)	HO 1 L 27/08	3 3 1 A
HO 1 L 27/08 (2006. 01)	HO 1 L 27/10	6 2 1 C
HO 1 L 21/8242 (2006. 01)	HO 1 L 27/10	6 8 1 D
請求項の数 2 (全 13 頁) 最終頁に続く		

(21) 出願番号 特願2007-15848 (P2007-15848)
 (22) 出願日 平成19年1月26日 (2007. 1. 26)
 (65) 公開番号 特開2007-288137 (P2007-288137A)
 (43) 公開日 平成19年11月1日 (2007. 11. 1)
 審査請求日 平成20年5月14日 (2008. 5. 14)
 (31) 優先権主張番号 特願2006-82616 (P2006-82616)
 (32) 優先日 平成18年3月24日 (2006. 3. 24)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 513192281
 ビーエスフォー ルクスコ エスエイアー
 ルエル
 PS4 Luxco S. a. r. l.
 ルクセンブルク大公国エルー 2 1 2 1、ル
 クセンブルク、ヴァル デ ボン マラデ
 ス 2 0 8
 (74) 代理人 110001195
 特許業務法人深見特許事務所
 (72) 発明者 田中 義典
 東京都中央区八重洲 2-2-1 エルピー
 ダメモリ株式会社内

審査官 宮澤 尚之

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

エッチングにより基板に S T I 構造用のトレンチを形成する工程と、
 前記トレンチ内の前記基板表面に接して屈折率が 1 . 6 ~ 1 . 9 であるシリコン酸窒化膜を形成する工程と、

酸素を前記シリコン酸窒化膜を透過させ、これにより、前記シリコン酸窒化膜と前記基板との界面にその膜厚が 1 n m 以下である界面酸化膜を形成する工程と、
 を含む半導体装置の製造方法。

【請求項 2】

前記トレンチはマスクを用いて前記基板を選択的にエッチングすることにより形成され、さらに、前記シリコン酸窒化膜を形成する前の水素雰囲気でのアニーリングを、前記マスクを等方的エッチングによりその一部を除去したマスクに変更した状態で行う工程を含む、請求項 1 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関する。特に、本発明は、S T I (Shallow Trench Isolation) 構造を有する半導体装置及びその製造方法に関する。

【背景技術】

【0002】

DRAM等の半導体装置において、素子間を分離するために素子分離構造が形成される。素子分離構造として、トレンチに絶縁膜が埋め込まれたSTI構造が知られている。

【0003】

図1は、従来のSTI構造を示す断面図である。図1において、シリコン基板101にはトレンチ105が設けられている。そのトレンチ105内には、素子分離構造としてSTI構造140が埋め込まれている。具体的には、トレンチ105内のシリコン基板101の表面上に、シリコン熱酸化膜110が形成されている。また、そのシリコン熱酸化膜110上に、CVD酸化膜120が形成されている。つまり、トレンチ105の内壁はシリコン熱酸化膜110で覆われており、トレンチ105内のその他の領域はCVD酸化膜120で充填されている。このようなシリコン熱酸化膜110及びCVD酸化膜120によって、STI構造140が構成されている。

10

【0004】

また、図2に示されるように、シリコン熱酸化膜110とCVD酸化膜120との間に、シリコン窒化膜(SiN膜)130が形成される場合もある(例えば、特許文献1参照)。この場合、シリコン熱酸化膜110、シリコン窒化膜130、及びCVD酸化膜120によって、STI構造140が構成されている。

【0005】

図1及び図2に示されるように、このようなSTI構造140によって素子間が分離され、STI構造140で囲まれるようにトランジスタの活性領域Raが形成されている。ここで、その活性領域Raの幅、すなわちSTI構造140の間隔は、“W2”で表されるとする。

20

【0006】

以上に説明された従来のSTI構造140の製造方法は、次の通りである。例えば、図3～図7は、図1に示されたSTI構造140の製造工程を順番に示している。

【0007】

まず、図3に示されるように、シリコン基板101上に、シリコン熱酸化膜102及びシリコン窒化膜103が順次積層される。更に、フォトリソグラフィ技術により、所定のパターンを有するレジストマスク104が、シリコン窒化膜103上に形成される。

【0008】

次に、そのレジストマスク104を用いたドライエッチングにより、開口部におけるシリコン窒化膜103及びシリコン熱酸化膜102が除去される。また、レジストマスク104も除去される。その結果、図4に示されるように、トレンチ作成用のSiNマスク106が形成される。続いて、そのSiNマスク106を用いることにより、シリコン基板101に対するドライエッチングが行われる。その結果、図4に示されるように、STI構造が埋め込まれる領域にトレンチ105が形成される。この時点で、トレンチ105の間隔、すなわち活性領域Raに対応する領域の幅は、“W1”であるとする。

30

【0009】

次に、図5に示されるように、熱酸化法によって、トレンチ105の内壁に膜厚10nm程度のシリコン熱酸化膜110が形成される。この内壁の酸化は、上述のトレンチ105の形成のためのドライエッチング(トレンチエッチング)により発生した基板表面の損傷を修復する役割を果たしている(特許文献1参照)。その損傷の修復により、接合リーク特性が改善されると言われている。一方、この内壁の酸化によって、活性領域Raの幅は、上記“W1”より狭い“W2”となる。

40

【0010】

次に、図6に示されるように、高密度プラズマCVD(HDP-CVD)法により、トレンチ105の内部を完全に充填するようにCVD酸化膜115が堆積される。ここで、トレンチ105の内壁を覆う上述のシリコン酸化膜110は、高密度プラズマから基板表面を守る役割も果たす。

【0011】

次に、図7に示されるように、余分なCVD酸化膜115がCMP(Chemical Mechani

50

cal Polishing) により除去され、S T I 構造のC V D 酸化膜 1 2 0 が形成される。ここで、S i N マスク 1 0 6 は、ストップとして用いられる。その後、ウェットエッチングにより S i N マスク 1 0 6 及び C V D 酸化膜 1 2 0 の一部が除去される。その結果、図 1 に示された S T I 構造 1 4 0 が完成する。

【 0 0 1 2 】

以上に示されたように、従来技術によれば、トレンチ 1 0 5 の内壁の直接的な熱酸化により、その内壁を覆うシリコン熱酸化膜 1 1 0 が形成される。その結果、トレンチエッチングに起因する基板表面のダメージが修復され、また、H D P - C V D 工程において基板表面が保護される。これにより、接合リーク特性の劣化が防止されている。

【 0 0 1 3 】

【特許文献 1】特開 2 0 0 5 - 3 2 2 8 5 9 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 4 】

本願発明者は、次の点に着目した。すなわち、上述のトレンチ内壁の熱酸化によって、活性領域 R a の幅が W 1 から W 2 に減少してしまう。言い換えれば、上記熱酸化工程は、S T I 構造を膨張させ、トランジスタが形成される活性領域 R a を縮小させてしまう。この活性領域 R a の縮小は、トランジスタのパフォーマンスの減少を招く。例えば D R A M の場合、メモリセルトランジスタのパフォーマンスの減少により、メモリセルに対する書き込み特性が劣化する。特に最近、デバイスの微細化が進んでおり、活性領域 R a のサイズもより小さくなるように設計されている。熱酸化工程によって活性領域 R a が更に縮小されることは、トランジスタのパフォーマンスに深刻な影響を与える。

【 0 0 1 5 】

本発明の目的は、新規の S T I 構造及びその製造方法を提供することにある。

【 0 0 1 6 】

本発明の他の目的は、トランジスタが形成される活性領域を縮小させることのない S T I 構造及びその製造方法を提供することにある。

【 0 0 1 7 】

本発明の更に他の目的は、リーク特性の劣化を防止することができる S T I 構造及びその製造方法を提供することにある。

【 0 0 1 8 】

本発明の更に他の目的は、リーク特性の劣化を防止しつつ、トランジスタのパフォーマンスを向上させることができる S T I 構造及びその製造方法を提供することにある。

【 0 0 1 9 】

本発明の更に他の目的は、リーク特性及びパフォーマンスが向上した半導体装置及びその製造方法を提供することにある。

【 0 0 2 0 】

本発明の更に他の目的は、D R A M のリフレッシュ特性及び書き込み特性を向上させることができる技術を提供することにある。

【課題を解決するための手段】

【 0 0 2 1 】

以下に、[発明を実施するための最良の形態]で使用される番号・符号を用いて、[課題を解決するための手段]を説明する。これらの番号・符号は、[特許請求の範囲]の記載と[発明を実施するための最良の形態]との対応関係を明らかにするために括弧付きで付加されたものである。ただし、それらの番号・符号を、[特許請求の範囲]に記載されている発明の技術的範囲の解釈に用いてはならない。

【 0 0 2 2 】

本発明の第 1 の観点において、半導体装置が提供される。その半導体装置は、トレンチ (5) を有する基板 (1) と、そのトレンチ (5) 内に形成された素子分離構造 (4 0) とを備える。その素子分離構造 (4 0) は、界面酸化膜 (2 0) を介して基板 (1) の表

10

20

30

40

50

面上に形成されたシリコン酸窒化膜(10)と、シリコン酸窒化膜(10)上に形成された埋設絶縁膜(30)とを有する。

【0023】

上記シリコン酸窒化膜(10)の屈折率は、1.6~1.9であることが好適である。また、上記界面酸化膜(20)は従来形成されていた熱酸化膜(110)と異なり、その膜厚は1nm以下である。また、上記埋設絶縁膜(30)は、CVD法によって形成されるCVD酸化膜である。

【0024】

本発明に係る半導体装置において、トレンチ(5)の上部コーナー及び下部コーナーにラウンディング部(RT, RB)が設けられていてもよい。

10

【0025】

本発明に係る半導体装置は、DRAM(50)であってもよい。その場合、半導体装置は、上記素子分離構造(40)で囲まれた活性領域(Ra)の基板上に形成されたMOSトランジスタと、そのMOSトランジスタのソース又はドレインに接続されたキャパシタ(61)とを更に備える。

【0026】

本発明の第2の観点において、半導体装置の製造方法が提供される。その製造方法は、(A)エッチングにより基板(1)にトレンチ(5)を形成する工程と、(B)そのトレンチ(5)内に素子分離構造(40)を形成する工程とを有する。上記(B)工程は、(B1)トレンチ(5)内の基板表面上にシリコン酸窒化膜(10)を形成する工程と、(B2)上記(B1)工程後に、酸化雰囲気アニーリングを行う工程とを含む。

20

【0027】

シリコン酸窒化膜(10)は酸素を透過させる性質を有しているため、上記(B2)工程により、基板(1)とシリコン酸窒化膜(10)との界面に、膜厚1nm以下の薄い界面酸化膜(20)が形成される。この界面酸化膜(20)は、リーク電流特性の劣化を防止する役割を果たす。それは、次の理由による。一般的に、シリコン窒化膜(SiN膜)やシリコン酸窒化膜(SiON膜)がシリコン基板と直接接すると、界面にトラップや界面準位が形成される。これらトラップや界面準位は、リーク電流特性を劣化させる。本発明によれば、シリコン酸窒化膜(10)が基板(1)上に一旦形成されるものの、そのシリコン酸窒化膜(10)の酸素透過性を利用した上記(B2)工程によって、界面に薄い界面酸化膜(20)が形成される。これにより、特異なトラップや界面準位が界面に形成されることが防止される。すなわち、リーク電流特性の劣化が防止される。

30

【0028】

また、上述の界面酸化膜(20)の形成にあたり、従来行われていたトレンチ(5)の内壁に対する直接的な熱酸化工程が省略されている。その代わりに、トレンチ(5)の内壁にはシリコン酸窒化膜(10)が形成され、そのシリコン酸窒化膜(10)の酸素透過性を利用した上記(B2)工程によって、界面に薄い界面酸化膜(20)が形成される。従来の内壁熱酸化工程が省略されるため、トランジスタが形成される活性領域(Ra)は縮小されない。従って、従来技術と比較して、トランジスタのパフォーマンスが向上する。特に、DRAM(50)の場合、メモリセルトランジスタのパフォーマンスの劣化が防止され、メモリセルに対する書き込み特性が向上する。

40

【0029】

更に、本発明に係る製造方法は、(C)上記(A)、(B)工程の間に、H₂雰囲気アニーリングを行う工程を有してもよい。これにより、上記(A)工程におけるトレンチエッチングに起因する基板表面の損傷が修復される。その損傷の修復により、接合リーク特性が改善される。このように、トレンチ(5)の内壁に対する直接的な熱酸化工程が省略されても、トレンチエッチングによる損傷は除去され、優れたリーク特性は維持される。

【0030】

また、上記(C)工程は、トレンチ(5)の上部コーナー及び下部コーナーを丸める効

50

果も有する。すなわち、上記(C)工程により、トレンチ(5)の上部コーナー及び下部コーナーにラウンディング部(RT, RB)が形成される。半導体装置の製造過程において、トレンチ(5)の上部コーナー及び下部コーナーには、様々な応力が加わり、結晶欠陥が発生しやすい。トレンチ(5)の上部コーナー及び下部コーナーを丸めることによって、それらコーナーに対する応力が緩和され、結晶欠陥の発生が抑制される。これにより、半導体装置の特性が向上する。上記(C)工程は、トレンチエッチングによるダメージの除去、及び、ラウンディング部(RT, RB)の形成、の2つの役割を果たしていると言える。

【0031】

また、本発明において、上記(A)工程は、(A1)基板(1)上にトレンチ(5)のパターンを有するマスク(6)を形成する工程と、(A2)そのマスク(6)を用いたドライエッチングによりトレンチ(5)を形成する工程とを含む。この場合、上記(C)工程は、(C1)等方的エッチングによりそのマスク(6)の一部を除去する工程と、(C2)H₂雰囲気でのアニーリングを行う工程とを含む。上記(C1)工程により、トレンチ(5)を形成するために使用されたマスク(6)の端部が、トレンチ(5)の上部コーナーから後退する。その結果、続く(C2)工程において、その上部コーナーにラウンディング部(RT)を形成し易くなる。

【発明の効果】

【0032】

以上に説明されたように、本発明によれば、新規のSTI構造及びその製造方法が提供される。そのSTI構造及び製造方法によれば、トランジスタが形成される活性領域は縮小されず、また、リーク特性の劣化も防止される。従って、そのSTI構造を有する半導体装置において、リーク特性の劣化の防止とパフォーマンスの向上との両立が実現される。特に、DRAMの場合、リフレッシュ特性及び書き込み特性が向上する。

【発明を実施するための最良の形態】

【0033】

添付図面を参照して、本発明に係るSTI構造、そのSTI構造を有する半導体装置、及びその半導体装置の製造方法を説明する。

【0034】

1. 第1の実施の形態

1-1. 構造

図8は、本発明の第1の実施の形態に係るSTI構造を示す断面図である。シリコン基板1には、複数のトレンチ5が略平行に設けられている。各トレンチ105内には、素子分離構造としてSTI構造40が形成されている。

【0035】

具体的には、トレンチ5内のシリコン基板1の表面上に、薄い界面酸化膜20を介してシリコン酸窒化膜(SiON膜)10が形成されている。また、そのシリコン酸窒化膜10上に、埋設絶縁膜30が形成されている。つまり、シリコン酸窒化膜10は、トレンチ5の内壁を覆うように形成されており、そのシリコン酸窒化膜10とシリコン基板1との間の界面には、薄い界面酸化膜20が設けられている。そして、トレンチ5内のその他の領域には、埋設絶縁膜30が埋め込まれている。これら界面酸化膜20、シリコン酸窒化膜10、及び埋設絶縁膜30によって、STI構造40が構成されている。このようなSTI構造40によって素子間が分離され、STI構造40で囲まれるようにトランジスタの活性領域Raが形成されている。ここで、その活性領域Raの幅、すなわちSTI構造40の間隔は、“W2”で表されるとする。

【0036】

本実施の形態に係るSTI構造40は、従来の熱酸化膜110(図1参照)を有していない。すなわち、トレンチの内壁に対する直接的な熱酸化により形成されていた膜厚10nm程度の熱酸化膜は、本実施の形態においては形成されていない。その代わりに、トレンチ5の内壁上には、界面酸化膜20を介してシリコン酸窒化膜10が形成されている。そ

10

20

30

40

50

の界面酸化膜 20 は、後述される方法で形成される薄い酸化膜である。界面酸化膜 20 は極めて薄く、その膜厚は 1 nm 以下である。また、後述されるように、シリコン窒化膜 10 の屈折率は、1.6 ~ 1.9 の範囲に設定されている。また、埋設絶縁膜 30 としては、CVD 法により形成される CVD 酸化膜が例示される。

【0037】

更に、図 8 に示されるように、トレンチ 5 の上部コーナー及び下部コーナーには、それぞれ丸形状のラウンディング部 RT 及び RB が形成されている。後述されるように、これらラウンディング部 RT、RB は、トレンチ 5 の上部コーナー及び下部コーナーを積極的に丸めることによって形成される。

【0038】

1-2. 製造方法

次に、図 9 ~ 図 14 を参照して、本実施の形態に係る STI 構造 40 の製造方法を説明する。

【0039】

まず、図 9 に示されるように、シリコン基板 1 上に、シリコン熱酸化膜 2 が形成される。このシリコン熱酸化膜 2 は、ランプ装置や炉内にて 750 ~ 1100 程度の温度で熱処理を行うことによって形成される。続いて、CVD 法により、シリコン熱酸化膜 2 上にシリコン窒化膜 (SiN 膜) 3 が堆積される。更に、全面にレジストが塗布された後、フォトリソグラフィ技術により、所定のパターンを有するレジストマスク 4 が、シリコン窒化膜 3 上に形成される。その所定のパターンは、トレンチが形成される領域において開口している。

【0040】

次に、そのレジストマスク 4 を用いたドライエッチングにより、開口部におけるシリコン窒化膜 3 及びシリコン熱酸化膜 2 が除去される。また、レジストマスク 4 も除去される。その結果、図 10 に示されるように、トレンチ作成用のマスク 6 (以下、SiN マスクと参照される) が形成される。この SiN マスク 6 は、作成されるトレンチのパターンを有している。続いて、その SiN マスク 6 を用いることにより、シリコン基板 1 に対するドライエッチングが行われる (以下、「トレンチエッチング」と参照される)。その結果、図 10 に示されるように、STI 構造が埋め込まれる領域にトレンチ 5 が形成される。この時点で、トレンチ 5 の間隔、すなわち活性領域 Ra に対応する領域の幅は、“W1”

【0041】

次に、硫酸や塩酸系の洗浄液を用いた酸洗浄、及びアンモニア系の洗浄液を用いたアルカリ洗浄が実施される。続いて、燐酸液や有機系液を用いることにより、上記 SiN マスク 6 に対する等方的エッチングが行われる。その結果、図 11 に示されるように、SiN マスク 6 の一部が除去され、その SiN マスク 6 の端部が、トレンチ 5 の上部コーナーから後退する (プルバック工程)。等方的エッチング後の SiN マスク 6' は、元の SiN マスク 6 より幅 1 ほど縮小されている。その後更に、HF 系の洗浄液を用いたウェット洗浄が実施され、自然酸化膜が除去される。

【0042】

次に、H₂ 雰囲気中でアニーリングが行われる。温度は、800 ~ 900 の範囲に設定される。このような H₂ 雰囲気でのアニーリング処理によって、上記トレンチエッチングに起因する基板表面の損傷が修復される。その損傷の修復により、接合リーク特性が改善される。

【0043】

更に、この H₂ 雰囲気でのアニーリングによって、シリコンのマイグレーションが起こり、トレンチ 5 の上部コーナー及び下部コーナーが丸められる。すなわち、このアニーリングによって、図 11 に示されるように、トレンチ 5 の上部コーナー及び下部コーナーに、それぞれ丸形状のラウンディング部 RT 及び RB が形成される。ラウンディング部 RT、RB による効果は、次の通りである。すなわち、半導体装置の製造過程において、トレ

10

20

30

40

50

ンチ5の上部コーナー及び下部コーナーには、様々な応力が加わり、結晶欠陥が発生しやすい。トレンチ5の上部コーナー及び下部コーナーを丸めることによって、それらコーナーに対する応力が緩和され、結晶欠陥の発生が抑制される。これにより、半導体装置の特性が向上する。

【0044】

本実施の形態において、 H_2 雰囲気でのアニーリング処理は、(1) トレンチエッチングによるダメージの除去、(2) ラウンディング部RT, RBの形成、の2つの役割を1工程で果たしていると言える。また、上述のプルバック工程は、上部コーナーへのラウンディング部RTの形成を容易にするために行われている。

【0045】

次に、酸及びアンモニア系の洗浄、さらにHF系の洗浄が行われる。続いて、図12に示されるように、CVD法によって、シリコン酸窒化膜(SiON膜)10が全面に堆積される。つまり、トレンチ5の内壁に対して直接的な熱酸化処理は行われず、トレンチ5内の基板表面上にはシリコン酸窒化膜10が形成される。尚、シリコン酸窒化膜10の堆積において、 SiH_4 、 NH_3 、 N_2O 、NO等の材料ガスの混合比を適宜変化させることにより、形成されるシリコン酸窒化膜10中のO/N比を調整することができる。後に示されるように、形成されるシリコン酸窒化膜10の屈折率は、1.6~1.9の範囲となるように制御されると好適である。尚、 SiH_4 に変えて、ジシラン(Si_2H_6)、ジクロロシラン(SiH_2Cl_2)などを用いることもできる。

【0046】

次に、図13に示されるように、CVD法によって、シリコン酸窒化膜10の上にCVD酸化膜15が堆積される。このCVD酸化膜15(埋設絶縁膜)は、トレンチ5の内部を完全に充填するように形成される。採用されるCVD法は、高密度プラズマCVD(HDP-CVD)法、減圧CVD法、常圧CVD法のいずれであってもよい。トレンチ5の内壁を覆う上述のシリコン酸窒化膜10は、CVDにおけるプラズマから基板表面を守る役割も果たす。

【0047】

ここで、シリコン酸窒化膜10は、微量の酸素(O)を透過させる性質を有している。より詳細には、シリコン酸窒化膜10は、屈折率を制御することにより、数%~数十%の酸素(O)を透過させる性質を有するようになる。本実施の形態によれば、このシリコン酸窒化膜10の性質が、STI構造の形成に応用される。

【0048】

具体的には、上述のシリコン酸窒化膜10が形成された後、あるいは、上述のCVD酸化膜15が形成された後、酸化雰囲気でのアニーリングが行われる。例えば、 H_2/O_2 雰囲気において、700~800 程度の温度でアニーリングが行われる。あるいは、 N_2/O_2 雰囲気において、1100~1150 程度の温度でアニーリングが行われる。その結果、微量の酸素がシリコン酸窒化膜10を透過し、図13に示されるように、シリコン酸窒化膜10とシリコン基板1との間の界面に、従来の熱酸化膜110とは異なる界面酸化膜20が形成される。この界面酸化膜20は極めて薄く、その膜厚は1nm以下である。従って、STI構造の間隔W2、すなわち、活性領域Raの幅W2は、図10における幅W1とほとんど同じである。

【0049】

本工程で形成される界面酸化膜20は、リーク電流特性の劣化を防止する役割を果たす。それは、次の理由による。一般的に、シリコン窒化膜(SiN膜)やシリコン酸窒化膜(SiON膜)がシリコン基板と直接接すると、界面にトラップや界面準位が形成される。これらトラップや界面準位は、リーク電流特性を劣化させる。本実施の形態によれば、シリコン酸窒化膜10がシリコン基板1上に一旦形成されるものの、そのシリコン酸窒化膜10の酸素透過性を利用した本工程によって、界面に薄い界面酸化膜20が形成される。これにより、特異なトラップや界面準位が界面に形成されることが防止される。すなわち、リーク電流特性の劣化が防止される。

10

20

30

40

50

【0050】

シリコン酸窒化膜10の酸素透過性は、その屈折率を調整することにより制御可能である。数%~数十%の酸素(O)を透過させるためには、シリコン酸窒化膜10の屈折率を1.6~1.9の範囲に設定すればよい。従って、既出の図12に示された工程において、シリコン酸窒化膜10は、屈折率が1.6~1.9になるように形成されると好適である。尚、数%の酸素透過率は、シリコン酸窒化膜10の屈折率が1.9の場合に相当し、数十%の酸素透過率は、同じく屈折率が1.6の場合に相当する。より大きな屈折率は、N含有量が多く、シリコン窒化膜(屈折率2.1)に近いことを意味しており、酸素透過率は小さくなる。また、より小さな屈折率は、N含有量が少なく、シリコン酸化膜(屈折率1.4)に近いことを意味しており、酸素透過率は大きくなる。

10

【0051】

次に、図14に示されるように、余分なCVD酸化膜15がCMP(Chemical Mechanical Polishing)により除去され、STI構造のCVD酸化膜30が形成される。ここで、SiNマスク6'は、ストッパとして用いられる。その後、燐酸液を用いたウェットエッチングにより、SiNマスク6'及びシリコン酸窒化膜10の一部が除去される。更に、HF溶液により、CVD酸化膜30の一部が除去される。その結果、図8に示された新規のSTI構造40が完成する。

【0052】

1-3. 効果

以上に説明されたように、本実施の形態によれば、トレンチ5の内壁に対する従来の直接的な熱酸化処理は行われぬ。その代わりに、トレンチ5の内壁にはシリコン酸窒化膜10が形成され、そのシリコン酸窒化膜10の酸素透過性を利用したプロセスによって、界面に薄い界面酸化膜20が形成される。この薄い界面酸化膜20が、リーク電流特性の劣化を防止する役割を果たす。また、従来の内壁熱酸化工程が省略されるため、トランジスタが形成される活性領域Raは縮小されない。従って、従来技術と比較して、トランジスタのパフォーマンスが向上する。すなわち、本実施の形態のSTI構造40を有する半導体装置によれば、リーク特性の劣化の防止とパフォーマンスの向上との両立が実現される。

20

【0053】

更に、本実施の形態によれば、トレンチエッチングの直後に、H₂雰囲気でのアニーリングが行われる。このH₂雰囲気でのアニーリングにより、トレンチエッチングに起因する基板表面の損傷が修復される。その損傷の修復により、接合リーク特性が改善される。このように、トレンチ5の内壁に対する直接的な熱酸化処理が省略されても、トレンチエッチングによるダメージは除去される。従って、優れたリーク特性は維持される。

30

【0054】

また、このH₂雰囲気でのアニーリングの結果、トレンチ5の上部コーナー及び下部コーナーに、それぞれ丸形状のラウンディング部RT, RBが形成される。ラウンディング部RT, RBによって、それらコーナーに対する応力が緩和され、結晶欠陥の発生が抑制される。本実施の形態において、H₂雰囲気でのアニーリング処理は、(1)トレンチエッチングによるダメージの除去、(2)ラウンディング部RT, RBの形成、の2つの役割を1工程で果たしていると言える。

40

【0055】

2. 第2の実施の形態

本発明の第2の実施の形態において、上述のSTI構造40がDRAMに適用される。この場合、STI構造40で囲まれた活性領域Raには、メモリセルトランジスタが形成される。また、そのメモリセルトランジスタ(MOSTランジスタ)のソース又はドレインに接続されるようにキャパシタが形成される。

【0056】

図15は、本実施の形態に係るDRAM50の構造の一例を示している。図15において、シリコン基板1には、上述のSTI構造40が形成されている。また、活性領域Ra

50

におけるシリコン基板 1 上には、ゲート絶縁膜 5 1 を介してゲート電極 5 2 が形成されている。ゲート電極 5 2 は、例えばポリメタルゲートである。そのゲート電極 5 2 の両側には、サイドウォール 5 3 が形成されている。サイドウォール 5 3 は、例えばシリコン窒化膜により形成されている。また、ゲート電極 5 2 の上にはシリコン窒化膜 5 4 が形成されている。

【0057】

また、メモリセルトランジスタのソース/ドレイン拡散層（基板コンタクト領域）につながる選択エピ層 5 5 が形成されている。選択エピ層 5 5 上には、コンタクトプラグとしてのポリシリコン膜 5 6 が形成されている。一方のポリシリコン膜 5 6 には、ビット線 5 7 が接続されている。そのビット線 5 7 は、W/TiN/Ti などで形成されたメタルビット線である。

10

【0058】

更に、そのビット線 5 7 を覆うように、層間絶縁膜 5 8、5 9 が形成されている。その層間絶縁膜 5 8、5 9 を貫通し、他方のポリシリコン膜 5 6 につながるように、プラグ 6 0 が形成されている。そのプラグ 6 0 は、TiN/Ti などで形成されている。更に、そのプラグ 6 0 に接続されるように、円筒状のキャパシタ下部電極 6 1 が形成されている。キャパシタ下部電極 6 1 は、ポリシリコン膜やTiN、W、Ruなどのメタル膜によって形成されている。

【0059】

上述の通り、本発明に係るSTI構造 4 0 によれば、リーク特性の劣化が防止される。従って、そのSTI構造 4 0 が適用されたDRAM 5 0 によれば、優れたリフレッシュ特性が維持される。また、本発明に係るSTI構造 4 0 によれば、活性領域Raが縮小されない。従って、そのSTI構造 4 0 が適用されたDRAM 5 0 によれば、メモリセルトランジスタのパフォーマンスが向上し、メモリセルに対する書き込み特性が向上する。DRAMメモリセルが微細化されても、メモリセルトランジスタの高パフォーマンス特性が維持される。

20

【図面の簡単な説明】

【0060】

【図1】図1は、従来のSTI構造を示す断面図である。

【図2】図2は、他の従来のSTI構造を示す断面図である。

30

【図3】図3は、従来のSTI構造の製造工程を示す断面図である。

【図4】図4は、従来のSTI構造の製造工程を示す断面図である。

【図5】図5は、従来のSTI構造の製造工程を示す断面図である。

【図6】図6は、従来のSTI構造の製造工程を示す断面図である。

【図7】図7は、従来のSTI構造の製造工程を示す断面図である。

【図8】図8は、本発明の第1の実施の形態に係るSTI構造を示す断面図である。

【図9】図9は、第1の実施の形態に係るSTI構造の製造工程を示す断面図である。

【図10】図10は、第1の実施の形態に係るSTI構造の製造工程を示す断面図である。

。

【図11】図11は、第1の実施の形態に係るSTI構造の製造工程を示す断面図である。

40

。

【図12】図12は、第1の実施の形態に係るSTI構造の製造工程を示す断面図である。

。

【図13】図13は、第1の実施の形態に係るSTI構造の製造工程を示す断面図である。

。

【図14】図14は、第1の実施の形態に係るSTI構造の製造工程を示す断面図である。

。

【図15】図15は、本発明の第2の実施の形態に係る半導体装置の構造を示す断面図である。

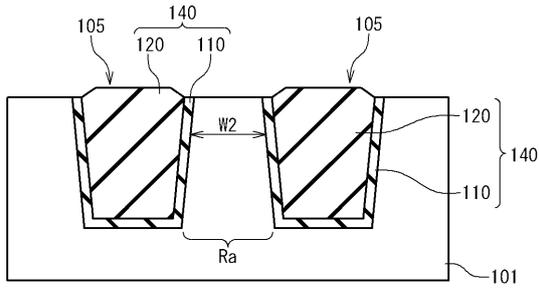
【符号の説明】

50

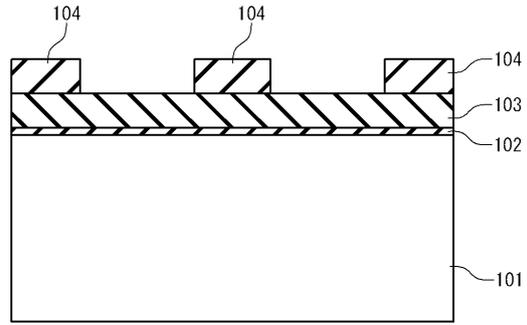
【 0 0 6 1 】

1	シリコン基板	
2	シリコン熱酸化膜	
3	シリコン窒化膜	
4	レジストマスク	
5	トレンチ	
6, 6'	SiNマスク	
10	シリコン酸窒化膜 (SiON膜)	
15	CVD酸化膜	
20	界面酸化膜	10
30	CVD酸化膜	
40	STI構造	
50	DRAM	
51	ゲート絶縁膜	
52	ゲート電極	
53	サイドウォール	
54	シリコン窒化膜	
55	選択エピ層	
56	ポリシリコン膜	
57	ビット線	20
58	層間絶縁膜	
59	層間絶縁膜	
60	プラグ	
61	キャパシタ下部電極	
RT, RB	ラウンディング部	
Ra	活性領域	

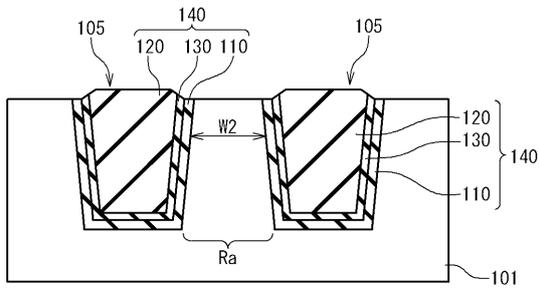
【図1】



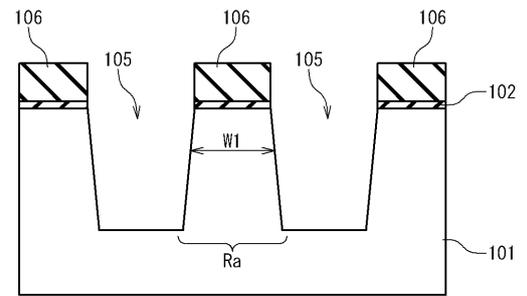
【図3】



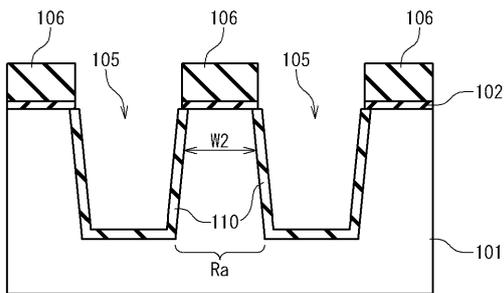
【図2】



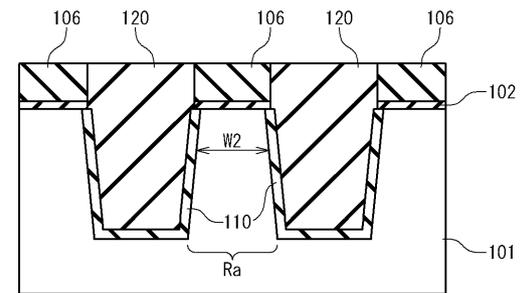
【図4】



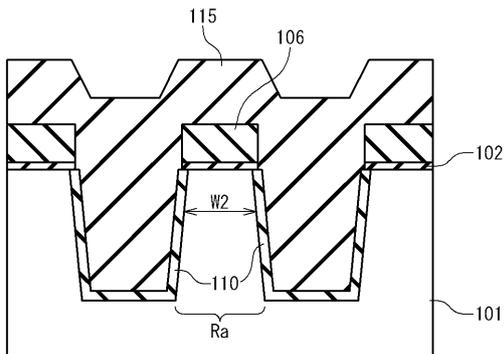
【図5】



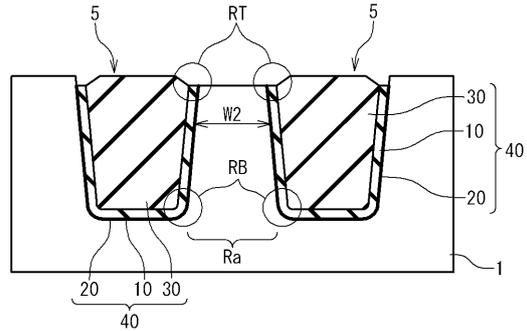
【図7】



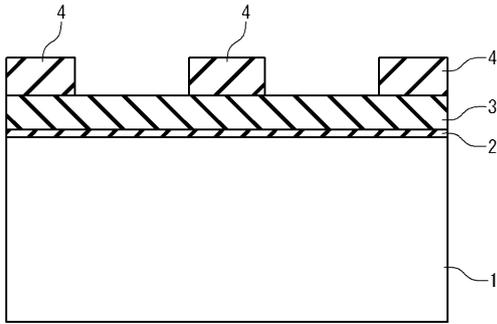
【図6】



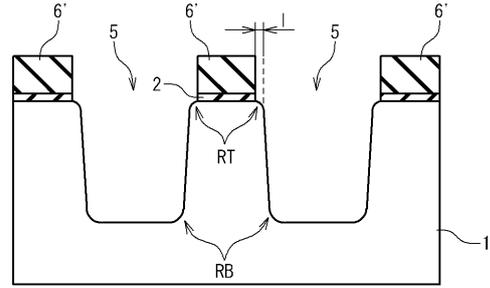
【図8】



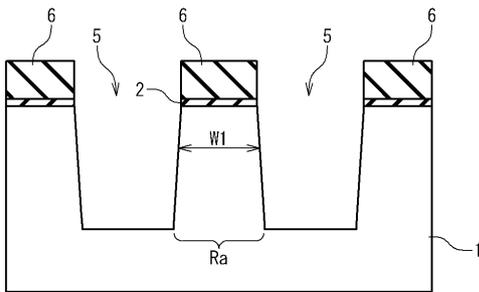
【図9】



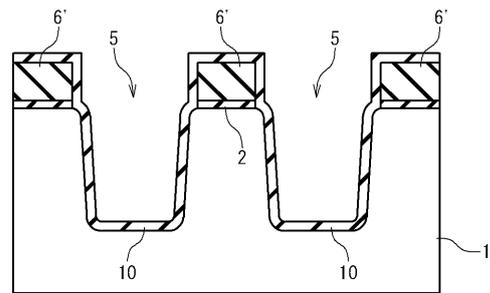
【図11】



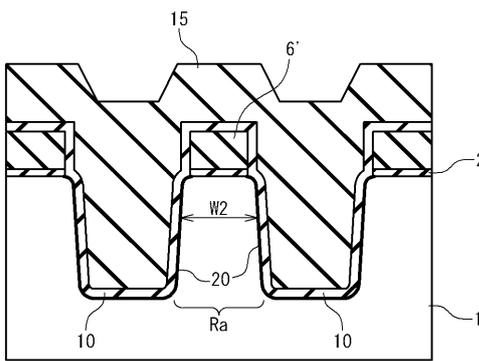
【図10】



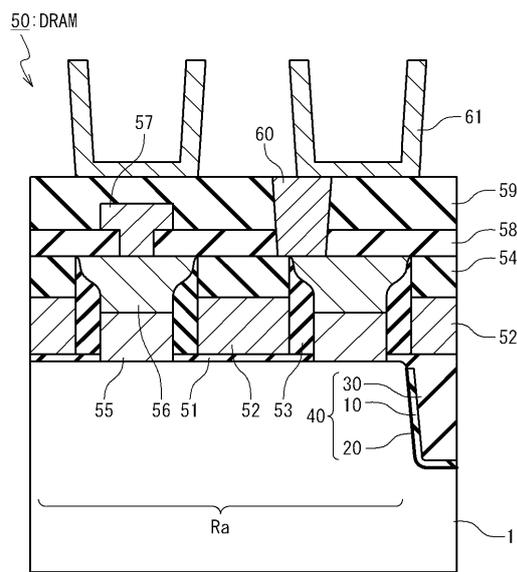
【図12】



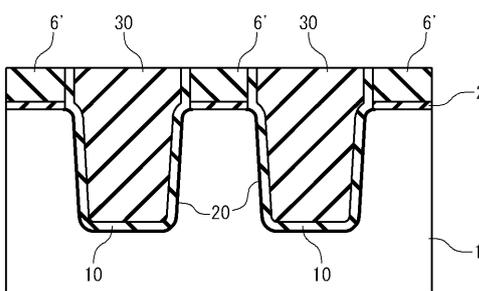
【図13】



【図15】



【図14】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 27/108 (2006.01)

(56)参考文献 特開2000-077403(JP,A)
特開2001-144170(JP,A)
特開平10-214886(JP,A)
特開2001-035914(JP,A)
特開平03-203351(JP,A)
特開2000-058780(JP,A)
特開2002-158279(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 7 6