



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년01월06일
 (11) 등록번호 10-0935124
 (24) 등록일자 2009년12월24일

(51) Int. Cl.
G06F 17/50 (2006.01) **H01L 21/00** (2006.01)
 (21) 출원번호 10-2007-0094203
 (22) 출원일자 2007년09월17일
 심사청구일자 2007년09월17일
 (65) 공개번호 10-2008-0051006
 (43) 공개일자 2008년06월10일
 (30) 우선권주장
 JP-P-2006-00327391 2006년12월04일 일본(JP)
 (56) 선행기술조사문헌
 JP13092857 A*
 JP18079447 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
후지쯔 가부시끼가이샤
 일본국 가나가와켄 가와사키시 나카하라쿠 가미고
 다나카 4초메 1-1
 (72) 발명자
가토 요시유키
 일본 가나가와켄 가와사키시 나카하라쿠 가미코다
 나카 4-1-1 후지쯔 가부시끼가이샤 나이
아오야마 히사시
 일본 가나가와켄 가와사키시 나카하라쿠 가미코다
 나카 4-1-1 후지쯔 가부시끼가이샤 나이
 (74) 대리인
김태홍, 신정건

전체 청구항 수 : 총 8 항

심사관 : 나용수

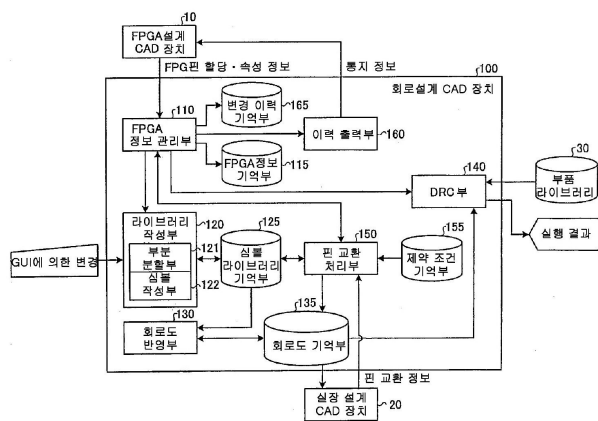
(54) 회로 설계 지원 장치, 회로 설계 지원 방법, 회로 설계지원 프로그램을 기록한 컴퓨터 판독가능한 기록매체 및 프린트 기관의 제조 방법

(57) 요약

부품으로서 FPGA를 사용하는 회로의 설계에 있어서, 실장 설계에서의 핀 교환(swap)을 회로 설계 및 FPGA 설계에 반영시키는 것이다.

회로 설계 CAD 장치(100)의 FPGA 정보 관리부(110)는 FPGA 설계 CAD 장치(10)가 작성한 핀 할당 정보나 속성 정보 등의 FPGA 정보를 취득하고, 라이브러리 작성부(120)가 FPGA 정보를 이용하여 심볼 라이브러리를 작성하며, 핀 교환 처리부(150)가 실장 설계 CAD 장치(20)로부터 핀 교환 정보를 취득하여 심볼 라이브러리, FPGA 정보, 회로도, 제약 조건에 핀 교환을 반영시키고, 변경 이력 기억부(165)가 FPGA 정보의 변경 이력을 기억하며, FPGA 설계 CAD 장치(10)에 핀 교환을 통지하는 정보를 이력 출력부(160)가 변경 이력 기억부(165)에 기억된 변경 이력에 기초하여 출력하도록 구성한다.

대표도



특허청구의 범위

청구항 1

부품으로서 PLD를 사용하는 회로의 설계를 지원하는 회로 설계 지원 방법으로서,

PLD 설계를 지원하는 PLD 설계 지원 장치가 핀 배치를 포함하는 PLD 설계 정보를 작성하여 기억 장치에 기억하는 PLD 설계 정보 작성 단계와,

회로 설계를 지원하는 회로 설계 지원 장치가 상기 PLD 설계 정보를 이용하여 PLD의 핀 배치를 포함하는 회로 설계 정보를 작성하여 기억 장치에 기억하는 회로 설계 정보 작성 단계와,

실장 설계를 지원하는 실장 설계 지원 장치가 상기 회로 설계 정보를 이용하여 PLD의 핀 배치를 포함하는 실장 설계 정보를 작성하여 기억 장치에 기억하는 실장 설계 정보 작성 단계와,

실장 설계 지원 장치가 실장 설계 정보를 작성할 때에 PLD에 대하여 행한 핀 교환에 관한 정보인 핀 교환 정보를 이용하여 회로 설계 지원 장치가 상기 핀 교환을 상기 회로 설계 정보에 반영시키고, 상기 핀 교환 정보를 PLD 설계 지원 장치에 통지하는 회로 설계 정보 갱신 단계와,

상기 회로 설계 정보 갱신 단계에 의해 통지된 핀 교환 정보를 이용하여 PLD 설계 지원 장치가 상기 핀 교환을 상기 PLD 설계 정보에 반영시키는 PLD 설계 정보 갱신 단계

를 포함하는 것을 특징으로 하는 회로 설계 지원 방법.

청구항 2

부품으로서 PLD를 사용하는 회로의 설계를 지원하는 회로 설계 지원 장치로서,

PLD의 설계를 지원하는 PLD 설계 지원 장치로부터 PLD의 핀 배치를 포함하는 PLD 정보를 입력받아 상기 회로에 대하여 PLD의 핀 배치를 포함하는 회로 설계 정보를 작성하고, 회로 설계 정보 기억 수단에 기억하는 회로 설계 정보 작성 수단과,

실장 설계를 지원하는 실장 설계 지원 장치가 상기 회로 설계 정보를 이용하여 상기 회로의 실장 설계 정보를 작성할 때에 PLD에 대해 행해진 핀 교환에 관한 정보인 핀 교환 정보를 입력하는 핀 교환 정보 입력 수단과,

상기 핀 교환 정보 입력 수단에 의해 입력된 핀 교환 정보를 이용하여 상기 핀 교환을 상기 회로 설계 정보에 반영시키고, 상기 회로 설계 정보에 포함되는 PLD 정보의 변경 이력을 기록하는 핀 교환 처리 수단과,

PLD 설계 지원 장치가 갖는 PLD 설계 정보에 상기 핀 교환을 반영할 수 있도록 PLD 설계 지원 장치에 상기 핀 교환을 통지하는 통지 정보를 상기 변경 이력에 기초하여 출력하는 변경 이력 출력 수단을

을 포함하는 것을 특징으로 하는 회로 설계 지원 장치.

청구항 3

제2항에 있어서, 상기 변경 이력 출력 수단은 동일 핀에 대해 복수회의 핀 교환이 행해진 경우에는, 마지막으로 행해진 핀 교환의 정보에 기초하여 상기 통지 정보를 출력하는 것을 특징으로 하는 회로 설계 지원 장치.

청구항 4

제2항 또는 제3항에 있어서, PLD에 대해 PLD 설계 지원 장치에 의해 작성된 설계 정보를 상기 PLD 정보로서 기억하는 PLD 정보 기억 수단을 더 구비하고,

상기 핀 교환 처리 수단은 상기 PLD 정보 기억 수단이 기억하는 PLD 정보의 변경 이력을 기록하는 것을 특징으로 하는 회로 설계 지원 장치.

청구항 5

제4항에 있어서, 상기 변경 이력 출력 수단은 상기 통지 정보를 출력할 때마다 출력 이력을 기록하고, 미통지의 변경 이력을 상기 출력 이력에 기초하여 특정하며 상기 통지 정보를 출력하는 것을 특징으로 하는 회로 설계 지

원 장치.

청구항 6

제5항에 있어서, 상기 변경 이력 출력 수단은, PLD 설계 지원 장치에 의해 작성된 설계 정보에 의해 상기 PLD 정보 기억 수단이 기억하는 PLD 정보의 갱신이 행해진 경우에는, 상기 갱신 후에 미통지의 변경 이력을 상기 출력 이력에 기초하여 특정하며 상기 통지 정보를 출력하는 것을 특징으로 하는 회로 설계 지원 장치.

청구항 7

부품으로서 PLD를 사용하는 회로의 설계를 지원하는 회로 설계 지원 프로그램을 기록한 컴퓨터 판독가능한 기록 매체로서,

PLD의 설계를 지원하는 PLD 설계 지원 장치로부터 PLD의 핀 배치를 포함하는 PLD 정보를 입력받아 상기 회로에 대하여 PLD의 핀 배치를 포함하는 회로 설계 정보를 작성하고, 회로 설계 정보 기억 수단에 기억하는 회로 설계 정보 작성 순서와,

실장 설계를 지원하는 실장 설계 지원 장치가 상기 회로 설계 정보를 이용하여 상기 회로의 실장 설계 정보를 작성할 때에 PLD에 대해 행해진 핀 교환에 관한 정보인 핀 교환 정보를 입력하는 핀 교환 정보 입력 순서와,

상기 핀 교환 정보 입력 순서에 의해 입력된 핀 교환 정보를 이용하여 상기 핀 교환을 상기 회로 설계 정보에 반영시키고, 상기 회로 설계 정보에 포함되는 PLD 정보의 변경 이력을 기록하는 핀 교환 처리 순서와,

PLD 설계 지원 장치가 갖는 PLD 설계 정보에 상기 핀 교환을 반영할 수 있도록 상기 PLD 설계 지원 장치에 상기 핀 교환을 통지하는 통지 정보를 상기 변경 이력에 기초하여 출력하는 변경 이력 출력 순서

를 컴퓨터에 실행시키는 것을 특징으로 하는 컴퓨터 판독가능한 기록매체.

청구항 8

부품으로서 PLD를 사용하는 회로의 설계를 지원하는 회로 설계 지원 장치를 이용하여 설계가 행해지는 프린트 기관의 제조 방법으로서,

상기 회로 설계 지원 장치가,

PLD의 설계를 지원하는 PLD 설계 지원 장치로부터 PLD의 핀 배치를 포함하는 PLD 정보를 입력받아 상기 회로에 대하여 PLD의 핀 배치를 포함하는 회로 설계 정보를 작성하고, 회로 설계 정보 기억 수단에 기억하는 회로 설계 정보 작성 단계와,

실장 설계를 지원하는 실장 설계 지원 장치가 상기 회로 설계 정보를 이용하여 상기 회로의 실장 설계 정보를 작성할 때에 PLD에 대해 행해진 핀 교환에 관한 정보인 핀 교환 정보를 입력하는 핀 교환 정보 입력 단계와,

상기 핀 교환 정보 입력 단계에 의해 입력된 핀 교환 정보를 이용하여 상기 핀 교환을 상기 회로 설계 정보에 반영시키고, 상기 회로 설계 정보에 포함되는 PLD 정보의 변경 이력을 기록하는 핀 교환 처리 단계와,

PLD 설계 지원 장치가 갖는 PLD 설계 정보에 상기 핀 교환을 반영할 수 있도록 상기 PLD 설계 지원 장치에 상기 핀 교환을 통지하는 통지 정보를 상기 변경 이력에 기초하여 출력하는 변경 이력 출력 단계

를 포함하는 것을 특징으로 하는 프린트 기관의 제조 방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 부품으로서 PLD(Programmable Logic Device)를 사용하는 회로의 설계를 지원하는 회로 설계 지원 장치, 회로 설계 지원 방법, 회로 설계 지원 프로그램 및 프린트 기관의 제조 방법에 관하여, 특히, 실장 설계에서 행해진 PLD의 핀의 교체를 정확하게 회로 설계 및 PLD 설계에 반영시켜, PLD 설계 정보와 회로 설계 정보와 실장 설계 정보 사이의 정합성 확보를 더욱 용이하게 할 수 있는 회로 설계 지원 장치, 회로 설계 지원 방법, 회로 설계 지원 프로그램 및 프린트 기관의 제조 방법에 관한 것이다.

배경 기술

- <2> FPGA(Field Programmable Gate Array) 등의 PLD를 부품으로서 사용하는 전기회로의 설계에서는, 부품 설계에서의 PLD의 핀 할당이 실장 설계에서 변경되는 경우가 있다. 이것은, PLD에서는, 프로그램의 재기록이나 부품 내부의 동작을 변경할 수 있으므로, 실장하기 쉬운 핀 배치로 하기 위해 실장 설계 페이지로 PLD의 핀의 교체가 행해지기 때문이다.
- <3> 실장 설계에서 핀 할당이 변경된 경우, 실장 설계 정보와 PLD 설계 정보 사이에서 정합성을 확보하기 위해, 실장 설계에서의 핀 할당의 변경을 PLD 설계 정보에 반영시킬 필요가 있다. 그래서, 실장 설계에서의 핀의 교체를 PLD 설계 정보에 반영시키는 기술이 개발되고 있다. 예컨대, 특허 문헌 1에는, 실장 설계나 회로 설계에서 변경된 핀 배열 정보를 FPGA의 설계 정보에 반영시키는 FPGA 설계 지원 장치가 기재되어 있다.
- <4> [특허 문헌 1] 일본 특허 공개 제2006-79447호 공보

발명의 내용

해결 하고자하는 과제

- <5> 그러나, 이러한 FPGA 설계 지원 장치에서는, 실장 설계나 회로 설계에서의 핀 배치의 변경을 FPGA의 설계에는 반영시킬 수 있지만, 실장 설계에서의 핀 배치의 변경을 회로 설계에 반영시킬 수 없다고 하는 문제가 있다. 따라서, 실장 설계 정보와 FPGA 설계 정보 사이의 정합성은 용이하게 확보할 수 있지만, 실장 설계 정보와 회로 설계 정보 사이의 정합성 혹은 회로 설계 정보와 FPGA 설계 정보 사이의 정합성을 확보하기 위해서는, 회로 설계 정보를 회로 설계자가 변경해야 하며, 회로 설계자의 부담이 크다고 하는 문제가 있다.
- <6> 본 발명은 전술한 종래 기술에 의한 문제점을 해소하기 위해 이루어진 것으로, 실장 설계에서 행해진 PLD의 핀의 교체를 정확하게 회로 설계 및 PLD 설계에 반영시켜, PLD 설계 정보와 회로 설계 정보와 실장 설계 정보 사이의 정합성 확보를 더욱 용이하게 할 수 있는 회로 설계 지원 장치, 회로 설계 지원 방법, 회로 설계 지원 프로그램 및 프린트 기판의 제조 방법을 제공하는 것을 목적으로 한다.

과제 해결수단

- <7> 전술한 과제를 해결하고, 목적을 달성하기 위해, 청구항 1에 관한 발명은, 부품으로서 PLD를 사용하는 회로의 설계를 지원하는 회로 설계 지원 장치로서, 실장 설계에서 PLD에 대해 행해진 핀 교환에 관한 정보인 핀 교환 정보를 입력하는 핀 교환 정보 입력 수단과, 상기 핀 교환 정보 입력 수단에 의해 입력된 핀 교환 정보를 이용하여 상기 핀 교환을 회로 설계 정보에 반영시키는 동시에, 상기 회로 설계 정보에 포함되는 PLD 정보의 변경 이력을 기록하는 핀 교환 처리 수단과, PLD 설계 지원 장치가 갖는 PLD 설계 정보에 상기 핀 교환을 반영할 수 있도록 상기 PLD 설계 지원 장치에 통지하는 통지 정보를 상기 핀 교환 처리 수단에 의해 기록된 PLD 정보의 변경 이력에 기초하여 출력하는 변경 이력 출력 수단을 구비한 것을 특징으로 한다.
- <8> 이 청구항 1의 발명에 따르면, 실장 설계에서 PLD에 대해 행해진 핀 교환에 관한 정보인 핀 교환 정보를 입력하고, 입력한 핀 교환 정보를 이용하여 실장 설계에서의 핀 교환을 회로 설계 정보에 반영시키는 동시에, 회로 설계 정보에 포함되는 PLD 정보의 변경 이력을 기록하여 PLD 설계 지원 장치에 통지하는 통지 정보를, 기록한 PLD 정보의 변경 이력에 기초하여 출력하도록 구성했으므로, 실장 설계에서의 변경을 회로 설계 정보 및 PLD 설계 정보에 반영시킬 수 있다.
- <9> 또한, 청구항 2에 관한 발명은 상기 발명에 있어서, 상기 변경 이력 출력 수단은 동일 핀에 대해 복수회의 핀 교환이 행해진 경우에는, 마지막으로 행해진 핀 교환의 정보에 기초하여 상기 통지 정보를 출력하는 것을 특징으로 한다.
- <10> 이 청구항 2의 발명에 따르면, 동일 핀에 대해 복수회의 핀 교환이 행해진 경우에는, 마지막으로 행해진 핀 교환의 정보에 기초하여 통지 정보를 출력하도록 구성했으므로, 불필요한 통지 정보의 출력을 없앨 수 있다.
- <11> 또한, 청구항 3에 관한 발명은, 상기 발명에 있어서, PLD에 대해 PLD 설계 CAD에 의해 작성된 설계 정보를 상기 PLD 정보로서 기억하는 PLD 정보 기억 수단을 더 구비하고, 상기 핀 교환 처리 수단은 상기 PLD 정보 기억 수단이 기억하는 PLD 정보의 변경 이력을 기록하는 것을 특징으로 한다.
- <12> 이 청구항 3의 발명에 따르면, PLD에 대해 PLD 설계 CAD에 의해 작성된 설계 정보를 PLD 정보로서 기억하고, 기

역한 PLD 정보의 변경 이력을 기록하도록 구성했으므로, 기억한 PLD 정보에 기초하여 통지 정보를 출력할 수 있다.

- <13> 또한, 청구항 4에 관한 발명은 상기 발명에 있어서, 상기 변경 이력 출력 수단은 상기 통지 정보를 출력할 때마다 출력 이력을 기록하고, 미통지의 변경 이력을 상기 출력 이력에 기초하여 특정하며 상기 통지 정보를 출력하는 것을 특징으로 한다.
- <14> 이 청구항 4의 발명에 따르면, 통지 정보를 출력할 때마다 출력 이력을 기록하고, 미통지의 변경 이력을 출력 이력에 기초하여 특정하며 통지 정보를 출력하도록 구성했으므로, 중복하는 통지 정보의 출력을 없앨 수 있다.
- <15> 또한, 청구항 5에 관한 발명은, 상기 발명에 있어서, 상기 변경 이력 출력 수단은 PLD 설계 CAD에 의해 작성된 설계 정보에 의해 상기 PLD 정보 기억 수단이 기억하는 PLD 정보의 갱신이 행해진 경우에는, 상기 갱신 후에 미통지의 변경 이력을 상기 출력 이력에 기초하여 특정하며 상기 통지 정보를 출력하는 것을 특징으로 한다.
- <16> 이 청구항 5의 발명에 따르면, PLD 설계 CAD에 의해 작성된 설계 정보에 의해 PLD 정보의 갱신이 행해진 경우에는, 갱신 후에 미통지의 변경 이력을 출력 이력에 기초하여 특정하며 통지 정보를 출력하도록 구성했으므로, 불필요한 통지 정보의 출력을 없앨 수 있다.
- <17> 또한, 청구항 6에 관한 발명은, 부품으로서 PLD를 사용하는 회로의 설계를 지원하는 회로 설계 지원 장치에 의한 회로 설계 지원 방법으로서, 실장 설계에서 PLD에 대해 행해진 핀 교환에 관한 정보인 핀 교환 정보를 입력하는 핀 교환 정보 입력 공정과, 상기 핀 교환 정보 입력 공정에 의해 입력된 핀 교환 정보를 이용하여 상기 핀 교환을 회로 설계 정보에 반영시키는 동시에, 상기 회로 설계 정보에 포함되는 PLD 정보의 변경 이력을 기록하는 핀 교환 처리 공정과, PLD 설계 지원 장치가 갖는 PLD 설계 정보에 상기 핀 교환을 반영할 수 있도록 상기 PLD 설계 지원 장치에 통지하는 통지 정보를 상기 핀 교환 처리 공정에 의해 기록된 PLD 정보의 변경 이력에 기초하여 출력하는 변경 이력 출력 공정을 포함한 것을 특징으로 한다.
- <18> 이 청구항 6의 발명에 따르면, 실장 설계에서 PLD에 대해 행해진 핀 교환에 관한 정보인 핀 교환 정보를 입력하고, 입력한 핀 교환 정보를 이용하여 실장 설계에서의 핀 교환을 회로 설계 정보에 반영시키는 동시에, 회로 설계 정보에 포함되는 PLD 정보의 변경 이력을 기록하여, PLD 설계 지원 장치에 통지하는 통지 정보를, 기록한 PLD 정보의 변경 이력에 기초하여 출력하도록 구성했으므로, 실장 설계에서의 변경을 회로 설계 정보 및 PLD 설계 정보에 반영시킬 수 있다.
- <19> 또한, 청구항 7에 관한 발명은 부품으로서 PLD를 사용하는 회로의 설계를 지원하는 회로 설계 지원 프로그램을 기록한 컴퓨터 판독가능한 기록매체로서, 실장 설계에서 PLD에 대해 행해진 핀 교환에 관한 정보인 핀 교환 정보를 입력하는 핀 교환 정보 입력 순서와, 상기 핀 교환 정보 입력 순서에 의해 입력된 핀 교환 정보를 이용하여 상기 핀 교환을 회로 설계 정보에 반영시키는 동시에, 상기 회로 설계 정보에 포함되는 PLD 정보의 변경 이력을 기록하는 핀 교환 처리 순서와, PLD 설계 지원 장치가 갖는 PLD 설계 정보에 상기 핀 교환을 반영할 수 있도록 상기 PLD 설계 지원 장치에 통지하는 통지 정보를 상기 핀 교환 처리 순서에 의해 기록된 PLD 정보의 변경 이력에 기초하여 출력하는 변경 이력 출력 순서를 컴퓨터에 실행시키는 것을 특징으로 한다.
- <20> 이 청구항 7의 발명에 따르면, 실장 설계에서 PLD에 대해 행해진 핀 교환에 관한 정보인 핀 교환 정보를 입력하고, 입력한 핀 교환 정보를 이용하여 실장 설계에서의 핀 교환을 회로 설계 정보에 반영시키는 동시에, 회로 설계 정보에 포함되는 PLD 정보의 변경 이력을 기록하여, PLD 설계 지원 장치에 통지하는 통지 정보를, 기록한 PLD 정보의 변경 이력에 기초하여 출력하도록 구성했으므로, 실장 설계에서의 변경을 회로 설계 정보 및 PLD 설계 정보에 반영시킬 수 있다.
- <21> 또한, 청구항 8에 관한 발명은, 부품으로서 PLD를 사용하는 회로의 설계를 지원하는 회로 설계 지원 장치를 이용하여 설계가 행해지는 프린트 기관의 제조 방법으로서, 상기 회로 설계 지원 장치가 실장 설계에서 PLD에 대해 행해진 핀 교환에 관한 정보인 핀 교환 정보를 입력하는 핀 교환 정보 입력 공정과, 상기 핀 교환 정보 입력 공정에 의해 입력된 핀 교환 정보를 이용하여 상기 핀 교환을 회로 설계 정보에 반영시키는 동시에, 상기 회로 설계 정보에 포함되는 PLD 정보의 변경 이력을 기록하는 핀 교환 처리 공정과, PLD 설계 지원 장치가 갖는 PLD 설계 정보에 상기 핀 교환을 반영할 수 있도록 상기 PLD 설계 지원 장치에 통지하는 통지 정보를 상기 핀 교환 처리 공정에 의해 기록된 PLD 정보의 변경 이력에 기초하여 출력하는 변경 이력 출력 공정을 포함하는 것을 특징으로 한다.
- <22> 이 청구항 8의 발명에 따르면, 실장 설계에서 PLD에 대해 행해진 핀 교환에 관한 정보인 핀 교환 정보를 입력하고, 입력한 핀 교환 정보를 이용하여 실장 설계에서의 핀 교환을 회로 설계 정보에 반영시키는 동시에, 회로 설

계 정보에 포함되는 PLD 정보의 변경 이력을 기록하며, PLD 설계 지원 장치에 통지하는 통지 정보를, 기록한 PLD 정보의 변경 이력에 기초하여 출력하도록 구성했으므로, 실장 설계에서의 변경을 회로 설계 정보 및 PLD 설계 정보에 반영시킬 수 있다.

효과

- <23> 본 발명에 따르면, 실장 설계에서의 변경을 회로 설계 정보 및 PLD 설계 정보에 반영시키므로, 회로 설계 정보와 PLD 설계 정보와 실장 설계 정보 사이의 정합성 확보를 용이하게 할 수 있다고 하는 효과를 나타낸다.
- <24> 또한, 본 발명에 따르면, 불필요한 통지 정보의 출력을 없애므로, 실장 설계에서의 핀 교환을 효율 좋고 PLD 설계 정보에 반영시킬 수 있는 효과를 나타낸다.
- <25> 또한, 본 발명에 따르면, 기억한 PLD 정보에 기초하여 통지 정보를 출력하므로, 회로 설계 정보에 포함되는 PLD 정보와 PLD 설계 정보와 실장 설계 정보 사이의 정합성 확보를 용이하게 할 수 있다고 하는 효과를 나타낸다.
- <26> 또한, 본 발명에 따르면, 중복하는 통지 정보의 출력을 없애므로, 실장 설계에서의 핀 교환을 효율 좋게 PLD 설계 정보에 반영시킬 수 있는 효과를 나타낸다.

발명의 실시를 위한 구체적인 내용

- <27> 이하에 첨부 도면을 참조하여, 본 발명에 관한 회로 설계 지원 장치, 회로 설계 지원 방법, 회로 설계 지원 프로그램 및 프린트 기관의 제조 방법의 적합한 실시예를 상세하게 설명한다. 또한, 본 실시예에서는, 본 발명을 FPGA에 적용한 경우를 중심으로 설명한다.
- <28> [실시예 1]
- <29> 우선, 본 실시예 1에 관한 FPGA 협조 설계의 개념에 대해 설명한다. 도 1은 본 실시예 1에 관한 FPGA 협조 설계의 개념을 설명하기 위한 설명도이다. 이 도면에 도시한 바와 같이, 본 실시예 1에 관한 FPGA 협조 설계에서는, FPGA의 설계를 지원하는 FPGA 설계 CAD 장치(10)와, 프린트 기관의 실장 설계를 지원하는 실장 설계 CAD 장치(20)와, 회로 설계를 지원하는 회로 설계 지원 장치로서의 회로 설계 CAD 장치(100)가 연계하여 설계자를 지원한다.
- <30> 구체적으로는, 회로 설계 CAD 장치(100)는 FPGA 설계 CAD 장치(10)가 작성한 핀 배치 등의 FPGA 정보를 입력하여 FPGA의 심볼 라이브러리를 작성한다. 또한, 이 회로 설계 CAD 장치(100)는 FPGA의 심볼 라이브러리를 작성하는 경우에, 심볼 라이브러리를 작성하는 FPGA가 이미 회로도에 배치 완료된 때에, 즉 FPGA의 변경에 수반하여 심볼 라이브러리를 재차 작성할 때는, 부분 할당이나 심볼 핀의 배치 등 기존의 심볼의 정보를 가능한 그대로 이용하여 심볼 라이브러리를 작성한다.
- <31> 이와 같이, 회로 설계 CAD 장치(100)가 FPGA 정보를 이용하여 FPGA의 심볼 라이브러리를 작성함으로써, 회로 설계자는 FPGA의 심볼 라이브러리를 작성할 필요가 없어져, 회로 설계자의 부담을 경감할 수 있다. 또한, 회로 설계 CAD 장치(100)가 FPGA의 변경에 수반하여 심볼 라이브러리를 재차 작성하는 경우에, 기존의 심볼의 정보가 될 수 있는 한 그대로 이용하여 심볼 라이브러리를 작성함으로써, 회로도의 수정을 줄일 수 있고, 회로 설계의 효율을 향상시킬 수 있다.
- <32> 또한, 이 회로 설계 CAD 장치(100)는 DRC(디자인 룰 체크)를 행하는 경우에, FPGA 설계 CAD 장치(10)가 작성한 핀 입출력 속성 등 FPGA 정보를 참조하여 DRC를 행한다. 예컨대, 이 회로 설계 CAD 장치(100)는 각 네트에 대해, FPGA의 핀 입출력 속성을 참조하여 출력 핀의 개수의 체크를 행한다. 이와 같이, 회로 설계 CAD 장치(100)가 핀 입출력 속성 등 FPGA 정보를 참조하여 DRC를 행함으로써, 보다 정확하게 DRC를 행할 수 있다.
- <33> 또한, 이 회로 설계 CAD 장치(100)는 실장 설계에서 핀 교환이 발생한 경우에, 실장 설계 CAD 장치(20)로부터 핀 교환 정보를 취입하여 심볼 라이브러리나 회로도 등에 핀 교환을 반영시킨다. 또한, 이 회로 설계 CAD 장치(100)는 핀 사이의 배선 길이 등의 제약 조건에도 실장 설계에서의 핀 교환을 반영시킨다. 이와 같이, 회로 설계 CAD 장치(100)가 실장 설계에서의 핀 교환을 제약 조건에도 반영시킴으로써, 회로 설계 정보와 실장 설계 정보 사이의 부정합을 없앨 수 있다.
- <34> 또한, 이 회로 설계 CAD 장치(100)는 실장 설계에서의 핀 교환의 이력을 기록하고, FPGA 설계 CAD 장치(10)에 핀 교환의 이력 정보를 제공한다. 이와 같이, 회로 설계 CAD 장치(100)가 실장 설계에서의 핀 교환의 이력을 기록하여, FPGA 설계 CAD 장치(10)에 핀 교환의 이력 정보를 제공함으로써, FPGA 설계, 회로 설계 및 실장 설계

사이의 정합성을 확보할 수 있다.

- <35> 다음으로, 본 실시예 1에 관한 FPGA 협조 설계 시스템의 구성에 대해 설명한다. 도 2는 본 실시예 1에 관한 FPGA 협조 설계 시스템의 구성을 도시하는 기능 블록도이다. 이 도에 도시한 바와 같이, 이 FPGA 협조 설계 시스템은 FPGA 설계 CAD 장치(10)와, 실장 설계 CAD 장치(20)와, 회로 설계 CAD 장치(100)로 구성된다.
- <36> 회로 설계 CAD 장치(100)는 FPGA 설계 CAD 장치(10) 및 실장 설계 CAD 장치(20)와 연휴하여, FPGA를 부품으로서 사용하는 회로 설계를 지원한다. 도 3은 회로 설계를 설명하기 위한 설명도이다. 이 도에 도시한 바와 같이, 회로 설계자는 부품과 관련된 심볼 라이브러리로서 등록되어 있는 심볼을 회로도 상에 배치하여, 심볼핀 사이를 접속 하는 것으로 회로의 설계를 행한다.
- <37> 단, FPGA의 경우, 프로그램이 기록되기 전에 심볼 라이브러리로서 등록되어 있는 것에서는, 핀은 입력으로도 출력으로도 될 수 있으므로 입출력 핀으로서 정의되어 있다. 그 때문에, 등록 완료된 심볼 라이브러리를 사용한 경우에는, 입력이 되는 핀이 우측에 존재하거나, 반대로 출력이 되는 핀이 좌측에 존재하거나, 혹은, 도 4(a)에 도시한 바와 같이, 버스가 순서 좋게 배열되지 않으므로 회로도로서 알기 어렵게 된다.
- <38> 따라서, FPGA에 대해서는, 프로그램의 기록마다 심볼 라이브러리의 작성이 필요해진다. 그래서, 여기서는, 회로 설계 CAD 장치(100)가 프로그램의 기록마다 FPGA의 심볼 라이브러리를 작성하는 것으로 하고 있다. 프로그램의 기록마다 FPGA의 심볼 라이브러리를 작성함으로써, 도 4(b)에 도시한 바와 같이, 입력이 되는 핀을 좌측에 배치하여, 또한 버스를 순서 좋게 배열할 수 있다.
- <39> 도 2로 되돌아가, 이 회로 설계 CAD 장치(100)는 FPGA 정보 관리부(110)와, FPGA 정보 기억부(115)와, 라이브러리 작성부(120)와, 심볼 라이브러리 기억부(125)와, 회로도 반영부(130)와, 회로도 기억부(135)와, DRC부(140)와, 핀 교환 처리부(150)와, 제약 조건 기억부(155)와, 이력 출력부(160)와, 변경 이력 기억부(165)를 갖는다.
- <40> FPGA 정보 관리부(110)는 FPGA 정보를 관리하는 처리부이며, FPGA 설계 CAD 장치(10)가 출력한 파일로부터 물리 핀과 논리핀의 대응, 핀의 입출력 속성, 전압값, बैं크 번호 등의 FPGA 정보를 판독하여 FPGA 정보 기억부(115)에 저장한다.
- <41> 또한, 이 FPGA 정보 관리부(110)는 FPGA 정보 기억부(115)에 FPGA 정보를 최초로 저장한 뒤에 FPGA 정보를 판독하여 FPGA 정보 기억부(115)에 재저장한 경우에는, FPGA 정보가 변경된 것을 도시하는 변경 이력을 변경 이력 기억부(165)에 저장한다.
- <42> FPGA 정보 기억부(115)는 FPGA 정보 관리부(110)의 관리 하에 FPGA 정보를 기억하는 기억부이다. 도 5는 FPGA 정보 기억부(115)가 기억하는 FPGA 정보의 일례를 도시한 도면이다. 이 도에 도시한 바와 같이, 이 FPGA 정보 기억부(115)는 핀마다, 물리핀 명, 논리핀 명, 입출력 속성, बैं크 번호, 교환 그룹 번호, 차동 속성 및 전원 전압값을 기억한다.
- <43> 라이브러리 작성부(120)는 FPGA 정보 기억부(115)가 기억하는 FPGA 정보를 이용하여 FPGA의 심볼 라이브러리를 작성하는 처리부이며, 작성한 심볼 라이브러리를 심볼 라이브러리 기억부(125)에 저장한다. 이 라이브러리 작성부(120)는 부분 분할을 하는 부분 분할부(121)와, 부분 분할부(121)에 의해 분할된 각 부분의 심볼을 작성하는 심볼 작성부(122)를 갖는다.
- <44> 부분 분할부(121)는 사용자에게 의해 GUI를 이용하여 지정된 부분 분할률로 부분 분할을 행한다. 부분 분할로서는, बैं크 번호마다, बैं크 그룹마다, 논리핀 명에 의한 분할 등이 있다. 또한, 이 부분 분할부(121)는 심볼 상에서의 핀 위치에 대해서는, 좌우의 위치는 입출력 속성에 의해 결정하고, 순서는 각각의 속성에 의해 소트하여 결정한다. 또한, 이 부분 분할부(121)는 사용자가 GUI를 이용하여 지정한 부분 사이의 핀의 이동을 접수하여 핀의 이동을 행한다.
- <45> 또한, 라이브러리 작성부(120)는 심볼 라이브러리를 작성할 때에, 작성 대상의 FPGA의 심볼이 회로도에 배치 완료인지의 여부를 조사하고, 회로도에 배치 완료된 경우에는, 배치 완료인 심볼에 관한 정보를 참조하여 심볼 라이브러리를 작성한다.
- <46> 구체적으로는, 이 라이브러리 작성부(120)는 논리핀 명을 키에 기존의 심볼 라이브러리를 참조하여 부분 할당을 한다. 또한, 이 라이브러리 작성부(120)는 기존의 심볼 라이브러리와 일치하는 위치에 심볼 핀을 배치한 심볼 라이브러리를 작성한다. 즉, 이 라이브러리 작성부(120)는 기존의 심볼에 포함되는 논리핀 명의 핀은 기존의 부분과 동일한 부분의 동일한 위치에 할당하고, 기존의 심볼에 포함되지 않는 논리핀 명의 핀은 물리 핀 명이 동일한 핀의 부분에 할당한다. 또한, 이 라이브러리 작성부(120)는 심볼 라이브러리 상의 비어 있는 위치에 논

리핀 명이 일치하지 않는 핀을 배치하고, 비어 있지 않은 경우에는, 하방향으로 심볼 라이브러리의 사이즈를 확장하여 핀을 배치한다.

- <47> 이 라이브러리 작성부(120)가 작성 대상의 FPGA의 심볼이 회로도에 배치 완료된 경우에, 배치 완료의 심볼에 관한 정보를 참조하여 심볼 라이브러리를 작성함으로써, FPGA의 설계 변경에 기인하는 회로도의 수정을 최소한으로 억제할 수 있다.
- <48> 심볼 라이브러리 기억부(125)는 FPGA의 심볼 라이브러리를 기억하는 기억부이다. 도 6은 심볼 라이브러리 기억부(125)가 기억하는 심볼 라이브러리의 일례를 도시한 도면이다. 이 도에 도시한 바와 같이, 이 심볼 라이브러리 기억부(125)는 라이브러리 명칭, 작성 일시, 판 수, 점유 영역, 도형 테이블 수 및 심볼핀수의 정보와, 심볼을 구성하는 각 도형의 정보와, 각 핀의 정보를 기억한다.
- <49> 회로도 반영부(130)는 라이브러리 작성부(120)에 의해 심볼 라이브러리가 작성된 FPGA의 심볼이 회로도에 배치 완료된 경우에, 배치 완료의 심볼을 새롭게 작성된 심볼로 치환하는 처리부이다. 또한, 이 회로도 반영부(130)는 치환 전과 상이한 논리핀 명이 되는 핀에 라인이 접속되어 있는 경우에, 그 라인을 절단한다.
- <50> 이 회로도 반영부(130)가 치환 전과 상이한 논리핀 명이 되는 핀에 라인이 접속되어 있는 경우에, 그 라인을 절단함으로써, FPGA의 설계 변경에 따르는 회로도의 수정 누설을 줄일 수 있다.
- <51> 회로도 기억부(135)는 부품이 배치된 회로도의 정보를 기억하는 기억부이다. 이 회로도 기억부(135)는 라이브러리 작성부(120)에 의해 심볼 라이브러리가 작성된 FPGA의 심볼이 회로도에 배치 완료된 경우에, 회로도 반영부(130)에 의해 갱신된다.
- <52> DRC부(140)는 DRC를 행하는 처리부이며, 회로도의 정보, 부품 라이브러리(30)의 정보에 부가하여 FPGA 정보 관리부(110)가 관리하는 FPGA 정보를 참조하여 DRC를 행한다. 구체적으로는, 이 DRC부(140)는 입출력 속성 체크, 차동 신호 체크, 전원 전압값 체크 등을 행한다. 이 DRC부(140)가 FPGA 정보를 참조하여 DRC를 행함으로써, FPGA에 관련되는 DRC를 정확하게 행할 수 있다.
- <53> 핀 교환 처리부(150)는 실장 설계 CAD 장치(20)가 출력하는 핀 교환 정보를 입력하고, 실장 설계에서 행해진 핀 교환을 FPGA 정보, 심볼 라이브러리, 회로도에 반영하는 처리부이다. FPGA에서는, 프로그램 기록으로 부품 내부의 동작을 변경할 수 있으므로, 실장하기 쉬운 핀 할당으로 하기 위해 실장 설계 페이지로 FPGA 부품의 핀의 교체(핀 교환)가 행해진다. 이 때문에, 핀 교환 처리부(150)는 실장 설계에서 행해진 핀 교환을 회로 설계에 반영시키는 처리를 행한다.
- <54> 도 7은 핀 교환의 일례를 도시한 도면이다. 이 도에 도시한 바와 같이, FPGA와 다른 부품 사이의 배선이 크로스하는 것과 같은 경우, FPGA의 핀 교환에 의해 배선의 크로스를 없앨 수 있다. 도 8은 핀 교환의 회로도에서의 반영예를 도시하는 도면이다. 이 도에 도시한 바와 같이, 회로도의 심볼로 물리 핀 명이 「D1」, 「E1」, 「F1」, 「G1」의 핀의 배치 변경이 행해지고 있다.
- <55> 또한, 이 핀 교환 처리부(150)는 핀 사이의 배선 거리 길이 등의 제약 조건에도 실장 설계에서의 핀 교환을 반영시킨다. 이 핀 교환 처리부(150)가 제약 조건에도 실장 설계에서의 핀 교환을 반영시킴으로써, 회로 설계와 실장 설계 사이에서 설계 정보의 정합성을 확보할 수 있다.
- <56> 또한, 이 핀 교환 처리부(150)는 핀 교환에 의한 FPGA 정보의 변경 이력을 기억하도록 FPGA 정보 관리부(110)에 지시하고, FPGA 정보 관리부(110)는 변경 이력 기억부(165)에 변경 이력을 저장한다.
- <57> 제약 조건 기억부(155)는 핀 사이의 배선 길이 등의 회로 설계에 관한 제약 조건을 기억한 기억부이다. 도 9는 제약 조건 기억부(155)가 기억하는 제약 조건의 일례를 도시한 도면이다. 이 도에 도시한 바와 같이, 이 제약 조건 기억부(155)는 핀 사이의 배선 거리 길이에 관한 제약 조건을 기억한다. 예컨대, 부품 「IC1」의 물리 핀 명 「G1」의 핀 명과 부품 「I12」의 물리 핀 명이 「2」의 핀과의 사이의 배선 길이는 50 mm 이하인 것이 제약 조건으로서 기억되고 있다.
- <58> 이력 출력부(160)는 핀 교환 처리부(150)에 의한 핀 교환 반영 처리에 의해 변경된 FPGA 정보의 변경 이력을 통지 정보로서 FPGA 설계 CAD 장치(10)가 입력 가능한 형식으로 파일에 출력하는 처리부이다.
- <59> 변경 이력 기억부(165)는 FPGA 정보의 변경 이력을 기억하는 기억부이며, FPGA 정보 관리부(110)에 의해 관리된다. 도 10은 변경 이력 기억부(165)가 기억하는 변경 이력의 일례를 도시한 도면이다. 이 도에 도시한 바와 같이, 이 변경 이력 기억부(165)는 핀 교환 처리마다, 처리가 행해진 일시와 교환이 행해진 핀에 관해서 변경된

정보를 기억한다. 또한, 이 변경 이력 기억부(165)는 이력 출력부(160)에 의한 변경 이력의 출력마다, FPGA 정보 관리부(110)에 의한 FPGA 설계 CAD 장치(10)에서의 FPGA 정보 판독마다, 처리가 행해진 일시를 기억한다.

- <60> 도 11은 이력 출력부(160)가 FPGA 설계 CAD 장치(10)에 대해 출력하는 통지 정보의 일례를 도시한 도면이다. 이 도에 도시한 바와 같이, 이력 출력부(160)는 교환이 행해진 핀마다 물리 핀 명과 변경 뒤의 논리핀 명을 통지 정보로서 출력한다. 도 12는 통지 정보의 출력 포맷을 도시한 도면이다.
- <61> 이와 같이, 변경 이력 기억부(165)가 FPGA 정보의 변경 이력을 기억하고, 이력 출력부(160)가 변경 이력을 FPGA 설계 CAD 장치(10)가 입력 가능한 형식으로 통지 정보를 파일에 출력함으로써, 실장 설계, 회로 설계 및 FPGA 설계의 사이에서의 설계 정보의 정합성을 확보할 수 있다.
- <62> 다음으로, 회로 설계 CAD 장치(100)에 의한 심볼 라이브러리 작성 및 심볼 배치 처리의 처리 순서에 대해 설명한다. 도 13은 회로 설계 CAD 장치(100)에 의한 심볼 라이브러리 작성 및 심볼 배치 처리의 처리 순서를 도시하는 흐름도이다.
- <63> 이 도에 도시한 바와 같이, 회로 설계 CAD 장치(100)는 FPGA 정보 관리부(110)가 FPGA 설계 CAD 장치(10)가 파일에 출력한 핀 할당 정보 및 속성 정보 등의 FPGA 정보를 판독, FPGA 정보 기억부(115)에 저장한다(공정 S101).
- <64> 그리고, 라이브러리 작성부(120)가 FPGA 정보 관리부(110)에 의해 판독된 FPGA 정보에 대응하는 심볼이 회로도에 배치 완료인지의 여부를 판정하고(공정 S102), 회로도에 배치 완료가 아닌 경우에는, 사용자에게 의해 지정된 부분 분할 룰을 사용하여 부분 분할을 행하며(공정 S103), 입출력 속성에 기초하여 좌우에 할당하는 등 소정의 심볼 작성물에 따라 심볼핀의 위치를 결정한다(공정 S104).
- <65> 한편, 회로도에 배치 완료된 경우에는, 라이브러리 작성부(120)는 이전에 행해진 부분 할당을 참조하여, 이전과 동일한 논리핀 명의 핀은 이전과 동일한 부분에 할당한다(공정 S105). 또한, 이전에 동일한 논리핀 명이 없는 핀은 물리 핀 명으로 이전과 동일한 부분에 할당된다(공정 S106). 그리고, 이전과 동일한 논리핀 명의 핀은 이전과 동일한 위치에 배치하고(공정 S107), 이전에 동일한 논리핀 명이 없는 핀은 심볼 상의 빈 위치에 배치한다(공정 S108).
- <66> 그리고, 라이브러리 작성부(120)는 사용자로부터 GUI에 의한 부분 분할, 핀위치의 변경을 접수하고, 변경이 지정된 경우에는, 부분 분할, 핀 위치를 변경하여(공정 S109), 심볼 라이브러리를 작성하여 심볼 라이브러리 기억부(125)에 저장한다(공정 S110).
- <67> 그리고, 회로도 반영부(130)가 라이브러리 작성부(120)에 의해 심볼 라이브러리가 작성된 FPGA의 이전의 심볼이 회로도에 배치 완료인지의 여부를 판정하고(공정 S111), 회로도에 배치 완료된 경우에는, 배치 완료의 심볼을 새롭게 작성된 심볼로 치환하며(공정 S112), 이전과는 다른 논리핀 명이 배치되는 핀에 라인이 접속되어 있는 경우에는, 그 라인을 절단한다(공정 S113).
- <68> 그 후, 작성된 심볼은 부품 입력 기능에 의해 사용자에게 의해 지정되면 회로도에 배치된다(공정 S114).
- <69> 이와 같이, FPGA 정보 관리부(110)에 의해 판독된 FPGA 정보에 대응하는 심볼이 회로도에 배치 완료된 경우에, 라이브러리 작성부(120)가 이전에 작성한 심볼 라이브러리를 참조하여 심볼 라이브러리를 작성하고, 회로도 반영부(130)가 배치 완료된 심볼을 새롭게 심볼 라이브러리가 작성된 심볼로 치환함으로써, FPGA의 설계 변경에 따르는 회로도의 수정을 최소한으로 억제할 수 있다.
- <70> 또한, 여기서는, 라이브러리 작성부(120)는 심볼 라이브러리 작성 대상의 FPGA가 회로도에 배치되어 있는 경우에, 이전에 작성한 심볼 라이브러리를 참조하는 것으로 했지만, 심볼 라이브러리 작성 대상의 FPGA의 심볼 라이브러리가 심볼 라이브러리 기억부(125)에 기억되어 있는 경우에, 이전에 작성한 심볼 라이브러리를 참조하도록 할 수도 있다.
- <71> 다음으로, DRC부(140)에 의한 입출력 속성 체크 처리의 처리 순서에 대해 설명한다. 도 14는 DRC부(140)에 의한 입출력 속성 체크 처리의 처리 순서를 도시하는 흐름도이다.
- <72> 이 도에 도시한 바와 같이, DRC부(140)는 네트 즉 1접속 그룹의 하나에 착안하여, 착안한 네트에 속하는 모든 핀의 정보를 취득한다(공정 S201). 그리고, 정보를 취득한 핀의 하나에 착안하여(공정 S202), 착안한 핀은 FPGA 부품의 것인지의 여부를 판정한다(공정 S203).
- <73> 그 결과, 착안한 핀이 FPGA 부품의 것인 경우에는, FPGA 정보 기억부(115)에 기억된 FPGA 정보를 참조하여 핀의

입출력 속성을 조사하고(공정 S204), 착안한 핀이 FPGA 부품의 것이 아닌 경우에는, 부품 라이브러리(30)를 참조하여 핀의 입출력 속성을 조사한다(공정 S205). 그리고, 모든 핀의 입출력 속성을 조사했는지의 여부를 판정하여(공정 S206), 조사하지 않은 핀이 있는 경우에는, 공정 S202로 되돌아가 조사하지 않은 핀에 착안하여 입출력 속성을 조사한다.

- <74> 한편, 모든 핀의 입출력 속성을 조사한 경우에는, 착안한 네트에 출력핀이 2핀 이상 있는지의 여부를 판정하여(공정 S207), 출력핀이 2핀 이상 있는 경우에는, 네트가 출력핀 사이를 접속하고 있는 예러로서 사용자에게 통지한다(공정 S208). 또한, 착안한 네트에 출력핀이 1핀도 존재하지 않는지의 여부를 판정하여(공정 S209), 출력핀이 1핀도 존재하지 않은 경우에는, 착안한 네트에 출력핀이 존재하지 않는 예러로서 사용자에게 통지한다(공정 S210). 이에 대해, 하나의 핀만이 출력핀인 경우에는, 착안한 네트는 정상으로써 사용자에게 통지한다(공정 S211).
- <75> 그리고, 전 네트에 대해 출력핀수를 체크했는지의 여부를 판정하여(공정 S212), 체크하지 않은 네트가 있는 경우에는, 공정 S201로 되돌아가 미체크의 네트에 착안하여 출력핀수를 체크하고, 모든 네트에 대해 출력핀수를 체크한 경우에는, 입출력 속성 체크 처리를 종료한다.
- <76> 이와 같이, DRC부(140)가 FPGA 부품에 대해서는 FPGA 정보를 참조하여 핀의 입출력 속성을 조사함으로써, FPGA를 포함하는 회로에 대해서도 정확한 입출력 속성 체크를 행할 수 있다.
- <77> 다음으로, DRC부(140)에 의한 차동 신호 체크 처리의 처리 순서에 대해 설명한다. 도 15는 DRC부(140)에 의한 차동 신호 체크 처리의 처리 순서를 도시하는 흐름도이다.
- <78> 이 도에 도시한 바와 같이, DRC부(140)는 네트의 하나에 착안하여, 착안한 네트에 속하는 모든 핀의 정보를 취득한다(공정 S301). 또한, 차동 속성이 포지티브인 핀의 수를 도시하는 포지티브 핀수 및 네가티브인 핀의 수를 도시하는 네가티브 핀수의 초기값을 제로 클리어한다(공정 S302). 그리고, 정보를 취득한 핀의 하나에 착안하여(공정 S303), 착안한 핀은 FPGA 부품의 것인가지의 여부를 판정한다(공정 S304).
- <79> 그 결과, 착안한 핀이 FPGA 부품의 것인가지인 경우에는, FPGA 정보 기억부(115)에 기억된 FPGA 정보를 참조하여 핀의 차동 속성을 조사하여(공정 S305), 착안한 핀이 FPGA 부품의 것이 아닌 경우에는, 부품 라이브러리(30)를 참조하여 핀의 차동 속성을 조사한다(공정 S306). 그리고, 차동 속성이 포지티브인 경우에는 포지티브 핀수에 「1」을 추가하고, 차동 속성이 네가티브인 경우에는 네가티브 핀수에 「1」을 추가한다(공정 S307).
- <80> 그리고, 모든 핀의 차동 속성을 조사했는지의 여부를 판정하여(공정 S308), 조사하지 않은 핀이 있는 경우에는, 공정 S303로 되돌아가 조사하지 않은 핀에 착안하여 차동 속성을 조사한다.
- <81> 한편, 모든 핀의 차동 속성을 조사한 경우에는, 포지티브 핀수가 플러스인지또한 네가티브 핀수도 플러스인지의 여부, 즉 착안한 네트에 포지티브 속성의 핀이 네가티브 속성의 핀이 있는지의 여부를 판정하여(공정 S309), 포지티브 핀수가 플러스이고 또한 네가티브 핀수도 플러스인 경우에는, 포지티브 속성의 핀과 네가티브 속성의 핀을 접속하고 있는 예러로서 사용자에게 통지한다(공정 S310). 이에 대해, 포지티브 핀수와 네가티브 핀수의 한쪽만이 플러스인 경우에는, 착안한 네트는 정상으로써 사용자에게 통지한다(공정 S311).
- <82> 그리고, 전 네트에 대해 차동 신호를 체크했는지의 여부를 판정하여(공정 S312), 체크하지 않은 네트가 있는 경우에는, 공정 S301로 되돌아가 미체크의 네트에 착안하여 차동 신호를 체크하고, 모든 네트에 대해 차동 신호를 체크한 경우에는, 차동 신호 체크 처리를 종료한다.
- <83> 이와 같이, DRC부(140)가 FPGA 부품에 대해서는 FPGA 정보를 참조하여 핀의 차동 속성을 조사함으로써, FPGA를 포함하는 회로에 대해서도 정확한 차동 신호 체크를 행할 수 있다.
- <84> 다음으로, DRC부(140)에 의한 전원 전압값 체크 처리의 처리 순서에 대해 설명한다. 도 16은 DRC부(140)에 의한 전원 전압값 체크 처리의 처리 순서를 도시하는 흐름도이다.
- <85> 이 도에 도시한 바와 같이, DRC부(140)는 부품의 하나에 착안하여(공정 S401), 착안한 부품의 핀의 하나에 착안한다(공정 S402). 그리고, 착안한 핀은 전원핀인지의 여부를 판정하여(공정 S403), 전원핀이 아닌 경우에는, 공정 S410로 진행한다.
- <86> 한편, 착안한 핀이 전원핀인 경우에는, FPGA 부품의 것인가지의 여부를 판정하여(공정 S404), FPGA 부품이 것인가지인 경우에는, FPGA 정보 기억부(115)에 기억된 FPGA 정보를 참조하여 핀의 전원 전압값을 조사하고(공정 S405), 착안한 핀이 FPGA 부품의 것이 아닌 경우에는, 부품 라이브러리(30)를 참조하여 핀의 전원 전압값을 조사한다(공정 S406).

정 S406). 그리고, 착안하고 있는 핀에 접속하는 네트의 전압값을 조사하여(공정 S407), 전압값이 일치하는지의 여부를 판정하여(공정 S408), 전압값이 일치하지 않은 경우에는, 전원 전압값을 불일치로서 사용자에게 통지한다(공정 S409).

- <87> 그리고, 모든 핀을 조사했는지의 여부를 판정하여(공정 S410), 조사하지 않은 핀이 있는 경우에는, 공정 S402로 되돌아가 조사하지 않은 핀에 착안하여 전원핀의 전압값을 조사한다.
- <88> 한편, 모든 핀을 조사한 경우에는, 전부품에 대해 전원 전압값을 체크했는지의 여부를 판정하여(공정 S411), 체크하지 않은 부품이 있는 경우에는, 공정 S401로 되돌아가 미체크의 부품에 착안하여 전원 전압값을 체크하고, 모든 부품에 대해 전원 전압값을 체크한 경우에는, 전원 전압값 체크 처리를 종료한다.
- <89> 이와 같이, DRC부(140)가 FPGA 부품에 대해서는 FPGA 정보를 참조하여 전원핀의 전압값을 조사함으로써, FPGA를 포함하는 회로에 대해서도 정확한 전원 전압값 체크를 행할 수 있다.
- <90> 다음으로, 핀 교환 처리부(150)에 의한 핀 교환 처리의 처리 순서에 대해 설명한다. 도 17은 핀 교환 처리부(150)에 의한 핀 교환 처리의 처리 순서를 도시하는 흐름도이다.
- <91> 이 도면에 도시한 바와 같이, 핀 교환 처리부(150)는 실장 설계 CAD 장치(20)가 작성한 핀 교환 정보를 취득(공정 S501)하고, 핀 교환이 행해진 FPGA의 심볼 라이브러리의 물리 핀 명을 교체한다(공정 S502).
- <92> 그리고, 핀 교환이 행해진 FPGA의 FPGA 정보의 논리핀 명과 논리에 관한 속성을 교체하고(공정 S503), 회로도 상의 심볼을 교체 완료된 심볼로 갱신한다(공정 S504). 그리고, 제약 조건을 갖는 핀에 대해서는 제약 조건을 핀 교환에 맞추어 교체한다(공정 S505).
- <93> 이와 같이, 핀 교환 처리부(150)가 제약 조건을 갖는 핀에 대해서는 제약 조건을 핀 교환에 맞추어 교체함으로써, 실장 설계 CAD에서의 핀 교환을 정확하게 회로 설계 정보에 반영시킬 수 있다.
- <94> 다음으로, 이력 출력부(160)에 의한 변경 이력 출력 처리의 처리 순서에 대해 설명한다. 도 18은 이력 출력부(160)에 의한 변경 이력 출력 처리의 처리 순서를 도시하는 흐름도이다. 이 도에 도시한 바와 같이, 이력 출력부(160)는 변경 이력 기억부(165)가 기억하는 변경 이력으로부터, 최신의 FPGA 정보 판독 후, 마지막으로 행한 FPGA 설계 CAD 장치(10)에의 통지 정보 출력 처리를 찾는다(공정 S601).
- <95> 그리고, 마지막으로 행한 통지 정보 출력 처리로부터 현재까지 핀 교환이 행해진 핀에 마크를 붙이고(공정 S602), 마크를 붙인 핀의 최신의 속성을 FPGA 설계 CAD 장치(10)에의 통지 정보로서 출력한다(공정 S603).
- <96> 즉, 이력 출력부(160)는 FPGA 정보 관리부(110)가 FPGA 설계 CAD 장치(10)로부터 FPGA 정보를 판독하여 FPGA 정보 기억부(115)가 기억하는 FPGA 정보를 갱신한 후에 미통지의 핀 교환을 대상으로 삼아 핀의 최신의 속성을 통지 정보로서 출력한다.
- <97> 이와 같이, 이력 출력부(160)는 변경 이력 기억부(165)가 기억하는 변경 이력을 이용하여, 핀 교환이 행해진 핀의 최신의 속성을 FPGA 설계 CAD 장치(10)에의 통지 정보로서 출력함으로써, 실장 설계에서의 핀 교환을 FPGA 설계 정보에 반영시킬 수 있다.
- <98> 또한, FPGA 정보 관리부(110)가 FPGA 설계 CAD 장치(10)로부터 FPGA 정보를 판독하여 FPGA 정보 기억부(115)가 기억하는 FPGA 정보를 갱신한 후에 미통지의 핀 교환만을 대상으로 삼아 핀의 최신의 속성을 통지 정보로서 출력함으로써, 불필요한 통지 정보나 중복하는 통지 정보의 출력을 없애고, 실장 설계에서의 핀 교환을 효율 좋게 FPGA 설계 정보에 반영시킬 수 있다.
- <99> 전술한 바와 같이, 본 실시예 1에서는, 회로 설계 CAD 장치(100)의 FPGA 정보 관리부(110)가 FPGA 설계 CAD 장치(10)가 작성한 핀 할당 정보나 속성 정보 등의 FPGA 정보를 취득하고, 라이브러리 작성부(120)가 FPGA 정보를 이용하여 심볼 라이브러리를 작성하는 것으로 했으므로, 회로 설계자가 FPGA의 심볼 라이브러리를 작성할 필요가 없어져, 회로 설계자의 부담을 경감할 수 있다.
- <100> 또한, 라이브러리 작성부(120)는 심볼 라이브러리를 작성하는 경우에 작성대상의 FPGA가 회로도에 배치 완료된 경우에는, 회로도에 배치되어 있는 기존의 심볼 라이브러리의 부분 할당이나 핀 배치를 될 수 있는 한 변경하지 않도록 하고, 회로도 반영부(130)가 새롭게 심볼 라이브러리가 작성된 FPGA의 심볼을 회로도에 배치하는 경우에, 기존의 배치를 변경하지 않도록 배치하는 것으로 했으므로, FPGA의 설계 변경에 따르는 회로도의 변경을 최소한으로 억제할 수 있다.

- <101> 또한, 본 실시예 1에서는, 회로 설계 CAD 장치(100)의 DRC부(140)가 DRC를 행하는 경우에, FPGA에 대해서는 FPGA 정보 관리부(110)가 FPGA 설계 CAD 장치(10)로부터 취입하여 FPGA 정보 기억부(115)에 저장한 FPGA 정보를 참조하여 핀의 속성등을 조사하는 것으로 했으므로, 정확한 DRC를 행할 수 있다.
- <102> 또한, 본 실시예 1에서는, 회로 설계 CAD 장치(100)의 핀 교환 처리부(150)가 실장 설계 CAD 장치(20)로부터 핀 교환 정보를 취입하여 심볼 라이브러리, FPGA 정보, 회로도에 부가하여 제약 조건에도 핀 교환을 반영시키는 것으로 했으므로, 회로 설계 정보와 실장 설계 정보 사이의 부정합을 없앨 수 있다.
- <103> 또한, 본 실시예 1에서는, 회로 설계 CAD 장치(100)의 변경 이력 기억부(165)가 FPGA 정보의 변경 이력을 기억하고, FPGA 설계 CAD 장치(10)에 핀 교환을 통지하는 정보를 이력 출력부(160)가 변경 이력 기억부(165)에 기억된 변경 이력에 기초하여 출력하는 것으로 했으므로, 실장 설계와 회로 설계와 FPGA 설계 사이에서 설계 정보의 정합성을 확보할 수 있다.
- <104> [실시예 2]
- <105> 그런데, 상기 실시예 1에서는, FPGA 부품을 사용하는 회로 설계 결과에 기초하여 프린트 기판의 실장 설계를 행하는 경우의 FPGA 협조 설계 시스템에 대해 설명했지만, FPGA 설계자와 실장 설계자 사이에서 미리 양자에게 있어서 바람직한 핀 할당을 검토해 두는 것은 설계 기간의 단축에 크게 기여한다. 그래서, 본 실시예 2에서는, FPGA 설계자와 실장 설계자 사이에서의 협조 설계를 지원하는 FPGA 협조 설계 시스템에 대해 설명한다.
- <106> 우선, 본 실시예 2에 관한 FPGA 협조 설계의 개념에 대해 설명한다. 도 19는, 본 실시예 2에 관한 FPGA 협조 설계의 개념을 설명하기 위한 설명도이다. 이 도에 도시한 바와 같이, 본 실시예 2에 관한 FPGA 협조 설계에서는, 협조 설계 지원 장치로서의 임시 라이브러리 작성 장치(200)가 FPGA 설계 CAD 장치(10)가 작성한 핀 할당 정보 등의 FPGA 핀 정보를 입력하여 FPGA의 임시 라이브러리를 작성한다. 여기서, 임시 라이브러리는, 실장 설계 CAD 장치(20)가 핀 할당을 행하는 경우에 필요로 하는 부품 형상 타입 라이브러리이며, FPGA에 대해 임시로 작성되는 라이브러리이다.
- <107> 또한, 임시 라이브러리 작성 장치(200)는 실장 설계 CAD 장치(20)로부터 핀 교환 정보를 취입하여 자신이 관리하는 FPGA 정보에 반영시키는 동시에, 핀 교환 정보를 FPGA 설계 CAD 장치(10)에 통지한다.
- <108> 이와 같이, 본 실시예 2에서는, 임시 라이브러리 작성 장치(200)는 FPGA 설계 CAD 장치(10)가 작성한 FPGA 핀 정보를 입력하여 FPGA에 대해 임시의 부품 형상 타입 라이브러리를 작성함으로써, 실장 설계 CAD 장치(20)를 이용한 핀 할당의 검토를 가능하게 하고 있다.
- <109> 다음으로, 본 실시예 2에 관한 FPGA 협조 설계 시스템의 구성에 대해 설명한다. 도 20은 본 실시예 2에 관한 FPGA 협조 설계 시스템의 구성을 도시하는 기능 블록도이다. 이 도에 도시한 바와 같이, 이 FPGA 협조 설계 시스템은 FPGA 설계 CAD 장치(10)와, 실장 설계 CAD 장치(20)와, 임시 라이브러리 작성 장치(200)로 구성되고, 임시 라이브러리 작성 장치(200)는 네트리스트 취입부(210)와, 네트리스트 관리부(220)와, 네트리스트 변환부(230)와, FPGA 설계 CAD 인터페이스부(240)와, FPGA 핀 정보 관리부(250)와, 임시 라이브러리 생성부(260)와, 핀 교환 처리부(270)를 갖는다.
- <110> 네트리스트 취입부(210)는 사용자에게 의해 작성된 네트리스트를 판독하여 네트리스트 관리부(220)로 전달하는 처리부이다. 도 21은 네트리스트 취입부(210)에 의해 판독되는 네트리스트의 일례를 도시한 도면이다.
- <111> 이 도에 도시한 바와 같이, 이 네트리스트는 부품을 정의하는 부품 정의부와 네트를 정의하는 네트 정의부로 구성된다. 부품 정의부에서는, 검토에 사용하는 부품에 대해, 부품명과 부품 라이브러리명이 기술된다. 다만, FPGA 부품은 부품 라이브러리가 없으므로, 「FPGA/」에 계속하여 모듈명(FPGA를 구별하기 위한 이름)이 기술된다.
- <112> 네트 정의부에서는, 네트마다 네트명과, 접속하는 부품핀이 기술된다. 여기서, 부품핀은 부품명이다. 부품핀명의 형식으로 기술된다. 또한, FPGA 부품에 대해서는, 핀 명으로서 논리핀 명 또는 물리 핀 명이 기술된다(물리 핀 명일 때는 %가 붙는다).
- <113> 네트리스트 관리부(220)는 네트리스트 취입부(210)에 의해 판독된 네트리스트를 기억·관리하는 관리부이다. 이 네트리스트 관리부(220)는 사용자로부터 GUI에 의한 네트리스트의 변경을 접수하여 네트리스트를 변경한다.
- <114> 네트리스트 변환부(230)는 네트리스트 관리부(220)가 관리하는 네트리스트를 실장 설계 CAD 장치(20)가 입력할 수 있는 포맷으로 변환하는 처리부이다. 이 네트리스트 변환부(230)는 네트리스트의 변환에 있어서 FPGA 핀 정

보 관리부(250)가 관리하는 FPGA 정보를 참조한다.

- <115> 도 22는 네트리스트 변환부(230)가 출력하는 네트리스트의 일례를 도시한 도면이다. 이 도에 도시한 바와 같이, 이 네트리스트에서는, 핀마다 부품명, 라이브러리명, 부품 단자 번호, 핀 명, 네트명, 교환 그룹 번호 및 차동 종별이 기재된다. 여기서, 부품 단자 번호는 핀에 부여되는 일련 번호이다.
- <116> FPGA 설계 CAD 인터페이스부(240)는 FPGA 설계 CAD 장치(10)와의 인터페이스이며, 구체적으로는, FPGA 설계 CAD 장치(10)로부터 FPGA 핀 정보를 취득, FPGA 설계 CAD 장치(10)로 핀 교환 정보를 제공한다.
- <117> FPGA 핀 정보 관리부(250)는 FPGA 설계 CAD 인터페이스부(240)가 판독한 FPGA 핀 정보를 기억·관리하는 관리부이다. 또한, 이 FPGA 핀 정보 관리부(250)는 핀 간격이나 FPGA 핀 정보의 변경에 대해 사용자로부터 GUI에 의한 지정을 접수하여 FPGA 정보를 변경한다.
- <118> 임시 라이브러리 생성부(260)는 FPGA 부품에 대해 FPGA 핀 정보 관리부(250)가 관리하는 FPGA 핀 정보를 이용하여 임시 라이브러리, 즉 임시의 부품 형상 타입 라이브러리를 생성하는 처리부이다.
- <119> 도 23은 임시 라이브러리 생성부(260)가 생성하는 임시 라이브러리의 일례를 도시한 도면이다. 이 도에 도시한 바와 같이, 이 임시 라이브러리에는, 핀마다 랜드 형상 타입 라이브러리명, 좌표 X, 좌표 Y, 각도, 핀 명이 기재된다. 또한, 랜드 형상 타입 라이브러리명에 대해서는, FPGA 핀 정보 관리부(250)가 사용자에 의한 지정을 접수하고 기억한 정보가 이용된다.
- <120> 또한, 이 임시 라이브러리에는, 부품의 사이즈를 도시하는 영역이 기재된다. 이 영역의 정보는 실장 설계 시에 부품과 부품의 거리 산출에 사용된다. 또한, 부품의 사이즈는 핀 간격으로부터 임시 라이브러리 작성부(260)에 의해 계산된다.
- <121> 라이브러리 생성부(260)가 FPGA 핀 정보에 기초하여 임시 라이브러리를 생성함으로써, 실장 설계 CAD에서의 핀 할당의 검토를 가능하게 할 수 있다.
- <122> 핀 교환 처리부(270)는 실장 설계 CAD 장치(20)로부터 핀 교환 정보를 취입하여 FPGA 핀 정보 관리부(250)에 FPGA 핀 정보의 변경을 지시하는 처리부이다. FPGA 정보 관리부(250)는 FPGA 핀 정보를 변경하는 동시에, FPGA 설계 CAD 인터페이스부(240)에 핀 교환 정보의 FPGA 설계 CAD 장치(10)에의 통지를 지시한다. 또한, 이 핀 교환 처리부(270)는 핀 교환 정보에 기초하여 네트리스트 관리부(220)에 네트리스트의 변경을 지시한다.
- <123> 다음으로, 임시 라이브러리 작성 장치(200)에 의한 실장 설계 CAD용 정보 출력 처리의 처리 순서에 대해 설명한다. 도 24는 임시 라이브러리 작성 장치(200)에 의한 실장 설계 CAD용 정보 출력 처리의 처리 순서를 도시하는 흐름도이다.
- <124> 이 도에 도시한 바와 같이, 임시 라이브러리 작성 장치(200)는 FPGA 설계 CAD 장치(10)가 작성한 핀 할당 정보를 FPGA 설계 CAD 인터페이스부(240)가 판독하고 FPGA 핀 정보 관리부(250)로 전달하고, FPGA 핀 정보 관리부(250)가 FPGA 핀 정보를 작성한다(공정 S701).
- <125> 또한, 네트리스트 취입부(210)가 네트리스트를 판독(공정 S702), 네트리스트 관리부(220)로 전달한다. 그리고, 네트리스트 관리부(220)는 사용자로부터 네트리스트의 변경 지정 등을 접수하여 관리하는 네트리스트를 변경하고, FPGA 핀 정보 관리부(250)는 사용자로부터 핀 간격 등의 지정을 접수하여(공정 S703) 관리하는 FPGA 핀 정보를 변경한다.
- <126> 그리고, 임시 라이브러리 생성부(260)가 FPGA 핀 정보로부터 핀 좌표를 구하여 임시의 부품 형상 타입 라이브러리를 생성하여(공정 S704), 네트리스트 변환부(230)가 네트리스트를 변환한다(공정 S705). 그리고, 네트리스트 변환부(230)는 변환한 네트리스트를 파일에 출력하여, 임시 라이브러리 생성부(260)가 생성한 임시 라이브러리를 파일에 출력한다(공정 S706).
- <127> 이와 같이, 임시 라이브러리 작성 장치(200)가 임시 라이브러리를 작성함으로써, 실장 설계 CAD 장치(20)를 이용한 핀 할당의 검토를 가능하게 할 수 있다. 또한, FPGA 핀 정보 관리부(250)가 사용자로부터 핀 간격 등의 지정을 접수하여, 관리하는 FPGA 핀 정보를 변경하므로, 사용자는 여러 가지 핀 간격의 핀 할당을 검토할 수 있다.
- <128> 다음으로, 임시 라이브러리 작성 장치(200)에 의한 실장 검토 결과 반영 처리의 처리 순서에 대해 설명한다. 도 25는 임시 라이브러리 작성 장치(200)에 의한 실장 검토 결과 반영 처리의 처리 순서를 도시하는 흐름도이다.

- <129> 이 도에 도시한 바와 같이, 임시 라이브러리 작성 장치(200)는 실장 설계 CAD에서의 핀 교환 정보를 핀 교환 처리부(270)가 취득(공정 S801)하고, 네트리스트의 핀 교환된 핀의 네트를 교체한다(공정 S802).
- <130> 그리고, 핀 교환 처리부(270)가 FPGA 핀 정보의 논리핀 명 및 논리 속성을 교체하고(공정 S803), 교체한 핀의 정보를 FPGA 설계 CAD 인터페이스부(240)가 파일에 출력한다(공정 S804).
- <131> 이와 같이, 핀 교환 처리부(270)가 실장 설계 CAD에서의 핀 교환 정보를 취입하여 네트리스트 및 FPGA 핀 정보에 핀 교환을 반영하고, 핀 교환의 정보를 FPGA 설계 CAD 인터페이스부(240)가 파일에 출력함으로써, 실장 설계에서의 핀 교환을 FPGA 설계 정보에 반영시킬 수 있다.
- <132> 전술한 바와 같이, 본 실시예 2에서는, FPGA 설계 CAD 장치(10)가 작성한 핀 할당 정보를 FPGA 설계 CAD 인터페이스부(240)가 판독하고, FPGA 핀 정보 관리부(250)가 FPGA 설계 CAD 인터페이스부(240)에 의해 판독된 핀 할당 정보를 FPGA 핀 정보로서 관리하며, 임시 라이브러리 생성부(260)가 FPGA 핀 정보 관리부(250)에 의해 관리되는 FPGA 핀 정보를 이용하여 임시의 부품 형상 타입 라이브러리를 생성하여 실장 설계 CAD 장치(20)가 판독 가능한 형식으로 파일에 출력하는 것으로 했으므로, 실장 설계 CAD 장치(20)를 이용한 조기의 핀 할당의 검토를 가능하게 하고, 프린트 기관의 설계 기간을 단축할 수 있다.
- <133> 또한, 본 실시예 1 및 2에서는, 각각 회로 설계 CAD 장치 및 임시 라이브러리 작성 장치에 대해 설명했지만, 회로 설계 CAD 장치 및 임시 라이브러리 작성 장치가 각각 갖는 구성을 소프트웨어에 의해 실현하는 것으로, 동일한 기능을 갖는 회로 설계 CAD 프로그램 및 임시 라이브러리 작성 프로그램을 얻을 수 있다. 그래서, 여기서는, 회로 설계 CAD 프로그램을 실행하는 컴퓨터에 대해 설명한다. 또한, 임시 라이브러리 작성 프로그램에 대해서도 동일한 컴퓨터에 의해 실행할 수 있다.
- <134> 도 26은 본 실시예 1에 관한 회로 설계 CAD 프로그램을 실행하는 컴퓨터(300)의 구성을 도시하는 기능 블록도이다. 이 도에 도시한 바와 같이, 이 컴퓨터(300)는 RAM(310)과, CPU(320)와, HDD(330)와, LAN 인터페이스(340)와, 입출력 인터페이스(350)와, DVD 드라이브(360)를 갖는다.
- <135> RAM(310)은 프로그램이나 프로그램의 실행 도중 결과 등을 기억하는 메모리이고, CPU(320)는 RAM(310)으로부터 프로그램을 판독하여 실행하는 중앙 처리 장치이다. HDD(330)는 프로그램이나 데이터를 저장하는 디스크 장치로서, LAN 인터페이스(340)는 컴퓨터(300)를 LAN 경유로 다른 컴퓨터에 접속하기 위한 인터페이스이다. 입출력 인터페이스(350)는 마우스나 키보드 등의 입력 장치 및 표시 장치를 접속하기 위한 인터페이스이며, DVD 드라이브(360)는 DVD의 기록 및 판독을 행하는 장치이다.
- <136> 그리고, 이 컴퓨터(300)에 있어서 실행되는 회로 설계 CAD 프로그램(311)은 DVD에 기억되고, DVD 드라이브(360)에 의해 DVD에서 판독되어 컴퓨터(300)에 설치된다. 혹은, 이 회로 설계 CAD 프로그램(311)은 LAN 인터페이스(340)를 통해 접속된 다른 컴퓨터 시스템의 데이터베이스 등에 기억되어, 이들의 데이터베이스로부터 판독되어 컴퓨터(300)에 설치된다. 그리고, 설치된 회로 설계 CAD 프로그램(311)은, HDD(330)에 기억되고, RAM(310)에서 판독되어 CPU(320)에 의해 실행된다.
- <137> 또한, 본 실시예에서는, FPGA를 부품으로서 사용하는 경우에 대해 설명했지만, 본 발명은 이에 한정되지 않고, 일반적으로 PLD를 부품으로서 사용하는 경우와 동일하게 적용할 수 있다.
- <138> (부기 1)
- <139> 부품으로서 PLD를 사용하는 회로의 설계를 지원하는 회로 설계 지원 장치로서,
- <140> 실장 설계에서 PLD에 대해 행해진 핀 교환에 관한 정보인 핀 교환 정보를 입력하는 핀 교환 정보 입력 수단과,
- <141> 상기 핀 교환 정보 입력 수단에 의해 입력된 핀 교환 정보를 이용하여 상기 핀 교환을 회로 설계 정보에 반영시키는 동시에, 상기 회로 설계 정보에 포함되는 PLD 정보의 변경 이력을 기록하는 핀 교환 처리 수단과,
- <142> PLD 설계 지원 장치가 갖는 PLD 설계 정보에 상기 핀 교환을 반영할 수 있도록 상기 PLD 설계 지원 장치에 통지하는 통지 정보를 상기 핀 교환 처리 수단에 의해 기록된 PLD 정보의 변경 이력에 기초하여 출력하는 변경 이력 출력 수단
- <143> 을 구비한 것을 특징으로 하는 회로 설계 지원 장치.
- <144> (부기 2)
- <145> 상기 변경 이력 출력 수단은, 동일 핀에 대해 복수회의 핀 교환이 행해진 경우에는, 마지막으로 행해진 핀 교환

의 정보에 기초하여 상기 통지 정보를 출력하는 것을 특징으로 하는 부기 1에 기재한 회로 설계 지원 장치.

<146> (부기 3)

<147> PLD에 대해 PLD 설계 CAD에 의해 작성된 설계 정보를 상기 PLD 정보로서 기억하는 PLD 정보 기억 수단을 더 구비하고,

<148> 상기 핀 교환 처리 수단은 상기 PLD 정보 기억 수단이 기억하는 PLD 정보의 변경 이력을 기록하는 것을 특징으로 하는 부기 1 또는 2에 기재한 회로 설계 지원 장치.

<149> (부기 4)

<150> 상기 변경 이력 출력 수단은 상기 통지 정보를 출력할 때마다 출력 이력을 기록하고, 미통지의 변경 이력을 상기 출력 이력에 기초하여 특정하며 상기 통지 정보를 출력하는 것을 특징으로 하는 부기 3에 기재한 회로 설계 지원 장치.

<151> (부기 5)

<152> 상기 변경 이력 출력 수단은 PLD 설계 CAD에 의해 작성된 설계 정보에 의해 상기 PLD 정보 기억 수단이 기억하는 PLD 정보의 갱신이 행해진 경우에는, 상기 갱신 후에 미통지의 변경 이력을 상기 출력 이력에 기초하여 특정하며 상기 통지 정보를 출력하는 것을 특징으로 하는 부기 4에 기재한 회로 설계 지원 장치.

<153> (부기 6)

<154> 부품으로서 PLD를 사용하는 회로의 설계를 지원하는 회로 설계 지원 장치에 의한 회로 설계 지원 방법으로서,

<155> 실장 설계에서 PLD에 대해 행해진 핀 교환에 관한 정보인 핀 교환 정보를 입력하는 핀 교환 정보 입력 공정과,

<156> 상기 핀 교환 정보 입력 공정에 의해 입력된 핀 교환 정보를 이용하여 상기 핀 교환을 회로 설계 정보에 반영시키는 동시에, 상기 회로 설계 정보에 포함되는 PLD 정보의 변경 이력을 기록하는 핀 교환 처리 공정과,

<157> PLD 설계 지원 장치가 갖는 PLD 설계 정보에 상기 핀 교환을 반영할 수 있도록 상기 PLD 설계 지원 장치에 통지하는 통지 정보를 상기 핀 교환 처리 공정에 의해 기록된 PLD 정보의 변경 이력에 기초하여 출력하는 변경 이력 출력 공정

<158> 을 포함한 것을 특징으로 하는 회로 설계 지원 방법.

<159> (부기 7)

<160> 상기 변경 이력 출력 공정은 동일 핀에 대해 복수회의 핀 교환이 행해진 경우에는, 마지막으로 행해진 핀 교환의 정보에 기초하여 상기 통지 정보를 출력하는 것을 특징으로 하는 부기 6에 기재한 회로 설계 지원 방법.

<161> (부기 8)

<162> PLD에 대해 PLD 설계 CAD에 의해 작성된 설계 정보를 상기 PLD 정보로서 기억하고,

<163> 상기 핀 교환 처리 공정은 기억한 PLD 정보의 변경 이력을 기록하는 것을 특징으로 하는 부기 6 또는 7에 기재한 회로 설계 지원 방법.

<164> (부기 9)

<165> 상기 변경 이력 출력 공정은 상기 통지 정보를 출력할 때마다 출력 이력을 기록하고, 미통지의 변경 이력을 상기 출력 이력에 기초하여 특정하며 상기 통지 정보를 출력하는 것을 특징으로 하는 부기 8에 기재한 회로 설계 지원 방법.

<166> (부기 10)

<167> 상기 변경 이력 출력 공정은 PLD 설계 CAD에 의해 작성된 설계 정보에 의해 PLD 정보의 갱신이 행해진 경우에는, 상기 갱신 후에 미통지의 변경 이력을 상기 출력 이력에 기초하여 특정하며 상기 통지 정보를 출력하는 것을 특징으로 하는 부기 9에 기재한 회로 설계 지원 방법.

<168> (부기 11)

<169> 부품으로서 PLD를 사용하는 회로의 설계를 지원하는 회로 설계 지원 프로그램을 기록한 컴퓨터 판독가능한 기록

매체로서,

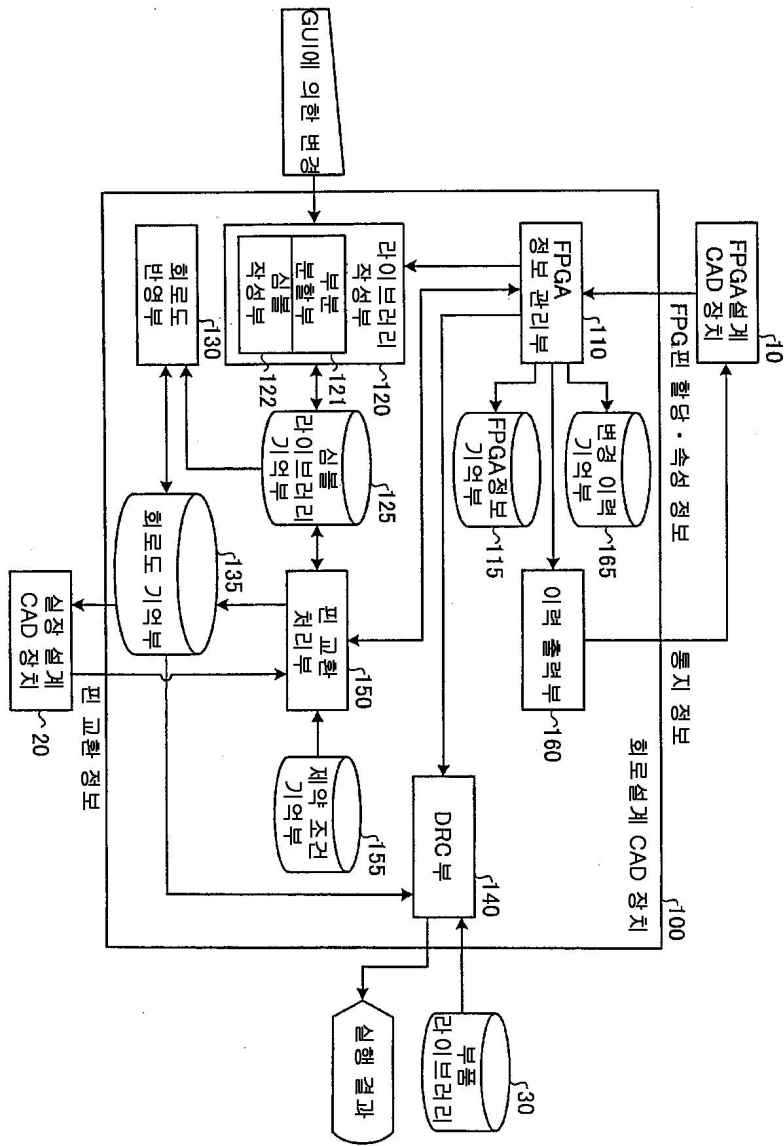
- <170> 실장 설계에서 PLD에 대해 행해진 핀 교환에 관한 정보인 핀 교환 정보를 입력하는 핀 교환 정보 입력 순서와,
- <171> 상기 핀 교환 정보 입력 순서에 의해 입력된 핀 교환 정보를 이용하여 상기 핀 교환을 회로 설계 정보에 반영시키는 동시에, 상기 회로 설계 정보에 포함되는 PLD 정보의 변경 이력을 기록하는 핀 교환 처리 순서와,
- <172> PLD 설계 지원 장치가 갖는 PLD 설계 정보에 상기 핀 교환을 반영할 수 있도록 상기 PLD 설계 지원 장치에 통지하는 통지 정보를 상기 핀 교환 처리 순서에 의해 기록된 PLD 정보의 변경 이력에 기초하여 출력하는 변경 이력 출력 순서
- <173> 를 컴퓨터에 실행시키는 것을 특징으로 하는 컴퓨터 판독가능한 기록매체.
- <174> (부기 12)
- <175> 상기 변경 이력 출력 순서는, 동일 핀에 대해 복수회의 핀 교환이 행해진 경우에는, 마지막으로 행해진 핀 교환의 정보에 기초하여 상기 통지 정보를 출력하는 것을 특징으로 하는 부기 11에 기재한 컴퓨터 판독가능한 기록매체.
- <176> (부기 13)
- <177> PLD에 대해 PLD 설계 CAD에 의해 작성된 설계 정보를 상기 PLD 정보로서 기억하고,
- <178> 상기 핀 교환 처리 순서는 기억한 PLD 정보의 변경 이력을 기록하는 것을 특징으로 하는 부기 11 또는 12에 기재한 컴퓨터 판독가능한 기록매체.
- <179> (부기 14)
- <180> 상기 변경 이력 출력 순서는 상기 통지 정보를 출력할 때마다 출력 이력을 기록하고, 미통지의 변경 이력을 상기 출력 이력에 기초하여 특정하며 상기 통지 정보를 출력하는 것을 특징으로 하는 부기 13에 기재한 컴퓨터 판독가능한 기록매체.
- <181> (부기 15)
- <182> 상기 변경 이력 출력 순서는 PLD 설계 CAD에 의해 작성된 설계 정보에 의해 PLD 정보의 갱신이 행해진 경우에는, 상기 갱신 후에 미통지의 변경 이력을 상기 출력 이력에 기초하여 특정하며 상기 통지 정보를 출력하는 것을 특징으로 하는 부기 14에 기재한 컴퓨터 판독가능한 기록매체.
- <183> (부기 16)
- <184> 부품으로서 PLD를 사용하는 회로의 설계를 지원하는 회로 설계 지원 장치를 이용하여 설계가 행해지는 프린트 기관의 제조 방법으로서,
- <185> 상기 회로 설계 지원 장치가,
- <186> 실장 설계에서 PLD에 대해 행해진 핀 교환에 관한 정보인 핀 교환 정보를 입력하는 핀 교환 정보 입력 공정과,
- <187> 상기 핀 교환 정보 입력 공정에 의해 입력된 핀 교환 정보를 이용하여 상기 핀 교환을 회로 설계 정보에 반영시키는 동시에, 상기 회로 설계 정보에 포함되는 PLD 정보의 변경 이력을 기록하는 핀 교환 처리 공정과,
- <188> PLD 설계 지원 장치가 갖는 PLD 설계 정보에 상기 핀 교환을 반영할 수 있도록 상기 PLD 설계 지원 장치에 통지하는 통지 정보를 상기 핀 교환 처리 공정에 의해 기록된 PLD 정보의 변경 이력에 기초하여 출력하는 변경 이력 출력 공정
- <189> 을 포함한 것을 특징으로 하는 프린트 기관의 제조 방법.

산업이용 가능성

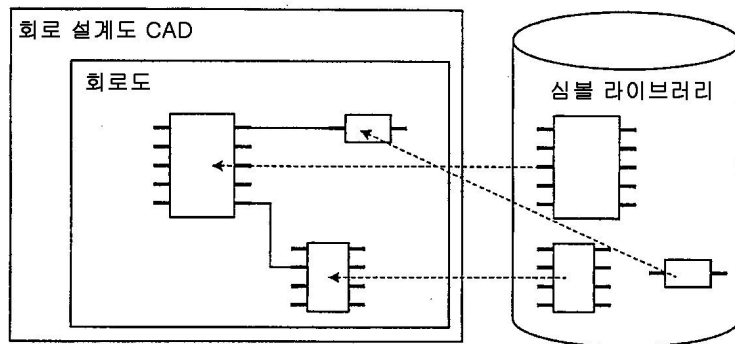
- <190> 이상과 같이, 본 발명에 관한 회로 설계 지원 장치, 회로 설계 지원 방법, 회로 설계 지원 프로그램 및 프린트 기관의 제조 방법은 PLD를 부품으로서 사용하는 회로의 설계에 유용하며, 특히, 실장 설계에서의 핀 교환이 빈번하게 발생하는 경우에 적합하다.

도면의 간단한 설명

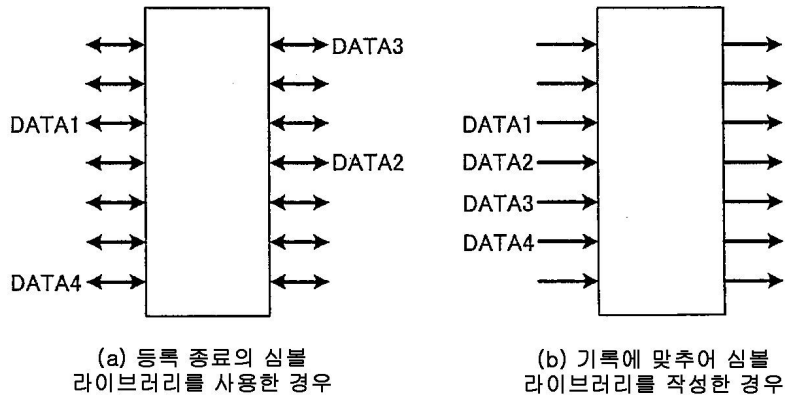
도면2



도면3



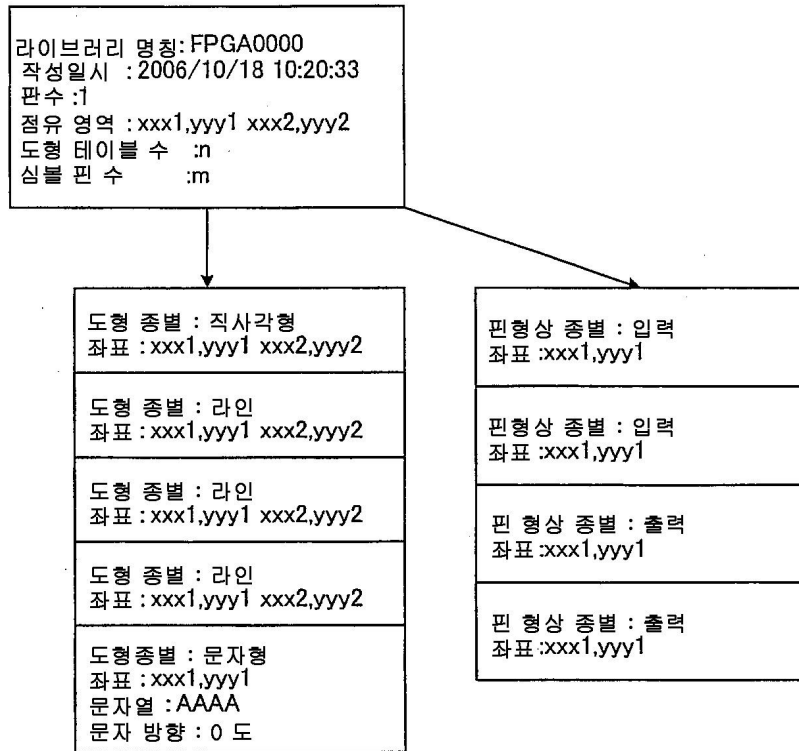
도면4



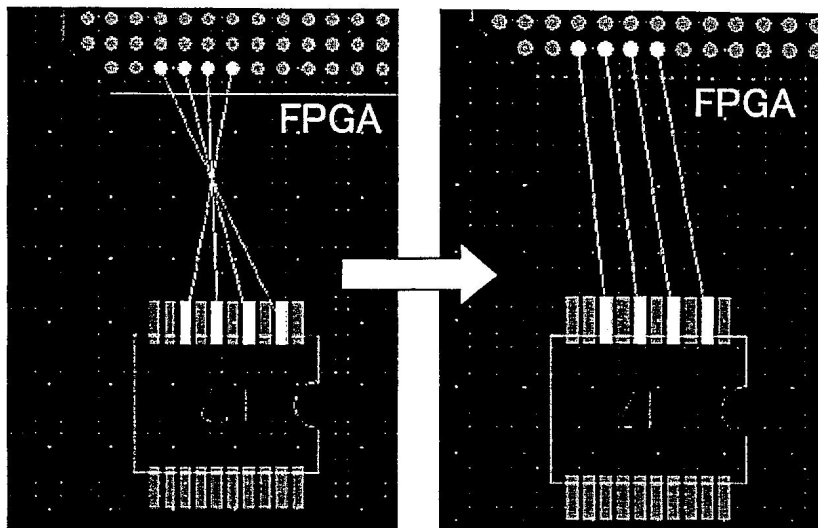
도면5

물리 핀 명	논리 핀 명	입출력 특성	뱅크 번호	교환 그룹 번호	차동 특성	전원 전압값
A0	ADRS1	입력	1	1		
A1	VCCIO	전원				3.3V
A2	ADRS2	입력	1	1		
A3	GND	접지				
A4	DATA1	출력	1	1	POST	
A5	DATA2	출력	1	1	NEGA	
A6	VCCINT	전원				1.5V
C10	ADRSB1	입력	2	2		
C11	ADRSB2	입력	2	2		
C12	ADRSB3	입력	2	2		

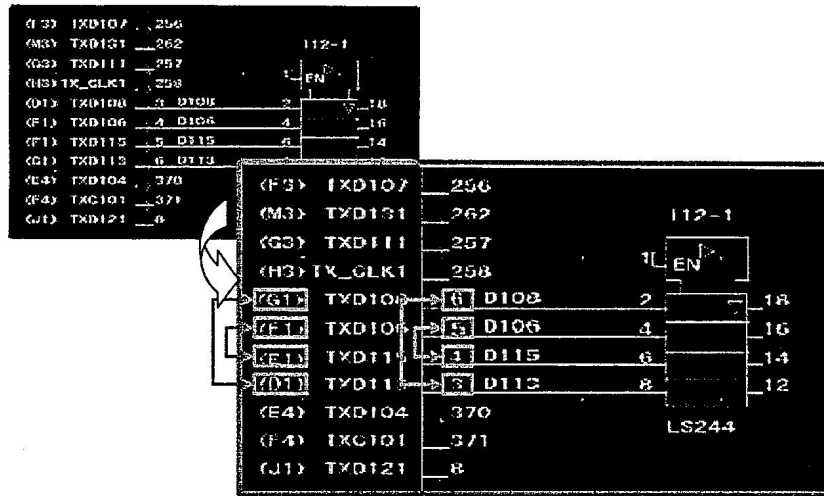
도면6



도면7



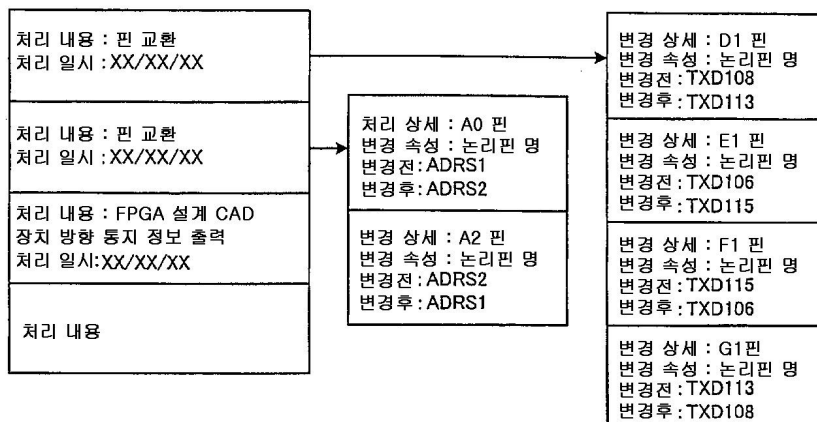
도면8



도면9

대상 핀 사이: 부품 IC1, 물리 핀명 G1 부품 I12, 물리 핀명 2 지정: 50 mm 이하
대상 핀 사이: 부품 IC1, 물리 핀명 F1 부품 I12, 물리 핀명 4 지정: 50 mm 이하
대상 핀 사이: 부품 IC1, 물리 핀명 E1 부품 I12, 물리 핀명 6 지정: 70 mm 이하

도면10



도면11

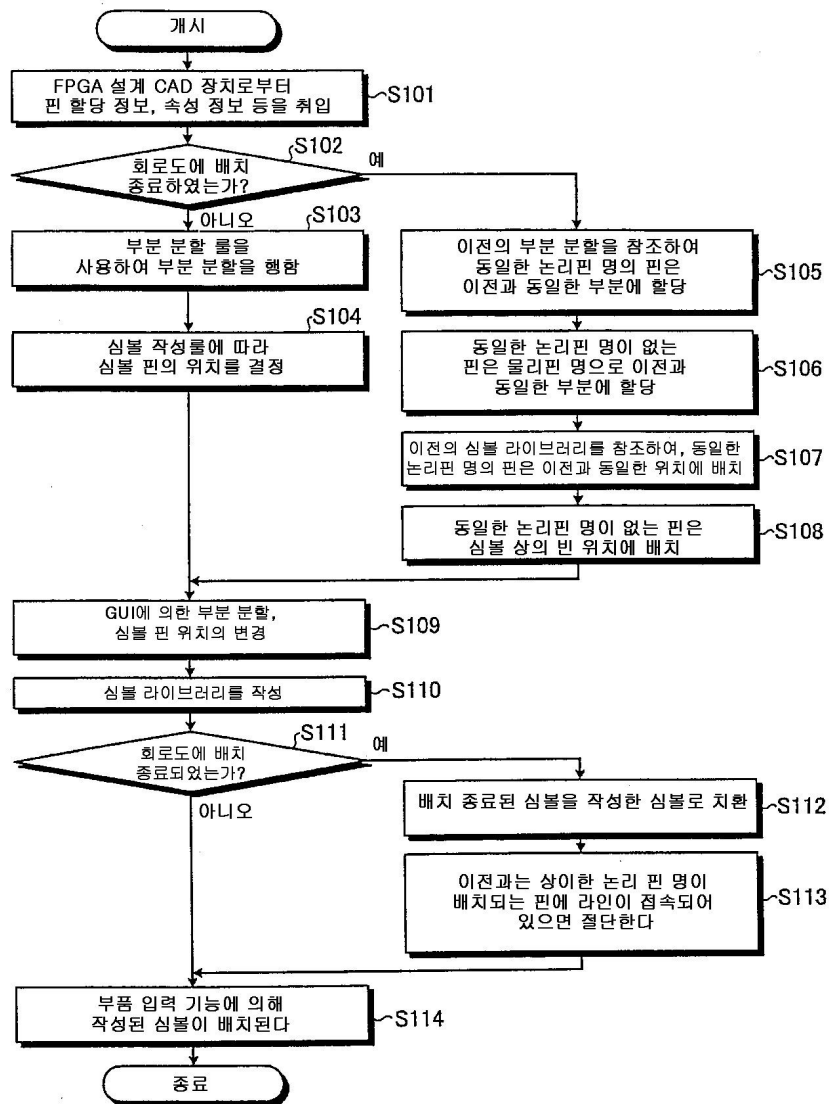
물리핀 명 : A0 논리핀 명 : ADRS2
물리핀 명 : A2 논리핀 명 : ADRS1
물리핀 명 : D1 논리핀 명 : TXD113
물리핀 명 : E1 논리핀 명 : TXD115
물리핀 명 : F1 논리핀 명 : TXD106
물리핀 명 : G1 논리핀 명 : TXD108

도면12

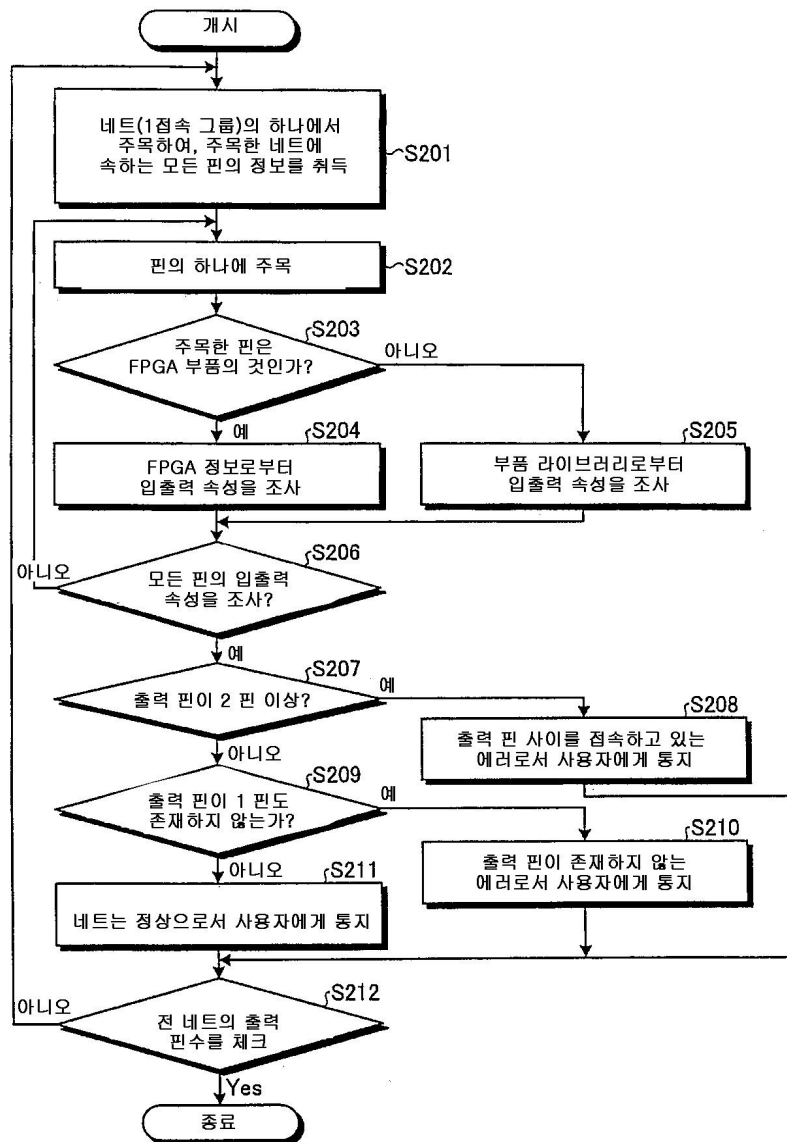
```

NET "TXD113" LOC="D1";
NET "TXD115" LOC="E1";
NET "TXD106" LOC="F1";
NET "TXD108" LOC="G1";
    
```

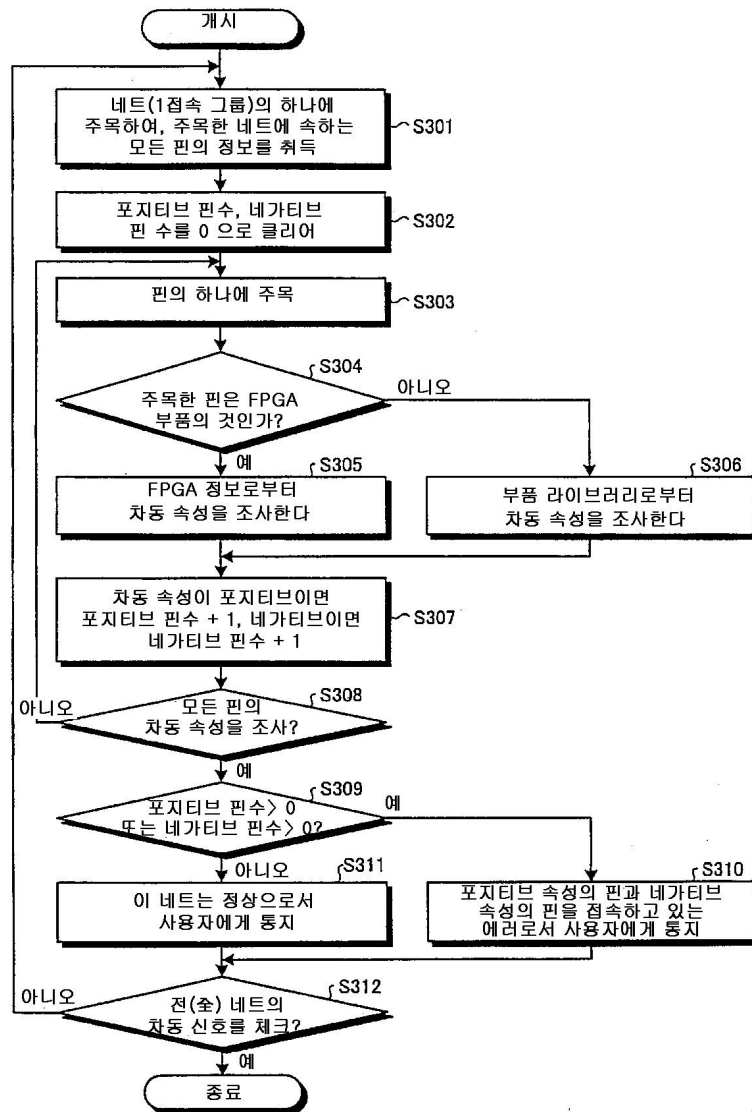

도면13



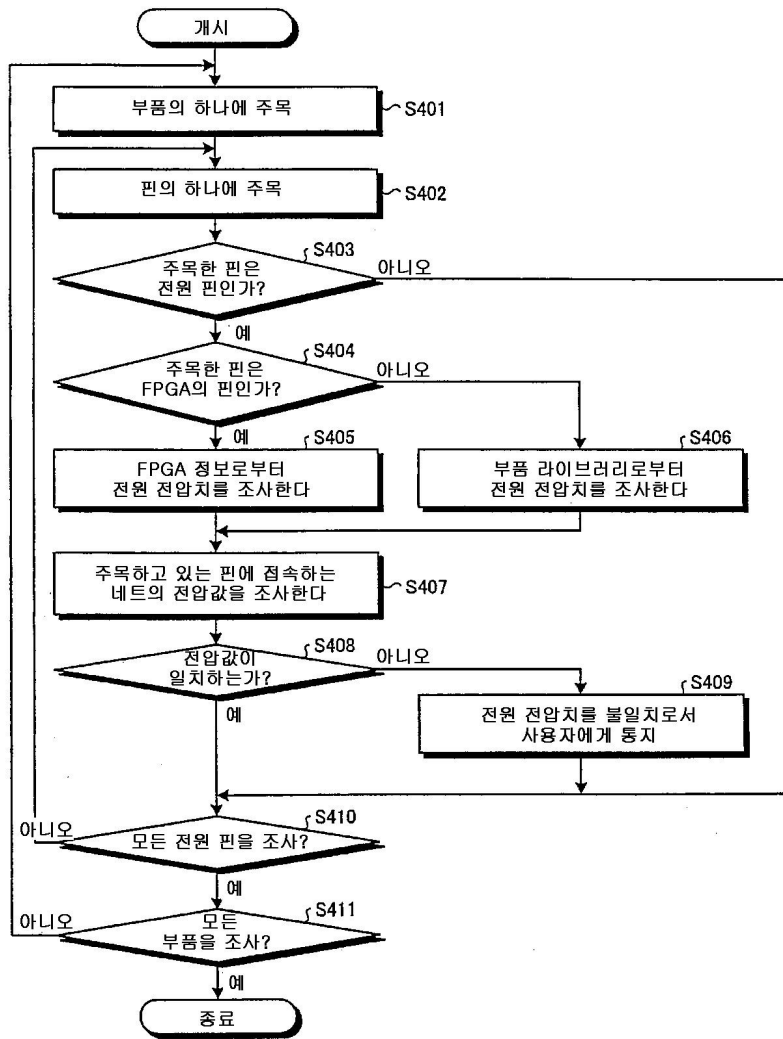
도면14



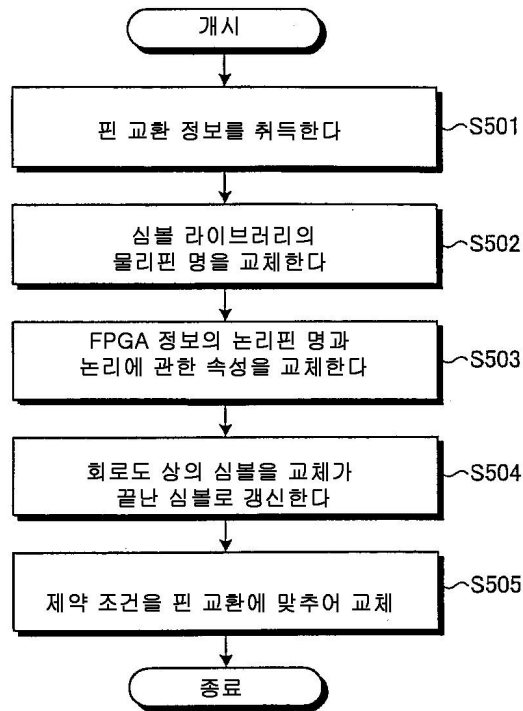
도면15



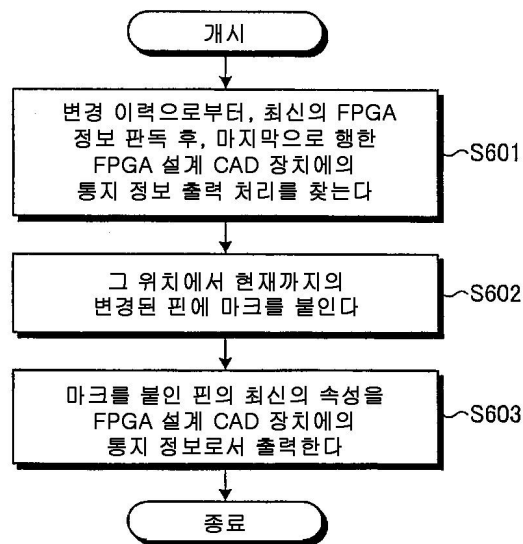
도면16



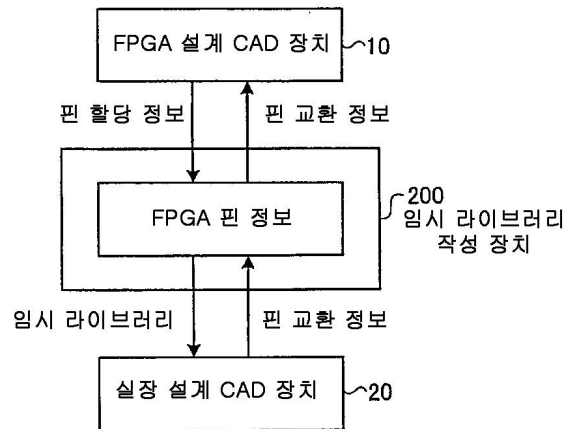
도면17



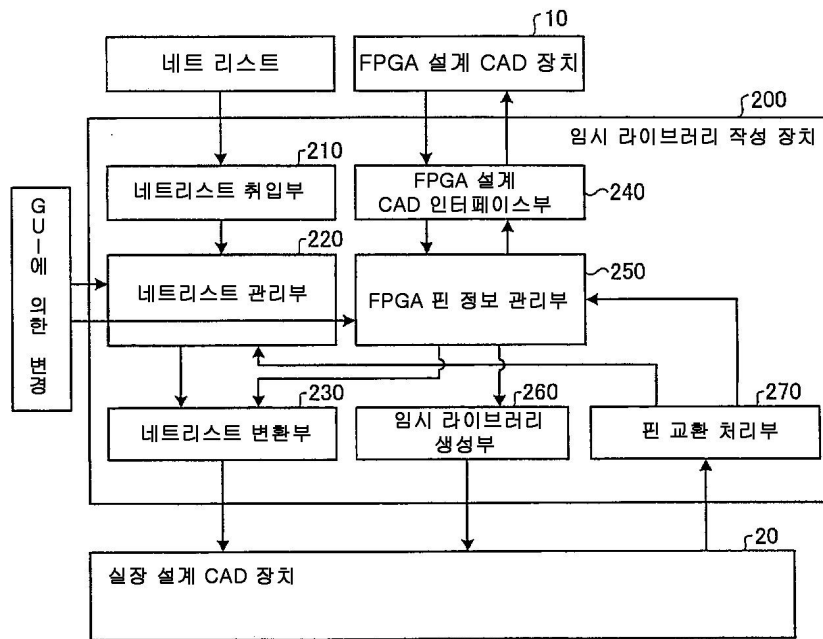
도면18



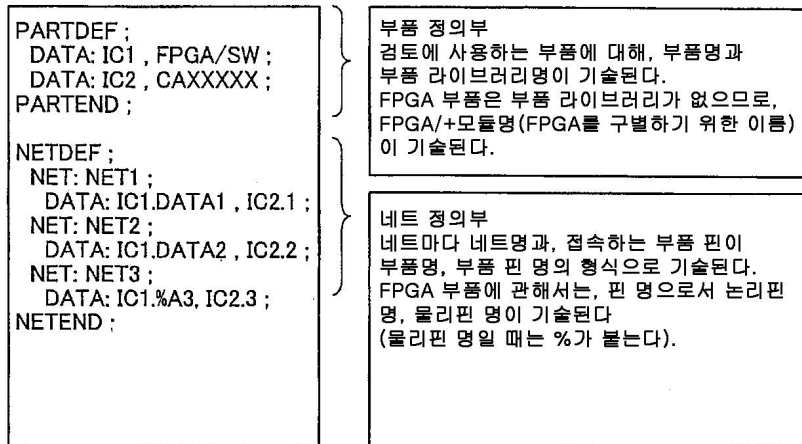
도면19



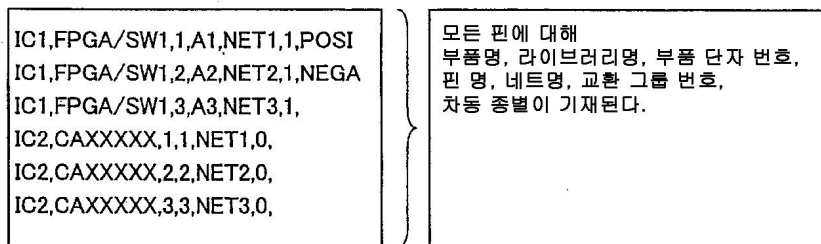
도면20



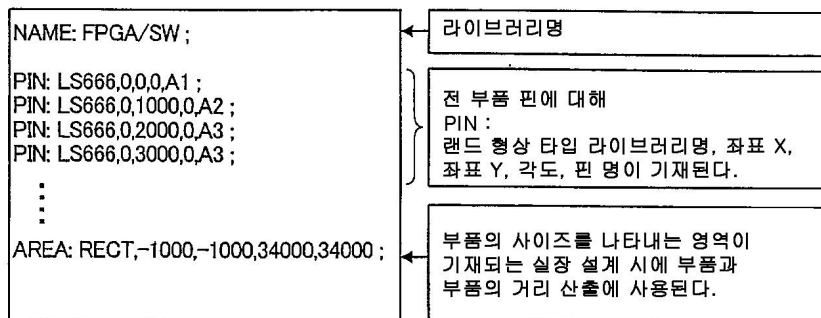
도면21



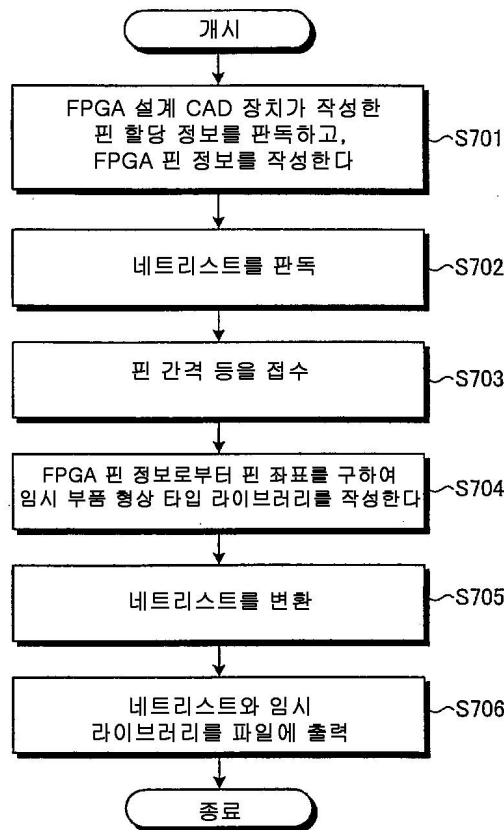
도면22



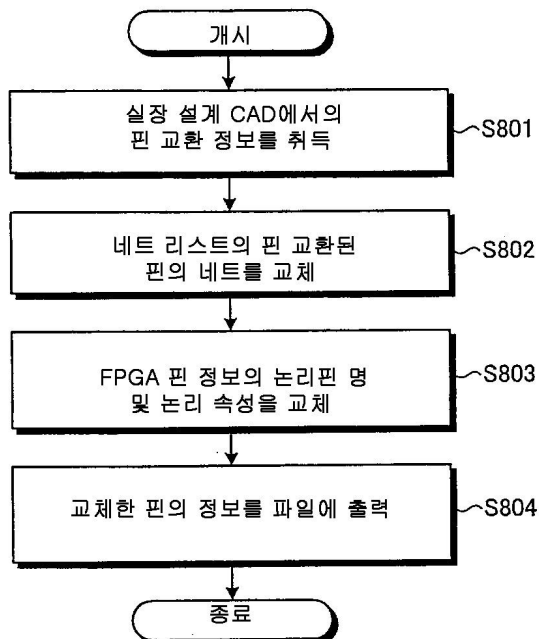
도면23



도면24



도면25



도면26

