



(12) 发明专利

(10) 授权公告号 CN 117134765 B

(45) 授权公告日 2024.06.07

(21) 申请号 202311074050.X

(22) 申请日 2023.08.24

(65) 同一申请的已公布的文献号

申请公布号 CN 117134765 A

(43) 申请公布日 2023.11.28

(73) 专利权人 毫厘智能科技(江苏)有限公司

地址 213164 江苏省常州市武进区国家高新技术产业开发区天安数码城16幢1009室

(72) 发明人 杨建

(74) 专利代理机构 北京锤维联合知识产权代理有限公司 11579

专利代理师 李慧敏

(51) Int. Cl.

H03K 19/0175 (2006.01)

H01L 23/538 (2006.01)

(56) 对比文件

CN 107113254 A, 2017.08.29

CN 109582622 A, 2019.04.05

CN 114679423 A, 2022.06.28

CN 114760255 A, 2022.07.15

CN 115794732 A, 2023.03.14

CN 116093088 A, 2023.05.09

CN 116260760 A, 2023.06.13

KR 20220116892 A, 2022.08.23

US 10496582 B1, 2019.12.03

US 10909292 B1, 2021.02.02

US 2009230550 A1, 2009.09.17

US 2016285757 A1, 2016.09.29

US 2018260585 A1, 2018.09.13

WO 2023023975 A1, 2023.03.02

审查员 李旭梅

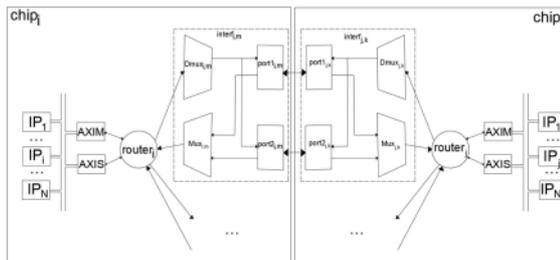
权利要求书1页 说明书5页 附图1页

(54) 发明名称

一种可重构芯粒间连接结构的电路及芯片

(57) 摘要

本发明涉及芯粒制造领域,特别是涉及一种芯粒间的可重构连接结构及芯片,其包括第i个芯粒chip_i及其物理位置相邻的第j个芯粒chip_j之间预先连接所有的物理连线;chip_i包括M个接口单元interf_i,通过第i个路由器router_i将interf_i接入片上网络;chip_j包括K个接口单元interf_j,通过第j个路由器router_j将interf_j接入片上网络;当chip_i通过相应的接口单元接入chip_j时,相应接口单元中通用输入输出端口通过物理连线连接,芯粒的接口单元中通用输入输出端口具有选通和阻塞功能,使得芯粒之间的连接可重构,进而节约封装成本的目的。



1. 一种可重构芯粒间连接结构的电路,其特征在于,第 i 个芯粒 $chip_i$ 和物理位置与 $chip_i$ 相邻的第 j 个芯粒 $chip_j$ 之间预先连接所有的物理连线 $con_{i,j}$, $i \neq j$ 且 $1 \leq j \leq N$,其中 N 为电路中芯粒的数量;

所述 $chip_i$ 包括 M 个接口单元 $interf_i$,通过第 i 个路由器 $router_i$ 将 $interf_i$ 接入片上网络; $chip_j$ 包括 K 个接口单元 $interf_j$,通过第 j 个路由器 $router_j$ 将 $interf_j$ 接入片上网络;

所述 $interf_i$ 中的第 m 个接口单元 $interf_{i,m}$ 包括多路分配器 $Dmux_{i,m}$ 、多路复用器 $Mux_{i,m}$ 、通用输入输出端口 $port1_{i,m}$ 和通用输入输出端口 $port2_{i,m}$;其中,多路分配器 $Dmux_{i,m}$ 的输入通道连接 $router_i$,输出通道分别接入 $port1_{i,m}$ 和 $port2_{i,m}$;多路复用器 $Mux_{i,m}$ 的输出通道连接 $router_i$,输入通道分别接入 $port1_{i,m}$ 和 $port2_{i,m}$;

所述 $interf_{j,k}$ 包括多路分配器 $Dmux_{j,k}$ 、多路复用器 $Mux_{j,k}$ 、通用输入输出端口 $port1_{j,k}$ 和通用输入输出端口 $port2_{j,k}$;其中,多路分配器 $Dmux_{j,k}$ 的输入通道连接 $router_j$,输出通道分别接入 $port1_{j,k}$ 和 $port2_{j,k}$;多路复用器 $Mux_{j,k}$ 的输出通道连接 $router_j$,输入通道分别接入 $port1_{j,k}$ 和 $port2_{j,k}$;

当 $chip_i$ 通过 $interf_{i,m}$ 和 $interf_{j,k}$ 接入 $chip_j$ 时, $port1_{i,m}$ 通过物理连线连接 $port1_{j,k}$, $port2_{i,m}$ 通过物理连线连接 $port2_{j,k}$;

对晶圆上的芯粒进行切割,当芯粒未被切断时,通用输入输出端口的状态为选通状态;当芯粒被切断时,通用输入输出端口的状态通过隔离成为阻塞状态。

2. 根据权利要求1所述的电路,其特征在于, $chip_i$ 中的 $port1_{i,m}$ 被配置为输入模式或输出模式, $port2_{i,m}$ 被配置为输入模式或输出模式,且 $port1_{i,m}$ 和 $port2_{i,m}$ 配置的模式不同。

3. 根据权利要求1所述的电路,其特征在于,当芯粒的物理连线被切断时,为被配置为输入模式的通用输入输出端口配置缺省值。

4. 根据权利要求1所述的电路,其特征在于, N 个芯粒高度相同。

5. 根据权利要求1所述的电路,其特征在于, $con_{i,j}$ 具有连接状态和断开状态,当 $con_{i,j}$ 被指定为连接状态时, $con_{i,j}$ 保持预连接状态, $chip_i$ 和 $chip_j$ 直接连接基板进行封装,在 $chip_i$ 和 $chip_j$ 与基板之间不连接中介层。

6. 根据权利要求1所述的电路,其特征在于, $con_{i,j}$ 具有连接状态和断开状态,当 $con_{i,j}$ 被指定为断开状态时, $con_{i,j}$ 被切断, $chip_i$ 和 $chip_j$ 通过中介层连通后连接基板进行封装。

7. 根据权利要求1所述的电路,其特征在于, $con_{i,j}$ 的获取步骤包括:在对晶圆上的芯粒进行切割时,选择不切断 $chip_i$ 和 $chip_j$ 之间的RDL连接线。

8. 根据权利要求1所述的电路,其特征在于, $port1_{i,m}$ 和 $port2_{i,m}$ 均为GPIO接口。

9. 一种芯片,其特征在于,所述芯片包括 N 个芯粒 $chip = \{chip_1, chip_2, \dots, chip_i, \dots, chip_N\}$, $chip_i$ 为芯片中的第 i 个芯粒, $1 \leq i \leq N$;在物理位置相邻的芯粒之间具有权利要求1-8任意一项所述的一种可重构芯粒间连接结构的电路。

一种可重构芯粒间连接结构的电路及芯片

技术领域

[0001] 本发明涉及芯粒制造领域,特别是涉及一种芯粒间的可重构连接结构及芯片。

背景技术

[0002] 晶圆(Wafer)是半导体集成电路的核心材料在晶圆上可以加工制作出各种电路元件结构,使之成为有特定电性功能的IC产品。

[0003] 对于由多种类型的芯粒构成的芯片,通常由多个晶圆独立生产每种类型的芯粒,最终将这些芯粒重新组合再采用高级封装技术将多个芯粒封装在一起实现复杂的芯片功能。上述制造芯片的方式需要采用高级封装技术,需要消耗大量的封装成本。

发明内容

[0004] 针对上述技术问题,本发明采用的技术方案为:一种可重构芯粒间连接结构的电路,第 i 个芯粒 $chip_i$ 和物理位置与 $chip_i$ 相邻的第 j 个芯粒 $chip_j$ 之间预先连接所有的物理连线 $con_{i,j}$, $i \neq j$ 且 $1 \leq j \leq N$ 。

[0005] 所述 $chip_i$ 包括 M 个接口单元 $interf_i$,通过第 i 个路由器 $router_i$ 将 $interf_i$ 接入片上网络; $chip_j$ 包括 K 个接口单元 $interf_j$,通过第 j 个路由器 $router_j$ 将 $interf_j$ 接入片上网络。

[0006] 所述 $interf_i$ 中的第 m 个接口单元 $interf_{i,m}$ 包括多路分配器 $Dmux_{i,m}$ 、多路复用器 $Mux_{i,m}$ 、通用输入输出端口 $port1_{i,m}$ 和通用输入输出端口 $port2_{i,m}$;其中,多路分配器 $Dmux_{i,m}$ 的输入通道连接 $router_i$,输出通道分别接入 $port1_{i,m}$ 和 $port2_{i,m}$;多路复用器 $Mux_{i,m}$ 的输出通道连接 $router_i$,输入通道分别接入 $port1_{i,m}$ 和 $port2_{i,m}$ 。

[0007] 所述 $interf_{j,k}$ 包括多路分配器 $Dmux_{j,k}$ 、多路复用器 $Mux_{j,k}$ 、通用输入输出端口 $port1_{j,k}$ 和通用输入输出端口 $port2_{j,k}$;其中,多路分配器 $Dmux_{j,k}$ 的输入通道连接 $router_j$,输出通道分别接入 $port1_{j,k}$ 和 $port2_{j,k}$;多路复用器 $Mux_{j,k}$ 的输出通道连接 $router_j$,输入通道分别接入 $port1_{j,k}$ 和 $port2_{j,k}$ 。

[0008] 当 $chip_i$ 通过 $interf_{i,m}$ 和 $interf_{j,k}$ 接入 $chip_j$ 时, $port1_{i,m}$ 通过物理连线连接 $port1_{j,k}$, $port2_{i,m}$ 通过物理连线连接 $port2_{j,k}$ 。

[0009] 本发明至少具有以下有益效果:

[0010] 芯粒的接口单元中通用输入输出端口具有选通和阻塞功能,使得芯粒之间的连接可重构。进而保证芯粒在保持连接和切断之间切换仍能正常工作,在保持连接的状态下不需要采用高级封装,相比较现有技术中将所有芯粒重组后需要采用高级封装使两个芯粒连通的方式,本发明能够避免芯粒组合时采用高级封装技术,节约了封装成本。

附图说明

[0011] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于

本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0012] 图1为本发明实施例提供的一种可重构芯粒连接结构的芯片结构示意图;

[0013] 图2为本发明实施例提供的一种可重构芯粒连接结构的芯片内部的结构示意图。

具体实施方式

[0014] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0015] 实施例一

[0016] 本发明还提供了一种可重构芯粒间连接结构的电路,第 i 个芯粒 $chip_i$ 和物理位置与 $chip_i$ 相邻的第 j 个芯粒 $chip_j$ 之间预先连接所有的物理连线 $con_{i,j}$, $i \neq j$ 且 $1 \leq j \leq N$ 。需要说明的是,具有物理连线的两个芯粒一定是物理位置相邻的两个芯粒,不相邻的芯粒之间不可能存在物理连线。

[0017] 其中,芯粒(chiplet)为具有特定功能且可组合集成的晶片(Die)。

[0018] 其中,相邻的两个芯粒可以是相同类型的芯粒,也可以是不同类型的芯粒。

[0019] 作为一个示例,组成芯片的芯粒包括射频和基带构成的芯粒以及MCU芯粒。或者组成芯片的芯粒还可以包括射频芯粒和MCU芯粒。

[0020] 其中,芯粒中不同的IP核通过片上网络实现互联。片上网络为SOC(system on chip)模块之间基于路由器的分组交换网络。

[0021] 进一步,所述 $chip_i$ 包括 M 个接口单元 $interf_i$,通过第 i 个路由器 $router_i$ 将 $interf_i$ 接入片上网络; $chip_j$ 包括 K 个接口单元 $interf_j$,通过第 j 个路由器 $router_j$ 将 $interf_j$ 接入片上网络。需要说明的是,芯粒之间通过片上网络实现互联。

[0022] 优选的, M 个接口单元 $interf_i$ 的结构相同。 K 个接口单元 $interf_j$ 的结构相同。

[0023] 进一步,所述 $interf_i$ 中的第 m 个接口单元 $interf_{i,m}$ 包括多路分配器 $Dmux_{i,m}$ 、多路复用器 $Mux_{i,m}$ 、通用输入输出端口 $port1_{i,m}$ 和通用输入输出端口 $port2_{i,m}$;其中,多路分配器 $Dmux_{i,m}$ 的输入通道连接 $router_i$,输出通道分别接入 $port1_{i,m}$ 和 $port2_{i,m}$;多路复用器 $Mux_{i,m}$ 的输出通道连接 $router_i$,输入通道分别接入 $port1_{i,m}$ 和 $port2_{i,m}$ 。

[0024] 其中,多路复用器(multiplexer或mux)用于从多个输入信号中选择其中一个信号并将其输出到一个输出线路中,也即能够将不同的被选信号输出到同一个输出线路中。

[0025] 其中,多路分配器(demultiplexer或DMUX)用于将一个输入信号分配到多路输出中任意一个指定的输出线路中。

[0026] 可选的, $port1_{i,m}$ 和 $port2_{i,m}$ 均为GPIO(General Purpose I/O Ports)接口。

[0027] 优选的, $chip_i$ 中的 $port1_{i,m}$ 被配置为输入模式或输出模式, $port2_{i,m}$ 被配置为输入模式或输出模式,且 $port1_{i,m}$ 和 $port2_{i,m}$ 配置的模式不同。

[0028] 作为一个优选实施例, $chip_j$ 包括 K 个接口单元 $interf_j$,通过第 j 个路由器 $router_j$ 将 $interf_j$ 接入片上网络; $interf_j$ 中的第 k 个接口单元 $interf_{j,k}$ 的电路结构与 $interf_{i,m}$ 相同;其中, $chip_i$ 通过 $interf_{i,m}$ 和 $interf_{j,k}$ 接入 $chip_j$ 。

[0029] 进一步,所述 $\text{interf}_{j,k}$ 包括多路分配器 $\text{Dmux}_{j,k}$ 、多路复用器 $\text{Mux}_{j,k}$ 、通用输入输出端口 $\text{port1}_{j,k}$ 和通用输入输出端口 $\text{port2}_{j,k}$;其中,多路分配器 $\text{Dmux}_{j,k}$ 的输入通道连接 router_j ,输出通道分别接入 $\text{port1}_{j,k}$ 和 $\text{port2}_{j,k}$;多路复用器 $\text{Mux}_{j,k}$ 的输出通道连接 router_j ,输入通道分别接入 $\text{port1}_{j,k}$ 和 $\text{port2}_{j,k}$ 。根据需要配置接口单元中的多路复用器和通用输入输出端口,利用该接口单元并结合路由器接入片上网络能够实现芯粒之间的交互访问请求和响应。

[0030] 作为一个示例,请参阅图1,当 chip_i 中的任意一个 IP_i 通过总线接入路由器 router_i 发出访问请求 req_i 时,路由器 router_i 将 req_i 通过多路分配器 $\text{Dmux}_{i,m}$ 输入给 $\text{port1}_{i,m}$ 和 $\text{port2}_{i,m}$,当 $\text{port1}_{i,m}$ 被配置为输出模式且 $\text{port1}_{j,k}$ 被配置为输入模式时, $\text{port1}_{i,m}$ 输出 req_i 并输入 $\text{port1}_{j,k}$, $\text{port1}_{j,k}$ 将 req_i 输出给 $\text{Mux}_{j,k}$, $\text{Mux}_{j,k}$ 将 req_i 发送给路由器 router_j , router_j 通过总线将 req_i 发送给目的 IP_j ,此时完成一个从 IP_i 到目的 IP_j 的访问过程。当 IP_j 接收到 req_i 并将响应数据返回给 IP_i 时,响应数据通过总线发送给路由器 router_j , router_j 通过 $\text{Dmux}_{j,k}$ 输入给 $\text{port1}_{j,k}$ 和 $\text{port2}_{j,k}$,当 $\text{port2}_{j,k}$ 被配置为输出模式且 $\text{port2}_{i,m}$ 被配置为输入模式时, $\text{port2}_{j,k}$ 输出响应数据并输入 $\text{port2}_{i,m}$, $\text{port2}_{i,m}$ 将响应数据输出给 $\text{Mux}_{i,m}$, $\text{Mux}_{i,m}$ 将响应数据发送给路由器 router_i ,通过 router_i 将响应数据原路返回给 IP_i 。需要说明的是,图2中仅示出了一条访问请求和数据响应的通路,在实际应用中还可以根据情况配置通用输入输出端口和多路复用器来控制信号通路。其中总线为AXI总线,根据需要选择总线主接口AXIM或者总线从接口AXIS接入路由器。在图2中一个路由器仅示出了一个接口单元的具体结构,实际上每个路由器都可以连接多个接口单元,使当前芯粒与其他芯粒实现互联。

[0031] 进一步,当 chip_i 通过 $\text{interf}_{i,m}$ 和 $\text{interf}_{j,k}$ 接入 chip_j 时, $\text{port1}_{i,m}$ 通过物理连线连接 $\text{port1}_{j,k}$, $\text{port2}_{i,m}$ 通过物理连线连接 $\text{port2}_{j,k}$ 。

[0032] 作为一个优选实施例, chip_i 中的 $\text{port1}_{i,m}$ 被配置为输入模式或输出模式, $\text{port2}_{i,m}$ 被配置为输入模式或输出模式,且 $\text{port1}_{i,m}$ 和 $\text{port2}_{i,m}$ 配置的模式不同。

[0033] 作为一个优选实施例,当芯粒的物理连线被切断时,为被配置为输入模式的通用输入输出端口配置缺省值,进而提供足够多个隔离,保证芯片的可靠性。由于通用输入输出端口的状态可以是选通或者阻塞状态,使得芯粒之间的连接可重构,当芯粒未被切断时,通用输入输出端口的状态为选通状态;当芯粒被切断时,通用输入输出端口的状态通过隔离成为阻塞状态,不影响芯粒的单独使用。

[0034] 作为一个优选实施例,所述 chip 中的 N 个芯粒高度相同。高度相同,在同一个晶圆中方便排版切割。

[0035] 作为一个优选实施例,采用激光划片技术选择性的切断芯粒之间的物理连线,避免由于切割RDL层金属带来的芯片损坏。

[0036] 作为一个优选实施例, $\text{con}_{i,j}$ 具有连接状态和断开状态,当 $\text{con}_{i,j}$ 被指定为连接状态时, $\text{con}_{i,j}$ 保持预连接状态, chip_i 和 chip_j 直接连接基板进行封装,在 chip_i 和 chip_j 与基板之间不连接中介层。需要说明的是,中介层用于提供使 chip_i 和 chip_j 连通的通道和导电介质。可选的,中介层为硅中介层。

[0037] 需要说明的是, $\text{con}_{i,j}$ 能够使 chip_i 和 chip_j 连通,不需要通过其他中介层将 chip_i 和 chip_j 连通。也即在芯片版图中, chip_i 和 chip_j 在物理形态上是两个独立的芯粒,但是两者实际上并未真正被切断,保留了 chip_i 和 chip_j 之间的所有物理连线作为预连线。若需要将两者

切断,则利用激光直接切断即可。因此芯粒之间的预连线能够使芯粒之间的连接结构在保持连接和切断之间切换,相比较现有技术中将所有芯粒重组后通过中介层和基板进行封装使两个芯粒连通的方式,预先连接物理连线能够避免芯粒组合时采用高级封装技术,节约了封装成本,需要说明的是,切割成本远小于封装成本。

[0038] 作为一个优选实施例, $con_{i,j}$ 具有连接状态和断开状态,当 $con_{i,j}$ 被指定为断开状态时, $con_{i,j}$ 被切断, $chip_i$ 和 $chip_j$ 通过中介层连通后连接基板进行封装。 $con_{i,j}$ 使得芯粒之间可选择的封装方式更加灵活。

[0039] 作为一个优选实施例, $con_{i,j}$ 的获取步骤包括:在对晶圆上的芯粒进行切割时,选择不切断 $chip_i$ 和 $chip_j$ 之间的RDL连接线。

[0040] 作为一个优选实施例, $port1_{i,m}$ 和 $port2_{i,m}$ 均为GPIO接口。

[0041] 综上所述,芯粒的接口单元中通用输入输出端口具有选通和阻塞功能,使得芯粒之间的连接可重构。进而保证芯粒在保持连接和切断之间切换仍能正常工作,在保持连接的状态下不需要采用高级封装,相比较现有技术中将所有芯粒重组后需要采用高级封装使两个芯粒连通的方式,本发明能够避免芯粒组合时采用高级封装技术,节约了封装成本。

[0042] 基于与上述实施例二所提供的方法实施例相同的发明构思,本实施例二还提供一种芯片,所述芯片包括N个芯粒 $chip = \{chip_1, chip_2, \dots, chip_i, \dots, chip_N\}$, $chip_i$ 为芯片中的第i个芯粒, $1 \leq i \leq N$;在相邻的芯粒之间具有上述实施例二提供的一种可重构芯粒间连接结构的电路,其中一种可重构芯粒间连接结构的电路在实施例二的方法实施例中已经详细说明,不再赘述。

[0043] 实施例二

[0044] 本发明实施例提供了一种可重构芯粒连接结构的芯片,每个芯片包括N个芯粒 $chip = \{chip_1, chip_2, \dots, chip_i, \dots, chip_N\}$, $chip_i$ 为芯片中的第i个芯粒, $1 \leq i \leq N$ 。

[0045] 作为一个优选实施例,所述 $chip$ 中的芯粒相同或者不同。需要说明的是,在晶圆中,同一个芯片中可以包括多个相同的芯粒,也可以是由不同类型的芯粒组成一个芯片。

[0046] 不同于传统的芯片,传统的芯片中,组成芯片的不同的芯粒由不同的晶圆切割得到,因为每种晶圆只包含一种类型的晶粒,得到芯粒之后,需要将各个芯粒进行组装,并通过中介层将各个芯粒连接起来,最后连接基板进行封装。本发明提供的芯片本身由同一个晶圆切割得到,也即在一次硅片生产时产生多种不同功能或者不同配置的芯片,相对于传统获取芯片的方式减少了晶圆的生产成本。

[0047] 请参阅图2,其示出了包括四个芯粒连接结构的芯片结构示意图,其中射频RF00、基带BB00和MCU0_0构成一个芯粒,射频RF01、基带BB01和MCU0_1构成一个芯粒,射频RF10、基带BB10和MCU1_0构成一个芯粒,以及射频RF11、基带BB11和MCU1_1构成一个芯粒。

[0048] 进一步, $chip$ 中相邻的两个芯粒之间预先连接所有的物理连线,其中, $chip_i$ 和 $chip$ 中与 $chip_i$ 相邻的第j个芯粒 $chip_j$ 之间预先连接所有的物理连线 $con_{i,j}$, $i \neq j$ 且 $1 \leq j \leq N$ 。物理连线为RDL连线。RDL连线是硅片生产过程中实现的,不需要封装时生成,在提供高连接密度的同时避免了硅片级封装带来的高封装成本。

[0049] 请再次参阅图2,图2中芯粒之间的箭头表示相邻的两个芯粒之间预先连接所有的物理连线。

[0050] 作为一个优选实施例, $con_{i,j}$ 的获取步骤包括:在对晶圆上的芯粒进行切割时,选

择不切断 $chip_i$ 和 $chip_j$ 之间的RDL连接线。

[0051] 进一步, $con_{i,j}$ 具有连接状态和断开状态,当 $con_{i,j}$ 被指定为连接状态时, $con_{i,j}$ 保持预连接状态, $chip_i$ 和 $chip_j$ 直接连接基板进行封装,在 $chip_i$ 和 $chip_j$ 与基板之间不连接中介层;当 $con_{i,j}$ 被指定为断开状态时, $con_{i,j}$ 被切断, $chip_i$ 和 $chip_j$ 通过中介层连通后连接基板进行封装。需要说明的是,中介层用于提供使 $chip_i$ 和 $chip_j$ 连通的通道和导电介质。

[0052] 可选的,中介层为硅中介层。

[0053] 芯粒之间的预连线能够使芯粒之间的连接结构在保持连接和切断之间灵活切换,相比较现有技术中将所有芯粒重组后通过高级封装技术使两个芯粒连通的方式,本专利提供的预先连接物理连线能够避免芯粒组合时采用高级封装技术,节约了封装成本。

[0054] 作为一个优选实施例,所述 $chip_i$ 包括M个接口单元 $interf_i$,通过第i个路由器 $router_i$ 将 $interf_i$ 接入片上网络。

[0055] 优选的,M个接口单元 $interf_i$ 的结构相同。

[0056] 作为一个优选实施例,所述 $interf_i$ 中的第m个接口单元 $interf_{i,m}$ 包括多路分配器 $Dmux_{i,m}$ 、多路复用器 $Mux_{i,m}$ 、通用输入输出端口 $port1_{i,m}$ 和通用输入输出端口 $port2_{i,m}$;其中,多路分配器 $Dmux_{i,m}$ 的输入通道连接 $router_i$,输出通道分别接入 $port1_{i,m}$ 和 $port2_{i,m}$;多路复用器 $Mux_{i,m}$ 的输出通道连接 $router_i$,输入通道分别接入 $port1_{i,m}$ 和 $port2_{i,m}$ 。

[0057] 作为一个优选实施例, $chip_j$ 包括K个接口单元 $interf_j$,通过第j个路由器 $router_j$ 将 $interf_j$ 接入片上网络; $interf_j$ 中的第k个接口单元 $interf_{j,k}$ 的电路结构与 $interf_{i,m}$ 相同;其中, $chip_i$ 通过 $interf_{i,m}$ 和 $interf_{j,k}$ 接入 $chip_j$ 。

[0058] $interf_{j,k}$ 的电路结构与 $interf_{i,m}$ 相同,当 $chip_i$ 通过 $interf_{i,m}$ 和 $interf_{j,k}$ 接入 $chip_j$ 时, $port1_{i,m}$ 连接 $port1_{j,k}$, $port2_{i,m}$ 连接 $port2_{j,k}$ 。其中, $interf_{i,m}$ 和 $interf_{j,k}$ 与实施例一相同,不再赘述。

[0059] 作为一个优选实施例,所述chip中的N个芯粒高度相同。高度相同,在同一个晶圆中方便排版切割。

[0060] 作为一个优选实施例,采用激光划片技术选择性的切断芯粒之间的物理连线,避免由于切割RDL层金属带来的芯片损坏。

[0061] 综上所述,实施例二提供了一种可重构芯粒连接结构的芯片, $chip_i$ 和 $chip_j$ 在物理形态上是两个独立的芯粒,但是两者实际上并未真正被切断,保留了 $chip_i$ 和 $chip_j$ 之间的所有物理连线作为预连线,芯粒之间的预连线能够使芯粒之间的连接结构在保持连接和切断之间切换,相比较现有技术中将所有芯粒重组后通过中介层和基板进行封装使两个芯粒连通的方式,预先连接物理连线能够避免芯粒组合时采用高级封装技术,节约了封装成本。

[0062] 虽然已经通过示例对本发明的一些特定实施例进行了详细说明,但是本领域的技术人员应该理解,以上示例仅是为了进行说明,而不是为了限制本发明的范围。本领域的技术人员还应理解,可以对实施例进行多种修改而不脱离本发明的范围和精神。本发明公开的范围由所附权利要求来限定。

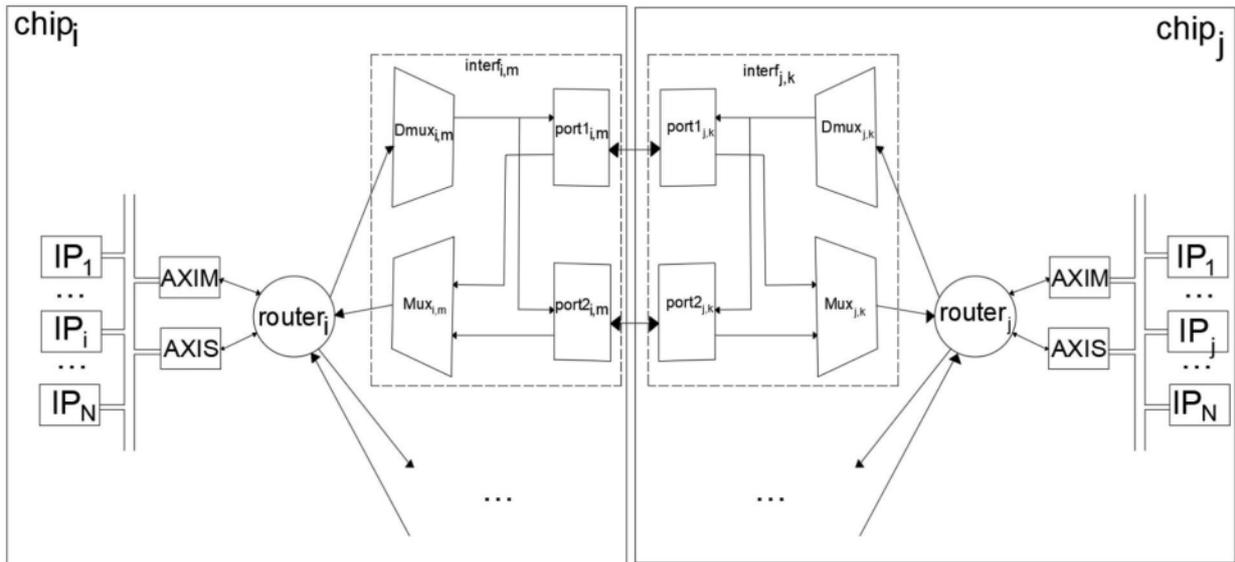


图1

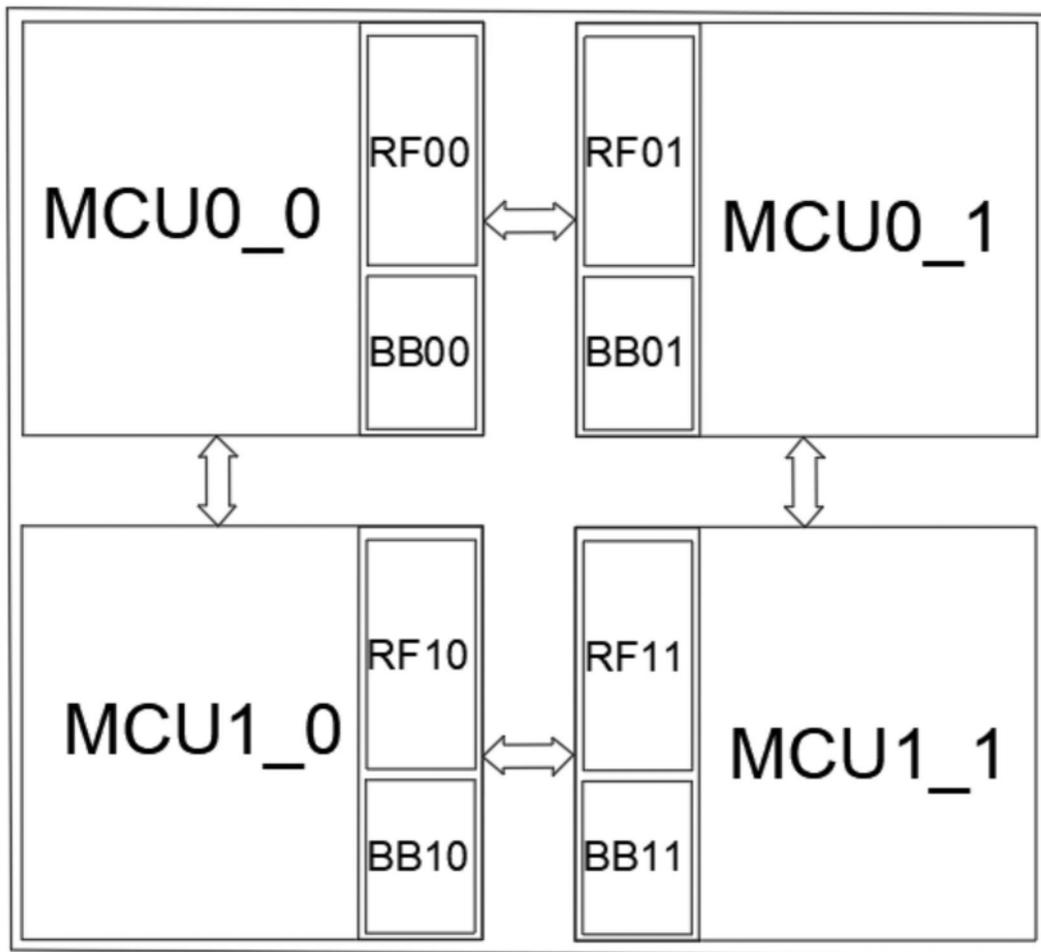


图2