



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I708247 B

(45) 公告日：中華民國 109 (2020) 年 10 月 21 日

(21) 申請案號：106103862

(22) 申請日：中華民國 106 (2017) 年 02 月 06 日

(51) Int. Cl. : **G11C13/00 (2006.01)****G11C7/22 (2006.01)**

(30) 優先權：2016/12/13 美國

15/377,071

(71) 申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.
(TW)

新竹縣科學工業園區力行路 16 號

(72) 發明人：許凱捷 HSU, KAI-CHIEH (TW)；李峰旻 LEE, FENG-MIN (TW)；林昱佑 LIN, YU-YU (TW)

(74) 代理人：祁明輝；林素華

(56) 參考文獻：

US 2009/0219740A1

US 2013/0094276A1

US 2013/0223131A1

US 2014/0233299A1

US 2014/0328110A1

US 2016/0336066A1

審查人員：劉聖尉

申請專利範圍項數：9 項 圖式數：10 共 40 頁

(54) 名稱

用於編程可編程電阻性記憶元件之方法與其記憶體

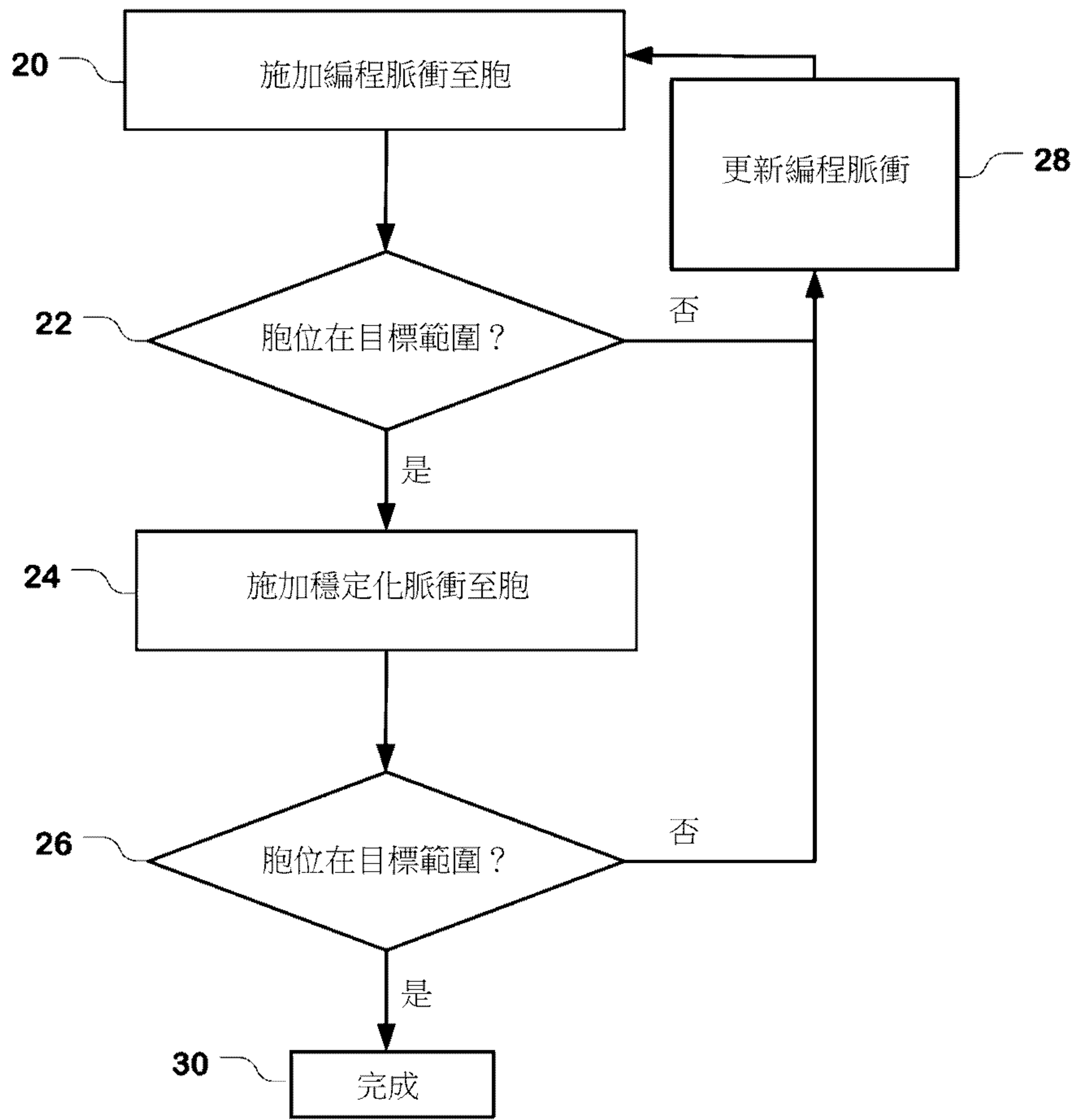
(57) 摘要

一種用以編程可編程電阻記憶胞的方法，包括：執行一個或多個疊代直到驗證通過。此些疊代包括：a) 施加一編程脈衝至記憶胞；以及 b) 在施加編程脈衝後，驗證記憶胞之電阻是否在一目標電阻範圍中。在驗證通過之該一個或多個疊代之一疊代後，c) 施加一穩定化脈衝至記憶胞，此穩定化脈衝具有與施加至記憶胞之編程脈衝相同的極性。在施加穩定化脈衝後，第二次驗證決定可編程元件之電阻是否在目標電阻範圍中。包含步驟 a)、b)、c)、及 d) 的疊代係被執行直到第二次驗證通過。方法及設備係被描述以編程複數個此種胞，包含在編程後施加相同極性的穩定化脈衝。

A method to program a programmable resistance memory cell includes performing one or more iterations until a verifying passes. The iterations include a) applying a programming pulse to the memory cell, and, b) after applying the programming pulse, verifying if the resistance of the memory cell is in a target resistance range. After an iteration of the one or more iterations in which the verifying passes, c) a stabilizing pulse with a polarity the same as the programming pulse is applied to the memory cell. After applying the stabilizing pulse, a second verifying determines if the resistance of the programmable element is in the target resistance range. Iterations comprising steps a), b), c), and d) are performed until the second verifying passes. Methods and apparatus are described to program a plurality of such cells, including applying a stabilizing pulse of the same polarity after programming.

指定代表圖：

符號簡單說明：
20~30:流程步驟



第 4 圖

公告本

I708247

【發明摘要】

【中文發明名稱】用於編程可編程電阻性記憶元件之方法與其記憶體

【英文發明名稱】 METHOD TO PROGRAM A PROGRAMMABLE
RESISTANCE MEMORY ELEMENT AND CORRESPONDING MEMORY

【中文】

一種用以編程可編程電阻記憶胞的方法，包括：執行一個或多個疊代直到驗證通過。這些疊代包括：a)施加一編程脈衝至記憶胞；以及 b)在施加編程脈衝後，驗證記憶胞之電阻是否在一目標電阻範圍中。在驗證通過之該一個或多個疊代之一疊代後，c)施加一穩定化脈衝至記憶胞，此穩定化脈衝具有與施加至記憶胞之編程脈衝相同的極性。在施加穩定化脈衝後，第二次驗證決定可編程元件之電阻是否在目標電阻範圍中。包含步驟 a)、b)、c)、及 d)的疊代係被執行直到第二次驗證通過。方法及設備係被描述以編程複數個此種胞，包含在編程後施加相同極性的穩定化脈衝。

【英文】

A method to program a programmable resistance memory cell includes performing one or more iterations until a verifying passes. The iterations include a) applying a programming pulse to the

memory cell, and, b) after applying the programming pulse, verifying if the resistance of the memory cell is in a target resistance range. After an iteration of the one or more iterations in which the verifying passes, c) a stabilizing pulse with a polarity the same as the programming pulse is applied to the memory cell. After applying the stabilizing pulse, a second verifying determines if the resistance of the programmable element is in the target resistance range. Iterations comprising steps a), b), c), and d) are performed until the second verifying passes. Methods and apparatus are described to program a plurality of such cells, including applying a stabilizing pulse of the same polarity after programming.

【指定代表圖】：第 4 圖。

【代表圖之符號簡單說明】：

20~30：流程步驟

【特徵化學式】：

無

【發明說明書】

【中文發明名稱】用於編程可編程電阻性記憶元件之方法與其記憶體

【英文發明名稱】METHOD TO PROGRAM A PROGRAMMABLE RESISTANCE MEMORY ELEMENT AND CORRESPONDING MEMORY

【技術領域】

【0001】 本發明是有關於一種改進記憶胞資料狀態保存之方法，記憶胞包含含有可編程電阻之可編程元件。

【先前技術】

【0002】 可編程電阻非揮發性記憶體使用記憶材料例如是金屬氧化物材料，透過適於在積體電路中實現的多個位階的電性脈衝的施加，這種材料的電阻值會在兩個或多個穩定電阻範圍之間變化。此兩個或多個電阻範圍對應至資料狀態。存取線例如是耦接至記憶胞的位元線及字元線係連接至電路以執行編程操作，例如設定(SET)及重置(RESET)操作，這使得可編程元件切換在較低及較高的電阻範圍之間。

【0003】 如第 1 圖所示，一種用來編程此記憶胞的已知方法為透過增量步進脈衝編程(incremental step pulse programming, ISPP)。為了執行重置(RESET)操作，舉例來說，一編程脈衝(RESET1)係被施加，接著一驗證步驟用來決定可編程元件的電阻是否在目標電阻範圍中。若不在目標電阻範圍中，具有較高振幅之第二編程脈衝(RESET2)係被施加，接著另一驗證步驟，等等。

脈衝寬度可被增加而不是振幅，或者脈衝寬度與振幅均增加。這些脈衝及驗證的疊代，可被稱作編程及編程驗證周期，持續進行直到驗證步驟確認此可編程元件之電阻落在目標電阻範圍中。

【0004】 然而，被發現的是陣列中的部分記憶胞在編程及驗證後無法維持在設定(SET)或重置(RESET)之電阻範圍中，並且有時，這可能是相對短的時間，在驗證步驟後可編程材料可經歷一變化使得記憶胞具有目標範圍外的電阻。第 2 圖繪示機率之示意圖，基於重置(RESET)(高電阻範圍)中所有胞已被驗證而具有驗證位階上面之電阻後一小段時間的分布，如垂直點線所示。此示意圖顯示在重置(RESET)操作後，重置(RESET)範圍中一些胞的電阻可能改變的有限機率，落在驗證位階下面，如箭號所示。

【0005】 若能提供一種方法設備置以改進可編程電阻記憶胞中之可編程資料的保存，將是有助益的。

【發明內容】

【0006】 提出一種編程可編程電阻記憶胞之方法。此方法包含執行一個或多個疊代，直到驗證通過。此些疊代包含 a)施加編程脈衝至記憶胞；以及 b)在施加編程脈衝後，驗證記憶胞之電阻是否在一目標電阻範圍中。在驗證通過之該一個或多個疊代之一疊代後，c)施加一穩定化脈衝至記憶胞，此穩定化脈衝具有與施加至記憶胞之編程脈衝相同的極性。對於步驟 a)及 b)，至少一疊代包含改變編程脈衝的振幅，且穩定化脈衝的振幅為驗證通過之疊代中的穩定化脈衝的振幅的函數。相仿地，對於步驟 a)及 b)，

至少一疊代包含改變編程脈衝的脈衝寬度，且穩定化脈衝的脈衝寬度為驗證通過之疊代中的穩定化脈衝的脈衝寬度的函數。

【0007】 在實施例中，在施加穩定化脈衝後，d)第二次驗證步驟決定可編程元件的電阻是否在目標電阻範圍。若第二次驗證未通過，包含步驟 a)、b)、c)、及 d)的疊代係被執行直到第二次驗證通過。一個或多個額外的穩定化脈衝在此穩定化脈衝後可被施加。編程方法可改變記憶胞的電阻從較低電阻範圍至較高電阻範圍，或從較高電阻範圍至較低電阻範圍。

【0008】 記憶胞的可編程元件可包含具有可編程電阻的金屬氧化物。

【0009】 此處描述一種方法，用以執行可編程操作在記憶陣列中的複數個記憶胞，其中資料圖案識別待被編程的記憶胞，記憶胞的各者包含對應的可編程元件。此方法包含 a)施加編程脈衝至資料圖案中所識別的記憶胞，編程脈衝具有第一極性、振幅及脈衝寬度；以及 b)第一次驗證資料圖案中所識別之記憶胞之電阻是否在一目標電阻範圍中；c)在驗證通過之該一個或多個疊代之一疊代後，施加一穩定化脈衝至通過第一次驗證的記憶胞；以及執行包含步驟 a)、b)、c)的疊代至未通過第一次驗證的記憶胞直到所有被識別的胞通過第一次驗證。

【0010】 在此處所述實施例，此方法更包含 d)在施加穩定化脈衝後，第二次驗證通過第一次驗證的記憶胞的電阻是否在穩定化目標電阻範圍中(此範圍可相同或不同於第一次驗證的電阻範

圍)，此些疊代包含步驟 d)，並進一步執行包含步驟 a)至 d)的此些疊代，直到所有被識別的記憶胞通過第一次及第二次驗證。此方法可進一步包含改變此些疊代中至少一疊代的編程脈衝的振幅及脈衝寬度的一者或兩者。在實施例中，至少一特定疊代的穩定化脈衝的振幅為至少一特定疊代的編程脈衝的振幅的函數，或至少一特定疊代的穩定化脈衝的脈衝寬度為至少一特定疊代的編程脈衝的脈衝寬度的函數。在此處所述一些範例中，複數個記憶胞的可編程元件包含具有可編程電阻的金屬氧化物。

【0011】 在此處所述實施例中，記憶體包含複數個記憶胞，複數個記憶胞中的各記憶胞包含可編程元件，以及邏輯，用以執行編程操作，其中資料圖案識別待被編程的記憶胞。此處描述之編程操作包含 a)施加編程脈衝至資料圖案中所識別的記憶胞，編程脈衝具有第一極性、振幅及脈衝寬度；以及 b)第一次驗證資料圖案中所識別之記憶胞之電阻是否在一目標電阻範圍中；c)施加一穩定化脈衝至通過第一次驗證的記憶胞；以及執行包含步驟 a)、b)、c)的疊代至未通過第一次驗證的記憶胞直到所有被識別的胞通過第一次驗證。編程操作更包含 d)在施加穩定化脈衝後，第二次驗證通過第一次驗證的記憶胞的電阻是否在穩定化目標電阻範圍中，並進一步執行包含步驟 a)至 d)的疊代直到所有被識別的記憶胞通過第一次及第二次驗證。

【0012】 在實施例中，編程操作進一步包含改變至少一疊代中的編程脈衝的振幅及脈衝寬度的一者或兩者。

【0013】 在一些例子中，在編程操作中，至少一特定疊代的穩定化脈衝的振幅為至少一特定疊代的編程脈衝的振幅的函數。在一些例子中，至少一特定疊代的穩定化脈衝的脈衝寬度為至少一特定疊代的編程脈衝的脈衝寬度的函數。複數個記憶胞的可編程元件包含具有可編程電阻的金屬氧化物。

【0014】 為了對本發明之上述及其他方面有更佳的瞭解，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

【圖式簡單說明】

【0015】

第 1 圖繪示用於編程具有可編程電阻之可編程元件之記憶胞之傳統 ISPP 編程方法的示意圖。

第 2 圖繪示設定(SET)及重置(RESET)範圍中之記憶胞的分布，其中重置(RESET)範圍中的胞在編程及驗證後產生電阻變化。

第 3a、3b、及 3c 圖繪示在設定(SET)及重置(RESET)狀態中之金屬氧化物中導電絲的形成與破裂，且絲的部分再生成(partial reformation)是由於離子擴散。

第 4 圖顯示編程胞的方法及在驗證後施加穩定脈衝以改善保存的流程圖。

第 5 圖繪示依照一實施例之積體電路陣列的方塊圖。

第 6 圖繪示編程似第 5 圖所示之記憶陣列之複數胞之方法的流程圖，包含在驗證後施加穩定脈衝以改善保存。

第 7 圖繪示於包含在驗證後施加穩定脈衝之範例編程操作期間，第 5 圖中之頁緩衝器及驗證緩衝器的內容。

第 8 圖繪示依照一實施例之範例記憶胞的示意圖。

第 9a 及 9b 圖繪示依照一實施例在設定(SET)及重置(RESET)分布顯示出藉由施加穩定化脈衝而產生之多個分布之間的改善視窗。

第 10a 及 10b 圖分別繪示使用 ISPP 編程烘烤(baking)之前及之後的設定(SET)及重置(RESET)分布，且在驗證後施加穩定化脈衝進行編程。

【實施方式】

【0016】 可編程電阻記憶胞可具有編程在兩個或多個電阻範圍之中任一範圍內的電阻，各範圍係對應至一資料狀態。為了簡化，本應用會描述具有兩電阻範圍的可編程元件，然應可知能有更多電阻範圍。

【0017】 為了區別記憶胞的資料狀態，電阻視窗必須維持在低電阻(或設定(SET)範圍)與高電阻(或重置(RESET)範圍)之間，此區間提供記憶體的感測邊界(sensing margin)。當記憶胞之可編程元件的電阻從設定(SET)或重置(RESET)範圍改變至中間狀態時，電阻視窗的寬度會減小，記憶胞的資料狀態會更加難以辨別。

【0018】 在許多記憶陣列中，記憶胞包含具有可編程電阻的可編程元件，可編程元件包含金屬氧化物例如氧化鎢 (WO_x)、氧化鈪 (HfO_x)、氧化鈦 (TiO_x)、氧化鉭 (TaO_x)、氮化鈦氧化物 (TiNO)、氧化鎳 (NiO_x)、氧化鐿 (YbO_x)、氧化鋁 (AlO_x)、

鈮氧化物 (NbO_x)、氧化鋅 (ZnO_x)、氧化銅 (CuO_x)、氧化釩 (VO_x)、氧化鉬 (MoO_x)、氧化鈺 (RuO_x)、氧化銅矽 (CuSiO_x)、氧化銀鋯 (AgZrO)、鋁鎳氧化物 (AlNiO)、鋁鈦氧化物 (AlTiO)、氧化釷 (GdO_x)、氧化鎵 (GaO_x)、氧化鋯 (ZrO_x)、鉻摻雜的 SrZrO_3 、鉻摻雜的 SrTiO_3 、PCMO 或 LaCaMnO 等。在一些例子中，記憶胞的可編程元件可為半導體氧化物，例如是矽氧化物 (SiO_x)。

【0019】 第 3a、3b、及 3c 圖各繪示一記憶胞，包含金屬氧化物層 12 所提供之可編程元件，此元件設置在頂電極 14 及底電極 16 之間。在一些型式的材料中，設定 (SET) 與重置 (RESET) 範圍之間的切換機制被認為是仰賴透過金屬氧化層 12 的導電絲 (conductive filament) 的形成與破裂。此導電絲係形成在第 3a 圖的設定 (SET) 範圍中，導電絲在一些可編程電阻材料中被認為是由氧空缺 (oxygen vacancies) 所形成的。被相信的是，重置 (RESET) 脈衝傾向驅動氧離子朝向絲，使氧離子與氧空缺重新組合，導致導電絲斷裂而將胞切換成高電阻的重置 (RESET) 範圍，如第 3b 圖。設定 (SET) 脈衝傾向驅動氧化子離開絲，生成離子空缺並重新生成絲，而切換胞為低電阻的設定 (SET) 範圍。

【0020】 被發現的是，一些比例的編程胞 (於此論述中編程將會用於描述移動可編程元件從較高至較低電阻或從較低至較高電阻，亦即設定 (SET) 或重置 (RESET)) 在編程及驗證後，係自動地改變至用於感測邊界之視窗中的電阻，這通常發生在編程操作

之驗證步驟後幾秒內。此改變可導致感測錯誤。為了避免此種改變所造成的感測錯誤，此裝置必須設計能以更窄的感測邊界進行工作，然這樣的設計是昂貴的或不實際的。

【0021】 被相信的是，在一些記憶材料中，此改變是由於離子擴散。舉例來說，如第 3c 圖所示，在重置(RESET)操作後，絲已被破裂，在幾秒後，氧離子 18 可擴散遠離絲區間，留下氧空缺並至少部分地重新生成導電絲。相反地，在設定(SET)操作後，氧空缺的導電絲被形成，氧離子可擴散朝向絲區間，與氧空缺重新組合，並至少部分斷裂此絲。

【0022】 在此處所述實施例中，在可編程元件具有目標電阻範圍之電阻的驗證後，穩定化脈衝的施加已被顯示能改善穩定性，並降低編程後可能導致感測錯誤之電阻的自動變化。此穩定化脈衝，具有與編程脈衝相同的極性，並用於阻斷或限制離子擴散。

【0023】 第 4 圖繪示依據一些實施例用於編程單一記憶胞的步驟的流程圖。在步驟 20，編程脈衝係被施加至記憶胞的可編程元件。編程脈衝可為設定(SET)脈衝或重置(RESET)脈衝，且具有第一極性、振幅、及脈衝寬度。在一些實施例中，編程脈衝可由多個脈衝所組成。

【0024】 在編程脈衝施加後，第一次驗證步驟 22 讀取此胞以決定可編程胞的電阻是否在目標電阻範圍中。目標電阻範圍可具有兩端點，亦即高點及低點；或者，目標電阻範圍可為目標值之

上的任一電阻，此電阻在實作中限制為胞可達到的最大電阻(舉例來說，在重置(RESET)操作的情況下)；或者，目標電阻範圍可為目標值之下的任一電阻，此電阻在實作中限制為胞可達到的最小電阻(舉例來說，在設定(SET)操作的情況下)。

【0025】 若可編程元件的電阻不在目標電阻範圍中(第一次驗證步驟 22 中否的分支)，編程脈衝係有條件地改變(步驟 28)。如同在傳統 ISPP 序列中，編程脈衝的振幅可被增量。替代地，脈衝寬度可被增量，或編程脈衝振幅或脈衝寬度兩者可被增量，或兩者均不增量。振幅及脈衝寬度的一者或兩者可在每次編程脈衝之間或在一些其它間隔中被增量，或者可被減量，或者不改變。更新編程脈衝可包含此些變化的任一者或全部，或不作改變。編程脈衝的極性維持相同。

【0026】 編程脈衝的選擇性改變之後，在步驟 20，更新後的編程脈衝係施加至記憶胞，記憶胞的電阻再次於步驟 22 作驗證。

【0027】 在步驟 20 第一次或隨後的編程脈衝的施加，若記憶胞被認為具有的電阻位在第一次驗證步驟 22 之目標電阻範圍中(是的分支)，接著在步驟 24，穩定化脈衝係施加至記憶胞。穩定化脈衝具有與編程脈衝相同的極性。在實施例中，穩定化脈衝的振幅為當第一次驗證步驟 22 通過時之編程脈衝的振幅的函數。相仿地，在實施例中，穩定化脈衝的脈衝寬度為當第一次驗證步驟 22 通過時之編程脈衝的脈衝寬度的函數。有關穩定化脈衝更多細節與範例將提供於後。

【0028】 在步驟 24 之穩定化脈衝的施加之後，在一些實施例中，第二次驗證步驟 26 讀取胞以決定記憶胞的電阻是否在穩定化目標電阻範圍中。若不在穩定化目標電阻範圍中(第二次驗證步驟 26 中否的分布)，編程脈衝可在步驟 28 進行更新，且更新後的編程脈衝再次被施加等。

【0029】 在第二次驗證步驟 26，若記憶胞的電阻被認為是位在穩定化目標電阻範圍中，亦即若第二次驗證 26 通過(第二次驗證步驟 26 中是的分支)，記憶胞的編程係完成(步驟 30)。

【0030】 總之，記憶胞可藉由執行包含多個步驟的疊代而被編程，步驟為：a)施加具有第一極性、一振幅、及一脈衝寬度的編程脈衝至記憶胞；b)在施加編程脈衝後，驗證記憶胞的電阻是否在目標電阻範圍中。此方法包含執行包含步驟 a)及 b)的一個或多個疊代，直到驗證通過；及 d)在驗證通過的疊代後，施加穩定化脈衝至記憶胞。

【0031】 如第 4 圖所示，選擇性地，若步驟 22 中驗證失敗，在一個或多個疊代中，編程脈衝的形狀可藉由更新編程脈衝的振幅及脈衝寬度的一者或兩者而被改變。

【0032】 再者，在一些實施例中，在施加穩定化脈衝後，第二次驗證可編程元件的電阻是否在穩定化目標電阻範圍中；並且，執行包含步驟為 a)、b)、c)、d)、及 e)的疊代，直到第二次驗證通過，其中前述第一次疊代(20, 22, 28)嵌套(nested)於前述第二次疊代(20, 22, 24, 26, 28)之中。

【0033】 第 5 圖繪示積體電路 100 的簡化方塊圖，積體電路 100 包含陣列記憶胞 102 及控制器 136，控制器 136 被配置以施加如此處所述之穩定化脈衝。記憶胞包含可編程元件，可編程元件包含金屬氧化物。字元線解碼器 114(包含字元線驅動器)係耦接至並電性通訊至複數條字元線 116。位元線(行)解碼器 118 係電性通訊至複數條位元線 120，以從陣列 102 中的記憶胞讀取或寫入資料。位址係供應在匯流排 122 上以送至字元線解碼器 114 與位元線解碼器 118。感測放大器 127 及輸入/輸出緩衝器 129 一併組成方塊 128 而耦接至位元線解碼器 118。位元線解碼器 118 耦接被選位元線 120 經由陣列 102 至方塊 128。在一些實施例中，輸入/輸出緩衝器 129 可為頁緩衝器，能支援頁讀取或頁寫入操作。偏壓配置供應電壓及電流源 137 係被包含以產生或提供偏壓電壓及電流至陣列 102 以供應寫入操作的操作，包含需要穩定化脈衝的操作。

【0034】 驗證緩衝器 134 於此例中為暫存器或其他用於儲存輔助資料的資料儲存器，以供應編程操作中穩定化脈衝的應用，將解釋如後。在一些實施例中，在編程操作期間用於儲存資料的暫存器可被放置在裝置的其他地方，或者輸入/輸出緩衝器 129 可因此用途而被使用。資料係經由資料輸入線 126 從積體電路 100 的上的輸入/輸出埠或從其他資料來源被供應。

【0035】 其他電路 130 可被包含在積體電路 100，例如是一般用途處理器或特定用途應用電路，或者是記憶陣列 102 功能支

援之提供系統晶片 (system-on-a-chip) 之模組的組合。資料係經由資料輸出線 132 而從方塊 128 被供應至積體電路 100 的輸入/輸出埠，或供應至積體電路 100 內部或外部的其他資料目的地。

【0036】 於此範例實施的控制器 136 使用偏壓配置狀態機，控制偏壓配置供應電壓及電流源 137，例如是讀取電壓、編程電壓例如設定 (SET) 及重置 (RESET)、編程驗證電壓，例如用於設定 (SET) 及重置 (RESET)、及穩定化脈衝電壓。控制器 136 可使用技藝中所知悉之特定用途邏輯電路而被實施。在替代實施例中，控制器 136 包含一般用途處理器，可被實施在相同的積體電路上，以執行電腦程式從而控制裝置的操作。在另些實施例中，特定用途邏輯電路及一般用途處理器的組合可被使用以實現控制器 136。

【0037】 第 6 圖繪示依據一實施例之邏輯的流程圖，邏輯由控制器及第 5 圖之記憶裝置的其他元件所執行以編程記憶陣列 (例如第 5 圖之記憶陣列 102) 中的複數個記憶胞。如在第 7 圖所示之資料組的例子中，此資料組是依據第 6 圖的流程圖而被處理。此處說明將參照第 5 圖的積體電路 100 的元件。在此例中，方塊 128 中的輸入緩衝器 129 係配置以儲存待被編程的資料圖案。在編程操作的起始，待被編程之複數個記憶胞中的各記憶胞係由輸入緩衝器 129 所儲存之資料圖案中的一對應位元所識別。第 7 圖中，三個周期係被繪示，各周期包含三對暫存器數值。各對最上面的數值為該步驟中輸入緩衝器 129 的內容。各對最下面的數值

為該步驟中驗證緩衝器 134 的內容。各對旁的參考數字識別第 6 圖中對應的邏輯方塊。因此，周期 1 中第一對最上面的暫存器儲存從步驟 30 至 32 的資料圖案。周期 1 中第一對最下面的暫存器為空白。

【0038】 在第 6 圖的步驟 30，待被寫入的資料圖案係載入至輸入緩衝器 129，在步驟 32，編程脈衝係施加至輸入緩衝器 129 中所識別的記憶胞。編程脈衝具有第一極性，或相反地被配置以導致所識別之記憶胞之電阻的增加或減少其中一被選者。編程脈衝的振幅及形狀是所被執行之編程操作的該周期的函數。在典型 ISPP 操作中，編程脈衝的振幅隨著每個周期而增加。

【0039】 在步驟 34，第一次驗證步驟係被執行以驗證輸入緩衝器 129 中所識別的記憶胞的可編程元件的電阻是否在目標電阻範圍。該些通過步驟 34 第一次驗證的胞係被識別或標記，例如是將該些胞的對應位元組設定在驗證緩衝器 134 中。因此，在周期 1 的第二對，資料圖案係被更新為已通過的兩個位元，並重置為 0(重置位元在此圖中標示底線)，而相同的兩位元係標記在驗證緩衝器 134。此邏輯導致識別出在驗證緩衝器 134 中一些記憶胞將接收穩定化脈衝(通過的此個兩胞)；以及識別出在輸入緩衝器 129 中一些胞需要在下一周期接收額外的編程脈衝(未通過第一周期的輸入位元)。

【0040】 在步驟 36，穩定化脈衝係施加至被標記胞的可編程元件，亦即通過第一次驗證步驟 34 的記憶胞。在此例中，在周

期 1 中第二暫存器對的驗證緩衝器 134 中，被標記具有資料數值“1”的兩個胞接收穩定化脈衝。

【0041】 穩定化脈衝具有相同於步驟 32 中所施加之編程脈衝的極性。在實施例中，穩定化脈衝的振幅為步驟 32 所施加之編程脈衝的振幅的函數。相仿地，在實施例中，穩定化脈衝的脈衝寬度為步驟 32 所施加之編程脈衝的脈衝寬度的函數。

【0042】 在步驟 36 施加穩定化脈衝後，在一些實施例中，第二次驗證步驟 38 決定在步驟 36 接收穩定化脈衝之這些胞的可編程元件的電阻是否在穩定化目標電阻範圍中。穩定化目標電阻範圍可相同或不同於第一次驗證 34 的目標電阻範圍。電阻範圍可使用與第一次驗證步驟 34 相同的驗證電壓而被建立，或使用不同的驗證電壓。若記憶胞通過第二次驗證步驟，此記憶胞的位元在驗證資料緩衝器 134 中被清除。若未通過，對應的位元不會被清除，並維持設定。

【0043】 在第 7 圖所示之範例中，在周期 1 中第三對暫存器數值，步驟 36 之穩定化脈衝前被標記的兩個胞的其中一者通過第二次驗證步驟 38，而另一者失敗。此邏輯導致藉由輸入緩衝器 129 中對應位元而識別出未通過第一次驗證(34)的一些胞，藉由驗證緩衝器 134 中對應位元而識別出未通過第二次驗證(38)的一些胞。

【0044】 在步驟 40，輸入緩衝器 129 係被更新以識別在目前疊代中未通過第一次或第二次驗證的胞。在第 7 圖中，周期 2 中

第一對的最上面暫存器數值，為針對第一個周期中第三對的其內容與第一個周期的第三對中驗證緩衝器 134 的內容，進行邏輯 OR。再者，驗證緩衝器 134 係被清除。此邏輯導致藉由輸入緩衝器 129 中對應位元識別出未通過第一次驗證(34)或第二次驗證(38)的胞，並清除驗證緩衝器 134，因此已準備用於編程操作的下一個周期。此狀態係繪示在第 7 圖之周期 2 中第一對的暫存器數值。

【0045】 在步驟 42，若輸入緩衝器 129 並未清除，編程脈衝的振幅及/或脈衝寬度係在步驟 44 基於周期數而被更新，而下個編程脈衝係在步驟 32 被施加。此方法持續進行直到步驟 42，沒有待被寫入的胞係被識別在輸入緩衝器 129 中(是的分支)。第 7 圖中所示之例，第二周期導致三個胞在步驟 34 通過驗證，且相同的三個胞被標記用於穩定化脈衝，如周期 2 中第二對的第二暫存器數值所示。在步驟 36 中的穩定化脈衝及步驟 38 的第二次驗證後，所有三個胞再次通過，導致所周期 2 中第三對的第二暫存器中全部為零值。然而，輸入緩衝器 129 中保留一個位元，且此輸入緩衝器 129 係被更新為兩個暫存器的邏輯 OR。因此，在下一周期，輸入緩衝器 129 識別待被編程的單一位元。如周期 3 中第二對的數值所示，該單一位元通過驗證且係被標記用於穩定化脈衝。如周期 3 中第三對的數值所示，此位元通過第二次驗證。於此階段，如第 7 圖周期 3 中第三對所示，輸入緩衝器 129 及驗證緩衝器 134 儲存全零值。因此，資料圖案編程操作係在 ISPP 編程操作的各步驟後，以施加穩定化脈衝至合適的胞而完成。

【0046】 在替代性方法中，ISPP 方法可持續進行直到所有脈衝通過編程階段。接著一個穩定化脈衝或多個穩定化脈衝可在之後被施加。當在 ISPP 方法後施加穩定化脈衝表示所有胞已被編程時，穩定化脈衝的振幅及/或形狀可以不是各胞在通過編程驗證時之編程脈衝的振幅及/或形狀的函數，而是常數，或者可以是最後施加之編程脈衝的函數。

【0047】 邏輯及緩衝機制係被說明為寫入資料圖案至陣列中之複數個記憶胞，此作法為一個例子。其他邏輯及緩衝配置可被使用。因此此處所述記憶體可包含邏輯以執行編程操作，包含：

a) 施加編程脈衝至緩衝器中所識別的記憶胞，該編程脈衝具有第一極性、振幅、及脈衝寬度；

b) 第一次驗證緩衝器中所識別之記憶胞的電阻是否在目標電阻範圍；

c) 施加穩定化脈衝至通過第一次驗證的記憶胞；及

針對未通過第一次驗證的記憶胞，執行包含步驟 a)、b)、及 c)的疊代，直到所有被識別的記憶胞通過第一次驗證。

【0048】 在此實施例中，步驟 30、32、34、及 44 係疊代地執行，直到所有被識別的胞通過驗證。

【0049】 再者，如第 6 圖實施例所示，編程操作可進一步包含：

d) 在施加穩定化脈衝後，第二次驗證通過第一次驗證的記憶胞的電阻是否在穩定化目標電阻範圍中，且此些疊代包含步驟

d)，並進一步執行所述包含 a)至 d)的疊代，直到所有被識別的記憶胞通過第一次及第二次驗證。

【0050】 在此實施例中，此操作包含：執行包含步驟 30、32、34、36、38、40、及 44 的疊代，直到所有被識別的胞通過驗證。

【0051】 第 8 圖繪示依照一實施例之記憶胞 200 的示意圖。此記憶胞 200 包含存取裝置之電晶體 202，具有第一電流攜帶端 204(例如汲極)及一第二電流攜帶端 206(例如源極)。記憶胞包含：可編程元件 208；一電極，連接至第一存取線 210 例如是位元線 BL；一電極，連接至存取裝置之第一電流攜帶端。第二存取線 212 例如是源極線 SL 係連接至存取裝置的第二電流攜帶端 206。在存取裝置為電晶體 202 的實施例中，記憶裝置進一步包含第三存取線 214，例如是字元線 WL，連接至電晶體 202 的閘極。

【0052】 存取線 210 及 212 以及電晶體 202 可被用於施加編程(設定(SET)或重置(RESET))脈衝及穩定化脈衝至可編程元件 208。舉例來說，為了施加具有第一極性的編程或穩定化脈衝，足夠的電壓可被經由字元線 214 施加至電晶體 202 的閘極，以開啟電晶體通道，而正電壓係施加至第一存取線 210，第二存取線 212 係接至地。電流流經可編程元件 208 及流經電晶體 202 之端點 204 至端點 206 的通道，導致第一極性之編程或穩定化脈衝。

【0053】 為了產生相反極性之編程或穩定化脈衝，足以開啟電晶體通道的一電壓係經由字元線 214 被施加至電晶體 202 的閘極，正電壓係施加至第二存取線 212，第一存取線 210 係接至地。

電流流經電晶體 202 的通道，從電晶體 202 的端點 206 至端點 204，並流經可編程元件 208，導致與第一極性相反之第二極性的編程及穩定化脈衝。其他配置例如使用不同形式的存取裝置可由具有通常知識者所思及。

【0054】 在範例性記憶陣列中，各記憶胞包含含有 WO_x 的可編程元件、及電晶體作為存取裝置。在此例中，設定(SET)範圍中包含可編程元件記憶胞的目標電阻範圍係小於 19 千歐姆 (KOhm)，而重置(RESET)範圍中包含可編程元件記憶胞的目標電阻範圍係大於 66 千歐姆。

【0055】 為了施加第一編程脈衝以放置此一記憶胞於設定(SET)範圍中，4.0V 的電壓係經由字元線施加至電晶體的閘極。4.0V 的電壓係大於臨界電壓，故允許電流通在電晶體的通道中。2.5V 的源極線電壓係施加至電晶體的一端例如是源極，而汲極係接至地；源極電壓係高於汲極電壓。脈衝寬度係 500 奈秒 (nsec)。

【0056】 設定(SET)驗證步驟係被執行。若在施加第一編程脈衝後，含有可編程元件之記憶胞的電阻被發現是不在目標電阻範圍中(小於 19 千歐姆)，在此例中施加至源極之電壓的振幅係增加 0.1V，成為 2.6V。閘極電壓維持在 4.0V，電晶體的汲極係接至地。脈衝寬度不改變。在施加下一編程脈衝後，設定(SET)驗證再次被執行。若胞再次驗證失敗，源極電壓的振幅再次增加 0.1V。於此例中，脈衝寬度不改變。

【0057】 為了施加第一編程脈衝以放置此一記憶胞於重置(RESET)範圍中，2.5V 的電壓係經由字元線施加至電晶體的閘極。2.5V 的電壓係大於臨界電壓，故允許電流流通在電晶體的通道中。2.0V 的位元線電壓係施加至電晶體的一端例如是汲極，而源極係接至地。注意汲極電壓係大於源極電壓，故重置(RESET)操作的電流流動係相反於設定(SET)操作的電流流動，而編程脈衝具有相反極性。脈衝寬度例如是 1000 奈秒。

【0058】 重置(RESET)驗證步驟係被執行。若在施加第一編程脈衝後，可編程元件的電阻被發現是不在目標電阻範圍中(大於 66 千歐姆)，在此例中施加至汲極之電壓的振幅係增加 0.1V，成為 2.1V。閘極電壓維持在 2.5V，電晶體的源極係接至地。脈衝寬度不改變。在施加下一編程脈衝後，驗證再次被執行。若胞再次重置(RESET)驗證失敗，源極電壓的振幅再次增加 0.1V。於此例中，脈衝寬度不改變。

【0059】 在範例性胞中，穩定化脈衝的狀態係相同於通過驗證之編程脈衝的狀態；亦即，穩定化脈衝具有的振幅及脈衝寬度，係相同於通過第一次驗證的編程脈衝。

【0060】 提供一範例以求完整與明確。在其他實施例中，許多方面可被改變：其他材料可被用作可編程元件。電晶體以外之不同型式的存取裝置、或裝置的組合可被使用。不同的電壓可被施加，並使用不同的配置。編程脈衝的振幅可以或可以不增加或減少，並且，若增加或減少，可以或可以不以均勻的量增加或減

少，或可以或可以不在每次疊代時增加或減少。相仿地，編程脈衝的脈衝寬度可以或可以不增加或減少，並且，若增加或減少，可以或可以不以均勻的量增加或減少，或可以或可以不在每次疊代時增加或減少。

【0061】 如所述，在每次發現可編程元件的電阻位在目標電得範圍中而記憶胞通過驗證步驟時，穩定化脈衝係被施加。在本技藝的實施例中，穩定化脈衝的振幅為當胞通過第一次驗證時(亦即編程脈衝的驗證)編程脈衝的振幅的函數。相仿地，在實施例中，穩定化脈衝的脈衝寬度為當胞通過第一次驗證時編程脈衝的脈衝寬度的函數。穩定化脈衝的極性相同於編程脈衝的極性。

【0062】 在一些實施例中，若在僅一個編程脈衝的施加後，記憶胞之可編程元件的電阻位在目標電阻範圍中(例如，若記憶胞通過在第一次第 4 圖步驟 22 的第一次驗證)，穩定化脈衝的振幅可以相同於或大於所施加之編程脈衝之振幅的例如百分之 100-110。相仿地，若在僅一個編程脈衝的施加後，記憶胞之可編程元件的電阻位在目標電阻範圍中，穩定化脈衝的脈衝寬度可以相同於或大於所施加之編程脈衝之脈衝寬度的例如百分之 100-110。

【0063】 在此些實施例中，在第一次驗證步驟 22，若在僅一個編程脈衝的施加後，記憶胞之可編程元件的電阻不位目標電阻範圍中(步驟 20)，並僅在步驟 20 中第二個或較大編程脈衝被施加後達到目標電阻範圍，穩定化脈衝的振幅可以是當此胞在步驟 22

通過第一次驗證時之編程脈衝的百分比。舉例來說，穩定化脈衝的振幅可以為當此胞通過時之編程脈衝之振幅的百分之 80-120、或 90-110，亦即在胞通過第一次驗證步驟 22 前最終編程脈衝的振幅。相仿地，穩定化脈衝的脈衝寬度可以為當此胞通過時之編程脈衝之脈衝寬度的例如百分之 80-120、或 90-110，亦即在胞通過第一次驗證步驟 22 前最終編程脈衝的脈衝寬度。

【0064】 在任一例子中，穩定化脈衝具有與其所跟隨之編程脈衝具有相同的極性，並用以改變記憶胞的電阻朝往如同編程脈衝的相同方向(亦即，藉由減少可編程元件中之氧空缺的濃度，兩者具有傾向增加電阻的極性，或者，藉由增加可編程元件中之氧空缺的濃度，兩者具有向減少電阻的極性)。

【0065】 在其他實施例中，當待被編程之記憶胞通過第一次驗證步驟 22 時，穩定化脈衝及最新施加的編程脈衝之振幅及/或脈衝寬度的其他關係也可被應用。

【0066】 此處所述之方法的使用已被發現能減少在設定 (SET)或重置(RESET)操作後記憶元件之電阻的自動改變，這種改變通常在編程後幾秒內會發生。

【0067】 第 9a 圖繪示基於使用傳統 ISPP 方法編程且在驗證後不施加穩定化脈衝的記憶胞之分布常態機率圖，第 9b 圖繪示依據此處所述之方法與設備，基於在驗證後施加穩定化脈衝的記憶胞之分布常態機率圖。各記憶胞包含含有 WO_x 之可編程元件、及作為存取裝置之電晶體。在此例中，編程胞係限定在重置

(RESET)操作。

【0068】 在第 9a 圖中，設定(SET)及重置(RESET)分布之間的感測邊界視窗寬度為 21 千歐姆，而第 9b 圖中，設定(SET)及重置(RESET)分布之間的感測邊界視窗寬度為 47 千歐姆。能有效增加設定(SET)及重置(RESET)分布之間的感測邊界視窗。

【0069】 已被發現的是，在重置(RESET)操作後施加穩定化脈衝能改善高電阻範圍的保存。烘烤編程胞模擬使用狀況。包含含有金屬氧化物之可編程元件的複數個 ReRAM 胞係藉由傳統 ISPP 方式進行編程，不施加穩定化脈衝。第 10a 圖繪示在以 210 度烘烤 150 分鐘之前(A)及之後(B)，基於複數個胞之設定(SET)及重置(RESET)分布的機率圖。第 10b 圖繪示在以相同狀況烘烤之前(A)及之後(B)，基於複數個相仿的 RRAM 胞之設定(SET)及重置(RESET)分布的機率圖，其中此處所述穩定化脈衝已被施加在設定(SET)及重置(RESET)操作中。可被看到的是，設定(SET)及重置(RESET)分布之間的改善視窗維持，並因烘烤而進一步改善。各記憶胞包含含有 WO_x 的可編程元件、及作為存取裝置的電晶體。

【0070】 在一些實施例中，當胞通過例如第 4 圖中第一次驗證步驟 22 或第 6 圖中第一次驗證步驟 34 時所施加的穩定化脈衝，可包含多個脈衝，均具有相同極性。雖然脈衝的任何組合可被用於穩定化脈衝，在實施例中可達至五個脈衝，這些脈衝均勻地間隔，但其他間隔也可被使用。在一些實施例中，組成穩定化

脈衝的所有脈衝具有相同的振幅及脈衝寬度，然其他實施例中振幅及脈衝寬度可以是不同的。組成穩定化脈衝的多脈衝之各者的振幅及脈衝寬度可如先前單一穩定化脈衝所述：在僅一個編程脈衝後若記憶胞的可編程元件達到目標電阻範圍，編程脈衝之振幅及/或脈衝寬度的百分之 100-110；在對胞進行編程的特定嘗試中的第二次或之後的編程脈衝之後，若記憶胞的可編程元件的電阻達到目標電阻範圍時，當胞通過第 4 圖中第一次驗證步驟 22 時之編程脈衝的振幅及/或脈衝寬度的百分之 80-120、或 90-110。

【0071】 在上述實施例，穩定化脈衝係在驗證後被施加。在其他實施例中，具有與編程脈衝相同極性之穩定化脈衝可在編程脈衝後被施加，在穩定化脈衝後並無驗證。

【0072】 綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0073】

12：金屬氧化物層

14：頂電極

16：底電極

18：氧離子

- 20~30、32~44：流程步驟
- 100：積體電路
- 102：陣列記憶胞
- 114：字元線解碼器
- 116：字元線
- 118：位元線(行)解碼器
- 120：位元線
- 122：匯流排
- 126：資料輸入線
- 127：感測放大器
- 128：方塊
- 129：輸入/輸出緩衝器
- 130：其他電路
- 132：資料輸出線
- 134：驗證緩衝器
- 136：控制器
- 137：偏壓配置供應電壓及電流源
- 200：記憶胞
- 202：記憶胞
- 204：電晶體
- 206：電流攜帶端
- 208：可編程元件
- 210、212：存取線
- 214、WL：字元線

BL：位元線

RESET1、RESET2、RESET3、RESET4、RESET5：編程脈衝

SL：源極線

【發明申請專利範圍】

【第 1 項】一種方法，用以編程可編程電阻記憶胞，該方法包括：

執行一個或多個疊代(iteration)，該些疊代包括：

a) 施加一編程脈衝至該記憶胞；

b) 在施加該編程脈衝後，驗證該記憶胞之電阻是否在一目標電阻範圍中；

在該驗證通過之該一個或多個疊代之一疊代後，

c) 施加一穩定化脈衝至該記憶胞，該穩定化脈衝具有與該編程脈衝相同的極性；以及

d) 在施加該穩定化脈衝後，第二次驗證該記憶胞之電阻是否在一目標電阻範圍中；

當未通過該第二次驗證時，執行包含步驟 a)、b)、c)、及 d) 的疊代直至該第二次驗證通過，其中一個或多個額外的穩定化脈衝係在該穩定化脈衝後被施加。

【第 2 項】如申請專利範圍第 1 項所述之方法，

其中針對步驟 a)及 b)的疊代，至少一疊代包含改變編程脈衝的振幅，且其中該穩定化脈衝的振幅是驗證通過之一疊代中之該編程脈衝的振幅的函數，或至少一疊代包含改變編程脈衝的脈衝寬度，且其中該穩定化脈衝的脈衝寬度是驗證通過之一疊代中之該編程脈衝的脈衝寬度的函數。

【第 3 項】如申請專利範圍第 1 項所述之方法，其中編程該

記憶胞的方法為改變該記憶胞的電阻值從一低電阻範圍至一高電阻範圍，或者編程該記憶胞的方法為改變該記憶胞的電阻值從一高電阻範圍至一低電阻範圍；

其中該記憶胞之一可編程元件包含具有可編程電阻之一金屬氧化物。

【第 4 項】一種方法，用以執行一編程操作於一記憶陣列之複數個記憶胞上，其中一資料圖案識別待被編程的記憶胞，各記憶胞包含相對之一可編程元件，該方法包括：

將一資料載入至連接該記憶陣列的一輸入緩衝器，位於該輸入緩衝器的該資料用以設定該資料圖案，且對該複數個記憶胞進行一疊代編程操作；

施加一編程脈衝至該資料圖案中所識別之多個記憶胞，該編程脈衝具有一第一極性、一振幅、及一脈衝寬度；

第一次驗證該資料圖案中所識別之該些記憶胞之電阻是否在一目標電阻範圍中；

在連接至該記憶陣列的一驗證緩衝器中，標記通過該第一次驗證的多個記憶胞；

施加一穩定化脈衝至通過該第一次驗證，且標記在該驗證緩衝器中之該些記憶胞，其中該穩定化脈衝具有該第一極性；

在施加該穩定化脈衝後，第二次驗證被標記在該驗證緩衝器中之該些記憶胞之電阻是否在一穩定目標電阻範圍中；以及

更新該輸入緩衝器中的該資料圖案，以識別未通過該第一次

驗證或該第二次驗證通的該些記憶胞。

【第 5 項】如申請專利範圍第 4 項所述之方法，

其中，該疊代編程操作更包括改變多個疊代的至少一者中的該編程脈衝之振幅及脈衝寬度的其中一者或兩者。

【第 6 項】如申請專利範圍第 4 項所述之方法，其中，多個疊代之至少一特定疊代之該穩定化脈衝的振幅是該些疊代之該至少一特定疊代之該編程脈衝的振幅的函數；或該些疊代之至少一特定疊代之該穩定化脈衝的脈衝寬度是該些疊代之該至少一特定疊代之該編程脈衝的脈衝寬度的函數；其中該複數個記憶胞中的該些可編程元件包含具有可編程電阻之一金屬氧化物。

【第 7 項】一種記憶體，包括：

複數個記憶胞，各該記憶胞包含一可編程元件；

頁緩衝器，連接該複數個記憶胞，該頁緩衝器用以儲存該複數個記憶胞中待被編程的一資料，並設定一資料圖案；

驗證緩衝器，連接該複數個記憶胞；

邏輯，用以對該複數個記憶胞中執行一疊代編程操作；該疊代編程操作包含：

施加一編程脈衝至該頁緩衝器中在該資料圖案中所識別之多個記憶胞，該編程脈衝具有一第一極性、一振幅、及一脈衝寬度；

第一次驗證該資料圖案中所識別之該些記憶胞之電阻是

否在一目標電阻範圍中；

在該驗證緩衝器中標記通過該第一次驗證的多個記憶胞；

施加一穩定化脈衝至該驗證緩衝器中被標記通過該第一次驗證之該些記憶胞，其中該穩定化脈衝具有該第一極性；

在施加該穩定化脈衝後，第二次驗證被標記在該驗證緩衝器中之該些記憶胞之電阻是否在一穩定目標電阻範圍中；以及

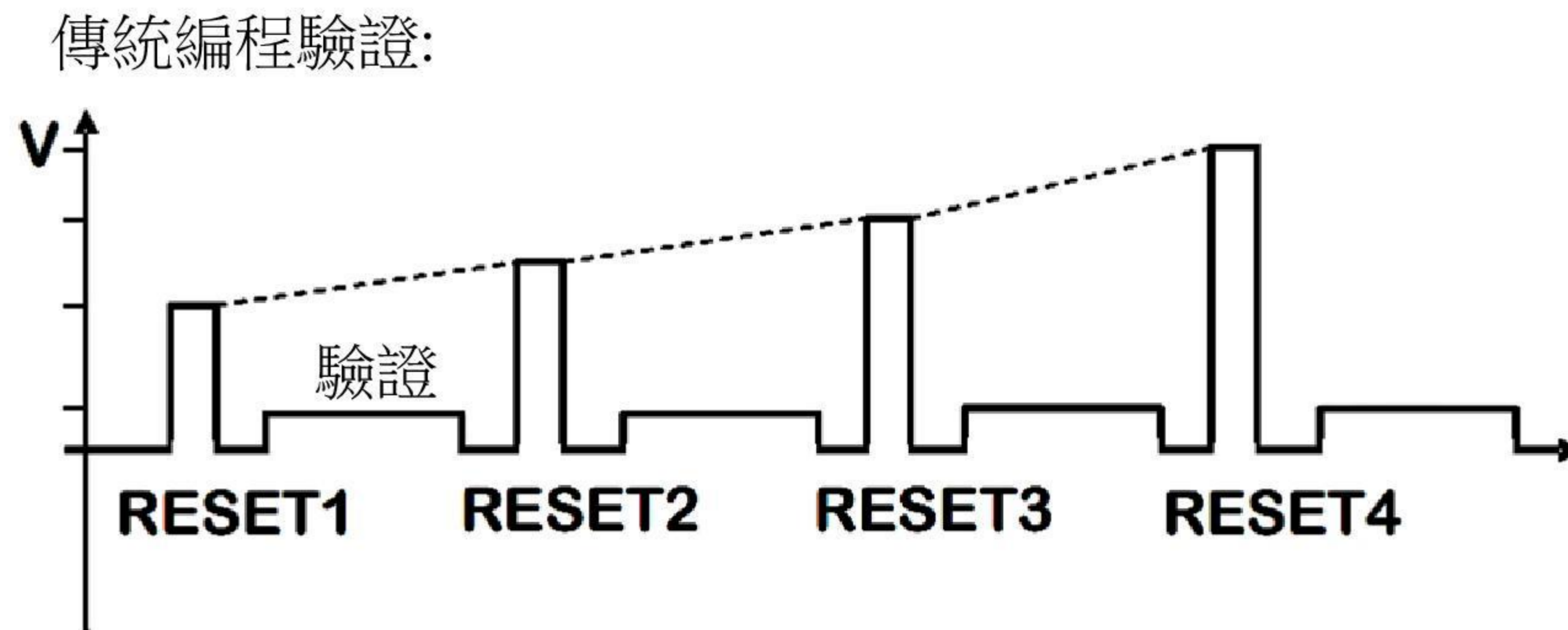
更新該頁緩衝器中的該資料圖案，以識別位於該頁緩衝器中未通過該第一次驗證或該第二次驗證通的該些記憶胞。

【第 8 項】如申請專利範圍第 7 項所述之記憶體，該疊代編程操作更包括：

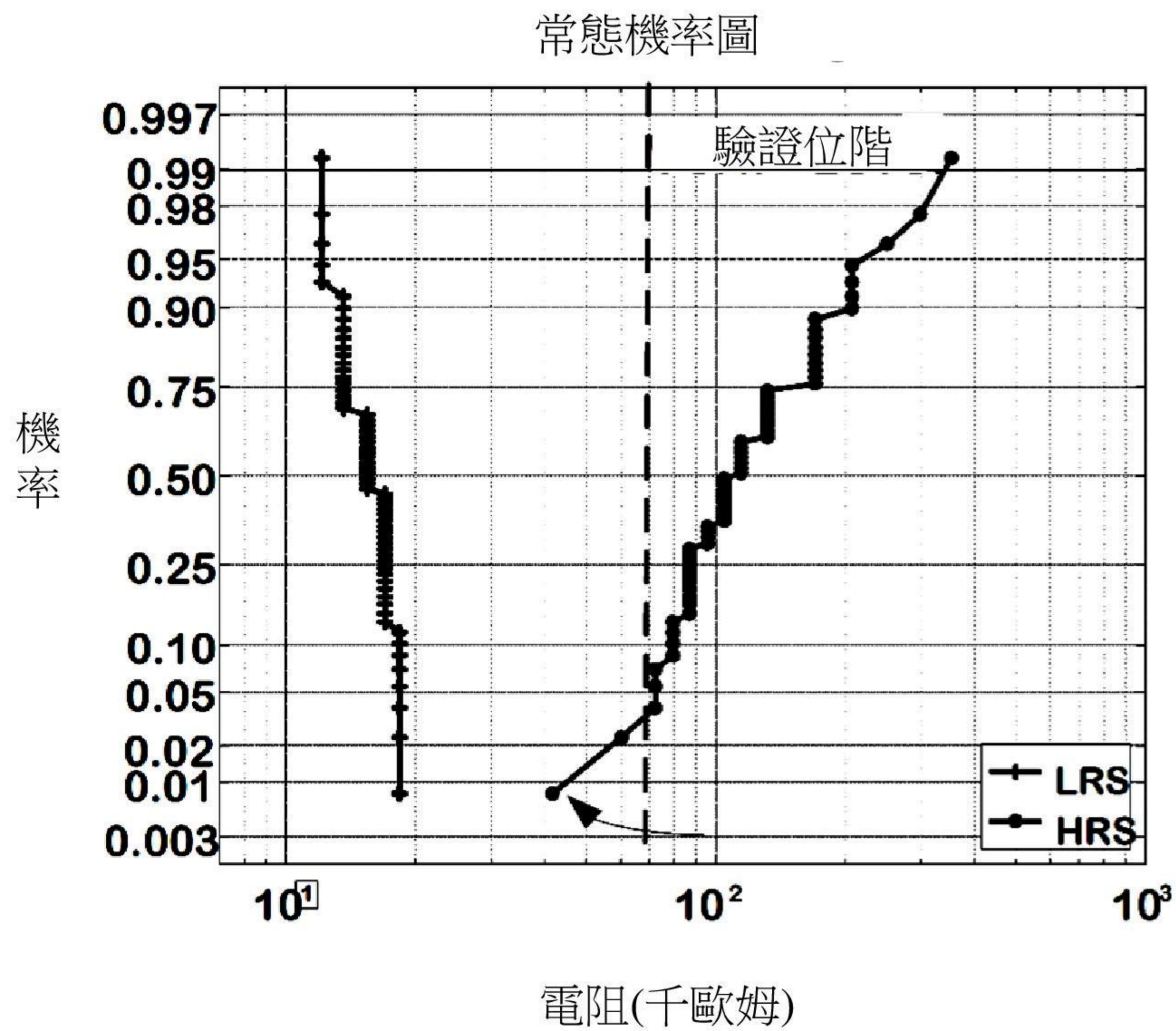
改變多個疊代的至少一者中的該編程脈衝之振幅及脈衝寬度的其中一者或兩者。

【第 9 項】如申請專利範圍第 7 項所述之記憶體，其中，在該疊代編程操作中，多個疊代之至少一特定疊代之該穩定化脈衝的振幅是該些疊代之該至少一特定疊代之該編程脈衝的振幅的函數；或該些疊代之至少一特定疊代之該穩定化脈衝的脈衝寬度是該些疊代之該至少一特定疊代之該編程脈衝的脈衝寬度的函數；其中該複數個記憶胞中的該些可編程元件包含具有可編程電阻之一金屬氧化物。

【發明圖式】

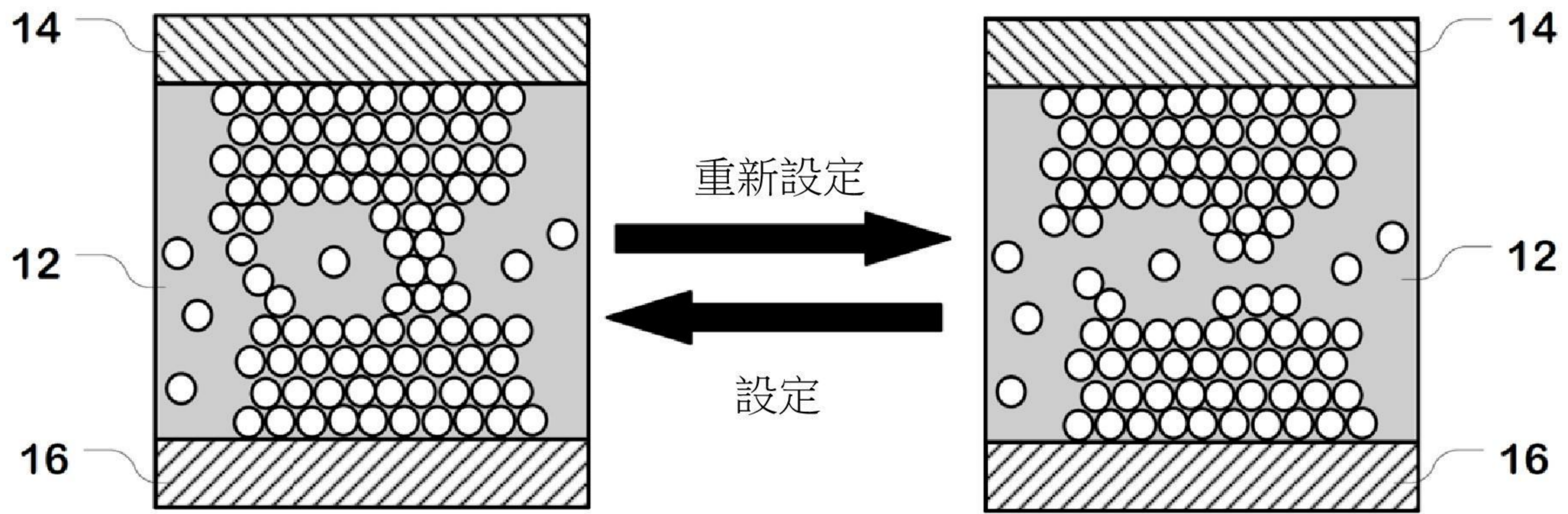


第 1 圖



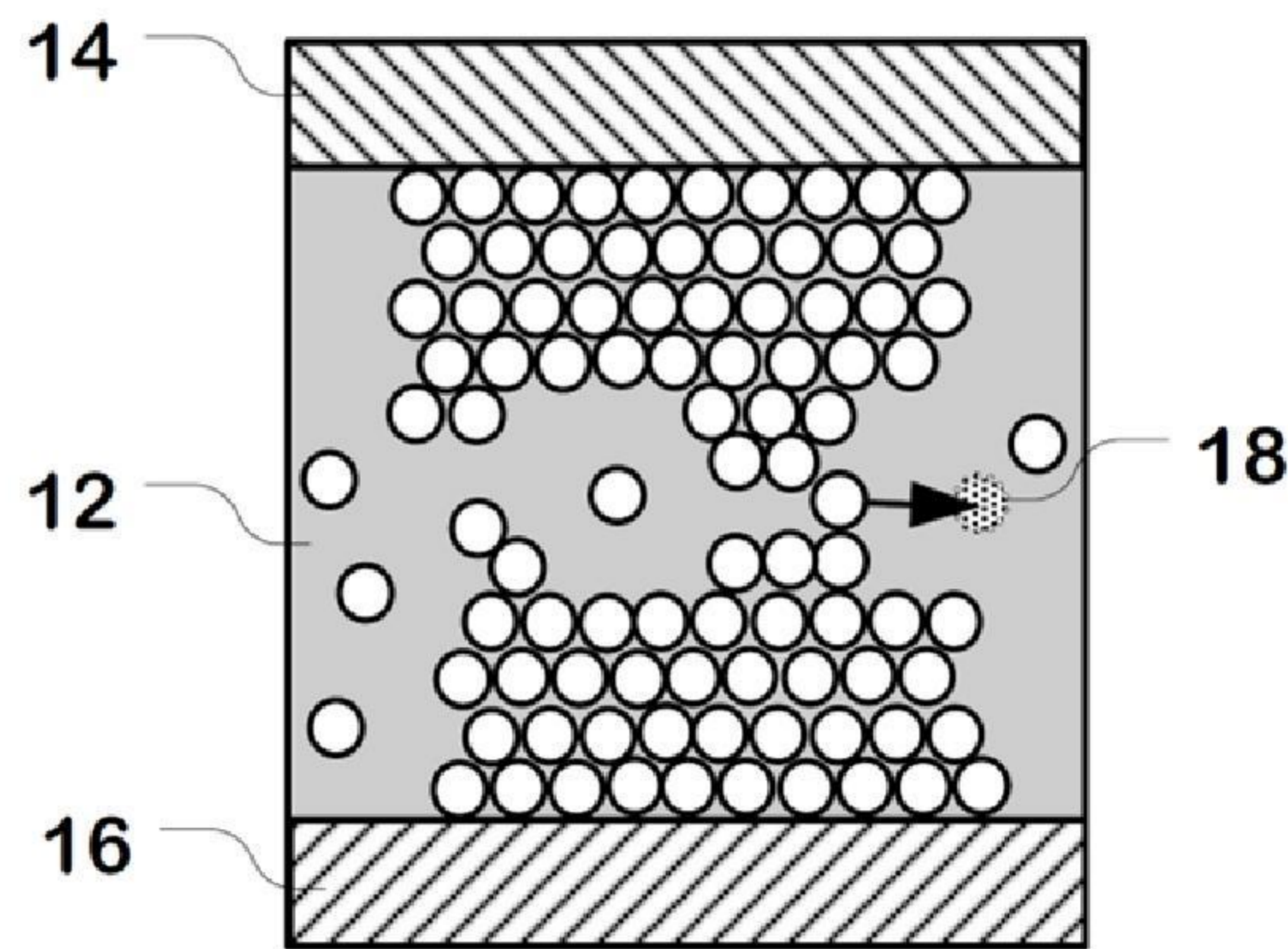
第 2 圖

○= 氧空位

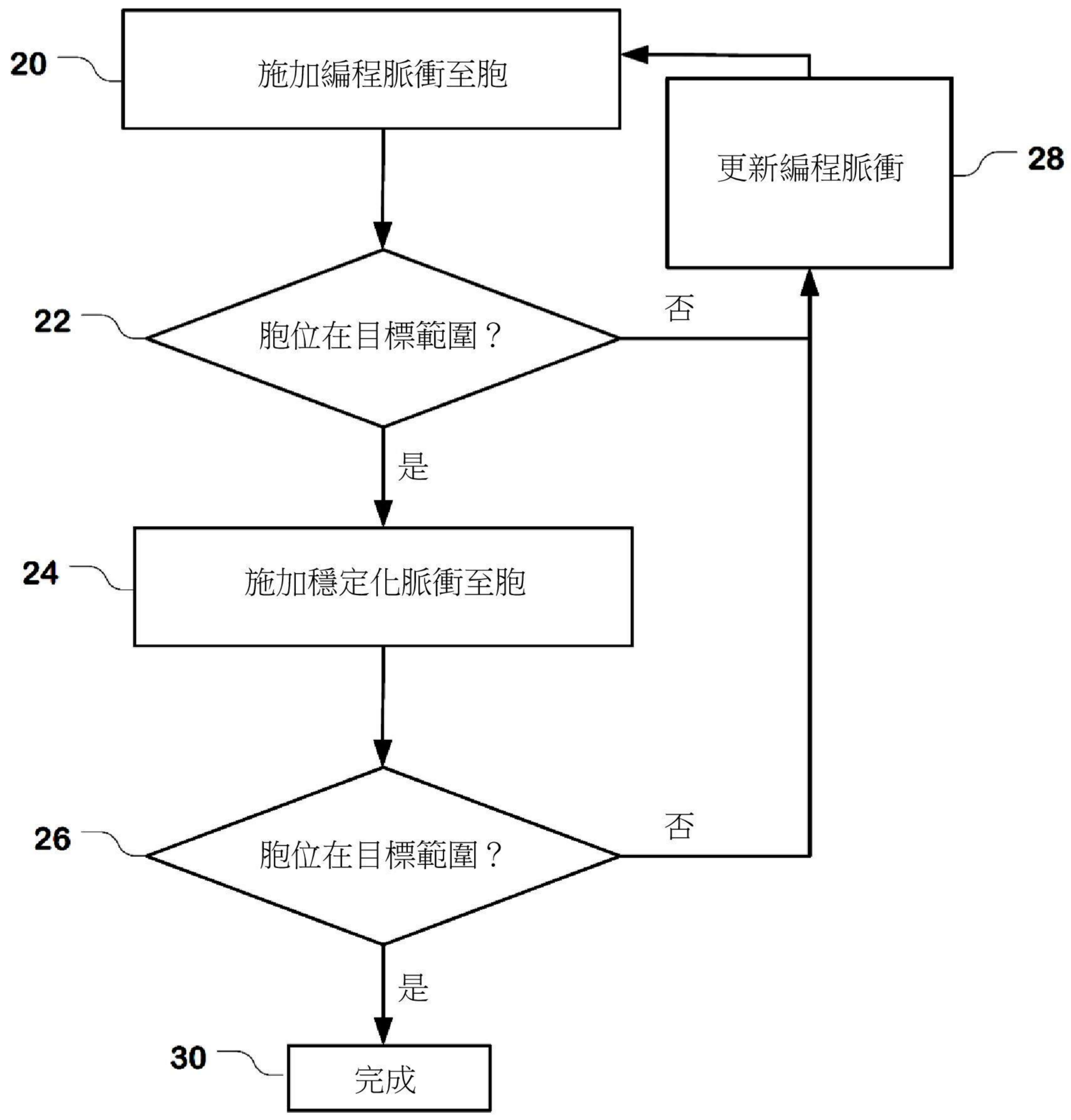


第 3a 圖

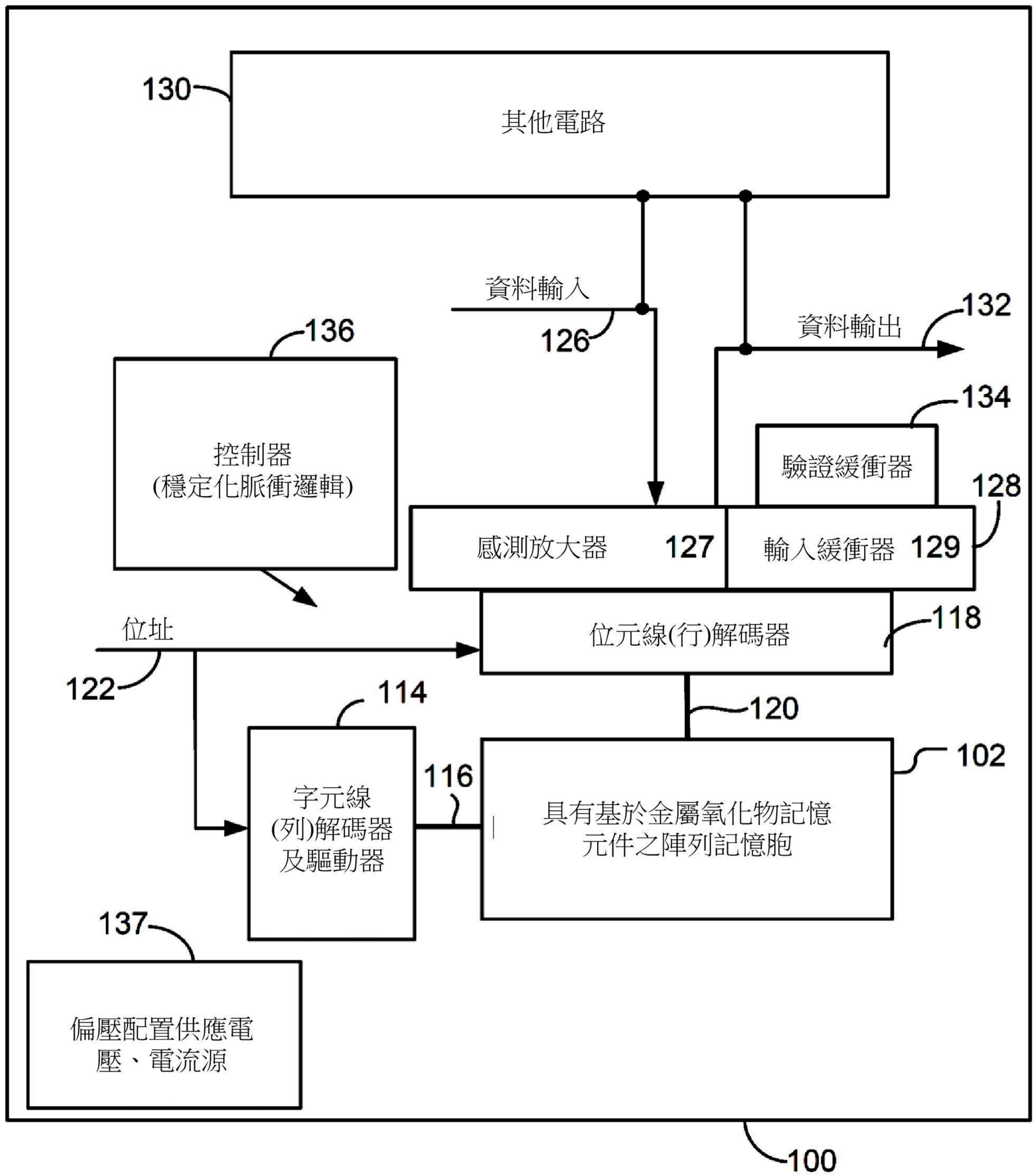
第 3b 圖



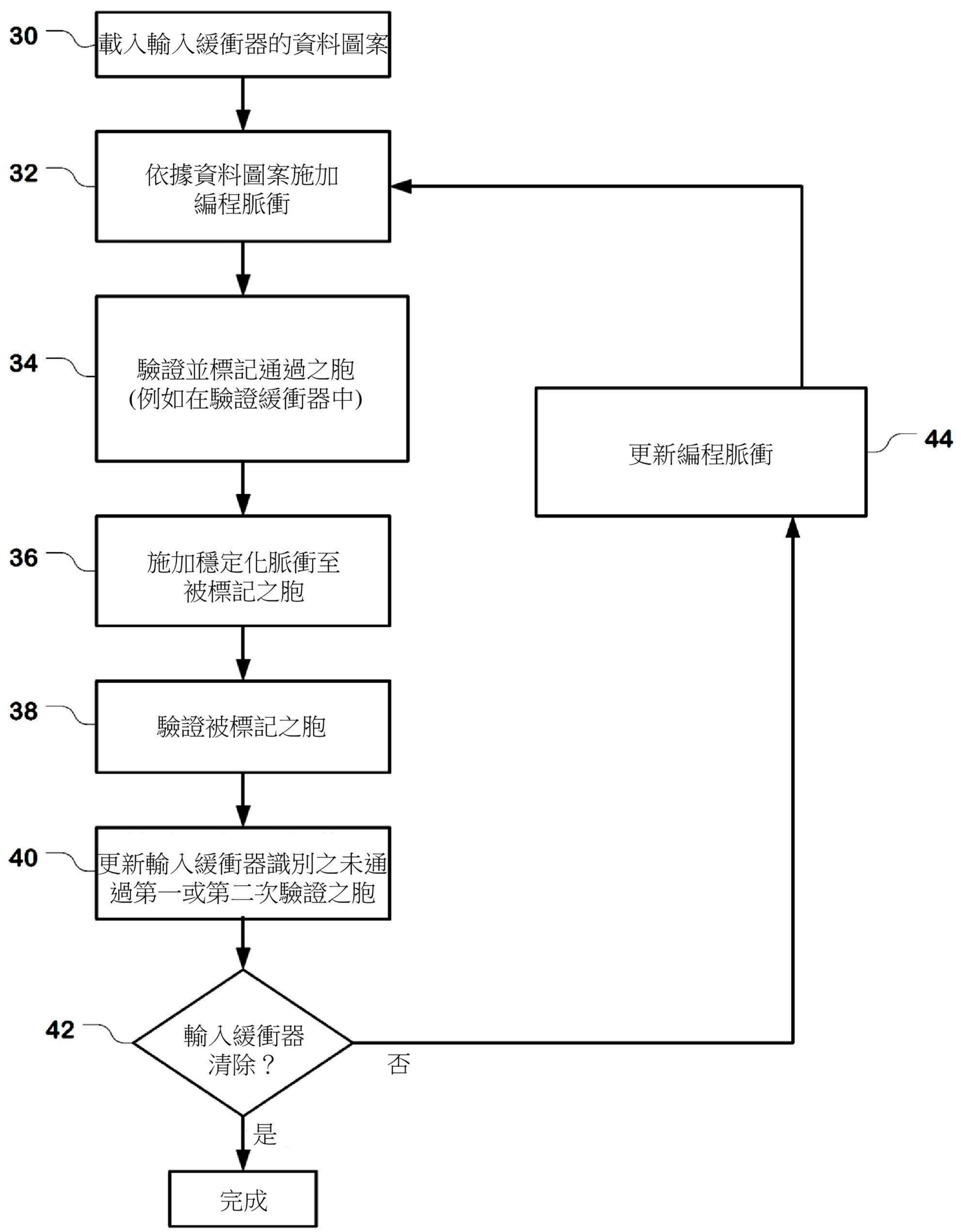
第 3c 圖



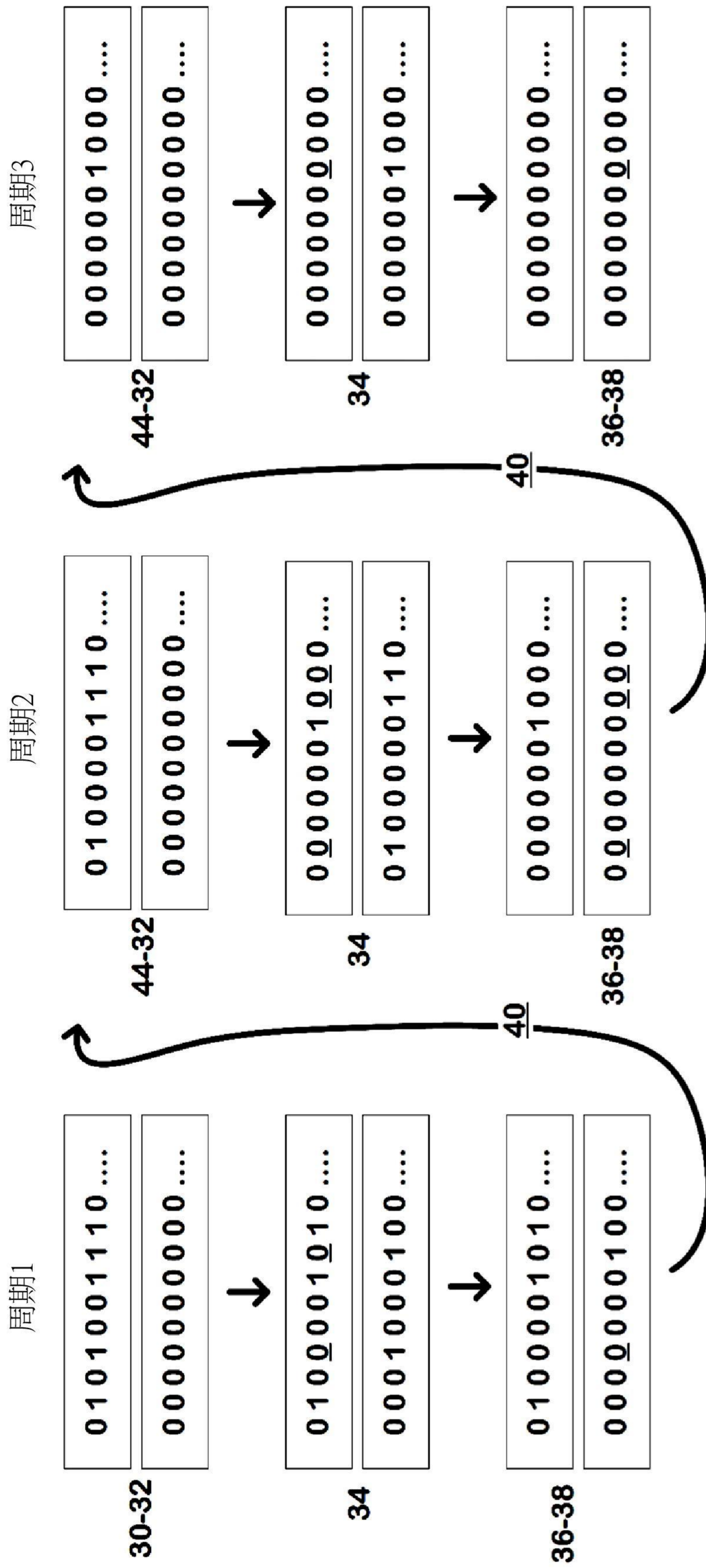
第 4 圖



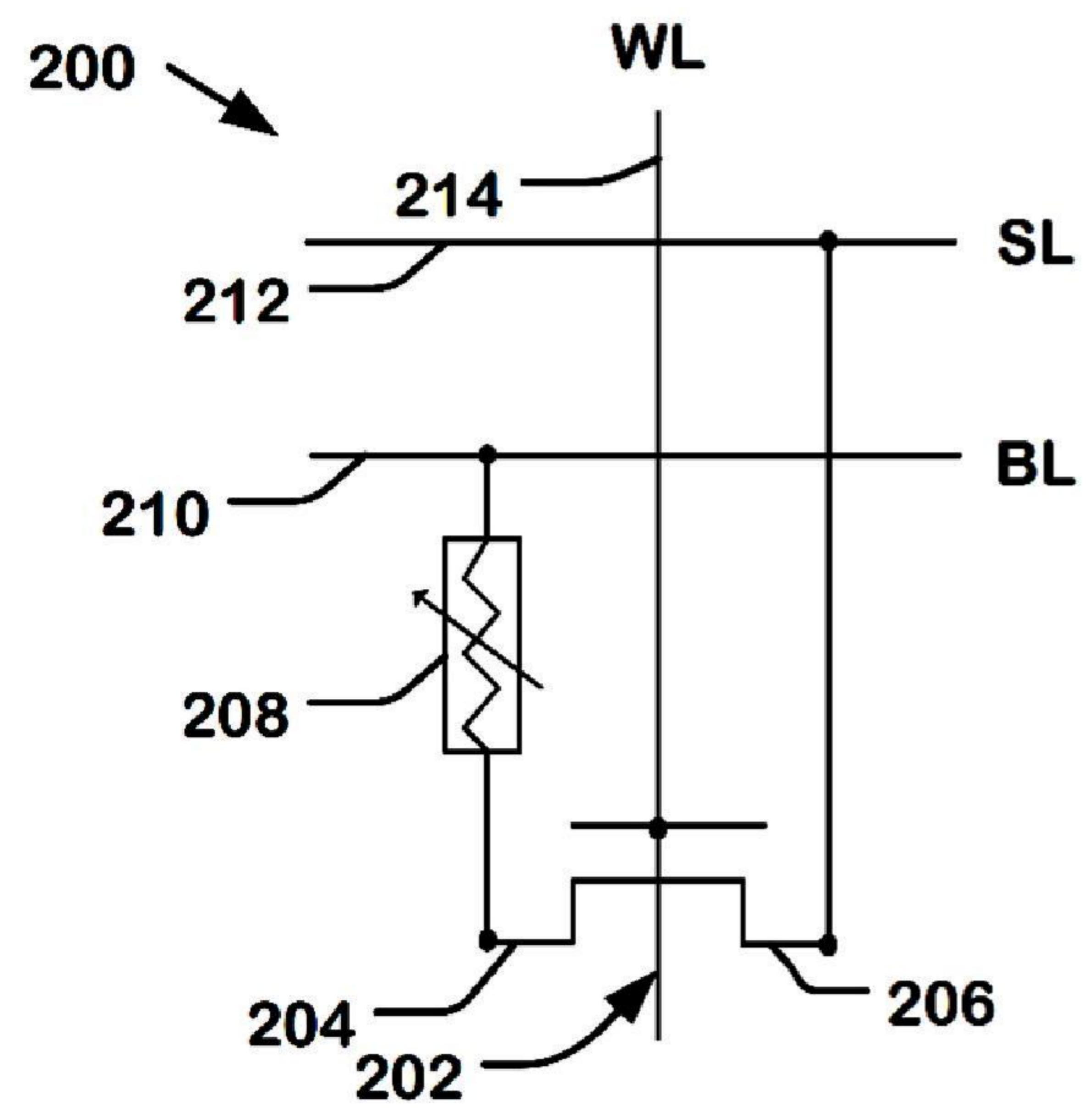
第 5 圖



第 6 圖

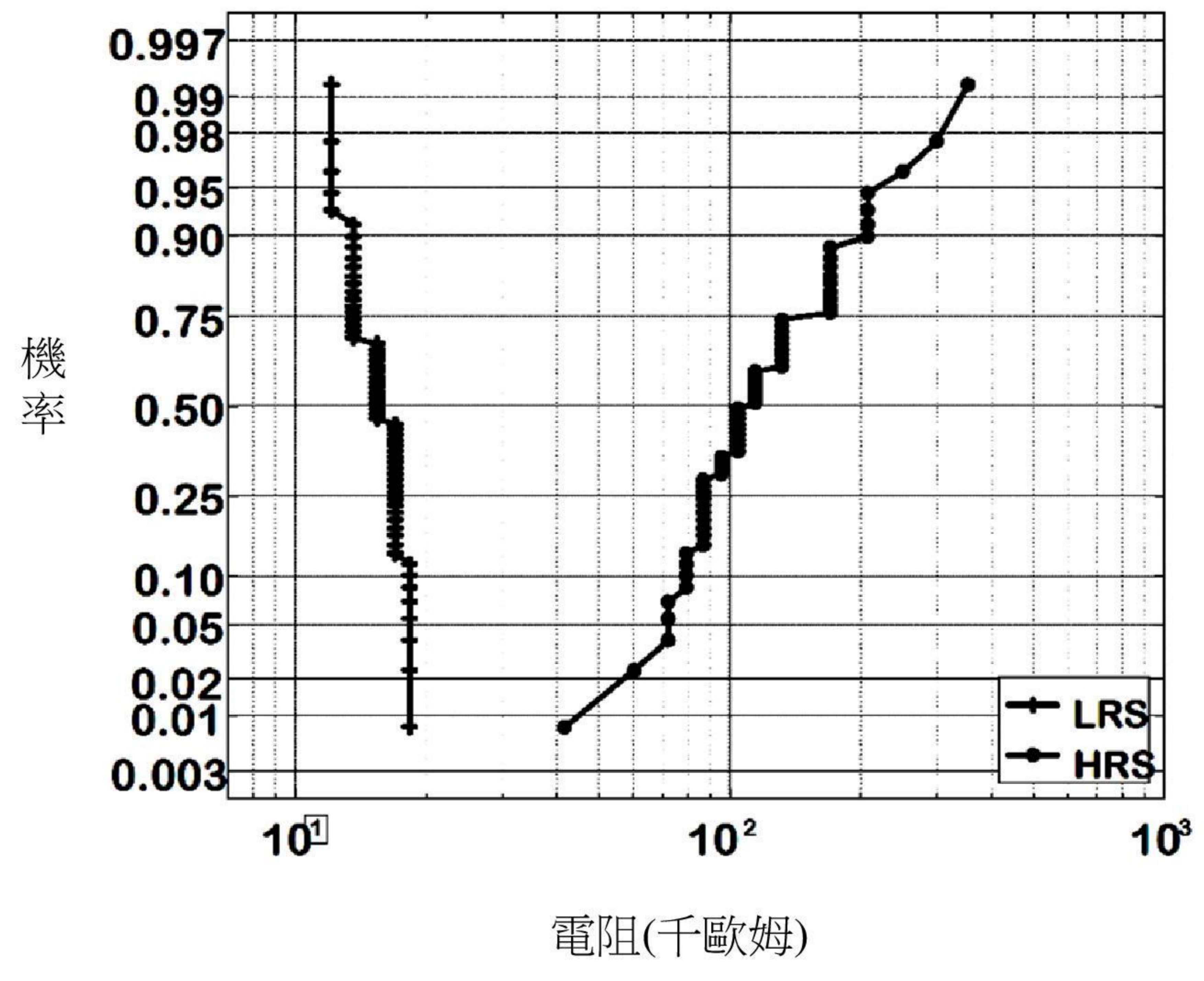


第7圖



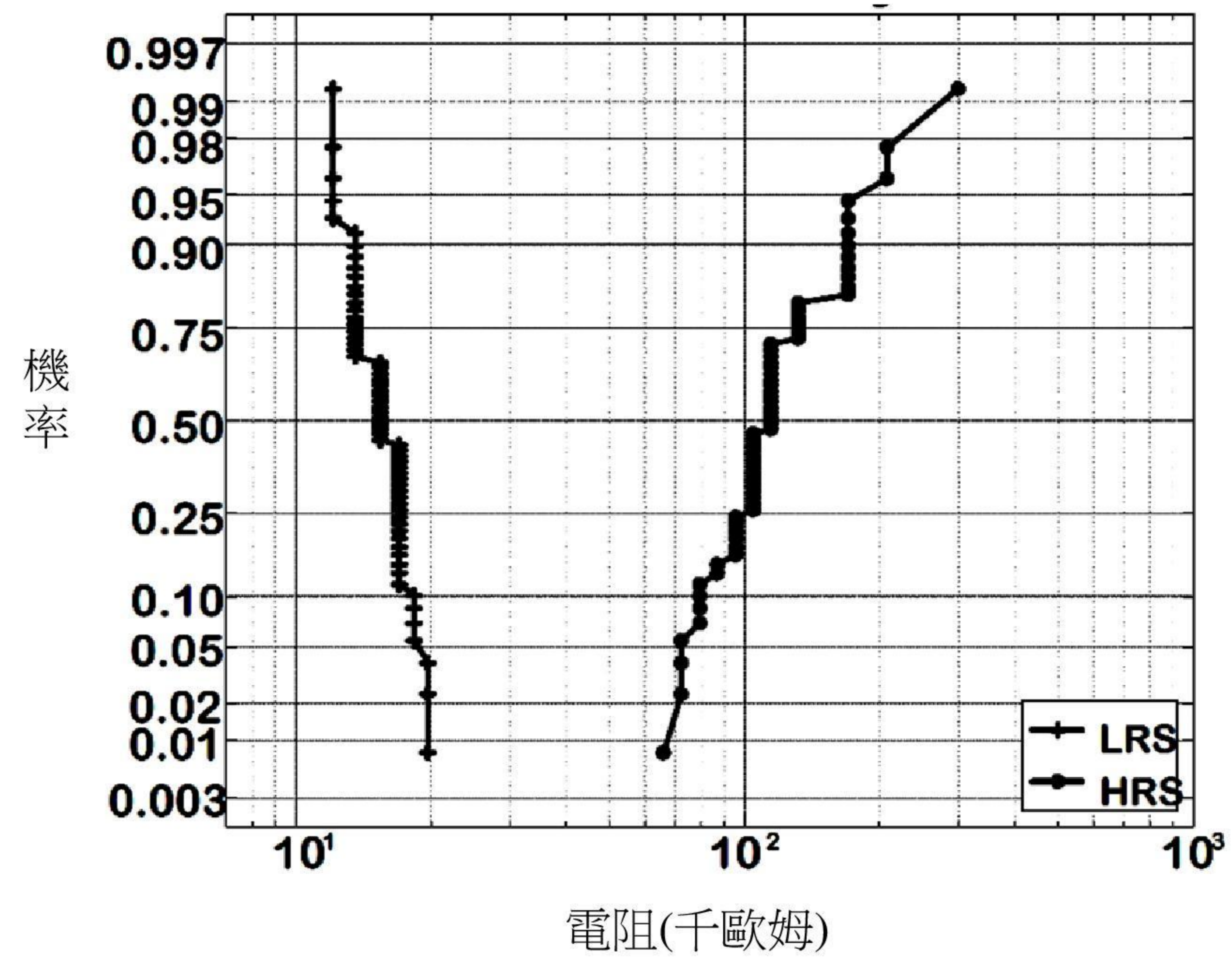
第 8 圖

常態機率圖

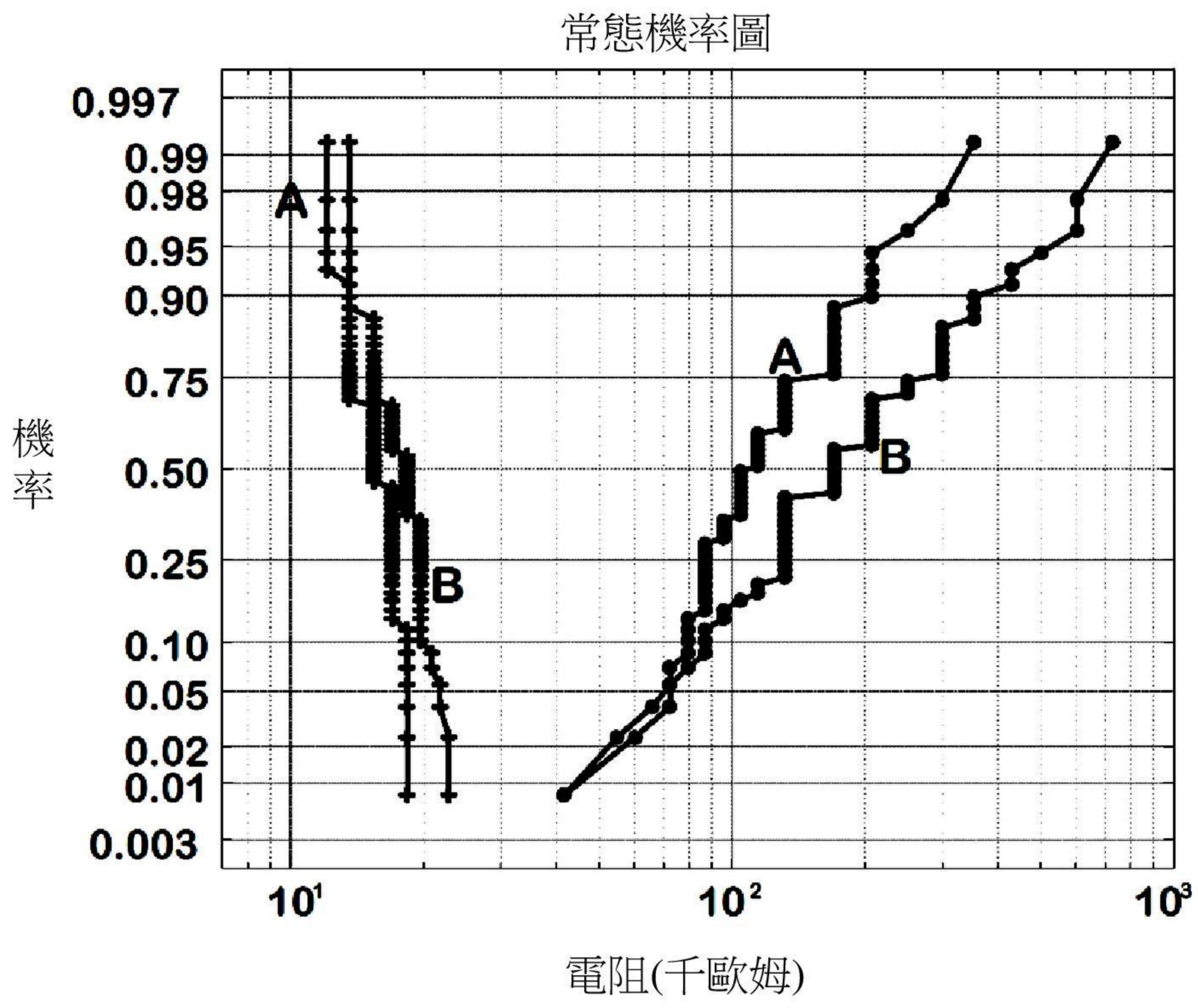


第 9a 圖

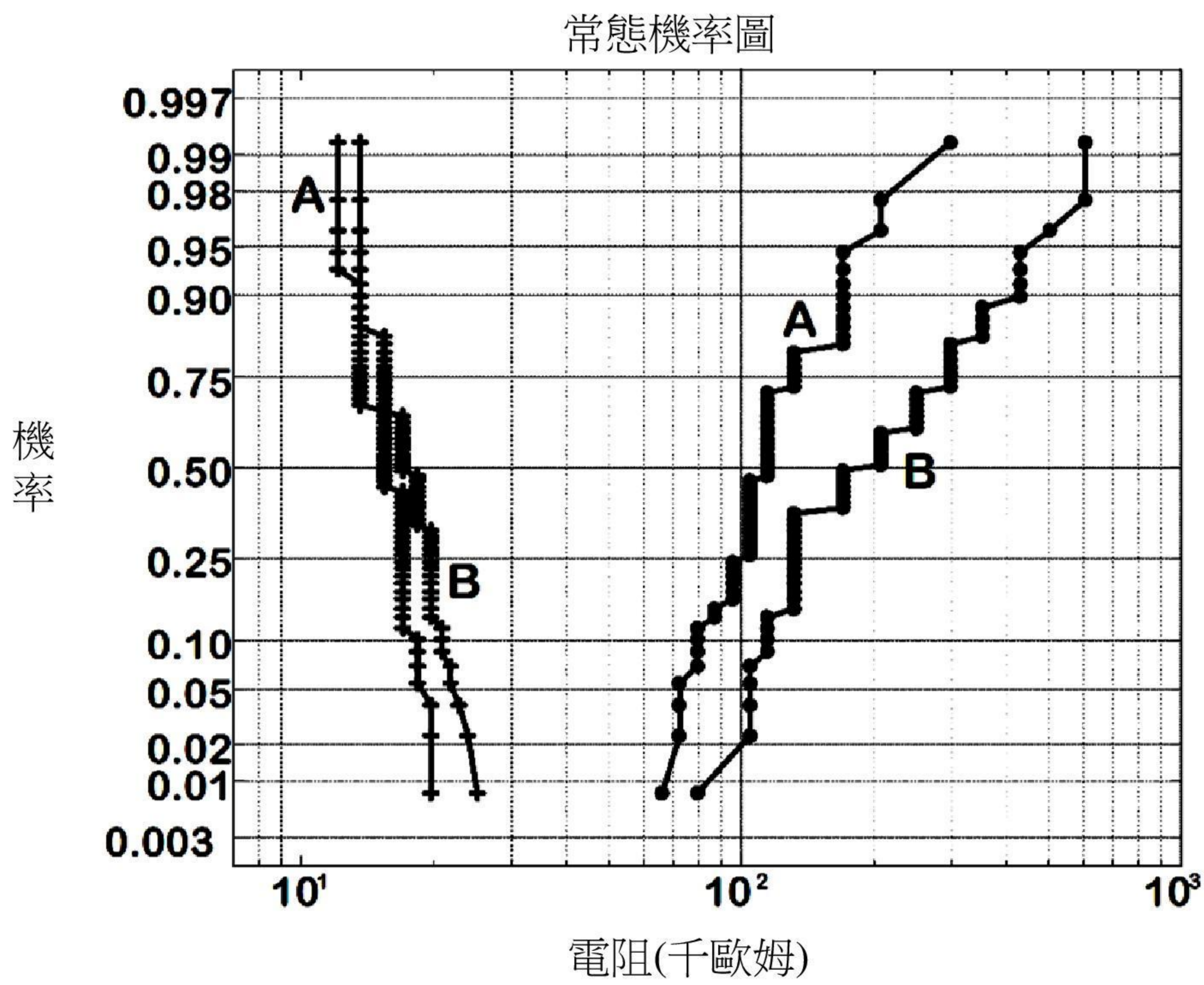
常態機率圖



第 9b 圖



第 10a 圖



第 10b 圖