



(12) 发明专利

(10) 授权公告号 CN 111082778 B

(45) 授权公告日 2021.06.08

(21) 申请号 201911384775.2

(22) 申请日 2019.12.28

(65) 同一申请的已公布的文献号
申请公布号 CN 111082778 A

(43) 申请公布日 2020.04.28

(73) 专利权人 西北工业大学
地址 710072 陕西省西安市碑林区友谊西路127号

(72) 发明人 阴玥 陈智通 康世安

(74) 专利代理机构 西安嘉思特知识产权代理事务所(普通合伙) 61230

代理人 尹晓雪

(51) Int. Cl.

H03H 11/04 (2006.01)

(56) 对比文件

US 2003227983 A1,2003.12.11

CN 103051354 A,2013.04.17

Fayrouz Haddad 等.Design of an optimal layout RF passive polyphase filter for large image rejection.《2015 IEEE International Symposium on Circuits and Systems (ISCAS)》.2015,

Yue Yin 等.A novel CMOS active polyphase filter with wideband and low-power for GNSS receiver.《IEICE Electronics Express》.2016,第13卷(第6期),

审查员 邹滢

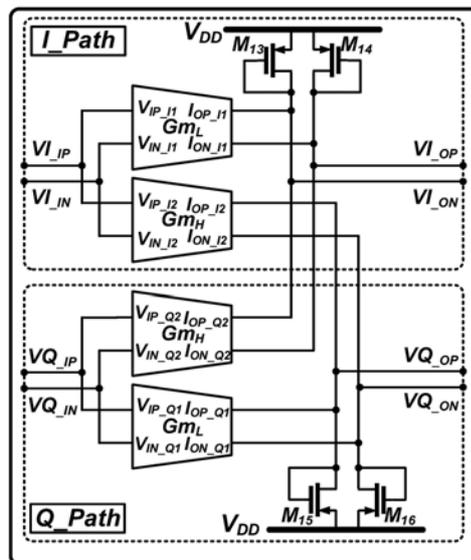
权利要求书2页 说明书7页 附图5页

(54) 发明名称

一种新型的高镜像抑制比有源CMOS多相滤波器电路

(57) 摘要

本发明属于射频接收机技术领域,具体涉及一种新型的高镜像抑制比有源CMOS多相滤波器电路,I通路、Q通路、I通路差分输入电压端、I通路差分输出端、Q通路差分输入电压端、Q通路差分输出端、电源电压VDD和MOS管M₁₃、M₁₄、M₁₅、M₁₆,所述I通路包括一个低通跨导级和一个高通跨导级,分别为第一低通跨导级和第一高通跨导级;所述Q通路一个低通跨导级和一个高通跨导级,分别包括第二低通跨导级和第二高通跨导级。本发明具有较低的功耗、较宽的带宽和较小的芯片面积;同时本发明的多相滤波器结构有效地增强了高通和低通传输函数的极点频率和增益的匹配;并且本发明具有适用范围广的有益效果。



1. 一种的高镜像抑制比有源CMOS多相滤波器电路,其特征在于,包括:I通路、Q通路、I通路差分输入电压端、I通路差分输出端、Q通路差分输入电压端、Q通路差分输出端、电源电压VDD和MOS管 M_{13} 、 M_{14} 、 M_{15} 、 M_{16} ,所述I通路差分输入电压端包括输入电压端 VI_{IP} 和输入电压端 VI_{IN} ,所述输入电压端 VI_{IP} 的相位和所述输入电压端 VI_{IN} 的相位相差 180° ,所述Q通路差分输入电压端包括输入电压端 VQ_{IP} 和输入电压端 VQ_{IN} ,所述输入电压端 VQ_{IP} 的相位和所述输入电压端 VQ_{IN} 的相位相差 180° ,所述输入电压端 VI_{IP} 的相位和所述输入电压端 VQ_{IP} 的相位相差 90° ,所述输入电压端 VI_{IN} 的相位和所述输入电压端 VQ_{IN} 的相位相差 90° ,所述I通路包括一个低通跨导级和一个高通跨导级,分别为第一低通跨导级和第一高通跨导级;所述Q通路一个低通跨导级和一个高通跨导级,分别包括第二低通跨导级和第二高通跨导级,所述第一低通跨导级和所述第一高通跨导级的差分电压输入端均与所述I通路差分输入电压连接,所述第一低通跨导级的低通差分电压输入端包括差分电压正输入端 $V_{IP_{I1}}$ 、差分电压负输入端 $V_{IN_{I1}}$,所述第二低通跨导级的低通差分电压输入端包括差分电压正输入端 $V_{IP_{Q1}}$ 、差分电压负输入端 $V_{IN_{Q1}}$,所述第一高通跨导级的高通差分电压输入端包括差分电压正输入端 $V_{IP_{I2}}$ 、差分电压负输入端 $V_{IN_{I2}}$,所述第二高通跨导级的高通差分电压输入端包括差分电压正输入端 $V_{IP_{Q2}}$ 、差分电压负输入端 $V_{IN_{Q2}}$,所述第一低通跨导级、所述第二低通跨导级、所述第一高通跨导级和所述第二高通跨导级的输出端均为差分输出端;所述第一低通跨导级的低通差分输出端包括电流正输出端 $I_{OP_{I1}}$ 、电流负输出端 $I_{ON_{I1}}$,所述第二低通跨导级的低通差分输出端包括电流正输出端 $I_{OP_{Q1}}$ 、电流负输出端 $I_{ON_{Q1}}$,所述第一高通跨导级的高通差分输出端包括电流正输出端 $I_{OP_{I2}}$ 、电流负输出端 $I_{ON_{I2}}$,所述第二高通跨导级的高通差分输出端包括电流正输出端 $I_{OP_{Q2}}$ 、电流负输出端 $I_{ON_{Q2}}$;所述输入电压端 VI_{IP} 连接所述差分电压正输入端 $V_{IP_{I1}}$,所述输入电压端 VI_{IN} 连接所述差分电压负输入端 $V_{IN_{I1}}$,所述输入电压端 VI_{IP} 连接所述差分电压正输入端 $V_{IP_{I2}}$,所述输入电压端 VI_{IN} 连接所述差分电压负输入端 $V_{IN_{I2}}$;所述第二低通跨导级和所述第二高通跨导级的差分电压输入端均与所述Q通路差分输入电压连接,所述输入电压端 VQ_{IP} 连接所述差分电压正输入端 $V_{IP_{Q1}}$,所述输入电压端 VQ_{IN} 连接所述差分电压负输入端 $V_{IN_{Q1}}$,所述第一高通跨导级的差分电压输入端包括差分电压正输入端 $V_{IP_{Q2}}$ 、差分电压负输入端 $V_{IN_{Q2}}$,所述输入电压端 VQ_{IP} 连接所述差分电压正输入端 $V_{IP_{Q2}}$,所述输入电压端 VQ_{IN} 连接所述差分电压负输入端 $V_{IN_{Q2}}$;所述MOS管 M_{13} 、 M_{14} 、 M_{15} 、 M_{16} 的源极连接所述电源电压VDD,所述MOS管 M_{13} 、 M_{14} 、 M_{15} 、 M_{16} 的栅极与漏极均短接,所述MOS管 M_{13} 的漏极连接所述第一低通跨导级的所述电流正输出端 $I_{OP_{I1}}$ 和所述第二高通跨导级的所述电流正输出端 $I_{OP_{Q2}}$ 后的结点作为所述I通路差分输出端的电压负输出端 VI_{ON} ;所述MOS管 M_{14} 的漏极连接所述第一低通跨导级的所述电流负输出端 $I_{ON_{I1}}$ 和所述第二高通跨导级的所述电流负输出端 $I_{ON_{Q2}}$ 后的结点作为所述I通路差分输出端的电压正输出端 VI_{OP} ;所述MOS管 M_{15} 连接所述第一高通跨导级的所述电流正输出端 $I_{OP_{I2}}$ 和所述第二低通跨导级的所述电流正输出端 $I_{OP_{Q1}}$ 后的结点作为所述Q通路差分输出端的电压正输出端 VQ_{OP} ;所述MOS管 M_{16} 连接所述第一高通跨导级的所述电流负输出端 $I_{ON_{I2}}$ 和所述第二低通跨导级的所述电流负输出端 $I_{ON_{Q1}}$ 后的结点作为所述Q通路差分输出端的电压负输出端 VQ_{ON} ;

所述低通跨导级包括MOS管 M_1 、 M_2 、 M_7 、 M_8 、负载电容 C_{L1} 、 C_{L2} 、寄生电容 C_{P1} 、 C_{P2} 、偏置电压输入端和低通差分电压输入端;所述MOS管 M_1 、 M_2 的栅极均连接所述偏置电压输入端,所述MOS管 M_1 、 M_2 的漏极均连接所述低通跨导级差分电流输出端,所述MOS管 M_1 的源极同时连接所

述MOS管 M_7 的漏极、所述负载电容 C_{L1} 的上极板和所述寄生电容 C_{P1} 的上极板,所述负载电容 C_{L1} 的下极板接地,所述寄生电容 C_{P1} 的下极板接地;所述MOS管 M_7 的栅极连接所述低通差分电压输入端,所述MOS管 M_7 的源极接地,所述MOS管 M_7 的漏极、所述负载电容 C_{L1} 的上极板和所述寄生电容 C_{P1} 的上极板连接;所述MOS管 M_2 的源极同时连接所述MOS管 M_8 的漏极、所述负载电容 C_{L2} 的上极板和所述寄生电容 C_{P2} 的上极板,所述负载电容 C_{L2} 的下极板接地,所述寄生电容 C_{P2} 的下极板接地;所述MOS管 M_8 的栅极连接所述低通差分电压输入端,所述MOS管 M_8 的源极接地,所述MOS管 M_8 的漏极、所述负载电容 C_{L2} 的上极板和所述寄生电容 C_{P2} 的上极板连接;所述MOS管 M_1 的漏极连接所述低通跨导级差分电流输出端的差分电流正输出端并输出电流 I_L ;所述MOS管 M_2 的漏极连接所述低通跨导级差分电流输出端的差分电流负输出端并输出电流 $-I_L$;

所述高通跨导级包括MOS管 M_3 、 M_4 、 M_5 、 M_6 、 M_9 、 M_{10} 、 M_{11} 、 M_{12} 、负载电容 C_{L3} 、 C_{L4} 、寄生电容 C_{P3} 、 C_{P4} 、 C_{P5} 、 C_{P6} 、偏置电压输入端和高通差分电压输入端;所述MOS管 M_3 、 M_4 、 M_5 、 M_6 的栅极均连接所述偏置电压输入端,所述MOS管 M_3 、 M_4 、 M_5 、 M_6 的漏极均连接所述高通跨导级差分电流输出端;所述MOS管 M_3 的源极同时连接所述MOS管 M_9 的漏极、所述负载电容 C_{L3} 的上极板和所述寄生电容 C_{P3} 的上极板,所述负载电容 C_{L3} 的下极板接地,所述寄生电容 C_{P3} 的下极板接地;所述MOS管 M_9 的栅极连接所述高通差分电压输入端,所述MOS管 M_9 的源极接地,所述MOS管 M_9 的漏极、所述负载电容 C_{L3} 的上极板和所述寄生电容 C_{P3} 的上极板连接;所述MOS管 M_4 的源极同时连接所述MOS管 M_{10} 的漏极、所述负载电容 C_{L4} 的上极板和所述寄生电容 C_{P4} 的上极板,所述负载电容 C_{L4} 的下极板接地,所述寄生电容 C_{P4} 的下极板接地;所述MOS管 M_{10} 的栅极连接所述高通差分电压输入端,所述MOS管 M_{10} 的源极接地,所述MOS管 M_{10} 的漏极、所述负载电容 C_{L4} 的上极板和所述寄生电容 C_{P4} 的上极板连接;所述MOS管 M_5 的源极同时连接所述MOS管 M_{11} 的漏极和所述寄生电容 C_{P5} 的上极板,所述寄生电容 C_{P5} 的下极板接地,所述MOS管 M_{11} 的栅极连接所述高通差分电压输入端,所述MOS管 M_{11} 的漏极连接所述寄生电容 C_{P5} 的上极板,所述MOS管 M_{11} 的源极接地;所述MOS管 M_6 的源极同时连接所述MOS管 M_{12} 的漏极和所述寄生电容 C_{P6} 的上极板,所述寄生电容 C_{P6} 的下极板接地,所述MOS管 M_{12} 的栅极连接所述高通差分电压输入端,所述MOS管 M_{12} 的漏极连接所述寄生电容 C_{P6} 的上极板,所述MOS管 M_{12} 的源极接地;所述MOS管 M_3 和MOS管 M_5 的漏极连接所述高通跨导级差分电流输出端的差分电流负输出端并输出电流 $-I_H$;所述MOS管 M_4 和MOS管 M_6 的漏极连接所述高通跨导级差分电流输出端的差分电流正输出端并输出电流 I_H 。

一种新型的高镜像抑制比有源CMOS多相滤波器电路

技术领域

[0001] 本发明属于射频接收机技术领域,具体涉及一种新型的高镜像抑制比有源CMOS多相滤波器电路。

背景技术

[0002] 目前,低中频正交下变频架构已被用作出色的射频接收器拓扑结构以实现高度集成、高性能、低成本的射频集成电路,镜像干扰对输出到基带的最终信噪比有重要影响。为了在所需信号和镜像信号之间实现较高的选择性,可以通过选择较高的中频并使用片上多相滤波器实现。因此,设计高性能、宽带和低功耗的片上多相滤波器是非常必要的。

[0003] 在大多数应用中,多相滤波器分为无源多相滤波器和有源多相滤波器。无源多相级联的几个阶段可以表现出高的镜像抑制比 (IRR) 和宽的带宽。但是,它们需要消耗更多的能量,占用更多的芯片面积。首先,使用额外的缓冲器来补偿级联造成的损失;其次,由于片上无源器件难以调节,需要采用更多的级来补偿工艺和温度的变化。大多数文献中讨论的有源多相滤波器,无法实现在高工作频率、低功耗特别是电路中的一些非理想因素会影响高通传输函数和低通传输函数的幅值和相位,从而限制多相滤波器的镜像抑制比。

发明内容

[0004] 为了解决现有技术中存在的上述问题,本发明提供了一种新型的高镜像抑制比有源CMOS多相滤波器电路。本发明要解决的技术问题通过以下技术方案实现:

[0005] 一种新型的高镜像抑制比有源CMOS多相滤波器电路,包括:I通路、Q通路、I通路差分输入电压端、I通路差分输出端、Q通路差分输入电压端、Q通路差分输出端、电源电压VDD和MOS管 M_{13} 、 M_{14} 、 M_{15} 、 M_{16} ,所述I通路差分输入电压端包括输入电压端 VI_{IP} 和输入电压端 VI_{IN} ,所述输入电压端 VI_{IP} 的相位和所述输入电压端 VI_{IN} 的相位相差 180° ,所述Q通路差分输入电压端包括输入电压端 VQ_{IP} 和输入电压端 VQ_{IN} ,所述输入电压端 VQ_{IP} 的相位和所述输入电压端 VQ_{IN} 的相位相差 180° ,所述输入电压端 VI_{IP} 的相位和所述输入电压端 VQ_{IP} 的相位相差 90° ,所述输入电压端 VI_{IN} 的相位和所述输入电压端 VQ_{IN} 的相位相差 90° ,所述I通路包括一个低通跨导级和一个高通跨导级,分别为第一低通跨导级和第一高通跨导级;所述Q通路一个低通跨导级和一个高通跨导级,分别包括第二低通跨导级和第二高通跨导级,所述第一低通跨导级和所述第一高通跨导级的差分电压输入端均与所述I通路差分输入电压连接,所述第一低通跨导级的低通差分电压输入端包括差分电压正输入端 $V_{IP_{I1}}$ 、差分电压负输入端 $V_{IN_{I1}}$,所述第二低通跨导级的低通差分电压输入端包括差分电压正输入端 $V_{IP_{Q1}}$ 、差分电压负输入端 $V_{IN_{Q1}}$,所述第一高通跨导级的高通差分电压输入端包括差分电压正输入端 $V_{IP_{I2}}$ 、差分电压负输入端 $V_{IN_{I2}}$,所述第二高通跨导级的高通差分电压输入端包括差分电压正输入端 $V_{IP_{Q2}}$ 、差分电压负输入端 $V_{IN_{Q2}}$,所述第一低通跨导级、所述第二低通跨导级、所述第一高通跨导级和所述第二高通跨导级的输出端均为差分输出端;所述第一低通跨导级的低通差分输出端包括电流正输出端 $I_{OP_{I1}}$ 、电流负输出端 $I_{ON_{I1}}$,所述第二低通跨导级的低

通差分输出端包括电流正输出端 I_{OP_Q1} 、电流负输出端 I_{ON_Q1} ，所述第一高通跨导级的高通差分输出端包括电流正输出端 I_{OP_I2} 、电流负输出端 I_{ON_I2} ，所述第二高通跨导级的高通差分输出端包括电流正输出端 I_{OP_Q2} 、电流负输出端 I_{ON_Q2} ；所述输入电压端 VI_IP 连接所述差分电压正输入端 V_{IP_I1} ，所述输入电压端 VI_In 连接所述差分电压负输入端 V_{IN_I1} ，所述输入电压端 VI_IP 连接所述差分电压正输入端 V_{IP_I2} ，所述输入电压端 VI_In 连接所述差分电压负输入端 V_{IN_I2} ；所述第二低通跨导级和所述第二高通跨导级的差分电压输入端均与所述Q通路差分输入电压连接，所述输入电压端 VQ_IP 连接所述差分电压正输入端 V_{IP_Q1} ，所述输入电压端 VQ_In 连接所述差分电压负输入端 V_{IN_Q1} ，所述第一高通跨导级的差分电压输入端包括差分电压正输入端 V_{IP_Q2} 、差分电压负输入端 V_{IN_Q2} ，所述输入电压端 VQ_IP 连接所述差分电压正输入端 V_{IP_Q2} ，所述输入电压端 VQ_In 连接所述差分电压负输入端 V_{IN_Q2} ；所述MOS管 M_{13} 、 M_{14} 、 M_{15} 、 M_{16} 的源极连接所述电源电压VDD，所述MOS管 M_{13} 、 M_{14} 、 M_{15} 、 M_{16} 的栅极与漏极均短接，所述MOS管 M_{13} 的漏极连接所述第一低通跨导级的所述电流正输出端 I_{OP_I1} 和所述第二高通跨导级的所述电流正输出端 I_{OP_Q2} 后的结点作为所述I通路差分输出端的电压负输出端 VI_ON ；所述MOS管 M_{14} 的漏极连接所述第一低通跨导级的所述电流负输出端 I_{ON_I1} 和所述第二高通跨导级的所述电流负输出端 I_{ON_Q2} 后的结点作为所述I通路差分输出端的电压正输出端 VI_OP ；所述MOS管 M_{15} 连接所述第一高通跨导级的所述电流正输出端 I_{OP_I2} 和所述第二低通跨导级的所述电流正输出端 I_{OP_Q1} 后的结点作为所述Q通路差分输出端的电压正输出端 VQ_OP ；所述MOS管 M_{16} 连接所述第一高通跨导级的所述电流负输出端 I_{ON_I2} 和所述第二低通跨导级的所述电流负输出端 I_{ON_Q1} 后的结点作为所述Q通路差分输出端的电压负输出端 VQ_ON ；

[0006] 所述低通跨导级包括MOS管 M_1 、 M_2 、 M_7 、 M_8 、负载电容 C_{L1} 、 C_{L2} 、寄生电容 C_{P1} 、 C_{P2} 、偏置电压输入端和低通差分电压输入端；所述MOS管 M_1 、 M_2 的栅极均连接所述偏置电压输入端，所述MOS管 M_1 、 M_2 的漏极均连接所述低通跨导级差分电流输出端，所述MOS管 M_1 的源极同时连接所述MOS管 M_7 的漏极、所述负载电容 C_{L1} 的上极板和所述寄生电容 C_{P1} 的上极板，所述负载电容 C_{L1} 的下极板接地，所述寄生电容 C_{P1} 的下极板接地；所述MOS管 M_7 的栅极连接所述低通差分电压输入端，所述MOS管 M_7 的源极接地，所述MOS管 M_7 的漏极、所述负载电容 C_{L1} 的上极板和所述寄生电容 C_{P1} 的上极板连接；所述MOS管 M_2 的源极同时连接所述MOS管 M_8 的漏极、所述负载电容 C_{L2} 的上极板和所述寄生电容 C_{P2} 的上极板，所述负载电容 C_{L2} 的下极板接地，所述寄生电容 C_{P2} 的下极板接地；所述MOS管 M_8 的栅极连接所述低通差分电压输入端，所述MOS管 M_8 的源极接地，所述MOS管 M_8 的漏极、所述负载电容 C_{L2} 的上极板和所述寄生电容 C_{P2} 的上极板连接；所述MOS管 M_1 的漏极连接所述低通跨导级差分电流输出端的差分电流正输出端并输出电流 I_L ；所述MOS管 M_2 的漏极连接所述低通跨导级差分电流输出端的差分电流负输出端并输出电流 $-I_L$ ；

[0007] 所述高通跨导级包括MOS管 M_3 、 M_4 、 M_5 、 M_6 、 M_9 、 M_{10} 、 M_{11} 、 M_{12} 、负载电容 C_{L3} 、 C_{L4} 、寄生电容 C_{P3} 、 C_{P4} 、 C_{P5} 、 C_{P6} 、偏置电压输入端和高通差分电压输入端；所述MOS管 M_3 、 M_4 、 M_5 、 M_6 的栅极均连接所述偏置电压输入端，所述MOS管 M_3 、 M_4 、 M_5 、 M_6 的漏极均连接所述高通跨导级差分电流输出端；所述MOS管 M_3 的源极同时连接所述MOS管 M_9 的漏极、所述负载电容 C_{L3} 的上极板和所述寄生电容 C_{P3} 的上极板，所述负载电容 C_{L3} 的下极板接地，所述寄生电容 C_{P3} 的下极板接地；所述MOS管 M_9 的栅极连接所述高通差分电压输入端，所述MOS管 M_9 的源极接地，所述MOS管 M_9 的漏极、所述负载电容 C_{L3} 的上极板和所述寄生电容 C_{P3} 的上极板连接；所述MOS管 M_4 的源

极同时连接所述MOS管 M_{10} 的漏极、所述负载电容 CL_4 的上极板和所述寄生电容 C_{P4} 的上极板,所述负载电容 C_{L4} 的下极板接地,所述寄生电容 C_{P4} 的下极板接地;所述MOS管 M_{10} 的栅极连接所述高通差分电压输入端,所述MOS管 M_{10} 的源极接地,所述MOS管 M_{10} 的漏极、所述负载电容 C_{L4} 的上极板和所述寄生电容 C_{P4} 的上极板连接;所述MOS管 M_5 的源极同时连接所述MOS管 M_{11} 的漏极和所述寄生电容 C_{P5} 的上极板,所述寄生电容 C_{P5} 的下极板接地,所述MOS管 M_{11} 的栅极连接所述高通差分电压输入端,所述MOS管 M_{11} 的漏极连接所述寄生电容 C_{P5} 的上极板,所述MOS管 M_{11} 的源极接地;所述MOS管 M_6 的源极同时连接所述MOS管 M_{12} 的漏极和所述寄生电容 C_{P6} 的上极板,所述寄生电容 C_{P6} 的下极板接地,所述MOS管 M_{12} 的栅极连接所述高通差分电压输入端,所述MOS管 M_{12} 的漏极连接所述寄生电容 C_{P6} 的上极板,所述MOS管 M_{12} 的源极接地;所述MOS管 M_3 和MOS管 M_5 的漏极连接所述高通跨导级差分电流输出端的差分电流负输出端并输出电流 $-I_H$;所述MOS管 M_4 和MOS管 M_6 的漏极连接所述高通跨导级差分电流输出端的差分电流正输出端并输出电流 I_H 。

[0008] 本发明的有益效果:

[0009] 本发明由两个带电容器的共源共栅级和一个单级中的单个共源共栅级产生的电流分别用于实现高通和低通功能,使得在较高频率实现强镜像抑制的多相滤波器结构更加简单,同时使得本发明具有较低的功耗、较宽的带宽和较小的芯片面积;同时本发明的多相滤波器结构有效地增强了高通和低通传输函数的极点频率和增益的匹配,其中一阶低通滤波器 and 一阶高通滤波器中的增益和极点频率可以保持高度一致从而在高工作频率下实现强的镜像抑制性能;并且本发明所提出的有源多相滤波器可用于其他低中频接收机,适用范围广。

[0010] 以下将结合附图及实施例对本发明做进一步详细说明。

附图说明

[0011] 图1是本发明实施例提供的一种新型的高镜像抑制比有源CMOS多相滤波器电路结构示意图;

[0012] 图2是本发明实施例提供的一种新型的高镜像抑制比有源CMOS多相滤波器电路中低通跨导级电路结构示意图;

[0013] 图3是本发明实施例提供的一种新型的高镜像抑制比有源CMOS多相滤波器电路中高通跨导级电路结构示意图;

[0014] 图4是本发明实施例提供的一种新型的高镜像抑制比有源CMOS多相滤波器电路仿真结果;

[0015] 图5是本发明实施例提供的一种新型的高镜像抑制比有源CMOS多相滤波器电路全球导航卫星系统接收机结构框图(a)及四级有源滤波器的结构框图(b);

[0016] 图6是本发明实施例提供的一种新型的高镜像抑制比有源CMOS多相滤波器电路四级有源滤波器的模拟传输曲线和IRR的仿真结果。

具体实施方式

[0017] 下面结合具体实施例对本发明做进一步详细的描述,但本发明的实施方式不限于此。

[0018] 请参见图1,图1是本发明实施例提供的一种新型的高镜像抑制比有源CMOS多相滤波器电路结构示意图,包括:I通路、Q通路、I通路差分输入电压端、I通路差分输出端、Q通路差分输入电压端、Q通路差分输出端、电源电压VDD和MOS管 M_{13} 、 M_{14} 、 M_{15} 、 M_{16} ,所述I通路差分输入电压端包括输入电压端 VI_{IP} 和输入电压端 VI_{IN} ,所述输入电压端 VI_{IP} 的相位和所述输入电压端 VI_{IN} 的相位相差 180° ,所述Q通路差分输入电压端包括输入电压端 VQ_{IP} 和输入电压端 VQ_{IN} ,所述输入电压端 VQ_{IP} 的相位和所述输入电压端 VQ_{IN} 的相位相差 180° ,所述输入电压端 VI_{IP} 的相位和所述输入电压端 VQ_{IP} 的相位相差 90° ,所述输入电压端 VI_{IN} 的相位和所述输入电压端 VQ_{IN} 的相位相差 90° ,所述I通路包括一个低通跨导级和一个高通跨导级,分别为第一低通跨导级和第一高通跨导级;所述Q通路一个低通跨导级和一个高通跨导级,分别包括第二低通跨导级和第二高通跨导级,所述第一低通跨导级和所述第一高通跨导级的差分电压输入端均与所述I通路差分输入电压连接,所述第一低通跨导级的低通差分电压输入端包括差分电压正输入端 $V_{IP_{I1}}$ 、差分电压负输入端 $V_{IN_{I1}}$,所述第二低通跨导级的低通差分电压输入端包括差分电压正输入端 $V_{IP_{Q1}}$ 、差分电压负输入端 $V_{IN_{Q1}}$,所述第一高通跨导级的高通差分电压输入端包括差分电压正输入端 $V_{IP_{I2}}$ 、差分电压负输入端 $V_{IN_{I2}}$,所述第二高通跨导级的高通差分电压输入端包括差分电压正输入端 $V_{IP_{Q2}}$ 、差分电压负输入端 $V_{IN_{Q2}}$,所述第一低通跨导级、所述第二低通跨导级、所述第一高通跨导级和所述第二高通跨导级的输出端均为差分输出端;所述第一低通跨导级的低通差分输出端包括电流正输出端 $I_{OP_{I1}}$ 、电流负输出端 $I_{ON_{I1}}$,所述第二低通跨导级的低通差分输出端包括电流正输出端 $I_{OP_{Q1}}$ 、电流负输出端 $I_{ON_{Q1}}$,所述第一高通跨导级的高通差分输出端包括电流正输出端 $I_{OP_{I2}}$ 、电流负输出端 $I_{ON_{I2}}$,所述第二高通跨导级的高通差分输出端包括电流正输出端 $I_{OP_{Q2}}$ 、电流负输出端 $I_{ON_{Q2}}$;所述输入电压端 VI_{IP} 连接所述差分电压正输入端 $V_{IP_{I1}}$,所述输入电压端 VI_{IN} 连接所述差分电压负输入端 $V_{IN_{I1}}$,所述输入电压端 VI_{IP} 连接所述差分电压正输入端 $V_{IP_{I2}}$,所述输入电压端 VI_{IN} 连接所述差分电压负输入端 $V_{IN_{I2}}$;所述第二低通跨导级和所述第二高通跨导级的差分电压输入端均与所述Q通路差分输入电压连接,所述输入电压端 VQ_{IP} 连接所述差分电压正输入端 $V_{IP_{Q1}}$,所述输入电压端 VQ_{IN} 连接所述差分电压负输入端 $V_{IN_{Q1}}$,所述第一高通跨导级的差分电压输入端包括差分电压正输入端 $V_{IP_{Q2}}$ 、差分电压负输入端 $V_{IN_{Q2}}$,所述输入电压端 VQ_{IP} 连接所述差分电压正输入端 $V_{IP_{Q2}}$,所述输入电压端 VQ_{IN} 连接所述差分电压负输入端 $V_{IN_{Q2}}$;所述MOS管 M_{13} 、 M_{14} 、 M_{15} 、 M_{16} 的源极连接所述电源电压VDD,所述MOS管 M_{13} 、 M_{14} 、 M_{15} 、 M_{16} 的栅极与漏极均短接,所述MOS管 M_{13} 的漏极连接所述第一低通跨导级的所述电流正输出端 $I_{OP_{I1}}$ 和所述第二高通跨导级的所述电流正输出端 $I_{OP_{Q2}}$ 后的结点作为所述I通路差分输出端的电压负输出端 VI_{ON} ;所述MOS管 M_{14} 的漏极连接所述第一低通跨导级的所述电流负输出端 $I_{ON_{I1}}$ 和所述第二高通跨导级的所述电流负输出端 $I_{ON_{Q2}}$ 后的结点作为所述I通路差分输出端的电压正输出端 VI_{OP} ;所述MOS管 M_{15} 连接所述第一高通跨导级的所述电流正输出端 $I_{OP_{I2}}$ 和所述第二低通跨导级的所述电流正输出端 $I_{OP_{Q1}}$ 后的结点作为所述Q通路差分输出端的电压正输出端 VQ_{OP} ;所述MOS管 M_{16} 连接所述第一高通跨导级的所述电流负输出端 $I_{ON_{I2}}$ 和所述第二低通跨导级的所述电流负输出端 $I_{ON_{Q1}}$ 后的结点作为所述Q通路差分输出端的电压负输出端 VQ_{ON} ;

[0019] 请参见图2,图2是本发明实施例提供的一种新型的高镜像抑制比有源CMOS多相滤波器电路中低通跨导级电路结构示意图,所述低通跨导级包括MOS管 M_1 、 M_2 、 M_7 、 M_8 、负载电容

C_{L1} 、 C_{L2} 、寄生电容 C_{P1} 、 C_{P2} 、偏置电压输入端和低通差分电压输入端；所述MOS管 M_1 、 M_2 的栅极均连接所述偏置电压输入端，所述MOS管 M_1 、 M_2 的漏极均连接所述低通跨导级差分电流输出端，所述MOS管 M_1 的源极同时连接所述MOS管 M_7 的漏极、所述负载电容 C_{L1} 的上极板和所述寄生电容 C_{P1} 的上极板，所述负载电容 C_{L1} 的下极板接地，所述寄生电容 C_{P1} 的下极板接地；所述MOS管 M_7 的栅极连接所述低通差分电压输入端，所述MOS管 M_7 的源极接地，所述MOS管 M_7 的漏极、所述负载电容 C_{L1} 的上极板和所述寄生电容 C_{P1} 的上极板连接；所述MOS管 M_2 的源极同时连接所述MOS管 M_8 的漏极、所述负载电容 C_{L2} 的上极板和所述寄生电容 C_{P2} 的上极板，所述负载电容 C_{L2} 的下极板接地，所述寄生电容 C_{P2} 的下极板接地；所述MOS管 M_8 的栅极连接所述低通差分电压输入端，所述MOS管 M_8 的源极接地，所述MOS管 M_8 的漏极、所述负载电容 C_{L2} 的上极板和所述寄生电容 C_{P2} 的上极板连接；所述MOS管 M_1 的漏极连接所述低通跨导级差分电流输出端的差分电流正输出端并输出电流 I_L ；所述MOS管 M_2 的漏极连接所述低通跨导级差分电流输出端的差分电流负输出端并输出电流 $-I_L$ ；

[0020] 请参见图3，图3是本发明实施例提供的一种新型的高镜像抑制比有源CMOS多相滤波器电路中高通跨导级电路结构示意图，所述高通跨导级包括MOS管 M_3 、 M_4 、 M_5 、 M_6 、 M_9 、 M_{10} 、 M_{11} 、 M_{12} 、负载电容 C_{L3} 、 C_{L4} 、寄生电容 C_{P3} 、 C_{P4} 、 C_{P5} 、 C_{P6} 、偏置电压输入端和高通差分电压输入端；所述MOS管 M_3 、 M_4 、 M_5 、 M_6 的栅极均连接所述偏置电压输入端，所述MOS管 M_3 、 M_4 、 M_5 、 M_6 的漏极均连接所述高通跨导级差分电流输出端；所述MOS管 M_3 的源极同时连接所述MOS管 M_9 的漏极、所述负载电容 C_{L3} 的上极板和所述寄生电容 C_{P3} 的上极板，所述负载电容 C_{L3} 的下极板接地，所述寄生电容 C_{P3} 的下极板接地；所述MOS管 M_9 的栅极连接所述高通差分电压输入端，所述MOS管 M_9 的源极接地，所述MOS管 M_9 的漏极、所述负载电容 C_{L3} 的上极板和所述寄生电容 C_{P3} 的上极板连接；所述MOS管 M_4 的源极同时连接所述MOS管 M_{10} 的漏极、所述负载电容 C_{L4} 的上极板和所述寄生电容 C_{P4} 的上极板，所述负载电容 C_{L4} 的下极板接地，所述寄生电容 C_{P4} 的下极板接地；所述MOS管 M_{10} 的栅极连接所述高通差分电压输入端，所述MOS管 M_{10} 的源极接地，所述MOS管 M_{10} 的漏极、所述负载电容 C_{L4} 的上极板和所述寄生电容 C_{P4} 的上极板连接；所述MOS管 M_5 的源极同时连接所述MOS管 M_{11} 的漏极和所述寄生电容 C_{P5} 的上极板，所述寄生电容 C_{P5} 的下极板接地，所述MOS管 M_{11} 的栅极连接所述高通差分电压输入端，所述MOS管 M_{11} 的漏极连接所述寄生电容 C_{P5} 的上极板，所述MOS管 M_{11} 的源极接地；所述MOS管 M_6 的源极同时连接所述MOS管 M_{12} 的漏极和所述寄生电容 C_{P6} 的上极板，所述寄生电容 C_{P6} 的下极板接地，所述MOS管 M_{12} 的栅极连接所述高通差分电压输入端，所述MOS管 M_{12} 的漏极连接所述寄生电容 C_{P6} 的上极板，所述MOS管 M_{12} 的源极接地；所述MOS管 M_3 和MOS管 M_5 的漏极连接所述高通跨导级差分电流输出端的差分电流负输出端并输出电流 $-I_H$ ；所述MOS管 M_4 和MOS管 M_6 的漏极连接所述高通跨导级差分电流输出端的差分电流正输出端并输出电流 I_H 。

[0021] 本发明由两个带电容器的共源共栅级和一个单级中的单个共源共栅级产生的电流分别用于实现高通和低通功能，使得在较高频率实现强镜像抑制的多相滤波器结构更加简单，同时使得本发明具有较低的功耗、较宽的带宽和较小的芯片面积；同时本发明的多相滤波器结构有效地增强了高通和低通传输函数的极点频率和增益的匹配，其中一阶低通滤波器一阶高通滤波器中的增益和极点频率可以保持高度一致从而在高工作频率下实现强的镜像抑制性能；并且本发明所提出的有源多相滤波器可用于其他低中频接收机，适用范围广。

[0022] 进一步地,实现单级多相滤波器的传递函数可以表示为:

$$[0023] \quad H(s) = H_L(s) + jH_H(s) = \frac{A_L \cdot \omega_L}{s + \omega_L} + j \frac{A_H \cdot s}{s + \omega_H},$$

[0024] 其中, A_L, A_H 和 ω_L, ω_H 分别为一阶低通滤波器 $H_L(s)$ 和一阶高通滤波器 $H_H(s)$ 的增益和极点频率,在低中频接收机中,镜像信号和所需信号通过正交本振相位下变频为频率相同但序列相反的两个信号,即负频率和正频率信号。镜像信号和所需信号以差分 and 正交相位显示。由上式可知,有用的负频率信号($s = -j\omega_p$)落在滤波器的通带内而正频率($s = j\omega_p$)内的镜像信号在衰减。如果 $H_L(s)$ 和 $H_H(s)$ 的增益和极点频率完全匹配,有用信号(desired signal)和镜像信号(image signal)在 ω_p 处的增益分别为 $\sqrt{2}$ 和0,即多相滤波器完全排斥镜像信号。

[0025] 具体的,多相滤波器结构由一个低通电路和一个高通电路组成来实现一阶低通滤波器 $H_L(s)$ 和一阶高通滤波器 $H_H(s)$,由一个低通跨导级(G_{mL})和一个高通跨导级(G_{mH})来生成高通差分电流 $I_{H+}, -I_{H-}$ 和低通差分电流 $I_{L+}, -I_{L-}$ 。然后将高通差分电流 $I_{H+}, -I_{H-}$ 和低通差分电流 $I_{L+}, -I_{L-}$ 连接到采用二极管连接的晶体管 $M_{13}, M_{14}, M_{15}, M_{16}$ 上转换成电压。所需的低通和高通传递函数 $H_L(s)$ 和 $H_H(s)$ 可由下式得到:

$$[0026] \quad H_L(s) = \frac{g_{m1} \cdot g_{m2} / C_L}{g_{mL} \cdot s + g_{m2} / C_L}$$

$$[0027] \quad H_H(s) = \frac{g_{m1} \cdot s}{g_{mL} \cdot s + g_{m2} / C_L},$$

[0028] 其中, g_{mL} 是晶体管ML的跨导; $H_L(s)$ 和 $H_H(s)$ 的极点 ω_p ,也成为拒绝中心频率 F_C ($F_C = \frac{\omega_p}{2\pi}$),由 g_{m2} 和 C_L 确定,因此,可以通过改变 g_{m2} 和 C_L 将 F_C 调节到所需的频率点。

[0029] 具体的,与传统的电路结构不同,电流 i_{H+} 和 i_{L+} 是由更简单和更对称的电路结构直接产生的。因此,所提出的多相滤波器不仅具有较低的功耗,而且能够实现强的镜像抑制。当考虑节点A处的寄生电容 C_p' 时,假设 $CL \gg C_p'$,则可导出 $H_L(s)$ 和 $H_H(s)$ 的传递函数:

$$[0030] \quad H_L(s) = \frac{g_{m1} \cdot g_{m2} / (C_L + C_p')}{g_{mL} \cdot s + g_{m2} / (C_L + C_p')}$$

$$[0031] \quad H_H(s) = \frac{g_{m1} \left[\frac{s}{s + g_{m2} / (C_L + C_p')} \right] \left(\frac{g_{m2} / C_p'}{s + g_{m2} / C_p'} \right)}$$

[0032] 如上式所述,第二极点在 $\omega_{p2} = \frac{g_{m2}}{C_p'}$ 处生成,可能会降低多相滤波器的镜像抑制比

(IRR)。但是,由于所提出的多相滤波器中节点A处的 C_p' 值较小,仅由M1和M2的器件的寄生电容组成。此外,使用最小长度的晶体管以便最小化M1和M2的器件电容,请参见图4,图4是本发明实施例提供的一种新型的高镜像抑制比有源CMOS多相滤波器电路仿真结果,在频率(Frequency) 25MHz和65MHz时的镜像抑制比分贝值(Magnitude)可能超过57dB和52dB。

[0033] 请参见图5,图5是本发明实施例提供的一种新型的高镜像抑制比有源CMOS多相滤波器电路全球导航卫星系统接收机结构框图(a)及四级有源滤波器的结构框图(b),本设计可应用于北斗射频接收机射频芯片,其中,中频中心频率为46MHz和大于30MHz的带宽时提供大于50dB的镜像抑制,如图5(a)所示。整个四级多相滤波器的框图如图5(b)所示按照超过50dB的镜像抑制比和超过30MHz的带宽的标准计算需要4个级联的多相滤波器。拒绝中心频率分别设置为25、33.7、49.2和65MHz。请参见图6,图6是本发明实施例提供的一种新型的高镜像抑制比有源CMOS多相滤波器电路四级有源滤波器的模拟传输曲线和IRR的仿真结果,通过仿真结果显示该电路达到了40MHz的带宽和65dB以上的镜像抑制比。

[0034] 以上内容是结合具体的优选实施方式对本发明所作的进一步详细说明,不能认定本发明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干简单推演或替换,都应当视为属于本发明的保护范围。

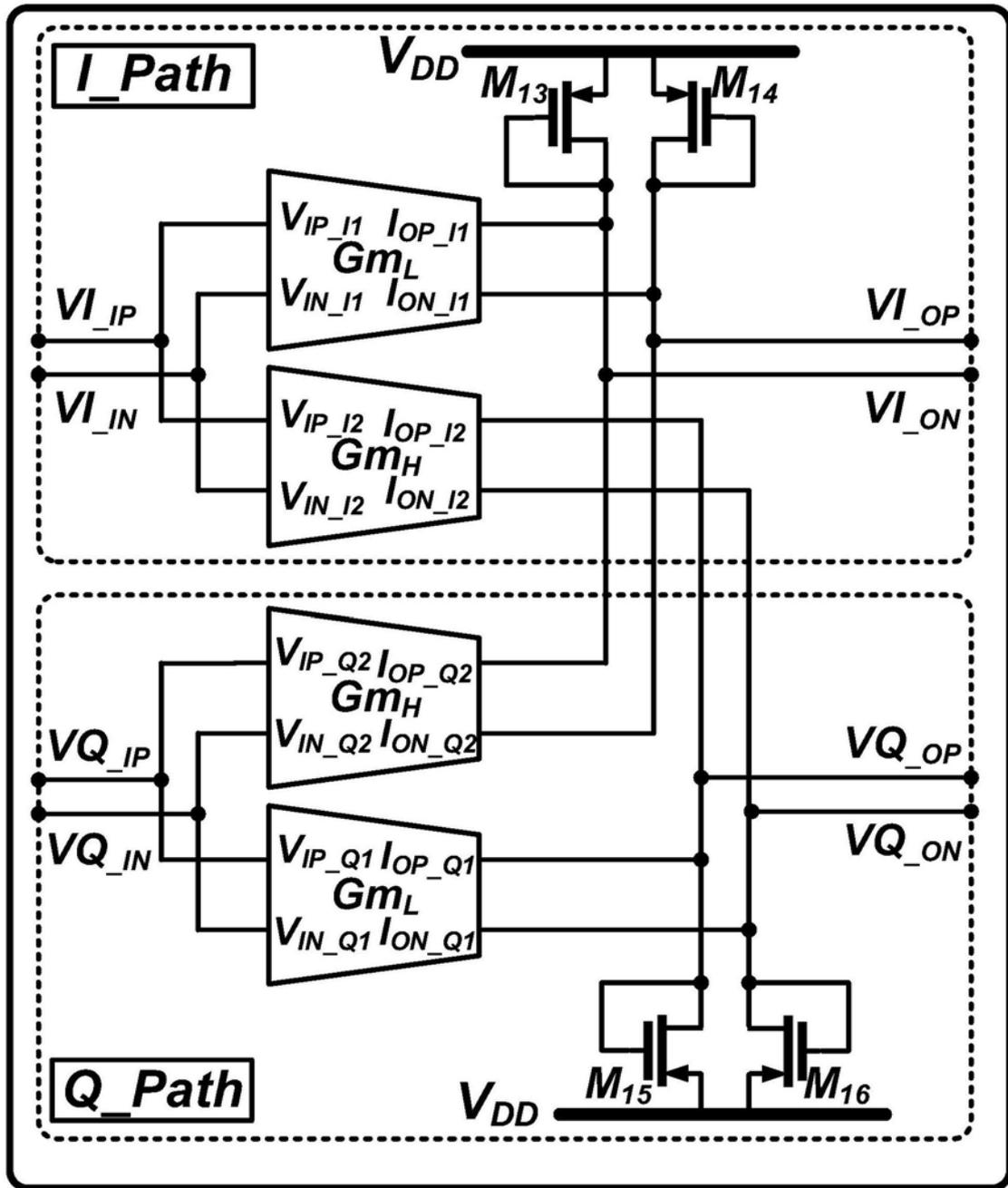


图1

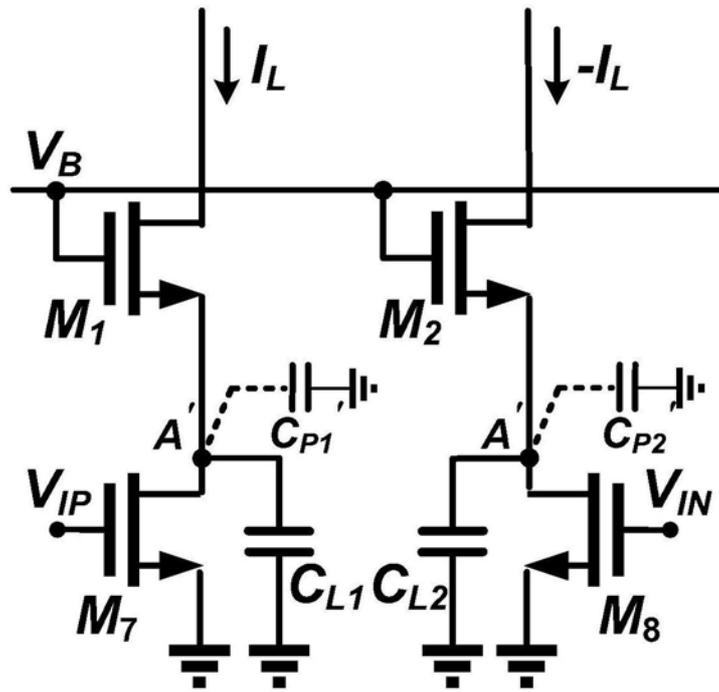


图2

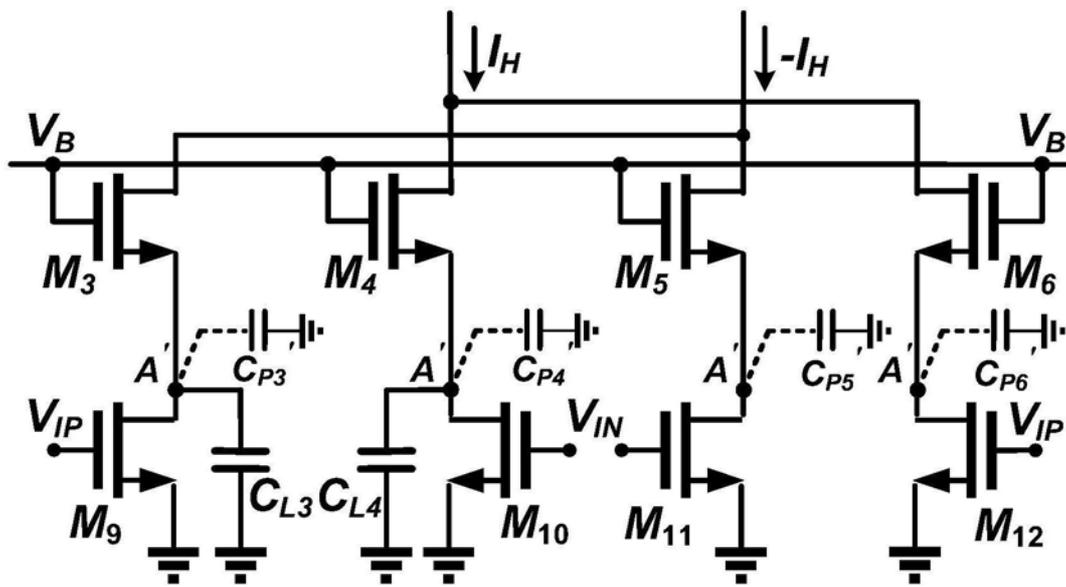


图3

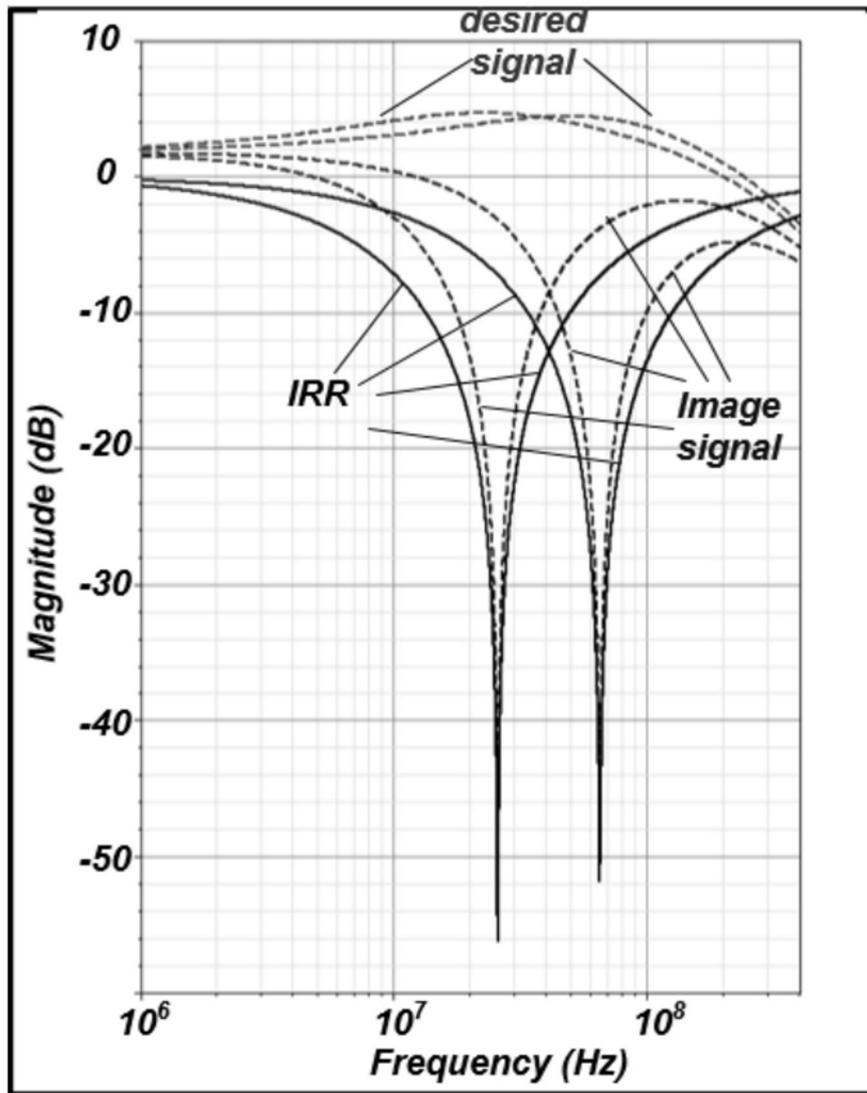


图4

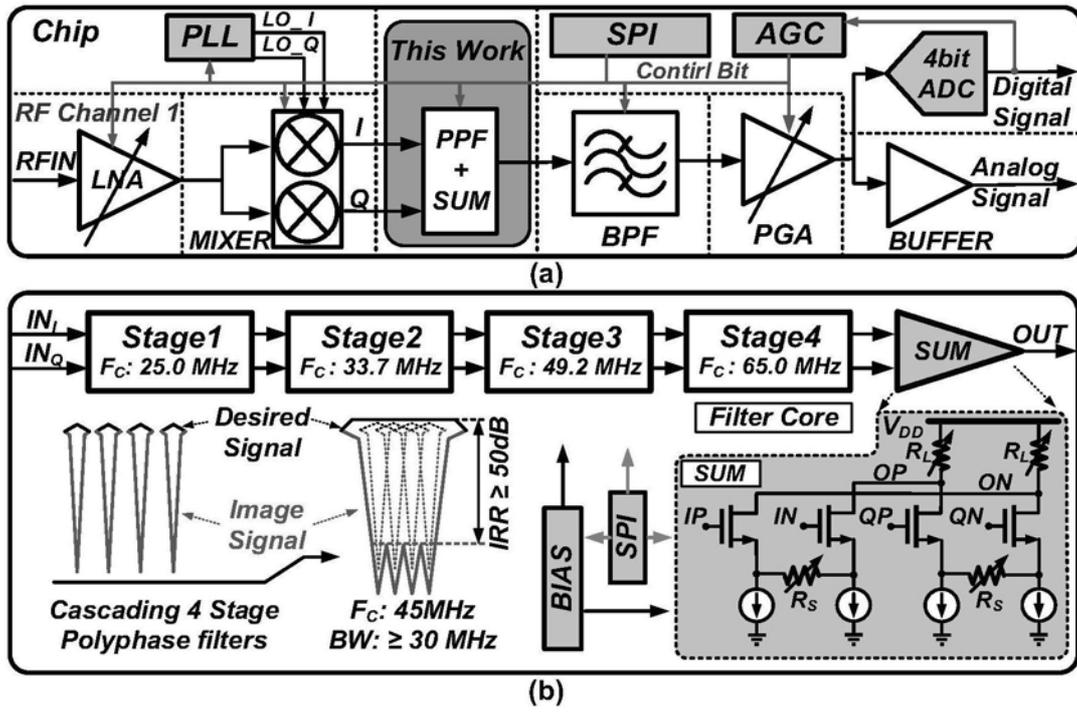


图5

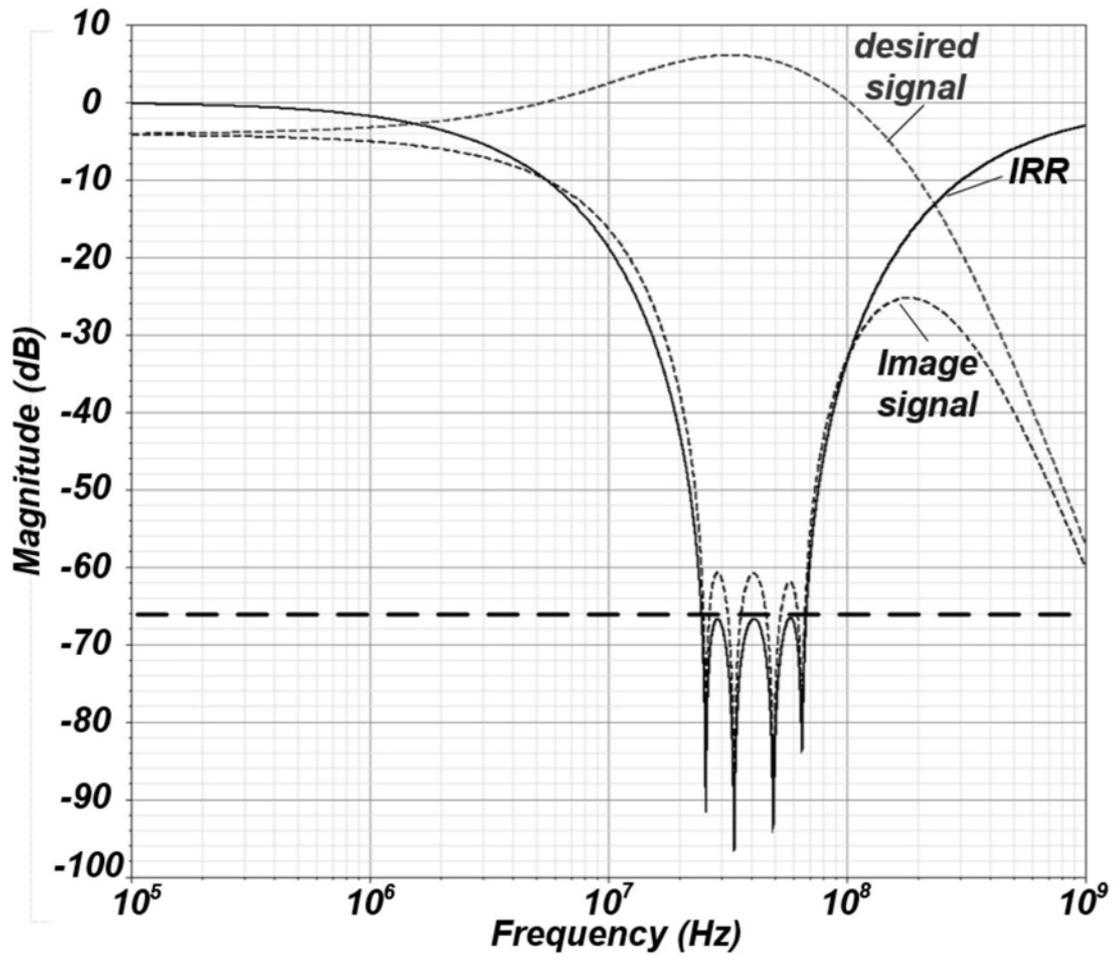


图6