



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0038195
(43) 공개일자 2014년03월28일

(51) 국제특허분류(Int. Cl.)
H01L 21/768 (2006.01) H01L 21/28 (2006.01)
(21) 출원번호 10-2012-0104621
(22) 출원일자 2012년09월20일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김수경
경기 수원시 장안구 화산로213번길 9-18, 301 (율전동, 래미안아트빌)
최주일
경기도 수원시 권선구 권선동 동수원로 145번길 73 수원아이파크시티 301-701
(뒷면에 계속)
(74) 대리인
리엔목특허법인

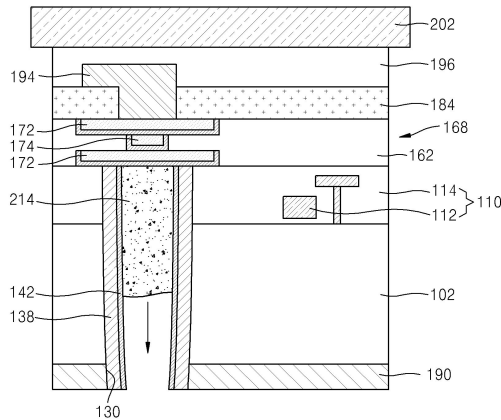
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 TSV구조 형성 방법

(57) 요약

TSV(Through Silicon Via) 형성하는 방법이 개시된다. TSV 형성 방법은 하부에 기판을 포함하는 집적소자의 상부면을 통하여 비아홀을 형성하는 단계, 상기 상부면을 통하여 상기 비아홀의 내부에 희생막을 형성하는 단계, 상기 상부면 상에 금속 배선층을 형성하는 단계, 상기 금속 배선층 상에 도전접착층을 형성하는 단계, 상기 기판을 그 저면으로부터 제거하여 상기 비아홀의 일면을 노출시키는 단계, 상기 희생막을 제거하는 단계, 상기 비아홀의 내부에 도금을 통해 충전전극을 형성하는 단계를 포함한다.

대표도 - 도1m



(72) 발명자

박진상

경기 화성시 병점3로 53, 107동 901호 (병점동, 신한에스빌1단지)

박지순

경기 수원시 영통구 청명로 100, 426동 703호 (영통동, 건영아파트)

박병률

서울 강남구 남부순환로395길 30, 3동 102호 (대치동, 국제아파트)

최길현

서울 강남구 남부순환로363길 30, 쌍용 예가아파트 103동 602호 (도곡동, 도곡)

특허청구의 범위

청구항 1

하부에 기판을 포함하는 집적소자의 상부면을 통하여 비아홀을 형성하는 단계;
 상기 상부면을 통하여 상기 비아홀의 내부에 희생막을 형성하는 단계;
 상기 상부면 상에 금속 배선층을 형성하는 단계;
 상기 금속 배선층 상에 도전접착층을 형성하는 단계;
 상기 기판을 그 저면으로부터 일부 제거하여 상기 비아홀의 일면을 노출시키는 단계;
 상기 희생막을 제거하는 단계;
 상기 비아홀의 내부에 도금을 통해 충전전극을 형성하는 단계;를 포함하는 TSV(Through Silicon Via) 형성 방법.

청구항 2

상기 도전접착층은 상기 집적소자의 상부면을 전면적으로 덮도록 형성되는 TSV 형성방법.

청구항 3

제1항에 있어서,
 상기 충전전극은 상기 금속 배선층을 시드층(seed layer)으로 하여 형성되는 TSV 형성 방법.

청구항 4

제1항에 있어서,
 상기 충전전극은 전기 도금에 의해 형성되는 TSV 형성 방법.

청구항 5

제1항에 있어서,
 상기 도전접착층에 의해 캐리어 웨이퍼를 부착하는 단계;를 더 포함하는 TSV 형성 방법.

청구항 6

제1항에 있어서,
 상기 희생막을 제거하는 단계 이전에 상기 기판의 저면에 백사이드 절연막을 형성시키는 단계;를 더 포함하는 TSV 형성 방법.

청구항 7

제6항에 있어서,
 상기 희생막을 제거하는 단계는 상기 희생막이 백사이드 절연막에 비해 높은 식각률을 갖는 식각 방법으로 수행 되는 TSV 형성 방법.

청구항 8

제1항에 있어서,
 상기 희생막을 형성하는 단계 이전에 상기 비아홀 측벽에 장벽막을 형성하는 단계;를 더 포함하는 TSV 형성 방법.

청구항 9

제8항에 있어서,
상기 장벽막은 상기 금속배선층에 비해 저항이 높은 TSV 형성 방법.

청구항 10

제1항에 있어서,
상기 집적소자는 FEOL(front-end-of-line) 구조 및 BEOL(back-end-of-line) 구조를 포함하며,
상기 비아홀은 상기 FEOL 구조 및 BEOL 구조를 관통하여 형성되는 TSV 형성 방법.

명세서

기술분야

[0001] 본 개시는 TSV(through-silicon-via) 구조 형성 방법으로, 특히 집적소자에 구비되는 TSV 구조 형성 방법에 관한 것이다.

배경기술

[0002] 하나의 반도체 패키지 내에 복수의 반도체 칩을 탑재하는 3D (3-dimensional) 패키지의 개발이 활발해짐에 따라, 기판 또는 다이(die)를 관통하여 수직으로 전기적 접속을 형성하는 TSV (through-silicon-via) 기술이 매우 중요하게 인식되고 있다. 3D 패키지의 성능 및 신뢰도를 향상시키기 위하여는 안정적인 TSV 구조의 형성 기술이 필요하다.

발명의 내용

해결하려는 과제

[0003] 본 개시는 높은 종횡비(aspect ratio)를 갖는 TSV 구조에 대해서, 보이드(void)가 형성되지 않고 안정적인 구조 및 향상된 신뢰도를 가지는 TSV 형성 방법을 제공하는 것이다.

과제의 해결 수단

- [0004] 본 개시의 일 실시예에 의한 TSV(Through Silicon Via) 형성 방법은,
- [0005] 하부에 기판을 포함하는 집적소자의 상부면을 통하여 비아홀을 형성하는 단계;
- [0006] 상기 상부면을 통하여 상기 비아홀의 내부에 희생막을 형성하는 단계;
- [0007] 상기 상부면 상에 금속 배선층을 형성하는 단계;
- [0008] 상기 금속 배선층 상에 도전접착층을 형성하는 단계;
- [0009] 상기 기판을 그 저면으로부터 일부 제거하여 상기 비아홀의 일면을 노출시키는 단계;
- [0010] 상기 희생막을 제거하는 단계;
- [0011] 상기 비아홀의 내부에 도금을 통해 충전전극을 형성하는 단계;를 포함한다.
- [0012] 상기 도전접착층은 상기 집적소자의 상부면을 전면적으로 덮도록 형성될 수 있다.
- [0013] 상기 충전전극은 상기 금속 배선층을 시드층(seed layer)으로 하여 형성될 수 있다.
- [0014] 상기 충전전극은 전기 도금에 의해 형성될 수 있다.
- [0015] 본 개시의 일 실시예에 의한 TSV 형성 방법은 상기 도전접착층에 의해 캐리어 웨이퍼를 부착하는 단계를 더 포함할 수 있다.
- [0016] 본 개시의 일 실시예에 의한 TSV 형성 방법은 상기 희생막을 제거하는 단계 이전에 상기 기판의 저면에 백사이드 절연막을 형성시키는 단계를 더 포함할 수 있다.

- [0017] 상기 희생막을 제거하는 단계는 상기 희생막이 백사이드 절연막에 비해 높은 식각률을 갖는 식각 방법으로 수행될 수 있다.
- [0018] 본 개시의 일 실시예에 의한 TSV 형성 방법은 상기 희생막을 형성하는 단계 이전에 상기 비아홀 측벽에 장벽막을 형성하는 단계를 더 포함할 수 있다.
- [0019] 상기 장벽막은 상기 금속배선층에 비해 저항이 높을 수 있다.
- [0020] 상기 집적소자는 FEOL 구조 및 BEOL 구조를 포함하며, 상기 비아홀은 상기 FEOL 구조 및 BEOL 구조를 관통하여 형성될 수 있다.

발명의 효과

- [0021] 상술한 바와 같이, 본 개시에 의한 TSV 구조 형성 방법은 상기 충전전극이 금속 배선층을 시드층으로 하여 한 방향으로 성장되므로, 높은 종횡비를 갖는 TSV 구조에 대해서 보이드가 형성되지 않는다.
- [0022] 또한, 충전전극을 형성하기 전에 희생막을 비아홀에 형성하여 TSV 구조의 휘어짐 및 비아홀 내부의 오염을 방지할 수 있다.
- [0023] 따라서, 본 개시에 의한 TSV 구조 형성 방법으로 제조된 TSV를 구비한 집적 회로 소자는 신뢰성이 향상된다.
- [0024] 또한, 본 개시에 의한 TSV 구조 형성 방법은 비아홀 측벽에 시드층을 형성하는 공정이 불필요하여 공정 과정을 줄일 수 있다.

도면의 간단한 설명

- [0025] 도 1a 내지 도 1o은 본 개시에 의한 일 실시예에 따른 TSV 형성 방법을 설명하기 위하여 집적소자의 제조 공정을 순서에 따라 도시한 단면도들이다.
 도 2는 본 개시에 의한 다른 실시예에 따른 집적소자의 단면도이다.
 도 3은 본 개시의 또 다른 실시예에 따른 집적소자의 요부 구성을 보여주는 단면도이다.
 도 4는 본 개시에 의한 또 다른 실시예에 따른 집적소자의 요부 구성을 보여주는 평면도이다.
 도 5은 본 개시에 의한 또 다른 실시예에 따른 집적소자의 요부 구성을 보여주는 다이어그램이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 이하, 첨부 도면을 참조하여 본 개시의 실시예들을 상세히 설명한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고, 이들에 대한 중복된 설명은 생략한다.
- [0027] 본 개시의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 개시를 더욱 완전하게 설명하기 위하여 제공되는 것으로, 아래의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 개시의 범위가 아래의 실시예들로 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하며 당업자에게 본 개시의 사상을 완전하게 전달하기 위하여 제공되는 것이다.
- [0028] 본 명세서에서 제1, 제2 등의 용어가 다양한 부재, 영역, 층들, 부위 및/또는 구성 요소들을 설명하기 위하여 사용되지만, 이들 부재, 부품, 영역, 층들, 부위 및/또는 구성 요소들은 이들 용어에 의해 한정되어서는 안 되는 자명하다. 이들 용어는 특정 순서나 상하, 또는 우열을 의미하지 않으며, 하나의 부재, 영역, 부위, 또는 구성 요소를 다른 부재, 영역, 부위 또는 구성 요소와 구별하기 위하여만 사용된다. 따라서, 이하 상술할 제1 부재, 영역, 부위 또는 구성 요소는 본 개시의 가르침으로부터 벗어나지 않고서도 제2 부재, 영역, 부위 또는 구성 요소를 지칭할 수 있다. 예를 들어, 본 개시의 권리 범위로부터 이탈되지 않은 채 제1 구성 요소는 제2 구성 요소로 명명될 수 있고, 유사하게 제2 구성 요소도 제1 구성 요소로 명명될 수 있다.
- [0029] 달리 정의되지 않는 한, 여기에 사용되는 모든 용어들은 기술 용어와 과학 용어를 포함하여 본 개시 개념이 속하는 기술 분야에서 통상의 지식을 가진 자가 공통적으로 이해하고 있는 바와 동일한 의미를 지닌다. 또한, 통상적으로 사용되는, 사전에 정의된 바와 같은 용어들은 관련되는 기술의 맥락에서 이들이 의미하는 바와 일관되는 의미를 갖는 것으로 해석되어야 하며, 여기에 명시적으로 정의하지 않는 한 과도하게 형식적인 의미로 해석되어서는 아니 될 것임은 이해될 것이다.

- [0030] 어떤 실시예가 달리 구현 가능한 경우에 특정한 공정 순서는 설명되는 순서와 다르게 수행될 수도 있다. 예를 들어, 연속하여 설명되는 두 공정이 실질적으로 동시에 수행될 수도 있고, 설명되는 순서와 반대의 순서로 수행될 수도 있다.
- [0031] 첨부 도면에 있어서, 예를 들면, 제조 기술 및/또는 공차에 따라, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 개시의 실시예들은 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 되며, 예를 들면 제조 과정에서 초래되는 형상의 변화를 포함하여야 한다.
- [0032] 도 1a 내지 도 1o은 본 개시에 의한 일 실시예에 따른 TSV 형성 방법을 설명하기 위하여 집적소자(10) (도 1o 참조)의 제조 공정을 순서에 따라 도시한 단면도들이다.
- [0033] 도 1a를 참조하면, 기판(102)상에 FEOL (front-end-of-line) 구조(110)를 형성하고, 상기 FEOL 구조(110) 위에 마스크 패턴(122)을 형성한다. 상기 마스크 패턴(122)에는 상기 FEOL 구조(110)의 상면을 일부 노출시키는 홀(122H)이 형성되어 있다.
- [0034] 일부 실시예에서, 상기 기판(102)은 반도체 웨이퍼이다. 적어도 일 실시예에서, 상기 기판(102)은 Si (silicon)을 포함한다. 다른 일부 실시예에서, 상기 기판(102)은 Ge (germanium)과 같은 반도체 원소, 또는 SiC (silicon carbide), GaAs (gallium arsenide), InAs (indium arsenide), 및 InP (indium phosphide)와 같은 화합물 반도체를 포함할 수 있다. 적어도 하나의 실시예에서, 상기 기판(102)은 SOI (silicon on insulator) 구조를 가질 수 있다. 예를 들면, 상기 기판(102)은 BOX 층 (buried oxide layer)을 포함할 수 있다. 일부 실시예에서, 상기 기판(102)은 도전 영역, 예를 들면 불순물이 도핑된 웰 (well), 또는 불순물이 도핑된 구조물을 포함할 수 있다. 또한, 상기 기판(102)은 STI (shallow trench isolation) 구조와 같은 다양한 소자분리 구조를 가질 수 있다.
- [0035] 상기 FEOL 구조(110)는 다양한 종류의 복수의 개별 소자 (individual devices)(112)와 층간절연막(114)을 포함한다. 상기 복수의 개별 소자(112)는 다양한 미세 전자 소자 (microelectronic devices), 예를 들면, MOSFET (metal-oxide-semiconductor field effect transistor), 시스템 LSI (large scale integration), CIS (CMOS imaging sensor) 등과 같은 이미지 센서, MEMS (micro-electro-mechanical system), 능동 소자, 수동 소자 등을 포함할 수 있다. 상기 복수의 개별 소자(112)는 상기 기판(102)의 도전 영역에 전기적으로 연결될 수 있다. 또한, 상기 복수의 개별 소자(112)는 각각 상기 층간절연막(114)에 의해 이웃하는 다른 개별 소자들과 전기적으로 분리될 수 있다.
- [0036] 상기 마스크 패턴(122)은 포토레지스트 재료로 이루어질 수 있다.
- [0037] 도 1b를 참조하면, 도 1a에 도시된 상기 마스크 패턴(122)을 식각 마스크로 이용하여 상기 층간절연막(114)을 식각하고, 이어서 상기 기판(102)을 식각하여 비아홀 (via hole)(130)을 형성한다. 상기 비아홀(130)은 상기 기판(102)과 상기 층간절연막(114)을 관통하여 형성된다.
- [0038] 상기 비아홀(130)을 형성하기 위하여 이방성 식각 공정 또는 레이저 드릴링 (laser drilling) 기술을 이용할 수 있다. 일부 실시예에서, 상기 비아홀(130)은 기판(102)에서 수 μm 의 폭(130W)을 가지도록 형성될 수 있다. 일부 실시예에서, 상기 비아홀(130)은 상기 층간절연막(114)의 상면으로부터 수십 μm 의 깊이를 가지도록 형성될 수 있다. 또 다른 실시예에서, 상기 비아홀의 폭과 깊이는 1: 100의 비율을 가지도록 형성될 수 있다. 그러나, 상기 비아홀(130)의 폭 및 깊이는 상기 예시된 바에 제한되는 것은 아니며, 필요에 따라 다양한 치수로 형성될 수 있다.
- [0039] 상기 비아홀(130)이 형성된 후, 상기 마스크 패턴(122)을 제거하여 상기 FEOL 구조(110)의 상면을 노출시킨다.
- [0040] 도 1c를 참조하면, 상기 비아홀(130)의 내부 측벽 및 저면을 덮는 절연막(138), 및 장벽막(142)을 형성한다. 그 다음, 비아홀(130)의 남은 내부 공간에 희생막(154)을 형성한다.
- [0041] 상기 절연막(138)은 상기 비아홀(130) 내부에서 노출되는 기판(102)의 표면, 상기 층간절연막(114)의 표면을 균일한 두께로 덮도록 형성될 수 있다. 일부 실시예에서, 상기 절연막(138)은 실리콘 산화막으로 이루어질 수 있다. 일부 실시예에서, 상기 절연막(138)을 형성하기 위하여 CVD 공정을 이용할 수 있다. 상기 절연막(138)은 약 1500 ~ 2500 Å의 두께를 가지도록 형성될 수 있다.
- [0042] 상기 절연막(138)을 형성하고 난 후, 절연막(138) 위에 장벽막(142)을 형성한다. 상기 장벽막(142)은 상기 비아홀(130)의 저면 및 측벽에 형성된 절연막(138)을 덮도록 형성되며, 상기 층간절연막(114) 상에 형성된 절연막(138)의 상면을 덮도록 연장된다. 일부 실시예에서, 상기 장벽막(142)은 Ti, TiN, Ta, 또는 TaN 중에서 선택되

는 적어도 하나의 물질을 포함할 수 있다. 일부 실시예에서, 상기 장벽막(142)을 형성하기 위하여 PVD (physical vapor deposition) 공정을 이용할 수 있다. 일부 실시예에서, 상기 장벽막(142)은 부분적으로 서로 다른 두께를 가지도록 형성될 수 있다. 예를 들면, 상기 장벽막(142)은 상기 비아홀(130) 외부에서는 상기 절연막(138)의 상면 위에 약 1000 ~ 2000 Å의 두께로 형성되고, 상기 비아홀(130) 내부에서는 상기 절연막(138) 위에 약 40 ~ 50 Å의 두께로 형성될 수 있다.

[0043] 상기 장벽막(142)을 형성하고 난 후, 장벽막(142) 위에 희생막(154)를 형성한다. 상기 희생막(154)은 상기 비아홀(130) 내부의 공간을 채우도록 형성된다. 일부 실시예에서, 상기 희생막(154)은 PVD 공정을 이용하여 형성될 수 있다. 일부 실시예에서, 상기 희생막(154)은 TOSZ(tonen silazene), 도핑된 Si, 또는 SiGe 중에서 선택되는 적어도 하나의 물질을 포함할 수 있다. 상기 희생막(154)은 비아홀(130)이 휘어짐을 방지하는 역할을 할 수 있다. 또한, 상기 희생막(154)은 장벽막(142)이 오염되는 것을 방지하는 역할을 할 수 있다.

[0044] 도 1d를 참조하면, 절연막(138), 장벽막(142), 희생막(154) 중 상기 FEOL 구조(110)의 상면 위에 형성된 부분을 제거한다. 이와 같은 공정을 통하여, 상기 절연막(138), 장벽막(142), 희생막(154)은 상기 층간절연막(114)의 상면(114T)과 대략 동일한 레벨의 상면을 가지도록 형성된다. 일부 실시예에서, 절연막(138), 장벽막(142), 희생막(154) 중 상기 FEOL 구조(110)의 상면 위에 형성된 부분을 제거하기 위하여, CMP (chemical mechanical polishing) 공정 및/또는 에치백 공정을 이용할 수 있다.

[0045] 도 1e를 참조하면, 상기 층간절연막(114) 위에 금속층간절연막(162)을 형성하고, 이들을 패터닝하여 상기 비아홀(130)의 입구측 및 그 주변을 노출시키는 금속 배선용 홀(162H)을 형성한다. 상기 금속층간절연막(162)은 상기 층간절연막(114)의 바로 위에 형성되는 식각 정지층(도시 생략)을 더 포함할 수 있다. 상기 식각 정지층은 상기 금속 배선용 홀(162H) 형성을 위하여 상기 금속층간절연막(162)을 패터닝할 때 식각 스톱퍼로 이용될 수 있다.

[0046] 상기 금속 배선용 홀(162H)을 통해 상기 희생막(154), 희생막(154)의 측벽을 감싸는 장벽막(142), 장벽막(142) 주위의 절연막(138), 및 상기 층간절연막(114)의 일부가 노출될 수 있다. 일부 실시예에서, 상기 금속 배선용 홀(162H)을 통해 상기 희생막(154) 및 장벽막(142)의 상면만 노출되도록 상기 금속 배선용 홀(162H)을 형성할 수도 있다. 그러나, 상기 금속 배선용 홀(162H)의 폭은 상기 예시된 바에 제한되는 것은 아니며, 필요에 따라 다양한 치수로 형성될 수 있다. 일부 실시예에서, 상기 금속층간절연막(162)은 TEOS (tetra-ethyl-ortho-silicate)로 이루어질 수 있다. 상기 금속층간절연막(162)의 두께는 필요에 따라 임의로 결정될 수 있다.

[0047] 도 1f를 참조하면, 도 1e에 도시된 상기 금속 배선용 홀(162H) 내부에 금속 배선층(172)을 형성한다.

[0048] 상기 금속 배선층(172)은 배선용 배리어막(172A) 및 배선용 금속층(172B)이 차례로 적층된 구조를 가질 수 있다. 일부 실시예에서, 상기 금속 배선층(172)을 형성하기 위하여, 먼저 상기 금속 배선용 홀(162H) 내부 및 상기 금속층간절연막(162) 위에 상기 배선용 배리어막(172A) 형성용 제1 막과, 상기 배선용 금속층(172B) 형성용 제2 막을 차례로 형성한 후, 상기 금속층간절연막(162) 위에 형성된 상기 제1 막 및 제2 막의 결과물을 CMP 공정에 의해 연마하여 상기 금속층간절연막(162)의 상면을 노출시킨다. 그 결과, 상기 금속 배선용 홀(162H) 내부에 상기 배선용 배리어막(172A) 및 배선용 금속층(172B)이 남게 된다.

[0049] 일부 실시예에서, 상기 배선용 배리어막(172A)은 Cu, Ti, TiN, Ta, 또는 TaN 중에서 선택되는 적어도 하나의 물질을 포함한다. 일부 실시예에서, 상기 배선용 배리어막(172A)을 형성하기 위하여 PVD 공정을 이용한다. 상기 배선용 배리어막(172A)은 약 1000 ~ 1500 Å의 두께를 가지도록 형성될 수 있다.

[0050] 일부 실시예에서, 상기 배선용 금속층(172B)은 Cu로 이루어질 수 있다. 이 경우, 상기 배선용 금속층(172B)을 형성하기 위하여, 상기 배선용 배리어막(172A)의 표면에 Cu 시드층을 PVD 공정으로 형성한 후, 상기 Cu 시드층 위에 전기 도금 공정에 의해 Cu 층을 형성하고, 상기 Cu 시드층 및 Cu 층이 형성된 결과물을 어닐링하는 공정을 수행할 수 있다. 일부 실시예에서, 상기 금속 배선층(172)은 배선용 금속층(172B)만으로 이루어질 수 있다. 상기 금속 배선층(172)은 상기 장벽막(142) 보다 작은 저항을 가질 수 있다.

[0051] 도 1g를 참조하면, 도 1e 및 도 1f를 참조하여 설명한 상기 금속 배선층(172) 형성 공정과 유사한 공정을 이용하여 상기 금속 배선층(172) 위에 상기 금속 배선층(172)과 동일한 적층 구조를 가지는 콘택 플러그(174)를 형성한다. 그 후, 도 1e 및 도 1f를 참조하여 설명한 상기 금속 배선층(172) 형성 공정과, 상기 콘택 플러그(174) 형성 공정을 교대로 복수 회 행하여, 복수의 금속 배선층(172) 및 복수의 콘택 플러그(174)가 하나씩 교대로 연결되어 있는 관통 전극용 다층 배선 패턴(176)을 형성한다.

[0052] 일부 실시예에서, 상기 다층 배선 패턴(176)이 형성될 때, 상기 기판(102)상의 다른 영역에서도 상기 복수의 금

속 배선층(172) 및 복수의 콘택 플러그(174) 중에서 선택되는 적어도 일부와 동시에 형성되는 금속 배선층 및 콘택 플러그를 포함하는 다른 다층 배선 패턴들이 형성된다. 그 결과, 상기 FEOL 구조(110) 위에는 금속층간절연막(162)과, 상기 금속층간절연막(162)에 의해 절연되는 부분을 포함하는 복수의 다층 배선 패턴을 포함하는 BEOL(back-end-of-line) 구조(168)가 얻어진다. 상기 BEOL 구조(168)는 상기 FEOL 구조(110) 내에 형성되어 있는 개별 소자들을 상기 기판(102) 위에 형성되는 다른 배선들과 연결시키기 위한 복수의 배선 구조들을 포함하도록 형성될 수 있다. 일부 실시예에서, 상기 BEOL 구조(168)는 상기 배선 구조들과 그 하부의 다른 구조물들을 외부 충격이나 습기로부터 보호하기 위한 시일링(seal ring)을 더 포함하도록 형성될 수 있다.

- [0053] 그 후, 상기 다층 배선 패턴(176)을 보호하기 위한 제1보호층(184)이 상기 금속층간절연막(162) 위에 형성될 수 있다. 제1보호층(184)은 스핀 코팅 공정 또는 스프레이 공정에 의해 형성될 수 있다. 일부 실시예에서, 제1보호층(184)은 폴리머로 이루어질 수 있다. 상기 제1보호층(184)이 형성되면서, 공정 중간 단계의 제1 집적소자(10a)가 완성된다.
- [0054] 상기 금속층간절연막(162)은 상기 복수의 금속 배선층(172)을 서로 이격시키는 역할을 한다. 상기 복수의 금속 배선층(172) 및 복수의 콘택 플러그(174)는 각각 금속층간절연막(162)에 의해 동일 레벨에서 서로 이웃하는 다른 배선들과 전기적으로 분리될 수 있다.
- [0055] 도 1g에서, 상기 다층 배선 패턴(176)이 2 개의 금속 배선층(172) 및 1 개의 콘택 플러그(174)를 포함하는 것으로 예시되어 있으나, 이는 설명의 간략화를 위하여 예시한 것에 불과한 것으로, 본 발명의 범위가 이에 한정되는 것은 아니다. 또한, 도 1g에 도시된 상기 다층 배선 패턴(176)에서 금속 배선층(172) 및 콘택 플러그(174)의 연결 구조는 예시에 불과하며, 본 발명의 범위가 도 1g에 예시된 구조에 한정되는 것은 아니다.
- [0056] 일부 실시예에서, 상기 복수의 금속 배선층(172) 및 복수의 콘택 플러그(174)는 각각 W, Al, 또는 Cu 중에서 선택되는 적어도 하나의 금속을 포함할 수 있으나, 이에 한정되지 않는다. 일부 실시예에서, 상기 복수의 금속 배선층(172) 및 복수의 콘택 플러그(174)는 서로 동일한 재료로 구성될 수 있다. 다른 실시예에서, 상기 복수의 금속 배선층(172) 및 복수의 콘택 플러그(174) 중 적어도 일부가 서로 다른 재료를 포함하도록 구성될 수도 있다.
- [0057] 일부 실시예에서, 상기 금속층간절연막(162) 내에는 상기 다층 배선 패턴(176)과 동일 레벨에 형성되는 다른 복수의 다층 배선 패턴들(도시 생략)이 형성된다.
- [0058] 도 1h를 참조하면, 상기 제1보호층(184)을 관통하여 상기 다층 배선 패턴(176)에 전기적으로 연결되는 콘택 패드(194)가 형성될 수 있다. 상기 콘택 패드(194)가 형성되면서 공정 중간단계인 제2 집적소자(10b)가 완성된다. 일부 실시예에서, 콘택 패드(194)는 복수의 집적소자(10)(도 1a 참조)를 적층하는 경우, 집적소자(10)(도 1a 참조)간의 전기적 연결을 위한 구성일 수 있다. 일부 실시예에서, 콘택 패드(194)는 솔더로 이루어질 수 있다.
- [0059] 도 1i를 참조하면, 제2 집적소자(10b)와 캐리어 웨이퍼(carrier wafer, 202)는 도전접착층(196)에 의해 부착될 수 있다. 제2 집적소자(10b)에 캐리어 웨이퍼(202)를 부착하기 위해서, 제1보호층(184) 및 콘택 패드(194) 상에 도전접착층(196)을 형성하고, 도전접착층(196) 상에 캐리어 웨이퍼(carrier wafer, 202)를 부착시킨다. 캐리어 웨이퍼(202)는 제2 집적소자(10b)를 핸들링하기 위해 일시적으로 부착되었다가 제거될 수 있다. 일부 실시예에서, 캐리어 웨이퍼(202)는 생략될 수 있다.
- [0060] 일부 실시예에서, 도전접착층(196)은 제2 집적소자(10b)의 상면에 전면적으로 형성될 수 있다. 일부 실시예에서, 도전접착층(196)은 제2 집적소자(10b)의 상면을 충분히 덮어, 전기 도금을 수행함에 있어서 상기 제2 집적소자(10b)에 균일하게 전압을 공급하기 위한 구성요소일 수 있다.
- [0061] 도 1i에서는 캐리어 웨이퍼(202)가 제2 집적소자(10b)와 부착되는 것에 대해서 설명하고 있지만, 캐리어 웨이퍼(202)는 제1 집적소자(10a)(도 1g 참조)에 부착될 수도 있다.
- [0062] 도전접착층(196)은 도전성 및 접착성을 가지는 물질로 형성된다. 일부 실시예에서, 상기 도전접착층(196)은 금속을 포함하는 폴리머로 형성될 수 있다. 일부 실시예에서, 상기 도전접착층(196)은 스핀 코팅 공정 또는 스프레이 공정에 의해 형성될 수 있다.
- [0063] 도 1j를 참조하면, 상기 기판(102)을 그 저면으로부터 일부 제거하여 상기 비아홀(130)의 저면(130B)을 노출시킨다. 상기 비아홀(130)의 저면(130B)이 노출되면서, 비아홀(130) 내부에 형성된 희생막(154), 장벽막(142), 및 절연막(138)의 저면이 노출된다.
- [0064] 도 1j에 예시된 바와 같이, 상기와 같이 일부 제거된 기판(102)의 저면(102B)으로부터 상기 비아홀(130)의 저면

(130B)이 상대적으로 돌출되도록 상기 기관(102)의 일부를 제거할 수 있다. 일부 실시예에서, 상기 기관(102)을 그 저면으로부터 일부 제거하기 위하여 CMP 공정, 에치백 공정, 또는 이들의 조합을 이용할 수 있다.

- [0065] 도 1k를 참조하면, 상기 비아홀(130)의 주위에서 상기 일부 제거된 기관(102)의 저면(102B)을 덮는 백사이드 절연막(190)을 형성한다.
- [0066] 일부 실시예에서, 상기 백사이드 절연막(190)은 스핀 코팅 공정 또는 스프레이 공정에 의해 형성될 수 있다. 상기 백사이드 절연막(190)은 폴리머로 이루어질 수 있다. 일부 실시예에서, 상기 백사이드 절연막(190)을 형성하기 위하여, 상기 기관(102)의 저면과 상기 비아홀(130)을 완전히 덮는 폴리머막을 형성한 후, 상기 폴리머막을 일부 에치백하여 상기 비아홀(130)을 노출시킬 수 있다.
- [0067] 도 1l을 참조하면, 상기 비아홀(130)의 노출된 저면으로부터 비아홀(130) 내부에 형성된 희생막(154)(도 1k 참조)을 제거한다. 상기 희생막(154)를 제거하기 위하여, 습식 식각 공정, 건식 식각 공정, 또는 이들의 조합을 이용할 수 있다. 일부 실시예에 있어서, 상기 희생막(154)를 제거함에 따라 상기 백사이드 절연막(190)이 식각되어 백사이드 절연막(190)의 두께가 감소할 수 있다. 일부 실시예에 있어서, 상기 희생막(154)의 식각률은 상기 백사이드 절연막(190)의 식각률에 비해 높을 수 있다. 예를 들면, 상기 희생막(154)의 식각률은 상기 백사이드 절연막(190)의 식각률의 약 3배 이상이 될 수 있다. 상기 희생막(154)이 제거됨으로써, 금속 배선층(172)이 비아홀(130)의 저면으로부터 노출되게 된다.
- [0068] 도 1m을 참조하면, 상기 희생막(154)이 제거된 비아홀(130) 내부에 도금을 통해 충전전극(214)을 형성한다. 상기 충전전극(214)은 금속 배선층(172)를 시드층(seed layer)으로 하여 금속 배선층(172)으로부터 기관(102)의 저면 방향으로 성장할 수 있다. 도 1m에서 나타낸 화살표 방향은 충전전극(214)이 성장하는 방향을 나타낸다.
- [0069] 일반적으로, 비아홀(130)의 측벽과 저면 또는 상면에 시드층을 형성하여 충전전극(214)을 형성하는 경우에는 비아홀(130)의 측벽으로부터 형성되는 충전전극(214)과 비아홀(130)의 저면 또는 상면으로부터 형성되는 충전전극(214)의 성장방향이 달라 충전전극 내부에 보이드(void)가 형성될 수 있다. 특히, 비아홀의 폭과 깊이의 비율이 클수록 보이드(void)가 형성될 확률이 높아지게 된다.
- [0070] 본 개시에 있어서는 비아홀(130)의 상면에만 존재하는 금속 배선층(172)이 시드층의 역할을 하여, 충전전극(214)이 성장하는 방향이 한 방향이 된다. 따라서, 충전전극(214)이 다양한 방향으로 성장함에 따라 발생될 수 있는 보이드의 형성을 방지할 수 있다. 금속 배선층(172)만을 시드층으로 하기 위해서 금속 배선층(172)의 저항을 장벽막(142)의 저항 보다 낮게 할 수 있다. 예를 들어, 금속 배선층(172)을 형성하는 물질이 장벽막(142)을 형성하는 물질에 비해 비저항이 낮은 물질을 선택할 수 있다. 또 다른 예를 들면, 금속 배선층(172)의 두께를 조정하여 금속 배선층(172)이 장벽막(142)에 비해 낮은 저항을 가질 수 있도록 할 수 있다.
- [0071] 도금은 전기 도금 또는 무전해 도금(electroless plating)이 될 수 있다. 일부 실시예에서, 집적소자(10)가 부착된 캐리어 웨이퍼(202)를 캐소드 전극 또는 애노드 전극에 부착한 후, 도금액에 담가 전기 도금을 수행할 수 있다. 이 경우, 도전접착층(196) 및 콘택 패드(194)를 거쳐 금속 배선층(172)에 전기가 공급된다. 도전접착층(196)은 집적소자(10)의 상면에 전면적으로 형성되어 있어, 집적소자(10)에 균일하게 전압이 인가될 수 있도록 한다.
- [0072] 일부 실시예에서, 콘택 패드(194) 및 제1보호층(184)은 형성되지 않을 수 있다. 이 경우, 금속 배선층(172) 상에 바로 도전접착층(196)이 형성되어, 도전접착층(196)을 통해 바로 금속 배선층(172)에 전압이 공급될 수 있다. 그 밖에, 금속 배선층(172)에 전압을 공급하기 위한 다양한 변형이 있을 수 있다.
- [0073] 무전해 도금인 경우, 화학적 환원 작용을 발생시키는 다양한 환원제가 사용될 수 있다.
- [0074] 상기 충전전극(214)은 Cu, Al, Ag, Au, W, Ni 또는 Co 중에서 선택되는 적어도 하나의 물질을 포함할 수 있다. 일부 실시예에서, 충전전극(214)은 NiMo 합금, FeP 합금, NiP 합금이 될 수 있다. 그러나, 이는 예시에 불과하며, 충전전극(214)을 형성하는 물질은 도금으로 형성될 수 있는 모든 물질을 포함한다.
- [0075] 도 1n을 참조하면, 도금에 의해 상기 비아홀(130)이 충전전극(214)으로 채워져 TSV 구조(158)를 완성한다. 일부 실시예에서, 충전전극(214)이 비아홀(130)을 다 채울 때까지 도금을 수행할 수 있다. 일부 실시예에서, 충전전극(214)이 비아홀(130)을 다 채우고 비아홀(130) 밖으로 돌출되어 형성되는 경우, CMP, 에치백, 또는 이를 조합한 공정을 이용하여 충전전극(214)의 돌출된 부분을 제거할 수 있다.
- [0076] 도 1o를 참조하면, 캐리어 웨이퍼(202)와 도전접착층(196) 제거하여 집적소자(10)를 완성한다.

- [0077] 상기 집적소자(10)에서, 상기 TSV 구조(158)는 비아홀(130)과 비아홀(130)을 채우는 충전전극(214)을 포함한다. 또한, 상기 TSV 구조(158)은 비아홀(130)의 측벽에 마련되는 장벽막(142)을 더 포함할 수 있다. 상기 충전전극(214)은 금속 배선층을 시드층으로 하여 한 방향으로 성장되어 충전전극(214) 내부에 보이드가 형성되지 않는다. 또한, 충전전극(214)를 형성하기 전에 도 1d에서 보인 희생막(154)을 비아홀(130)에 형성하여 TSV 구조(158)의 휘어짐 및 비아홀(130) 내부의 오염을 방지할 수 있다.
- [0078] 도 2는 본 개시에 의한 다른 실시예에 따른 집적소자(20)의 단면도이다. 도 2에 있어서, 도 1a 내지 도 1o에서와 동일한 참조 부호는 동일한 부재를 나타내며, 따라서 여기서는 중복을 피하기 위하여 이들에 대한 상세한 설명은 생략한다.
- [0079] 도 2를 참조하면, 상기 집적소자(20)에서, TSV 구조(158E)를 형성하고 있는 충전전극(214E)은 기판(102)의 저면으로부터 BEOL 구조(268)의 상면까지 각각 연장되어 있는 장벽막(142E) 및 절연막(138E)에 의해 포위되어 있다.
- [0080] 상기 장벽막(142E), 절연막(138E), 및 충전전극(214E)에 대한 보다 상세한 구성은 도 1a 내지 도 1o를 참조하여 장벽막(142E), 절연막(138E), 및 충전전극(214E)에 대하여 설명한 바와 대체로 동일하다. 상기 충전전극(214E)은 장벽막(142E) 및 절연막(138E)에 의해 포위되어 있으며, BEOL 구조(268)의 상면으로부터 BEOL 구조(268)의 금속층간절연막(162), FEOL 구조(110)의 층간절연막(114)을 거쳐 기판(102)을 관통하도록 연장되어 있다.
- [0081] BEOL 구조(268)의 상면에는 상기 TSV 구조(158E)와 전기적으로 연결하기 위한 상부 금속 배선층(272) 및 상부 금속 배선층(272)을 보호하기 위한 제2보호층(284)이 형성된다. 또한,
- [0082] 상기 TSV 구조(158E)를 형성하기 위하여, 상기 BEOL 구조(268)가 형성된 후, 도 1a 및 도 1b를 참조하여 설명한 바와 유사한 방법으로 상기 BEOL 구조(268), 층간절연막(114), 및 기판(102)을 식각하여, 상기 BEOL 구조(268) 및 층간절연막(114)을 관통하면서 상기 기판(102)의 일부까지 연장되는 홀을 형성한 후, 도 1c 내지 도 1m를 참조하여 설명한 바와 유사한 공정을 행할 수 있다.
- [0083] 상기 충전전극(214E)은 상부 금속 배선층(272)을 시드층으로 하여, 상부 금속 배선층(272)에서부터 기판(102)의 저면 방향으로 성장된다. 즉, 충전전극(214E)이 성장하는 방향이 한 방향이 된다. 따라서, 충전전극(214E)이 다양한 방향으로 성장함에 따라 발생될 수 있는 보이드의 형성을 방지할 수 있다. 상부 금속 배선층(272)만을 시드층으로 하기 위해서 상부 금속 배선층(272)의 저항을 장벽막(142E)의 저항 보다 낮게 할 수 있다. 예를 들어, 상부 금속 배선층(272)을 형성하는 물질이 장벽막(142E)을 형성하는 물질에 비해 비저항이 낮은 물질을 선택할 수 있다. 또 다른 예를 들면, 상부 금속 배선층(272)의 두께를 조정하여 상부 금속 배선층(272)이 장벽막(142E)에 비해 낮은 저항을 가질 수 있도록 할 수 있다.
- [0084] 도 3은 본 개시의 또 다른 실시예에 따른 집적소자(1100)의 요부 구성을 보여주는 단면도이다.
- [0085] 도 3을 참조하면, 집적소자(1100)는 패키지 기판(1110)상에 차례로 적층된 복수의 반도체 칩(1120)을 포함한다. 상기 복수의 반도체 칩(1120)상에 제어 칩(control chip)(1130)이 연결되어 있다. 상기 복수의 반도체 칩(1120)과 제어 칩(1130)의 적층 구조는 패키지 기판(1110)상에서 열경화성 수지와 같은 밀봉재(encapsulant)(1140)로 밀봉되어 있다. 도 3에는 6개의 반도체 칩(1120)이 수직으로 적층된 구조를 예시하였으나, 상기 반도체 칩(1120)의 개수 및 적층 방향이 예시된 바에 제한되는 것은 아니다. 상기 반도체 칩(1120)의 개수는 필요에 따라 6개 보다 더 적거나 더 많게 결정될 수 있다. 상기 복수의 반도체 칩(1120)은 패키지 기판(1110)상에 수평 방향으로 배열될 수도 있고, 수직 방향 실장 및 수평 방향 실장을 조합한 연결 구조로 배열될 수도 있다. 일부 실시예에서, 상기 제어 칩(1130)은 생략 가능하다.
- [0086] 상기 패키지 기판(1110)은 연성 인쇄회로기판(flexible printed circuit board), 경성 인쇄회로기판(rigid printed circuit board), 또는 이들의 조합으로 이루어질 수 있다. 상기 패키지 기판(1110)은 기판 내부 배선(1112) 및 접속 단자(1114)를 구비한다. 상기 접속 단자(1114)는 상기 패키지 기판(1110)의 일면에 형성될 수 있다. 상기 패키지 기판(1110)의 다른 면에는 솔더 볼(solder ball)(1116)이 형성되어 있다. 상기 접속 단자(1114)는 상기 기판 내부 배선(1112)을 통하여 상기 솔더 볼(1116)에 전기적으로 접속된다.
- [0087] 일부 실시예에서, 상기 솔더 볼(1116)은 도전성 범프(conductive bump) 또는 LGA(lead grid array)로 대체될 수 있다.
- [0088] 상기 복수의 반도체 칩(1120) 및 제어 칩(1130) 중 적어도 하나는 도 1a 내지 도 2를 참조하여 설명한 바와 같은 집적소자(10, 20) 중 적어도 하나를 포함한다. 특히, 상기 복수의 반도체 칩(1120) 및 제어 칩(1130)은 각각 TSV 구조(1122, 1132)를 포함한다. 상기 TSV 구조(1122, 1132) 중 적어도 하나는 각각 도 1a 내지 도 2를 참조

하여 설명한 바와 같은 TSV 구조(158, 158E)를 포함한다.

- [0089] 상기 복수의 반도체 칩(1120) 및 제어 칩(1130) 각각의 TSV 구조(1122, 1132)는 범프 (bump)와 같은 연결 부재(1150)에 의해 상기 패키지 기관(1110)의 상기 접속 단자(1114)에 전기적으로 연결될 수 있다.
- [0090] 상기 복수의 반도체 칩(1120)은 각각 시스템 LSI, 플래쉬 메모리, DRAM, SRAM, EEPROM, PRAM, MRAM, 또는 RRAM을 포함할 수 있다. 상기 제어 칩(1130)은 SER/DES (serializer/ deserializer) 회로와 같은 로직 회로들을 포함할 수 있다.
- [0091] 도 4는 본 개시에 의한 또 다른 실시예에 따른 집적소자(1200)의 요부 구성을 보여주는 평면도이다.
- [0092] 집적소자(1200)는 모듈 기관(1210)과, 상기 모듈 기관(1210)에 장착된 제어 칩(1220) 및 복수의 반도체 패키지(1230)를 포함한다. 상기 모듈 기관(1210)에는 복수의 입출력 단자(1250)가 형성되어 있다.
- [0093] 상기 복수의 반도체 패키지(1230)는 도 1a 내지 도 3을 참조하여 설명한 바와 같은 집적소자(10, 20, 1100) 중 적어도 하나를 포함한다. 특히, 상기 복수의 반도체 패키지(1230)는 도 1a 내지 도 2을 참조하여 설명한 바와 같은 TSV 구조(158, 158E) 중 적어도 하나의 TSV 구조를 포함한다.
- [0094] 도 5은 본 개시에 의한 또 다른 실시예에 따른 집적소자(1300)의 요부 구성을 보여주는 다이어그램이다.
- [0095] 상기 집적소자(1300)는 제어기(1310), 입/출력 장치(1320), 메모리(1330), 및 인터페이스(1340)를 포함한다. 상기 집적소자(1300)는 모바일 시스템 또는 정보를 전송하거나 전송받는 시스템일 수 있다. 일부 실시예에서, 상기 모바일 시스템은 PDA (personal digital assistant), 휴대용 컴퓨터, 웹 태블릿, 무선 폰, 모바일 폰, 디지털 뮤직 플레이어, 또는 메모리 카드 중 적어도 하나이다.
- [0096] 일부 실시예에서, 상기 제어기(1310)는 마이크로프로세서, 디지털 신호 프로세서, 또는 마이크로컨트롤러 (micro-controller)이다.
- [0097] 상기 입/출력 장치(1320)는 집적소자(1300)의 데이터 입출력에 이용된다. 상기 집적소자(1300)는 상기 입/출력 장치(1320)를 이용하여 외부 장치, 예를 들면 개인용 컴퓨터 또는 네트워크에 연결될 수 있고, 상기 외부 장치와 상호 데이터를 교환할 수 있다. 일부 실시예에서, 상기 입/출력 장치(1320)는 키패드 (keypad), 키보드 (keyboard), 또는 표시 장치 (display)이다.
- [0098] 일부 실시예에서, 상기 메모리(1330)는 상기 제어기(1310)의 동작을 위한 코드 및/또는 데이터를 저장한다. 다른 실시예에서, 상기 메모리(1330)는 상기 제어기(1310)에서 처리된 데이터를 저장한다. 상기 제어기(1310) 및 메모리(1330) 중 적어도 하나는 도 1a 내지 도 4을 참조하여 설명한 바와 같은 집적소자(10, 20, 1100, 1200) 중 적어도 하나를 포함한다. 특히, 상기 제어기(1310) 및 메모리(1330) 중 적어도 하나는 도 1a 내지 도 2을 참조하여 설명한 바와 같은 TSV 구조(158, 158E) 중 적어도 하나의 TSV 구조를 포함하는 반도체 패키지를 포함하는 전자 시스템으로 이루어진다.
- [0099] 상기 인터페이스(1340)는 상기 집적소자(1300)와, 다른 외부 장치와의 사이에서 데이터 전송 통로 역할을 한다. 상기 제어기(1310), 입/출력 장치(1320), 메모리(1330), 및 인터페이스(1340)는 버스(1350)를 통하여 서로 통신할 수 있다.
- [0100] 상기 집적소자(1300)는 모바일 폰, MP3 플레이어, 네비게이션 (navigation) 시스템, 휴대용 멀티미디어 재생기 (portable multimedia player: PMP), 고상 디스크 (solid state disk: SSD), 또는 가전 제품 (household appliances)에 포함될 수 있다.
- [0101] 이상, 본 개시를 바람직한 실시예를 들어 상세하게 설명하였으나, 본 개시는 상기 실시예에 한정되지 않고, 본 개시의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

부호의 설명

- [0102] 10, 20: 집적소자
- 102: 기관 102B: 기관의 저면, 110: FEOL 구조, 112: 개별 소자
- 114: 층간절연막, 122: 마스크 패턴, 130: 비아홀, 130W: 비아홀의 폭
- 138, 138E: 절연막, 142, 142E: 장벽막, 154: 희생막

158, 158E: TSV 구조

162: 금속층간절연막, 162H: 금속 배선용 홀, 168, 268: BEOL 구조

172: 금속 배선층, 172B: 배선용 금속층, 172A: 배선용 배리어막

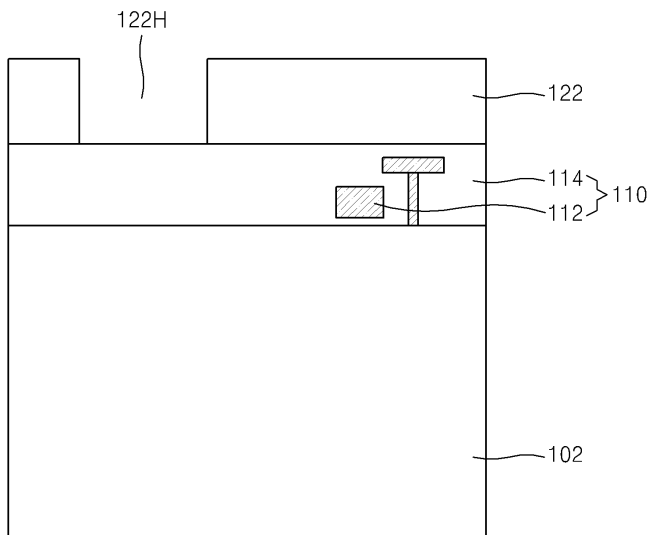
174: 콘택 플러그, 176: 다층 배선 패턴

184: 제1보호층, 190: 백사이드 절연막, 194: 콘택 패드, 196: 도전접착층

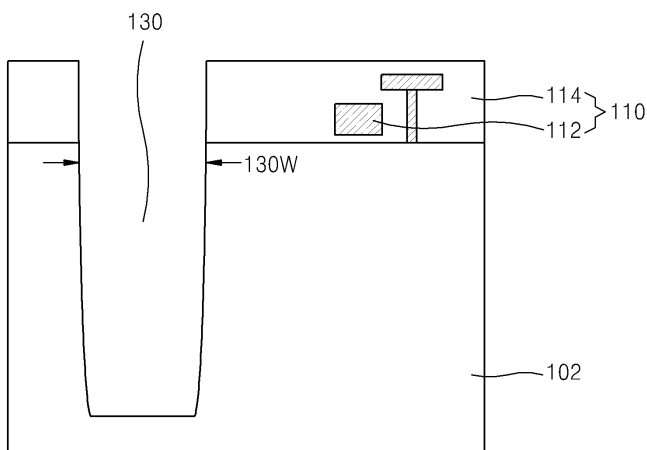
202: 캐리어 웨이퍼, 214, 214E: 충전전극, 272: 상부 금속 배선층, 284: 제2보호층

도면

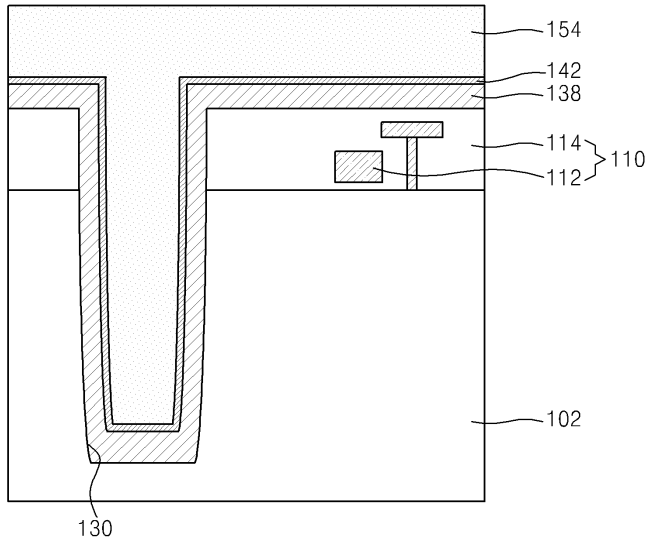
도면1a



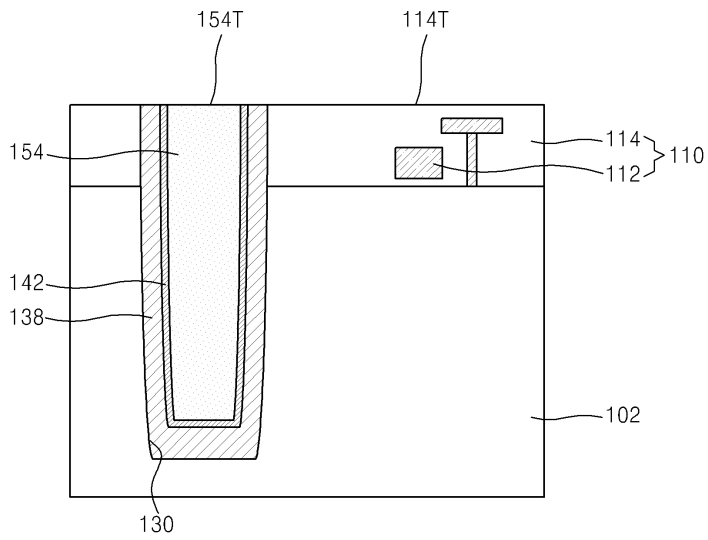
도면1b



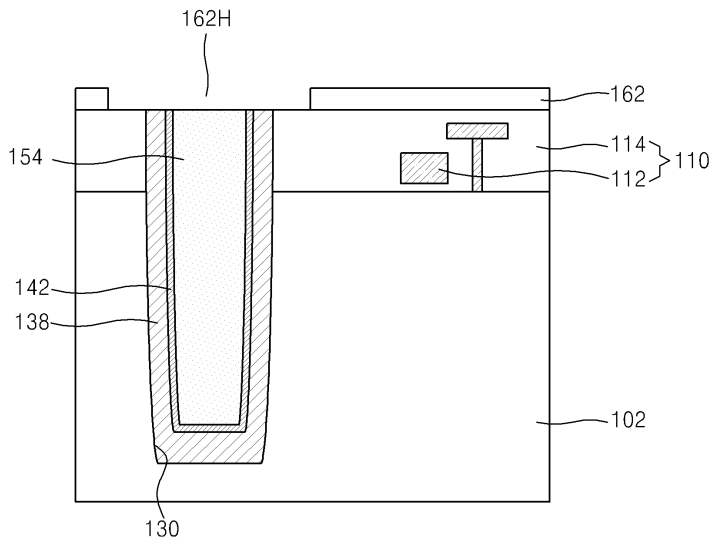
도면1c



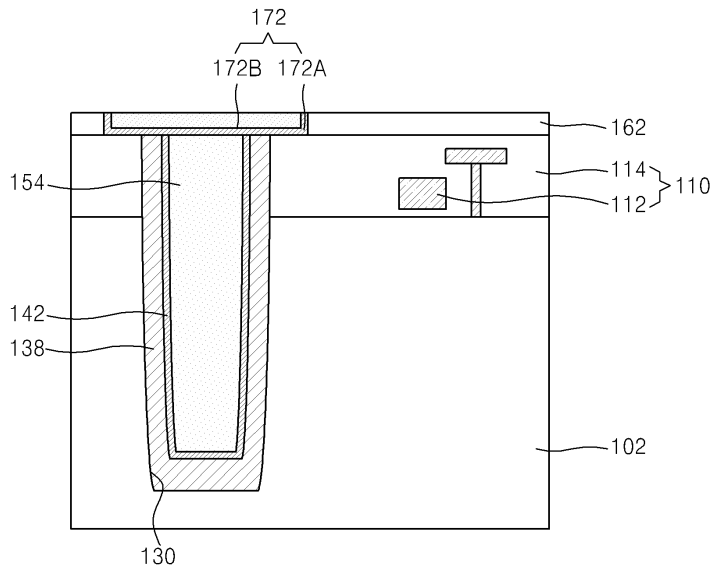
도면1d



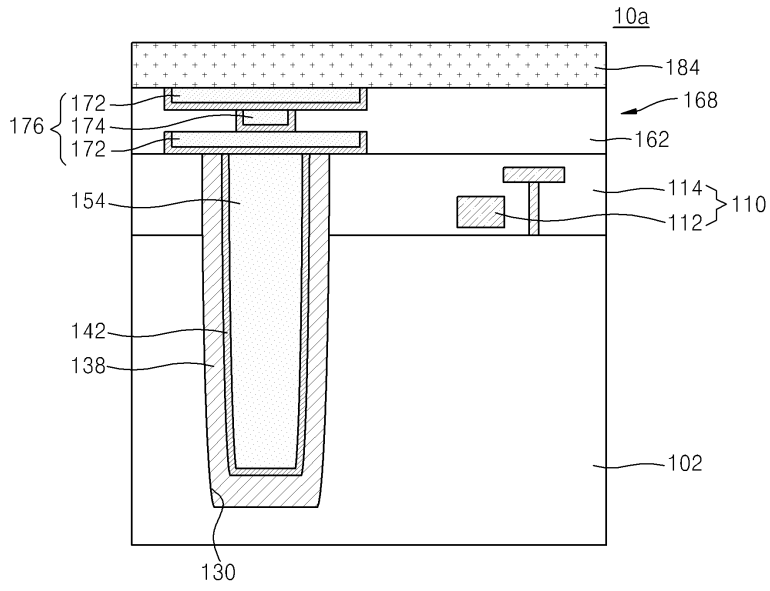
도면1e



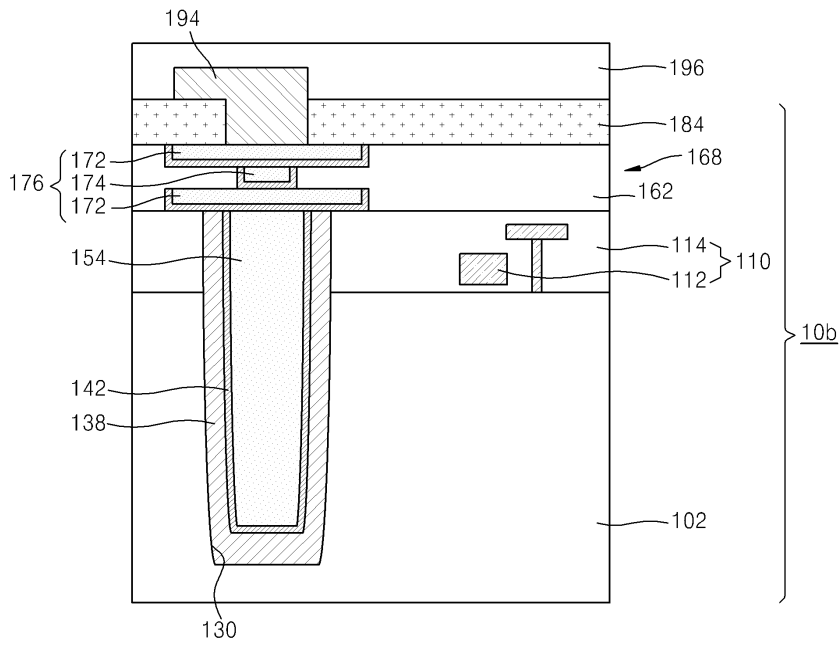
도면1f



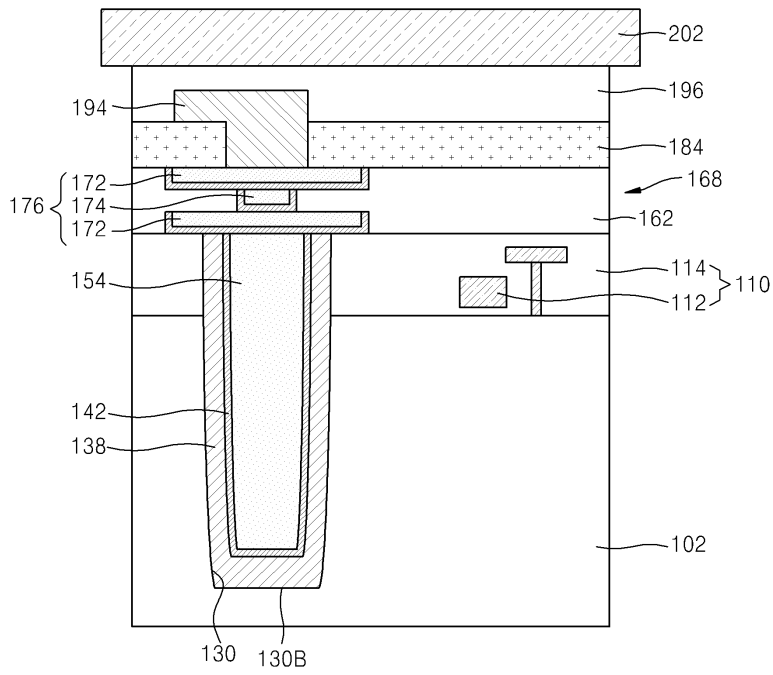
도면1g



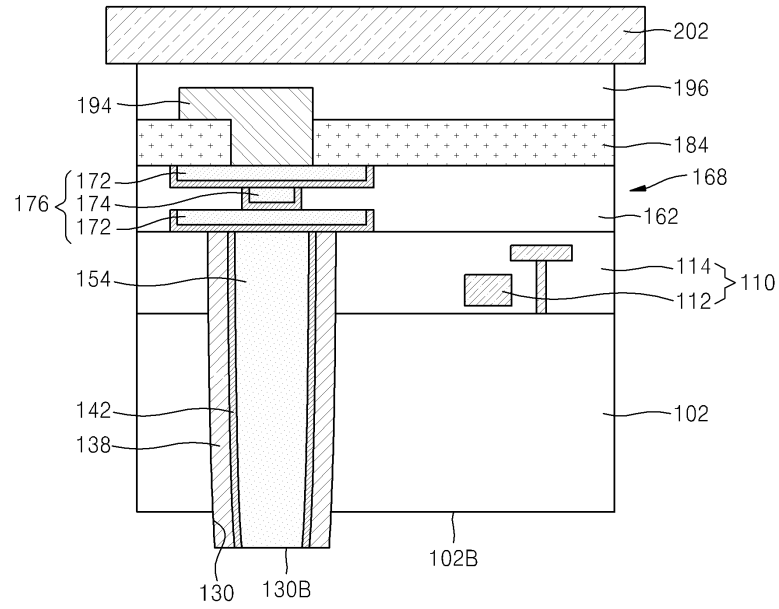
도면1h



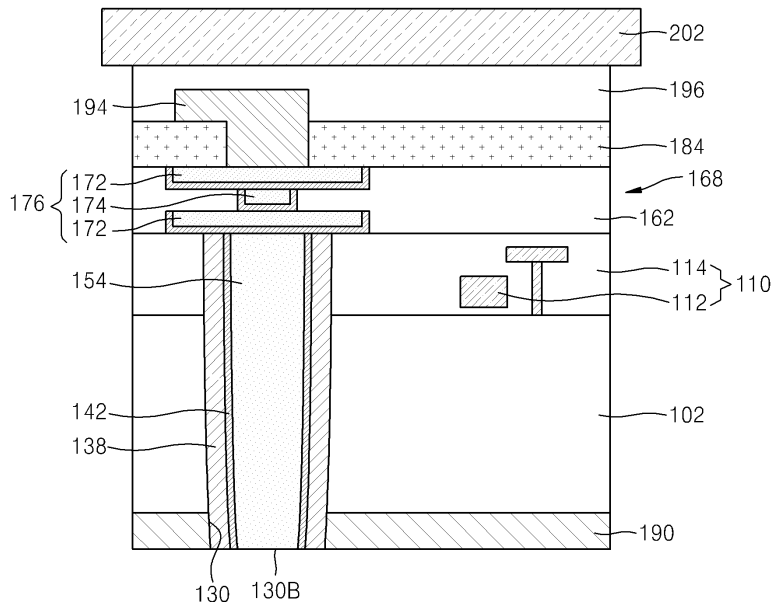
도면1i



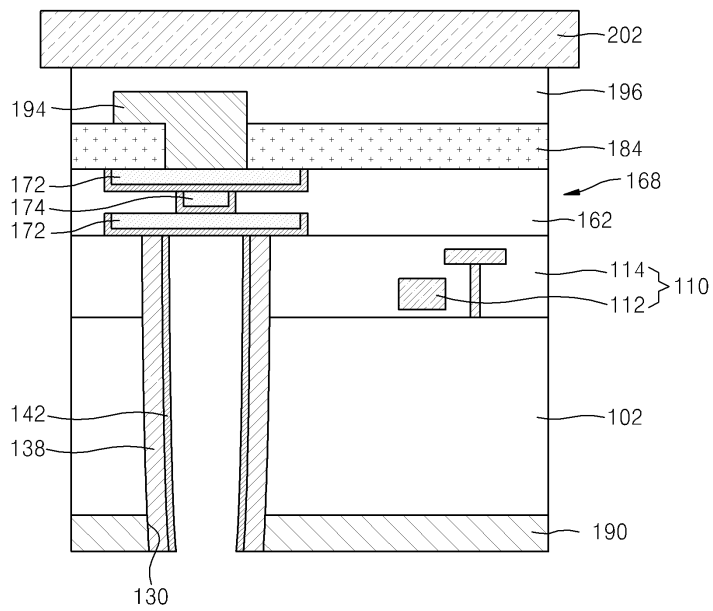
도면1j



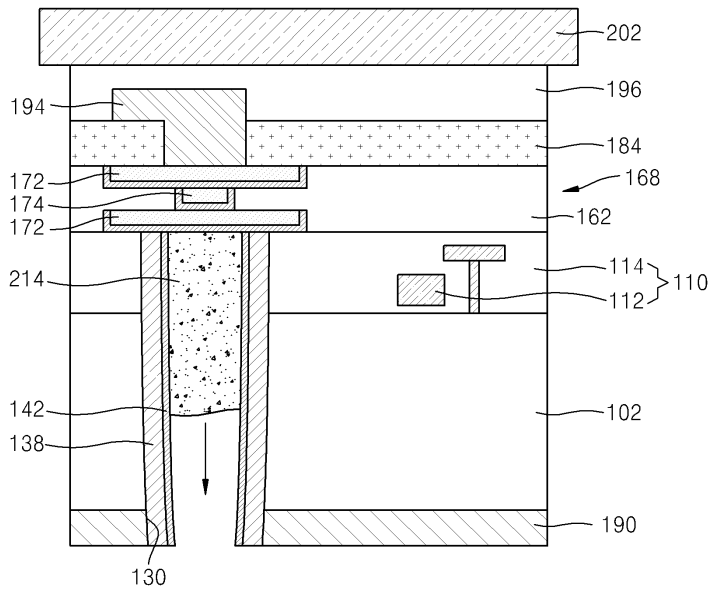
도면1k



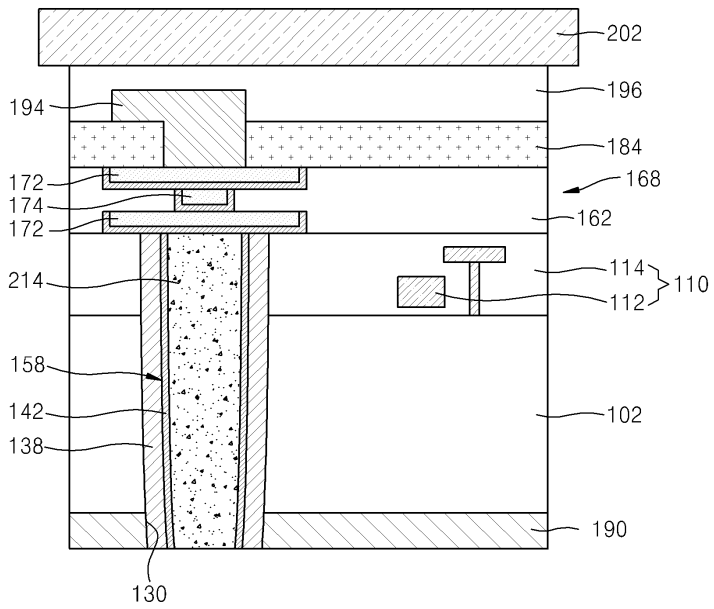
도면1l



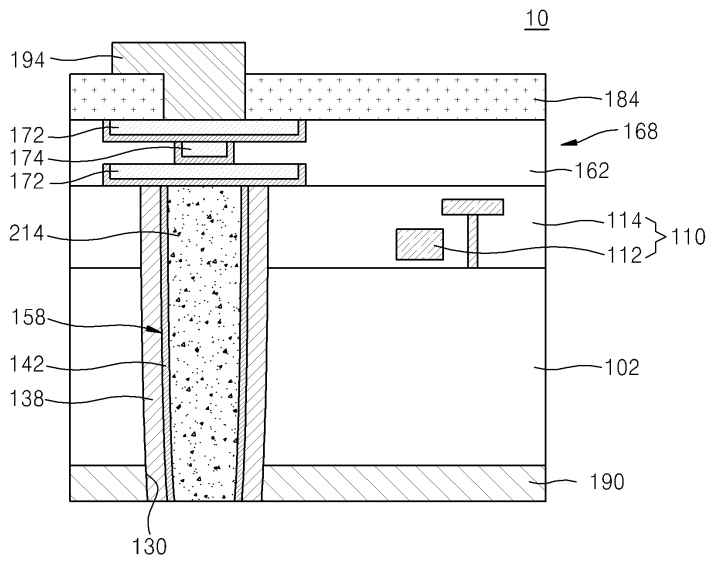
도면1m



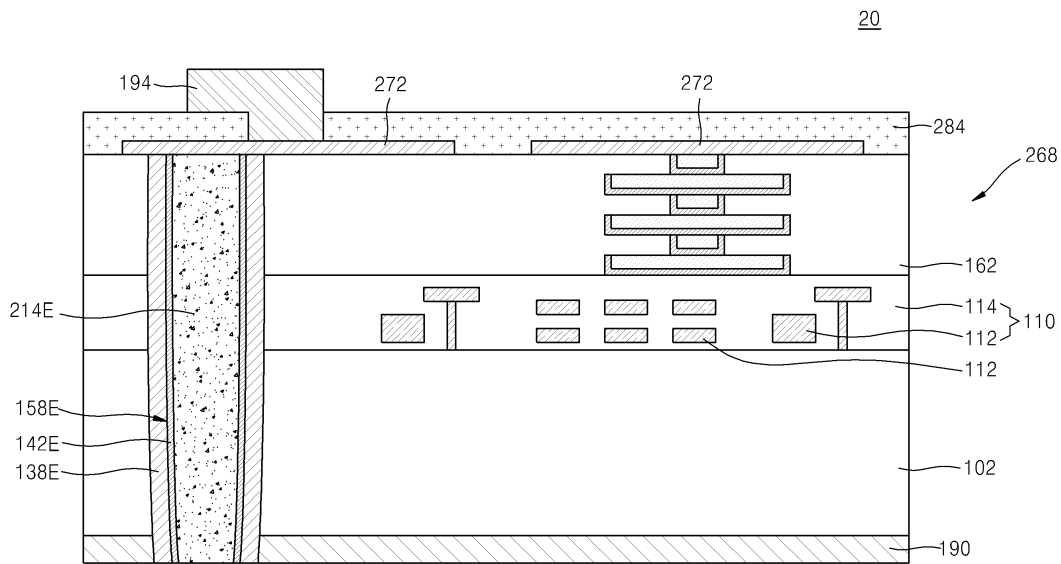
도면1n



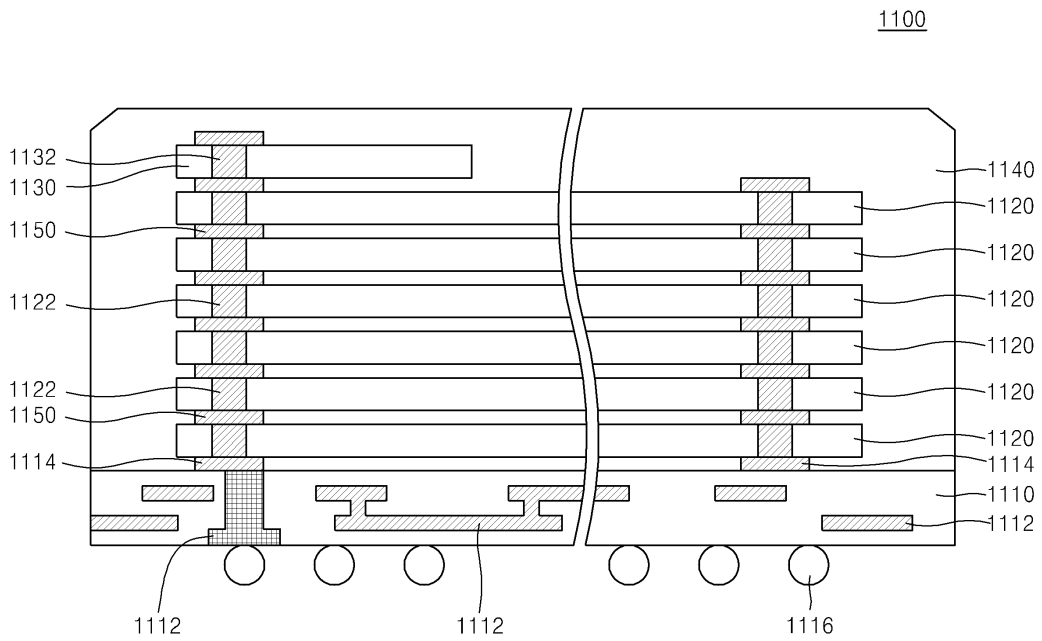
도면10



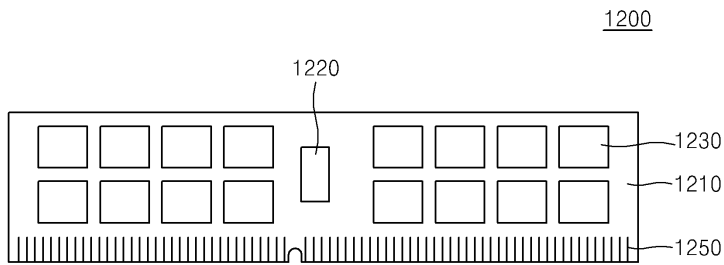
도면2



도면3



도면4



도면5

