

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4360941号
(P4360941)

(45) 発行日 平成21年11月11日(2009.11.11)

(24) 登録日 平成21年8月21日(2009.8.21)

(51) Int. Cl. F I
 HO 1 L 25/065 (2006.01) HO 1 L 25/08 Z
 HO 1 L 25/07 (2006.01)
 HO 1 L 25/18 (2006.01)

請求項の数 5 (全 19 頁)

(21) 出願番号	特願2004-59885 (P2004-59885)	(73) 特許権者	302062931
(22) 出願日	平成16年3月3日(2004.3.3)		NECエレクトロニクス株式会社
(65) 公開番号	特開2005-251953 (P2005-251953A)		神奈川県川崎市中原区下沼部1753番地
(43) 公開日	平成17年9月15日(2005.9.15)	(74) 代理人	100110928
審査請求日	平成19年2月8日(2007.2.8)		弁理士 速水 進治
		(72) 発明者	高橋 信明
			神奈川県川崎市中原区下沼部1753番地
			NECエレクトロニクス株式会社内
		審査官	市川 篤

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

基板と、
 前記基板の上部に設けられた第一の半導体素子と、
 前記第一の半導体素子の上部に設けられた第二の半導体素子と、
 前記第一の半導体素子と前記第二の半導体素子との間に設けられ、前記第一の半導体素子の外周縁よりも外方向へ張り出した張出部分を有する板状スペーサーと、
 を備え、
 前記第一の半導体素子の上面に第一及び第二の電極パッドがそれぞれ設けられており、
 前記基板の上面に第三の電極パッドが設けられており、
 前記第二の半導体素子の下面に第四の電極パッドが設けられており、
 前記スペーサーは、
 前記張出部分の上部に、前記第二の半導体素子の外周縁よりも外側に位置するように設けられた第五の電極パッドと、
 前記第一の電極パッドと前記第五の電極パッドとを接続する配線と、
 当該スペーサーを貫通し、前記第二の電極パッドと前記第四の電極パッドとを接続する貫通電極と、
 を有し、
 前記第五の電極パッドは、前記第三の電極パッドにワイヤーボンディングにより接続してあり、

10

20

前記スペーサーの前記貫通電極は、前記第二の電極パッドと前記第四の電極パッドとに対してそれぞれ直接に接続されていることを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、

前記スペーサーの配線は、前記スペーサーを貫通する第二の貫通電極を含むことを特徴とする半導体装置。

【請求項 3】

請求項 1 または 2 に記載の半導体装置において、

前記スペーサーは、シリコン基板であることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 いずれかに記載の半導体装置において、

前記基板上に、前記スペーサーを前記張出部分において支持する補強材をさらに備えることを特徴とする半導体装置。

10

【請求項 5】

請求項 1 乃至 4 いずれかに記載の半導体装置において、

前記第二の半導体素子の上面に第六の電極パッドが設けられており、

前記第五の電極パッドは、前記第六の電極パッドにワイヤーボンディングにより接続していることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、半導体装置に関する。

【背景技術】

【0002】

近年、半導体素子の高集積化を目的として、LSIなどの半導体素子同士を縦方向に積層する3次元実装の開発が精力的に行われている。この種の技術として、特許文献1記載のものがある。同文献に記載された半導体装置を図11に示す。図11は、従来のシリコンスペーサーを用いる多段チップ積層構造を示す断面図である。

【0003】

この半導体装置1100は、基板1102上に半導体チップ1104と半導体チップ1106とを備える。半導体チップ1104と半導体チップ1106との間には、シリコンスペーサー1108が挟まれている。

30

【0004】

半導体チップ1104の上面には、電極パッド1114a, 1114bが設けられており、基板1102の上面に設けられている電極パッド1112b, 1112cとそれぞれワイヤー1120c, 1120bで接続されている。

【0005】

半導体チップ1106の上面には、電極パッド1116a, 1116bが設けられており、基板1102の上面に設けられている電極パッド1112a, 1112dとそれぞれワイヤー1120d, 1120aで接続されている。

40

【0006】

特許文献1には、シリコンスペーサー1108により、下側の半導体チップ1104と上側の半導体チップ1106との間にギャップを作ることができ、その結果、下側の半導体チップ1104にワイヤボンディングを行うことができる旨が記載されている。

【0007】

特許文献1には、この構造は、下側の半導体チップ1104よりも上側の半導体チップ1106の方が大きい場合や、両者のチップサイズが近い場合に特に有効となる旨が記載されている。

【0008】

また、この種の技術として、特許文献2記載のものがある。同文献に記載された半導体

50

装置を図12に示す。図12は、従来の絶縁フィルムを用いるチップオンチップ構造を示す断面図である。

【0009】

このチップオンチップ構造は、第一の半導体チップ411と第二の半導体チップ417とを備える。第一の半導体チップ411と第二の半導体チップ417との間には、絶縁フィルム414が挟まれている。絶縁フィルム414は、フィルム415中に配線パターン416と配線パターン420が設けられてなる構造を有する。

【0010】

配線パターン416の下側表面には、接続部423が設けられている。接続部423は、第一の半導体チップの表面412に設けられている第一の半導体チップの bumps 413aと接続している。配線パターン416の上側表面には、接続部424が設けられている。接続部424は、第二の半導体チップの表面418に設けられている第二の半導体チップの bumps 419aと接続している。

10

【0011】

配線パターン420の下側表面には、接続部427が設けられている。接続部427は、第一の半導体チップの表面412に設けられている第一の半導体チップの bumps 413cと接続している。配線パターン420の上側表面には、接続部426が設けられている。接続部426は、第二の半導体チップの表面418に設けられている第二の半導体チップの bumps 419bと接続している。

【0012】

特許文献2には、この構造によれば、電極の配置ピッチや配置位置が異なる半導体チップ同士を重ね合わせて接合でき、設計の自由度の高いチップオンチップ型半導体装置を提供できる旨が記載されている。

20

【0013】

【特許文献1】特開2003-101000号公報

【特許文献2】特開2000-252408号公報

【発明の開示】

【発明が解決しようとする課題】

【0014】

しかしながら、上記文献記載の従来技術は、以下の点で改善の余地を有していた。

30

【0015】

第一に、特許文献1に記載の半導体装置1100において、下側の半導体チップ1104上の電極パッド1114a, 1114bにワイヤーボンディングをしようとする、Auワイヤーのループ高さを吸収するだけのギャップが必要なため、シリコンスペーサー1108を厚くする必要がある。その結果、半導体装置1100全体のトータル厚さが大きくなってしまい、半導体素子の高集積化が困難になる場合がある。

【0016】

第二に、特許文献2に記載のチップオンチップ構造は、絶縁フィルム414が剛性を有さないため、ワイヤーボンディングに応用することが困難である。また、絶縁フィルム414が剛性を有さないため、製造工程において寸法安定性が充分でない場合がある。

40

【0017】

本発明は上記事情に鑑みてなされたものであり、その目的とするところは、配線接続の自由度が高く、薄型化された多段チップ積層構造を備える半導体装置を提供することにある。

【課題を解決するための手段】

【0018】

本発明によれば、基板と、前記基板の上部に設けられた第一の半導体素子と、前記第一の半導体素子の上部に設けられた第二の半導体素子と、前記第一の半導体素子と前記第二の半導体素子との間に設けられ、前記第一の半導体素子の外周縁よりも外方向へ張り出した張出部分を有する板状スペーサーと、を備え、前記第一の半導体素子の上面に第一及び

50

第二の電極パッドがそれぞれ設けられており、前記基板の上面に第三の電極パッドが設けられており、前記第二の半導体素子の下面に第四の電極パッドが設けられており、前記スペーサーは、前記張出部分の上部に、前記第二の半導体素子の外周縁よりも外側に位置するように設けられた第五の電極パッドと、前記第一の電極パッドと前記第五の電極パッドとを接続する配線と、当該スペーサーを貫通し、前記第二の電極パッドと前記第四の電極パッドとを接続する貫通電極と、を有し、前記第五の電極パッドは、前記第三の電極パッドにワイヤーボンディングにより接続しており、前記スペーサーの前記貫通電極は、前記第二の電極パッドと前記第四の電極パッドとに対してそれぞれ直接に接続されていることを特徴とする半導体装置が提供される。

【0019】

本発明によれば、スペーサーに、第一の電極パッドと前記第五の電極パッドとを接続する配線が設けられているため、スペーサーが薄い場合にも、第一の半導体素子の上面の電極パッドを第一の半導体素子の外周縁よりも外方向に引き出すことができる。

【0020】

また、本発明によれば、剛性を有する板状のスペーサーを備えるため、ワイヤーボンディングにより、スペーサーの張出部分の第五の電極パッドを任意の箇所へ接続することができる。このため、配線接続の自由度が高く、製造安定性や信頼性に優れた半導体装置が得られる。

【0021】

そのため、本発明によれば、配線接続の自由度が高く、薄型化された多段チップ積層構造を備える半導体装置が提供される。

【0022】

以上、本発明の構成について説明したが、これらの構成を任意に組み合わせたものも本発明の態様として有効である。また、本発明の表現を他のカテゴリーに変換したものもまた本発明の態様として有効である。

【0023】

例えば、本発明により提供される多段チップ積層構造を備える半導体装置は、二段階の積層構造だけでなく、二段階以上の積層構造であればよい。すなわち、三段階の積層構造や、四段階の積層構造などであってもよい。

【発明の効果】

【0024】

本発明によれば、特定の構造の配線を有する板状のスペーサーを備えるため、配線接続の自由度が高く、薄型化された多段チップ積層構造を備える半導体装置が提供される。

【発明を実施するための最良の形態】

【0025】

本発明において、上記スペーサーの配線は、上記スペーサーを貫通する貫通電極を含む構成であってもよい。

【0026】

この構成によれば、上記スペーサーの配線は、第一の半導体素子の上面の第一の電極パッドと上記スペーサーの張出部分の第五の電極パッドと、を貫通電極を介して短い経路で接続できる。そのため、半導体素子間の信号伝達速度を向上することができる。

【0027】

また、上記第五の電極パッドは、上記第二の半導体素子の外周縁よりも外側に設けられている。

【0028】

この構成によれば、上記第五の電極パッドの周囲の空間が広がるため、上記第五の電極パッドに対する接続の自由度が高くなる。

【0029】

また、上記第五の電極パッドは、上記張出部分の上部に設けられている。

【0030】

10

20

30

40

50

この構成によれば、上記第五の電極パッドの上部の空間が開放されているため、上記第五の電極パッドに対する接続の自由度がさらに高くなる。ワイヤーボンディングを好適に行うことが可能となる。

【0031】

また、上記スペーサーは、シリコン基板であってもよい。

【0032】

この構成によれば、シリコン基板は剛性を有するため、ワイヤーボンディングにより、スペーサーの張出部分の第五の電極パッドを任意の箇所へ接続することができる。このため、配線接続の自由度が高く、製造安定性や信頼性に優れた半導体装置が得られる。

【0033】

また、シリコン基板の線膨張率は、第一の半導体素子および第二の半導体素子がシリコン系半導体素子である場合には、それらの線膨張率と同程度であるため、温度変化による剥離などが抑制され、半導体装置の信頼性が向上する。

【0036】

また、本発明において、半導体装置は、上記基板上に、上記スペーサーを上記張出部分において支持する補強材をさらに備えてもよい。

【0037】

この構成によれば、スペーサーの張出部分の強度が向上するため、スペーサーの張出部分の第五の電極パッドを、ワイヤーボンディングにより任意の箇所へ好適に接続できる。このため、配線接続の自由度が高く、製造安定性や信頼性に優れた半導体装置が得られる。

【0038】

また、上記基板の上面に第三の電極パッドが設けられており、上記第五の電極パッドは、上記第三の電極パッドにワイヤーボンディングにより接続していてもよい。

【0039】

この構成によれば、スペーサーが薄い場合にも、第一の半導体素子の第一の電極パッドを第一の半導体素子の外周縁よりも外方向に引き出し、第五の電極パッドを介してワイヤーボンディングにより容易に基板の第三の電極パッドに接続できる。よって、薄型化された多段チップ積層構造を備える半導体装置が提供される。

【0040】

また、上記第二の半導体素子の上面に第六の電極パッドが設けられており、上記第五の電極パッドは、上記第六の電極パッドにワイヤーボンディングにより接続していてもよい。

【0041】

この構成によれば、スペーサーが薄い場合にも、第一の半導体素子の第一の電極パッドを第一の半導体素子の外周縁よりも外方向に引き出し、第五の電極パッドを介してワイヤーボンディングにより容易に第二の半導体素子の第六の電極パッドに接続できる。よって、薄型化された多段チップ積層構造を備える半導体装置が提供される。

【0042】

この構成によれば、さらに、上記第二の半導体素子の第六の電極パッドから基板の第三の電極パッドまでワイヤーボンディングする場合に比して、ワイヤーの長さを短くでき、信号伝達速度が向上される。また、ワイヤーの長さを短くできるので、多段チップ積層構造全体の横幅を小さくできる。

【0043】

また、上記第一の半導体素子の上面に第二の電極パッドが設けられており、上記第二の半導体素子の下面に第四の電極パッドが設けられており、上記スペーサーは、当該スペーサーを貫通し、上記第二の電極パッドと上記第四の電極パッドとを接続する貫通電極を備える。

【0044】

この構成によれば、第一の半導体素子の第二の電極パッドと第二の半導体素子の第四の

10

20

30

40

50

電極パッドとが、スペーサーに設けられた配線を介してフェイスダウン方式により接続するため、半導体装置全体の厚みをさらに薄くし、半導体素子間の信号伝達速度を向上することができる。また、ワイヤーボンディングを行う必要がないため、多段チップ積層構造全体の横幅を小さくできる。

【 0 0 4 5 】

以下、本発明の実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

【 0 0 4 6 】

<参考形態>

図 1 は、参考形態の多段チップ積層構造を示す断面図である。

10

【 0 0 4 7 】

この半導体装置 1 0 0 は、基板 1 0 2 上に半導体チップ 1 0 4 と半導体チップ 1 0 6 とを備える。半導体チップ 1 0 4 と半導体チップ 1 0 6 との間には、再配線付シリコンスペーサー 1 0 8 が挟まれている。

【 0 0 4 8 】

なお、半導体チップ 1 0 4 と半導体チップ 1 0 6 とは、特に限定するものではないが、再配線付シリコンスペーサー 1 0 8 と主として同種の材料からなるシリコンチップであってもよい。

【 0 0 4 9 】

基板 1 0 2 の上部表面には、電極パッド 1 1 2 a , 1 1 2 b , 1 1 2 c , 1 1 2 d が、設けられている。半導体チップ 1 0 4 の上部表面には、バンク電極 1 1 4 a , 1 1 4 b が設けられている。半導体チップ 1 0 6 の上部表面には、電極パッド 1 1 6 a , 1 1 6 b が設けられている。

20

【 0 0 5 0 】

再配線付シリコンスペーサー 1 0 8 には、再配線付シリコンスペーサー 1 0 8 を貫通する貫通電極 1 2 8 a , 1 2 8 b が設けられている。また、再配線付シリコンスペーサー 1 0 8 の上部表面には電極パッド 1 1 8 a , 1 1 8 b が設けられている。電極パッド 1 1 8 a は、貫通電極 1 2 8 a の上側（外側）端部と接続している。電極パッド 1 1 8 b は、貫通電極 1 2 8 b の上側（外側）端部と接続している。

【 0 0 5 1 】

下側の半導体チップ 1 0 4 のバンク電極 1 1 4 a , 1 1 4 b は、それぞれ再配線付シリコンスペーサー 1 0 8 の貫通電極 1 2 8 a , 1 2 8 b の下側（内側）端部と直接に接続している。

30

【 0 0 5 2 】

再配線付シリコンスペーサー 1 0 8 の電極パッド 1 1 8 a , 1 1 8 b は、基板 1 0 2 の上面に設けられている電極パッド 1 1 2 b , 1 1 2 c とそれぞれワイヤー 1 2 0 c , 1 2 0 b で接続されている。

【 0 0 5 3 】

半導体チップ 1 0 6 の電極パッド 1 1 6 a , 1 1 6 b は、基板 1 0 2 の上面に設けられている電極パッド 1 1 2 a , 1 1 2 d とそれぞれワイヤー 1 2 0 d , 1 2 0 a で接続されている。

40

【 0 0 5 4 】

すなわち、本参考形態では、積層させる半導体チップ 1 0 4 , 1 0 6 間に、上側の半導体チップ 1 0 4 または下側の半導体チップ 1 0 6 よりもサイズが大きい再配線付シリコンスペーサー 1 0 8 を挟んでいる。このため、半導体装置 1 0 0 の両側面において、バンク電極 1 1 4 a , 1 1 4 b を、それぞれ電極パッド 1 1 8 a , 1 1 8 b に引き出すことができる。

【 0 0 5 5 】

よって、本参考形態の構造によれば、再配線付シリコンスペーサー 1 0 8 に設けた電極パッド 1 1 8 a , 1 1 8 b と基板 1 0 2 の電極パッド 1 1 2 b , 1 1 2 c とをそれぞれワ

50

ワイヤーボンディングすることにより、下側の半導体チップ104と基板102とを接続することができる。

【0056】

また、上側の半導体チップ106の上部表面の電極パッド116a, 116bと基板102の上部表面の電極パッド112a, 112bとをそれぞれワイヤーボンディングで接続することにより、上側の半導体チップ106と基板102とを接続することができる。

【0057】

この構成によれば、下側の半導体チップ104の上部表面に設けられているバンプ電極114a, 114bを、それぞれ再配線付シリコンスペーサー108に設けられている貫通電極128a, 128bにより、それぞれ再配線付シリコンスペーサー108の上側(外側)に設けられている電極パッド118a, 118bに引き出すことができる。

10

【0058】

よって、下側の半導体チップ104へのワイヤーボンディングを、下側の半導体チップ104および上側の半導体チップ106よりも大きいサイズの再配線付シリコンスペーサー108上の電極パッド118a, 118bを通して行うことができる。

【0059】

このため、図11で示した従来の多段チップ積層構造のように、ワイヤーボンディングを可能にするために下側の半導体チップ104および上側の半導体チップ106の間の間隔を大きくする必要が無い。

【0060】

20

このため、図1に示した多段チップ積層構造において、再配線付シリコンスペーサー108は薄くても良く、上下の半導体チップサイズの組み合わせに依存することなく、半導体装置100を薄型化できる。

【0061】

ここで、図11に示した従来の多段チップ積層構造のように、従来のシリコンスペーサーを用いる場合には、例えば、下側の半導体チップの電極パッドに接続するAuワイヤーのループ高さは、高いものであれば、250 μ m程度にもなるため、シリコンスペーサー1108の厚みを300 μ m程度としなければならない場合がある。

【0062】

一方、この再配線付シリコンスペーサー108の厚みは、例えば50 μ m以上100 μ m以下としてもよい。この範囲内の厚みであれば、十分な剛性を有しつつ、再配線付シリコンスペーサー108を薄くできるため、薄型化された多段チップ積層構造が得られる。

30

【0063】

よって、本参考形態における再配線付シリコンスペーサー108を用いれば、従来に比して多段チップ積層構造を薄型化できる。

【0064】

特に、COC、MCP、3次元SiPなどの構造を備える半導体装置において、半導体チップサイズに依存せずワイヤーボンディング可能とするため、半導体素子が高集積された薄型のパッケージを実現できる。

【0065】

40

ここで、図12に示した従来のチップオンチップ構造では、柔軟性を有するフィルム絶縁体を用いるため、フィルム絶縁体上に電極パッドを設けたとしても、ワイヤーボンディングにより接続することは困難である。

【0066】

一方、再配線付シリコンスペーサー108は、板状であり、剛性を有するため、電極パッド118a, 118bに好適にワイヤーボンディングすることができる。

【0067】

さらに、図1に示した多段チップ積層構造のように、再配線付シリコンスペーサー108は、下側の半導体チップ104および上側の半導体チップ106がともにシリコンチップである場合には、線膨張率が下側の半導体チップ104および上側の半導体チップ10

50

6と同程度であるため、線膨張率の違いが小さい。

【0068】

このため、温度変化が生じて、図12に示した従来のチップオンチップ構造の場合に比べて、下側の半導体チップ104のバンプ電極114a, 114bと貫通電極128a, 128bとの接触性の低下が生じることを抑制できる。また、再配線付シリコンスペーサー108と上側の半導体チップ106との剥離も抑制できる。

【0069】

図9は、参考形態の多段チップ積層構造を有する半導体装置にボールグリッドアレイ構造を適用した場合の断面図である。

【0070】

本参考形態の多段積層構造にボールグリッドアレイ構造を適用する場合、基板102の裏側に電極パッド136を設け、電極パッド136上に半田ボール138を設ける構造とする。電極パッド136は、図1における電極パッド112a, 112b, 112c, 112dなどと接続する構造とすることができる。

【0071】

また、多段積層構造全体を封止樹脂層132で封止する。なお、図1の下側の半導体チップ104と再配線付シリコンスペーサー108との間の隙間は、アンダーフィル樹脂層134で封止する。

【0072】

図2～図3は、参考形態の多段チップ積層構造の製造方法を示す工程断面図である。

【0073】

参考形態に示す多段チップ積層構造を得るには、まず、図2(a)に示すように、基板102上に電極パッド112a, 112b, 112c, 112dを形成する。

【0074】

次いで、図2(b)に示すように、基板102の上面に下側の半導体チップ104を積層する。半導体チップ104の上部表面には、あらかじめバンプ電極114a, 114bが設けられている。

【0075】

続いて、図2(c)に示すように、半導体チップ104の上部に再配線付シリコンスペーサー108を積層する。再配線付シリコンスペーサー108には、後述する方法により貫通電極128a, 128bを形成し、下側の半導体チップ104の上部表面のバンプ電極114a, 114bと、貫通電極128a, 128bにおいて接続させる。また、再配線付シリコンスペーサー108の上部表面には、あらかじめ電極パッド118a, 118bが設けられている。

【0076】

その後、図3(d)に示すように、再配線付シリコンスペーサー108上に上側の半導体チップ106を積層する。上側の半導体チップ106の上部表面には、あらかじめ電極パッド116a, 116bが設けられている。

【0077】

次いで、図3(e)に示すように、ワイヤーボンディングを行う。具体的には、再配線付シリコンスペーサー108の上側(外側)表面の電極パッド118a, 118bを、それぞれ基板102上の電極パッド112b, 112cとワイヤーボンディングにより接続する。また、上側の半導体チップ106の上部表面の電極パッド116a, 116bを、それぞれ基板102上の電極パッド112a, 112dとワイヤーボンディングにより接続する。

【0078】

この方法によれば、再配線付シリコンスペーサー108は、薄くても良いので、上下の半導体チップサイズの組み合わせに依存することなく、薄型化された半導体装置100を安定的に製造できる。

【0079】

10

20

30

40

50

また、再配線付シリコンスペーサー 108 は、板状であり、剛性を有するため、電極パッド 118 a , 118 b に好適にワイヤーボンディングすることができる。

【0080】

図 8 は、参考形態の貫通電極の製造方法を示す工程断面図である。なお、図 8 の上側は、再配線付シリコンスペーサー 108 の裏面側（図 1 の下側）を示す。

【0081】

参考形態に示した再配線付シリコンスペーサー 108 に貫通電極を設けるには、まず、シリコンスペーサー 1108 上にレジスト膜（不図示）を設け、レジスト膜をマスクとしてシリコンスペーサー 1108 を選択的にエッチングし、シリコンスペーサー 1108 の裏面に凹部を形成する。次いで、図 8 (a) に示すように、凹部内に導電部材 1128 a , 1128 b , 1128 c , 1128 d を埋め込む。

10

【0082】

これらの導電部材は、例えば Al や Cu などを含む金属材料からなる部材であってもよい。また、これらの導電部材は、例えばめっき法により形成可能である。また、これらの導電部材は、例えば底面および側面に TiN などからなるバリアメタル膜を有していてもよい。

【0083】

次に、図 8 (b) に示すように、シリコンスペーサー 1108 の裏面にレジスト膜 1132 a , 1132 b , 1132 c を形成する。これらのレジスト膜は、導電部材 1128 a , 1128 b の上面およびその上面に隣接する領域に開口部を有する。続いて、これら

20

の開口部に導電部材 1138 a , 1138 b を、例えばスパッタ法などにより形成する。

【0084】

続いて、図 8 (c) に示すように、シリコンスペーサー 1108 の裏面からレジスト膜 1132 a , 1132 b , 1132 c を剥離する。そして、シリコンスペーサー 1108 を表面側から研磨（バックグラウンド）し、シリコンスペーサー 1108 の厚みを 50 ~ 100 μm 程度まで薄くする。

【0085】

その結果、導電部材 1128 a , 1128 b , 1128 c , 1128 d の表面側の端部が露出し、貫通電極が形成される。研磨後に、シリコンスペーサー 1108 の表面側を仕上げポリッシュして、貫通電極および再配線を備えるシリコンスペーサー 1108 が得ら

30

れる。

【0086】

参考形態において、再配線付シリコンスペーサーとして、このような貫通電極および再配線を備えるシリコンスペーサー 1108 を用いることにより、下側の半導体チップの上部表面の電極パッドを、貫通電極および再配線を介して、再配線付シリコンスペーサーの上側（外側）表面の電極パッドに引き出すことができる。

【0087】

よって、このような構成からなる再配線付シリコンスペーサーを用いると、配線接続の自由度が高く、薄型化された多段チップ積層構造を備える半導体装置が提供される。

【0088】

40

<実施形態>

以下、半導体チップをフェイスダウン方式で二段積層する実施形態について説明する。

【0089】

図 4 は、実施形態の多段チップ積層構造を示す断面図である。

【0090】

本実施形態の多段チップ積層構造は、参考形態と同様の構成であるが、再配線付シリコンスペーサー 108 には貫通電極 128 c , 128 d が形成されている。下側の半導体チップ 104 および上側の半導体チップ 106 は、それぞれバンプ電極 114 c , 114 d およびバンプ電極 116 a , 116 b を使い、再配線付シリコンスペーサー 108 の貫通電極 128 c , 128 d を通してフェイスダウン接続された構造となっている。

50

【0091】

具体的には、この半導体装置200は、基板102上に半導体チップ104と半導体チップ106とを備える。半導体チップ104と半導体チップ106との間には、再配線付シリコンスペーサー108が挟まれている。

【0092】

なお、半導体チップ104と半導体チップ106とは、特に限定するものではないが、再配線付シリコンスペーサー108と主として同種の材料からなるシリコンチップであってもよい。

【0093】

基板102の上部表面には、電極パッド112b, 112cが、設けられている。半導体チップ104の上部表面には、バンプ電極114a, 114b, 114c, 114dが設けられている。半導体チップ106の下部表面には、バンプ電極116a, 116bが設けられている。

【0094】

再配線付シリコンスペーサー108には、再配線付シリコンスペーサー108を貫通する貫通電極128a, 128b, 128c, 128dが設けられている。また、再配線付シリコンスペーサー108の上部表面には電極パッド118a, 118bが設けられている。電極パッド118aは、貫通電極128aの上側(外側)端部と接続している。電極パッド118bは、貫通電極128bの上側(外側)端部と接続している。

【0095】

下側の半導体チップ104のバンプ電極114a, 114bは、それぞれ再配線付シリコンスペーサー108の貫通電極128a, 128bの下側(内側)端部と直接に接続している。

【0096】

下側の半導体チップ104のバンプ電極114c, 114dは、それぞれ再配線付シリコンスペーサー108の貫通電極128c, 128dの下側端部と直接に接続している。

【0097】

再配線付シリコンスペーサー108の電極パッド118a, 118bは、基板102の上面に設けられている電極パッド112b, 112cとそれぞれワイヤー120d, 120aで接続されている。

【0098】

半導体チップ106のバンプ電極116a, 116bは、再配線付シリコンスペーサー108の貫通電極128c, 128dとそれぞれ直接にフェイスダウン接続されている。

【0099】

この構成によれば、下側の半導体チップ104の上部表面に設けられているバンプ電極114a, 114bを、それぞれ再配線付シリコンスペーサー108に設けられている貫通電極128a, 128bにより、それぞれ再配線付シリコンスペーサー108の上側(外側)に設けられている電極パッド118a, 118bに引き出すことができる。

【0100】

よって、下側の半導体チップ104へのワイヤボンディングを、下側の半導体チップ104および上側の半導体チップ106よりも大きいサイズの再配線付シリコンスペーサー108上の電極パッド118a, 118bを通して行うことができる。

【0101】

このため、図11で示した従来の多段チップ積層構造のように、ワイヤボンディングを可能にするために下側の半導体チップ104および上側の半導体チップ106の間の間隔を大きくする必要が無い。

【0102】

このため、図4に示した多段チップ積層構造において、再配線付シリコンスペーサー108は薄くても良く、上下の半導体チップサイズの組み合わせに依存することなく、半導体装置100を薄型化できる。

10

20

30

40

50

【0103】

この再配線付シリコンスペーサー108の厚みは、例えば50 μ m以上100 μ m以下としてもよい。この範囲内の厚みであれば、十分な剛性を有しつつ、再配線付シリコンスペーサー108を薄くできるため、薄型化された多段チップ積層構造が得られる。

【0104】

特に、COC、MCP、3次元SiPなどの構造を備える半導体装置において、半導体チップサイズに依存せずにワイヤボンディング可能とするため、半導体素子が高集積された薄型のパッケージを実現できる。

【0105】

さらに、上側の半導体チップ106にはワイヤボンディングが必要無いので、そのワイヤの高さの分が薄くなり、多段チップ積層構造のトータルの厚さが更に薄くなり、より小型のパッケージとすることが可能である。また、下側の半導体チップ104および上側の半導体チップ106をフェイスダウン接続しているため、2チップ間の信号経路長が短くなり、信号伝達速度が向上し、上下の半導体チップの特性をより効率的に引き出せる。

【0106】

ここで、図12に示した従来のチップオンチップ構造では、柔軟性を有するフィルム絶縁体を用いるため、フィルム絶縁体上に電極パッドを設けたとしても、ワイヤボンディングにより接続することは困難である。

【0107】

一方、再配線付シリコンスペーサー108は、板状であり、剛性を有するため、電極パッド118a, 118bに好適にワイヤボンディングすることができる。

【0108】

さらに、図4に示した多段チップ積層構造のように、再配線付シリコンスペーサー108は、下側の半導体チップ104および上側の半導体チップ106がともにシリコンチップである場合には、線膨張率が下側の半導体チップ104および上側の半導体チップ106と同程度であるため、線膨張率の違いが小さい。

【0109】

このため、温度変化が生じて、図12に示した従来のチップオンチップ構造の場合に比べて、下側の半導体チップ104のバンプ電極114a, 114bと貫通電極128c, 128dとの接触性の低下が生じることを抑制できる。また、上側の半導体チップ106のバンプ電極116a, 116bと貫通電極128c, 128dとの接触性の低下が生じることを抑制できる。

【0110】

図5は、実施形態の多段チップ積層構造の変形例を示す断面図である。

【0111】

本変形例の多段チップ積層構造を備える半導体装置300は、実施形態の多段チップ積層構造と同様の構成であるが、基板102と再配線付シリコンスペーサー108との間に、再配線付シリコンスペーサー108を支持するための補強材130a, 130bが設けられた構造である。

【0112】

この構成のように、再配線付シリコンスペーサー108上のワイヤボンディングのための電極パッド118a, 118bと基板102上部表面の電極パッド112b, 112cとをワイヤボンディングで接続する際に、必要に応じて再配線付シリコンスペーサー108の張出部分を支持する補強材130a, 130bを形成してもよい。補強材130a, 130bは、例えばディスペンサー等で樹脂を注入し硬化させることにより形成する。

【0113】

この構成のように、必要に応じて補強材130a, 130bを形成することにより、薄い再配線付シリコンスペーサー108へのワイヤボンディングをより容易にすることができる。

【0114】

10

20

30

40

50

図10は、実施形態の多段チップ積層構造を有する半導体装置にボールグリッドアレイ構造を適用した場合の断面図である。

【0115】

本実施形態の多段積層構造にボールグリッドアレイ構造を適用する場合、基板102の裏側に電極パッド136を設け、電極パッド136上に半田ボール138を設ける構造とする。電極パッド136は、図5における電極パッド112b, 112cなどと接続する構造とすることができる。

【0116】

また、多段積層構造全体を封止樹脂層132で封止する。なお、図5の下側の半導体チップ104と再配線付シリコンスペーサー108との間の隙間は、アンダーフィル樹脂層134aで封止する。また、上側の半導体チップ106と再配線付シリコンスペーサー108との間の隙間は、アンダーフィル樹脂層134bで封止する。

【0117】

図6～図7は、実施形態の多段チップ積層構造の製造方法を示す工程断面図である。以下では、補強材を設けた変形例の製造方法について説明するが、補強材は設けられなくてもよい。

【0118】

実施形態に示す多段チップ積層構造を得るには、まず、図6(a)に示すように、基板102上に電極パッド112b, 112cを形成する。

【0119】

次いで、図6(b)に示すように、基板102の上面に下側の半導体チップ104を積層する。半導体チップ104の上部表面には、あらかじめバンプ電極114a, 114b, 114c, 114dが設けられている。また、基板102の上面に、補強材130a, 130bを設ける。

【0120】

続いて、図6(c)に示すように、半導体チップ104の上部に再配線付シリコンスペーサー108を積層する。再配線付シリコンスペーサー108には、あらかじめ貫通電極128a, 128b, 128c, 128dが設けられており、下側の半導体チップ104の上部表面のバンプ電極114a, 114b, 114c, 114dと、貫通電極128a, 128b, 128c, 128dにおいて接続する。

【0121】

また、再配線付シリコンスペーサー108の上部表面には、あらかじめ電極パッド118a, 118bが設けられている。再配線付シリコンスペーサー108の張出部分は、補強材130a, 130bに支持されている。

【0122】

そして、再配線付シリコンスペーサー108の上部表面の電極パッド118a, 118bは、基板102の上部表面の電極パッド112b, 112cとワイヤーボンディングにより接続される。

【0123】

このとき、補強材130a, 130bがあることにより、再配線付シリコンスペーサー108上の強度が向上するため、電極パッド118a, 118bに対して容易にワイヤーボンディングを行うことができる。

【0124】

その後、図7(d)に示すように、再配線付シリコンスペーサー108上に上側の半導体チップ106をフェイスダウン方式で積層する。上側の半導体チップ106の下部表面には、あらかじめバンプ電極116a, 116bが設けられている。上側の半導体チップ106のバンプ電極116a, 116bは、再配線付シリコンスペーサー108の貫通電極128c, 128dの上側端部と直接接続される。

【0125】

この方法によれば、再配線付シリコンスペーサー108は、特許文献1に記載の半導体

10

20

30

40

50

装置に備わるシリコンスペーサーよりも薄くても良いので、上下の半導体チップサイズの組み合わせに依存することなく、薄型化された半導体装置 300 を安定的に製造できる。

【0126】

さらに、下側の半導体チップ 104 および上側の半導体チップ 106 をフェイスダウン接続しているため、トータルの厚さがさらに薄く、2チップ間の信号伝達速度がさらに向上した、多段チップ積層構造を備える半導体装置 300 を安定的に製造できる。

【0127】

また、再配線付シリコンスペーサー 108 は、板状であるため剛性を有する。補強材 130a, 130b があることにより、再配線付シリコンスペーサー 108 の強度はさらに向上するため、電極パッド 118a, 118b にワイヤーボンディングした場合にも、半導体装置 300 を寸法安定性よく製造できる。

【0128】

以上、本発明の構成について説明したが、これらの構成を任意に組み合わせたものも本発明の態様として有効である。また、本発明の表現を他のカテゴリーに変換したのもまた本発明の態様として有効である。

【0129】

例えば、上記の実施形態においては、板状のスペーサーとして、一枚板からなるスペーサーを用いたが、特に限定する趣旨ではない。例えば、二枚板が継ぎ合わせられたスペーサーを用いてもよい、一定の間隔を空けて並べられた複数の板状のスペーサーを用いてもよい。

【0130】

このような構成であっても、第一の半導体素子の上部表面の電極パッドを、スペーサーに設けられた配線により、第一の半導体素子の外周縁より外側に引き出すことができる。

【0131】

また、上記の実施形態においては、板状のスペーサーとして、シリコンスペーサーを用いたが、特に限定する趣旨ではない。例えば、他の半導体からなる板状のスペーサーを用いてもよく、あるいは樹脂組成物からなる板状のスペーサーを用いてもよい。もっとも、図 12 に示す従来のチップオンチップ構造に用いられる絶縁フィルムに比べれば、より剛性に優れる板状のスペーサーである方が、ワイヤーボンディングを好適に行うことができ、多段チップ積層構造の製造安定性が高まる。

【0132】

このような材料からなるスペーサーであっても、一定の剛性を有する板状のスペーサーであれば、引き出した配線の外側端部をワイヤーボンディングにより任意の箇所に接続した場合にも、スペーサーの湾曲や傾きの発生が抑制される。

【0133】

また、上記の実施形態においては、ワイヤーボンディングによる接続を用いたが、特に限定する趣旨ではない。例えば、板状のスペーサーの下側表面に設けられた配線が直接基板上の電極パッドに接続する構成であってもよい。

【0134】

このような構成であっても、第一の半導体素子の上部表面の電極パッドを、スペーサーに設けられた配線により引き出し、基板上の電極パッドに接続することができる。

【図面の簡単な説明】

【0135】

【図 1】参考形態の多段チップ積層構造を示す断面図である。

【図 2】参考形態の多段チップ積層構造の製造方法を示す工程断面図である。

【図 3】参考形態の多段チップ積層構造の製造方法を示す工程断面図である。

【図 4】実施形態の多段チップ積層構造を示す断面図である。

【図 5】実施形態の多段チップ積層構造の変形例を示す断面図である。

【図 6】実施形態の多段チップ積層構造の製造方法を示す工程断面図である。

【図 7】実施形態の多段チップ積層構造の製造方法を示す工程断面図である。

10

20

30

40

50

【図 8】参考形態の貫通電極の製造方法を示す工程断面図である。

【図 9】参考形態の多段チップ積層構造を有する半導体装置にボールグリッドアレイ構造を適用した場合の断面図である。

【図 10】実施形態の多段チップ積層構造を有する半導体装置にボールグリッドアレイ構造を適用した場合の断面図である。

【図 11】従来のシリコンスペーサーを用いる多段チップ積層構造を示す断面図である。

【図 12】従来の絶縁フィルムを用いるチップオンチップ構造を示す断面図である。

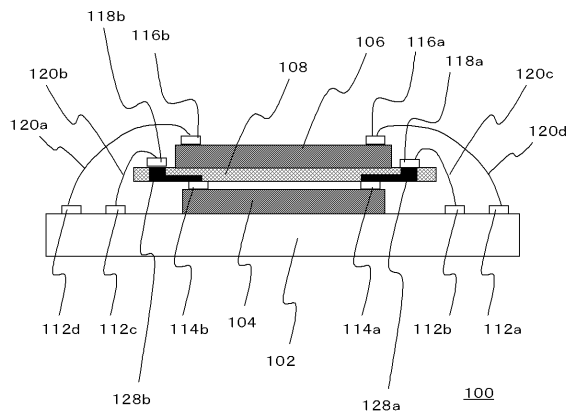
【符号の説明】

【 0 1 3 6 】

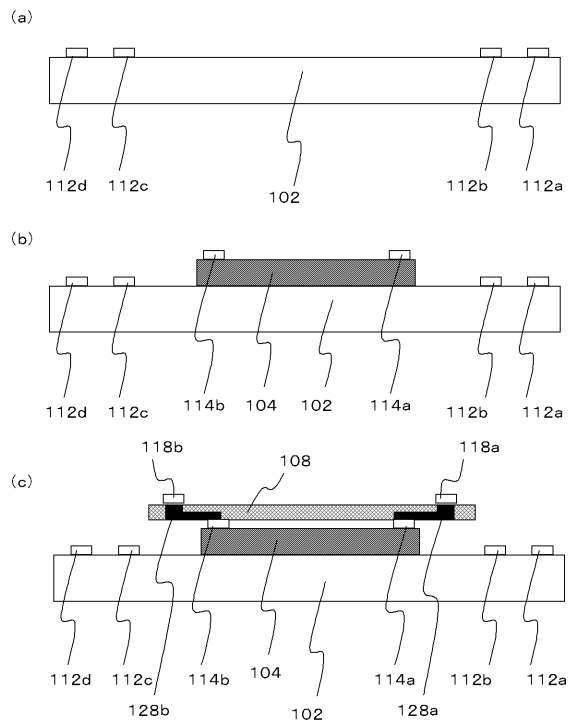
1 0 0	半導体装置	10
1 0 2	基板	
1 0 4	半導体チップ	
1 0 6	半導体チップ	
1 0 8	再配線付シリコンスペーサー	
1 1 2	電極パッド	
1 1 4	バンプ電極	
1 1 6	電極パッド (バンプ電極)	
1 1 8	電極パッド	
1 2 0	ワイヤー	
1 2 8	貫通電極	20
1 3 0	補強材	
1 3 2	封止樹脂層	
1 3 4	アンダーフィル樹脂層	
1 3 6	電極パッド	
1 3 8	半田ボール	
1 4 2	再配線層	
2 0 0	半導体装置	
3 0 0	半導体装置	
4 1 1	第一の半導体チップ	
4 1 2	第一の半導体チップの表面	30
4 1 3	第一の半導体チップのバンプ	
4 1 4	絶縁フィルム	
4 1 5	フィルム	
4 1 6	配線パターン	
4 1 7	第二の半導体チップ	
4 1 8	第二の半導体チップの表面	
4 1 9	第二の半導体チップのバンプ	
4 2 0	配線パターン	
4 2 3	接続部	
4 2 4	接続部	40
4 2 5	接続部	
4 2 6	接続部	
4 2 7	接続部	
8 0 2	バリアメタル膜	
8 0 4	シード金属膜	
8 0 6	銅めっき膜	
1 1 0 0	半導体装置	
1 1 0 2	基板	
1 1 0 4	半導体チップ	
1 1 0 6	半導体チップ	50

- 1 1 0 8 シリコンスペーサー
- 1 1 1 2 電極パッド
- 1 1 1 4 電極パッド
- 1 1 1 6 電極パッド
- 1 1 2 0 ワイヤー

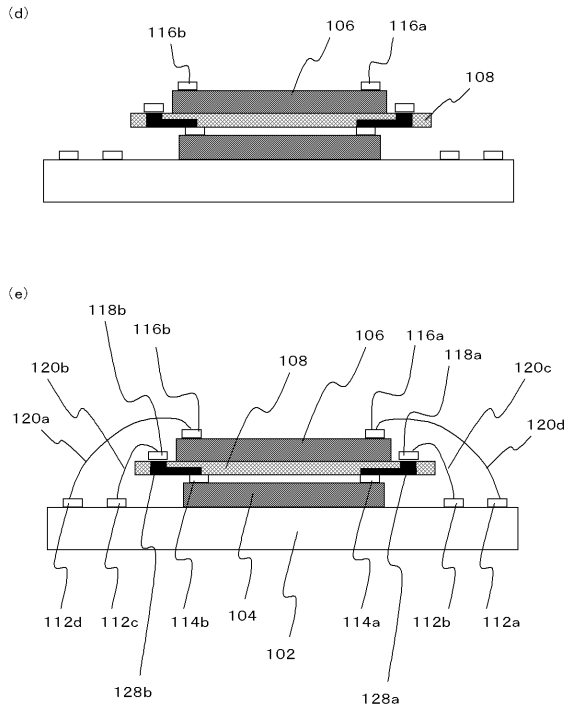
【図1】



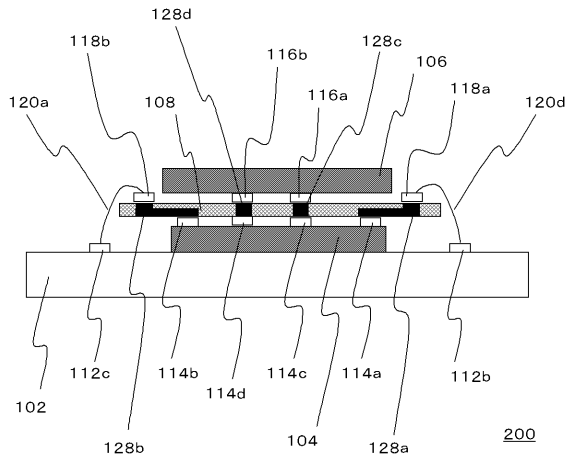
【図2】



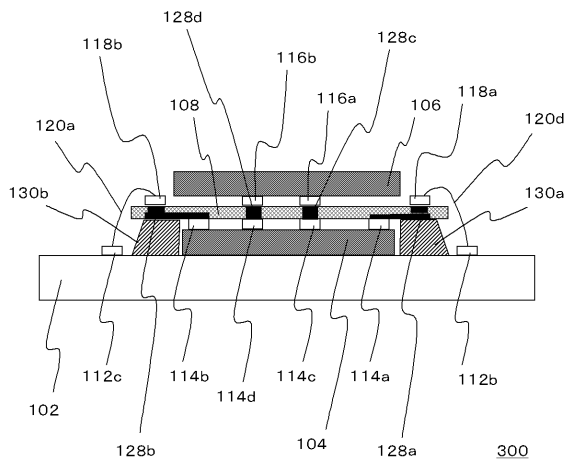
【図3】



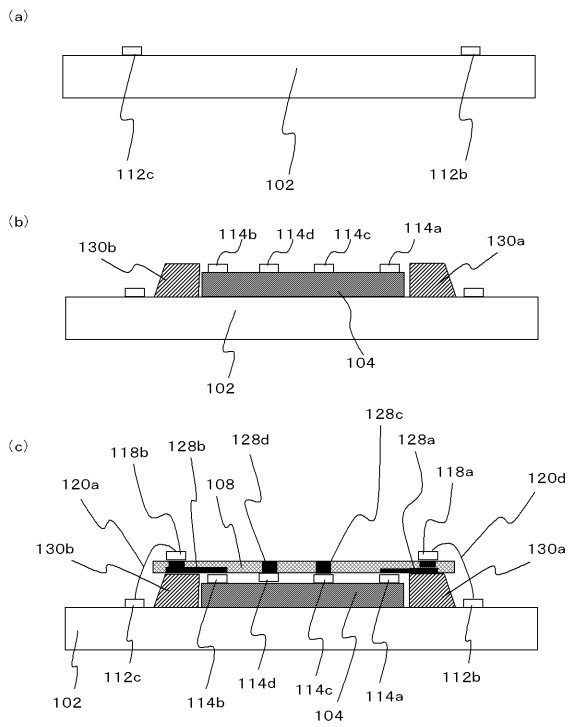
【図4】



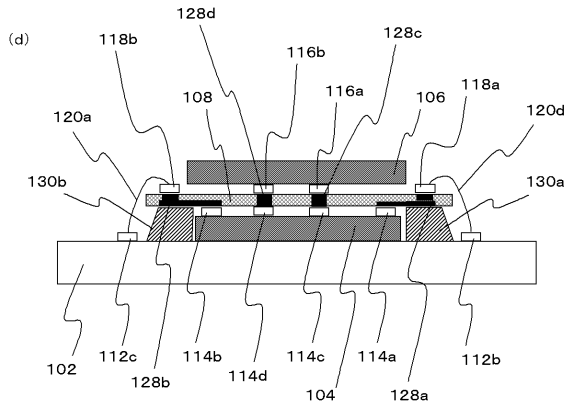
【図5】



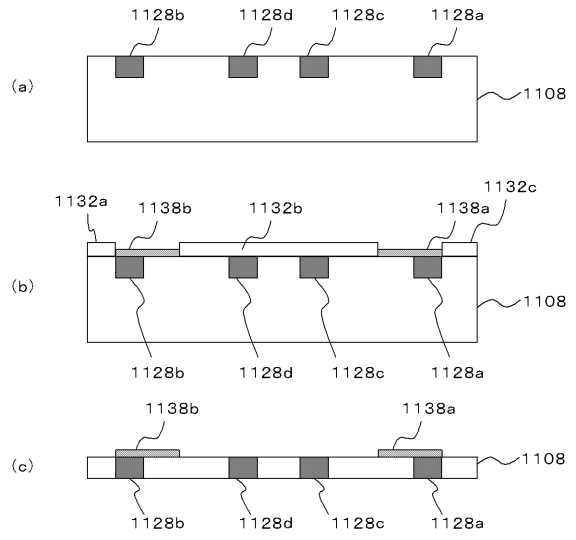
【図6】



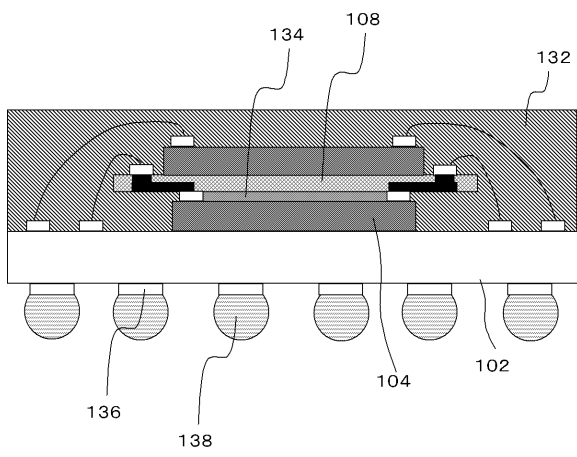
【図7】



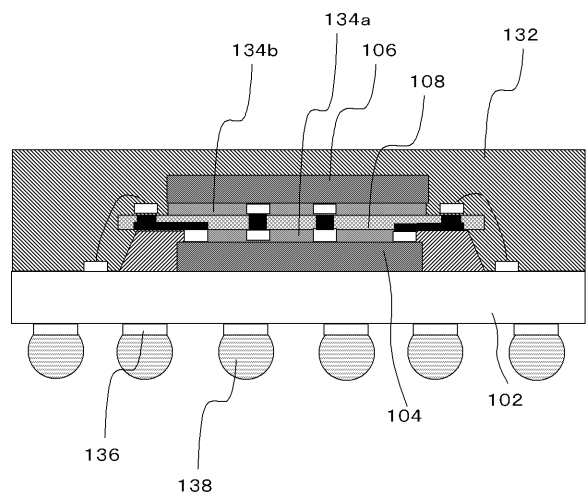
【図8】




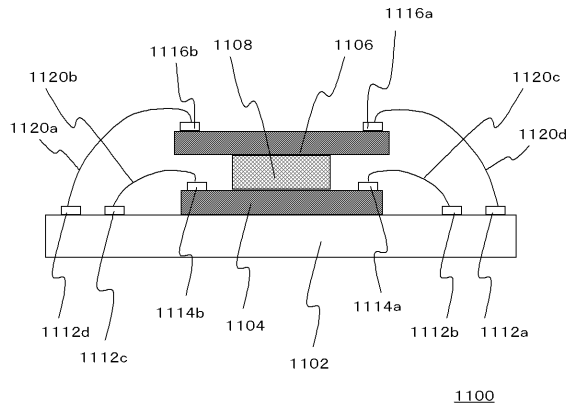
【図9】




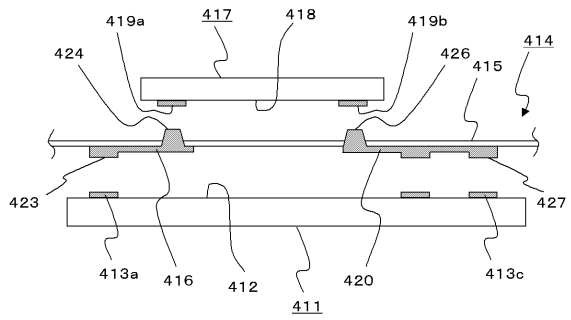
【図10】



【 1 1】



【 1 2】



フロントページの続き

- (56)参考文献 特開2000-269408(JP,A)
特開2007-516616(JP,A)
特開2004-214522(JP,A)
特開2003-273317(JP,A)
特開平11-154728(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/60
H01L 23/12
H01L 25/065
H01L 25/07
H01L 25/18