



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0132873  
(43) 공개일자 2023년09월18일

- (51) 국제특허분류(Int. Cl.)  
H01L 29/36 (2006.01) H01L 29/66 (2006.01)  
H01L 29/872 (2006.01)
- (52) CPC특허분류  
H01L 29/36 (2013.01)  
H01L 29/66143 (2013.01)
- (21) 출원번호 10-2023-7029672
- (22) 출원일자(국제) 2022년01월26일  
심사청구일자 2023년08월31일
- (85) 번역문제출일자 2023년08월31일
- (86) 국제출원번호 PCT/US2022/013799
- (87) 국제공개번호 WO 2022/169644  
국제공개일자 2022년08월11일
- (30) 우선권주장  
17/169,916 2021년02월08일 미국(US)

- (71) 출원인  
어플라이드 머티어리얼스, 인코포레이티드  
미국 95054 캘리포니아 산타 클라라 바우어스 애  
브뉴 3050
- (72) 발명자  
팔, 아시쉬  
미국 95054 캘리포니아 산타 클라라 바우어스 애  
브뉴 3050  
바지지, 엘 메디  
미국 95054 캘리포니아 산타 클라라 바우어스 애  
브뉴 3050  
(뒷면에 계속)
- (74) 대리인  
특허법인 남앤남

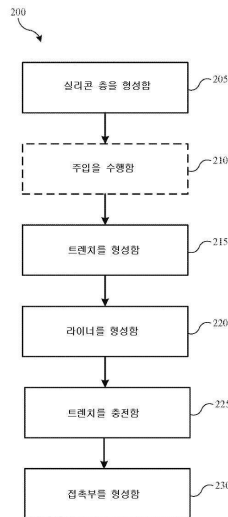
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 전력 디바이스들의 등급화된 도핑

(57) 요약

반도체 구조를 형성하는 예시적인 방법들은 반도체 기판 상에 도핑된 실리콘 층을 형성하는 것을 포함할 수 있다. 도핑 레벨은 반도체 기판으로부터 거리가 증가함에 따라 증가될 수 있다. 방법들은 반도체 기판으로 연장되는 트렌치를 정의하도록 도핑된 실리콘 층을 에칭하는 것을 포함할 수 있다. 도핑된 실리콘 층은 트렌치의 경사 측벽을 정의할 수 있다. 트렌치는 약 30 $\mu$ m 이상의 깊이를 특징으로 할 수 있다. 방법들은 제1 산화물 재료로 트렌치를 라이닝하는 것을 포함할 수 있다. 방법들은 트렌치 내에 제2 산화물 재료를 증착하는 것을 포함할 수 있다. 방법들은 전력 디바이스를 생산하기 위해 접촉부를 형성하는 것을 포함할 수 있다.

대표도 - 도2



(52) CPC특허분류

*H01L 29/872* (2013.01)

(72) 발명자

**크리슈난, 잇다르트**

미국 95054 캘리포니아 산타 클라라 바우어스 애브  
뉴 3050

**첸, 싱**

미국 95054 캘리포니아 산타 클라라 바우어스 애브  
뉴 3050

**유, 란**

미국 95054 캘리포니아 산타 클라라 바우어스 애브  
뉴 3050

**셔우드, 타일러**

미국 95054 캘리포니아 산타 클라라 바우어스 애브  
뉴 3050

## 명세서

### 청구범위

#### 청구항 1

반도체 구조를 형성하는 방법으로서,

반도체 기판 상에 도핑된 실리콘 층을 형성하는 단계 - 도핑 레벨은 상기 반도체 기판으로부터 거리가 증가함에 따라 증가함 - ;

상기 반도체 기판으로 연장되는 트렌치를 정의하도록 상기 도핑된 실리콘 층을 에칭하는 단계 - 상기 도핑된 실리콘 층은 상기 트렌치의 경사 측벽(sloping sidewall)을 정의하며, 상기 트렌치는 약 30 $\mu\text{m}$  이상의 깊이를 특징으로 함 - ;

제1 산화물 재료로 상기 트렌치를 라이닝하는 단계;

상기 트렌치 내에 제2 산화물 재료를 증착하는 단계; 및

전력 디바이스를 생산하기 위해 접촉부를 형성하는 단계를 포함하는,  
반도체 구조를 형성하는 방법.

#### 청구항 2

제1 항에 있어서,

상기 에칭에 후속하여, 상기 도핑된 실리콘 층은 약 2 $\mu\text{m}$  내지 약 5 $\mu\text{m}$ 의 폭을 특징으로 하는,  
반도체 구조를 형성하는 방법.

#### 청구항 3

제2 항에 있어서,

상기 트렌치를 라이닝하는 상기 제1 산화물 재료의 두께는 약 5 nm 이하인,  
반도체 구조를 형성하는 방법.

#### 청구항 4

제1 항에 있어서,

상기 도핑된 실리콘 층의 노출된 표면 상에 주입(implant)을 수행하는 단계를 더 포함하고, 상기 전력 디바이스는 P-N 접합을 포함하는,

반도체 구조를 형성하는 방법.

#### 청구항 5

제1 항에 있어서,

상기 접촉부는 상기 반도체 구조 상의 금속 실리사이드의 구역을 포함하고, 상기 금속 실리사이드의 구역은 붕소, 인 또는 비소의 주입된 이온들을 특징으로 하고, 상기 금속 실리사이드의 구역은 쇼트키 접촉부(Schottky contact)를 생산하도록 약 0.6V 이상의 배리어 높이를 특징으로 하는,

반도체 구조를 형성하는 방법.

#### 청구항 6

제1 항에 있어서,

상기 제1 산화물 재료는 알루미늄 산화물을 포함하고, 상기 제2 산화물 재료는 실리콘 산화물을 포함하는,

반도체 구조를 형성하는 방법.

**청구항 7**

제1 항에 있어서,

상기 반도체 기판은 안티몬(antimony)으로 도핑된 실리콘을 포함하는,

반도체 구조를 형성하는 방법.

**청구항 8**

제1 항에 있어서,

상기 트렌치의 경사 측벽은 일정한 경사를 특징으로 하고, 상기 도핑된 실리콘 층은 상기 반도체 기판에 근접한 포지션으로부터 상기 반도체 기판에 인접한 표면 맞은편 표면에 근접한 로케이션까지 도핑의 선형 증가를 특징으로 하는,

반도체 구조를 형성하는 방법.

**청구항 9**

제1 항에 있어서,

상기 반도체 구조는 약 650V 이상의 항복 전압(breakdown voltage)을 특징으로 하는,

반도체 구조를 형성하는 방법.

**청구항 10**

제1 항에 있어서,

상기 도핑된 실리콘 층을 위한 도펀트는 인을 포함하고, 상기 반도체 기판에 근접한 로케이션에서의 도펀트 농도는 약  $8 \times 10^{15} \text{ cm}^{-3}$  이하이고, 상기 반도체 기판 원위의 도펀트 농도는 약  $9 \times 10^{15} \text{ cm}^{-3}$  이상인,

반도체 구조를 형성하는 방법.

**청구항 11**

반도체 구조로서,

기판 위에 놓이도록 형성된 도핑된 실리콘의 층 - 상기 도핑된 실리콘 내의 도핑의 레벨은 상기 기판으로부터 거리가 증가함에 따라 증가함 - ;

상기 도핑된 실리콘의 층의 양 측 상에 형성되는 트렌치 - 상기 트렌치는 제1 산화물 재료의 라이너 및 제2 산화물 재료의 충전 재료를 포함하고, 상기 트렌치는 경사진 측벽들을 특징으로 함 - ; 및

접촉부를 포함하는,

반도체 구조.

**청구항 12**

제11 항에 있어서,

상기 도핑된 실리콘의 층을 위한 도펀트는 인을 포함하고, 상기 기판에 근접한 로케이션에서의 도펀트 농도는 약  $8 \times 10^{15} \text{ cm}^{-3}$  이하이고, 상기 기판 원위의 도펀트 농도는 약  $9 \times 10^{15} \text{ cm}^{-3}$  이상인,

반도체 구조.

**청구항 13**

제11 항에 있어서,

상기 트렌치의 경사진 측벽들은 일정한 경사를 특징으로 하고, 상기 도핑된 실리콘의 층은 상기 기판에 근접한

포지션으로부터 상기 기판에 인접한 표면 맞은편 표면에 근접한 로케이션까지 도핑의 선형 증가를 특징으로 하는,

반도체 구조.

**청구항 14**

제11 항에 있어서,

상기 기판은 안티몬으로 도핑된 실리콘을 포함하고, 상기 제1 산화물 재료는 알루미늄 산화물을 포함하고, 상기 제2 산화물 재료는 실리콘 산화물을 포함하는,

반도체 구조.

**청구항 15**

제11 항에 있어서,

상기 반도체 구조의 노출된 표면은 상기 반도체 구조에 대한 P-N 접합을 생산하는 붕소 주입을 포함하는,

반도체 구조.

**청구항 16**

제11 항에 있어서,

상기 접촉부는 금속 실리사이드의 구역을 포함하고, 상기 금속 실리사이드의 구역은 붕소, 인 또는 비소의 주입된 이온들을 특징으로 하고, 상기 금속 실리사이드의 구역은 쇼트키 접촉부를 생산하도록 약 0.6V 이상의 배리어 높이를 특징으로 하는,

반도체 구조.

**청구항 17**

반도체 구조를 형성하는 방법으로서,

반도체 기판 상에 도핑된 실리콘 층을 형성하는 단계 - 상기 반도체 기판으로부터 거리가 증가함에 따라 증가하는 도펀트 농도의 구배로 도펀트가 포함됨 - ;

상기 반도체 기판으로 연장되는 트렌치를 정의하도록 상기 도핑된 실리콘 층을 에칭하는 단계 - 상기 도핑된 실리콘 층은 상기 트렌치의 경사 측벽을 정의하며, 상기 트렌치는 약 30 $\mu$ m 이상의 깊이를 특징으로 하고, 상기 도핑된 실리콘 층은 약 2 $\mu$ m 내지 약 5 $\mu$ m의 폭을 특징으로 함 - ;

약 5nm 이하의 두께를 특징으로 하는 제1 산화물 재료로 상기 트렌치를 라이닝하는 단계;

상기 트렌치 내에 제2 산화물 재료를 증착하는 단계; 및

전력 디바이스를 생산하기 위해 접촉부를 형성하는 단계를 포함하는,

반도체 구조를 형성하는 방법.

**청구항 18**

제17 항에 있어서,

상기 반도체 기판은 안티몬으로 도핑된 실리콘을 포함하고, 상기 제1 산화물 재료는 알루미늄 산화물을 포함하고, 상기 제2 산화물 재료는 실리콘 산화물을 포함하는,

반도체 구조를 형성하는 방법.

**청구항 19**

제17 항에 있어서,

상기 도핑된 실리콘 층의 노출된 표면 상에 주입을 수행하는 단계를 더 포함하고, 상기 전력 디바이스는 P-N 접

합을 포함하는,  
반도체 구조를 형성하는 방법.

**청구항 20**

제17 항에 있어서,  
상기 반도체 구조 상의 금속 실리사이드의 구역을 형성하는 단계를 더 포함하고, 상기 금속 실리사이드의 구역은 붕소, 인 또는 비소의 주입된 이온들을 특징으로 하고, 상기 금속 실리사이드의 구역은 쇼트키 접촉부를 생산하도록 약 0.6V 이상의 배리어 높이를 특징으로 하는,  
반도체 구조를 형성하는 방법.

**발명의 설명**

**기술 분야**

[0001] [0001] 이 출원은 2021년 2월 8일에 출원되고 발명의 명칭이 "GRADED DOPING IN POWER DEVICES"인 미국 정규 출원 번호 제17/169,916호의 이익 및 우선권을 주장하며, 이 정규 출원의 내용은 모든 목적들을 위해 그 전체가 인용에 의해 본원에 포함된다.

[0002] [0002] 본 기술은 반도체 프로세스들 및 디바이스들에 관한 것이다. 보다 구체적으로, 본 기술은 구조적 특성들에 기초한 조정된 도핑을 특징으로 하는 반도체 구조들을 생산하는 것에 관한 것이다.

**배경 기술**

[0003] [0003] 집적 회로들은 기판 표면들 상에 복잡하게 패터닝된 재료 층들을 생산하는 프로세스들에 의해 가능하게 된다. 기판 상에 패터닝된 재료를 생산하는 것은 재료들의 증착 및 제거를 위한 제어되는 방법들을 요구한다. 그러나 새로운 디바이스 설계들로, 고품질 재료 층들을 생산하는 것은 난제일 수 있다.

[0004] [0004] 따라서, 고품질 디바이스들 및 구조들을 생산하기 위해 사용될 수 있는 개선된 시스템들 및 방법들이 필요하다. 이들 및 다른 필요성들이 본 기술에 의해 해소된다.

**발명의 내용**

[0005] [0005] 반도체 구조를 형성하는 예시적인 방법들은 반도체 기판 상에 도핑된 실리콘 층을 형성하는 단계를 포함할 수 있다. 도핑 레벨은 반도체 기판으로부터 거리가 증가함에 따라 증가될 수 있다. 방법들은 반도체 기판으로 연장되는 트렌치를 정의하도록 도핑된 실리콘 층을 에칭하는 단계를 포함할 수 있다. 도핑된 실리콘 층은 트렌치의 경사 측벽(sloping sidewall)을 정의할 수 있다. 트렌치는 약 30 $\mu$ m 이상의 깊이를 특징으로 할 수 있다. 방법들은 제1 산화물 재료로 트렌치를 라이닝하는 단계를 포함할 수 있다. 방법들은 트렌치 내에 제2 산화물 재료를 증착하는 단계를 포함할 수 있다. 방법들은 전력 디바이스를 생산하기 위해 접촉부를 형성하는 단계를 포함할 수 있다.

[0006] [0006] 일부 실시예들에서, 에칭에 후속하여, 도핑된 실리콘 층은 약 2 $\mu$ m 내지 약 5 $\mu$ m의 폭을 특징으로 할 수 있다. 트렌치를 라이닝하는 제1 산화물 재료의 두께는 약 5 nm 이하일 수 있다. 방법들은 도핑된 실리콘 층의 노출된 표면 상에서 주입(implant)을 수행하는 단계를 포함할 수 있다. 전력 디바이스는 P-N 접합을 포함할 수 있다. 접촉부는 반도체 구조 상의 금속 실리사이드의 구역을 포함할 수 있다. 금속 실리사이드의 구역은 붕소, 인 또는 비소의 주입된 이온들을 특징으로 할 수 있다. 금속 실리사이드의 구역은 쇼트키 접촉부(Schottky contact)를 생산하도록 약 0.6V 이상의 배리어 높이를 특징으로 할 수 있다. 제1 산화물 재료는 알루미늄 산화물이거나 이를 포함할 수 있고, 제2 산화물 재료는 실리콘 산화물이거나 이를 포함할 수 있다. 반도체 기판은 안티몬(antimony)으로 도핑된 실리콘이거나 이를 포함할 수 있다. 트렌치의 경사 측벽은 일정한 경사를 특징으로 할 수 있다. 도핑된 실리콘 층은 반도체 기판에 근접한 포지션으로부터 반도체 기판에 인접한 표면 맞은편 표면에 근접한 로케이션까지 도핑의 선형 증가를 특징으로 할 수 있다. 반도체 구조는 약 650V 이상의 항복 전압(breakdown voltage)을 특징으로 할 수 있다. 도핑된 실리콘 층을 위한 도펀트는 인이거나 인을 포함할 수 있다. 반도체 기판에 근접한 로케이션에서의 도펀트 농도는 약 8e15 cm<sup>-3</sup> 이하일 수 있다. 반도체 기판 원위의 도펀트 농도는 약 9e15 cm<sup>-3</sup> 이상일 수 있다.

[0007] 본 기술의 일부 실시예들은 반도체 구조들을 포함할 수 있다. 구조들은 기판 위에 놓이도록 형성된 도핑된 실리콘의 층을 포함할 수 있다. 도핑된 실리콘 내의 도핑 레벨은 기판으로부터 거리가 증가함에 따라 증가할 수 있다. 구조들은 도핑된 실리콘의 층의 양 측 상에 형성된 트렌치를 포함할 수 있다. 트렌치는 제1 산화물 재료의 라이너 및 제2 산화물 재료의 충전 재료를 포함할 수 있다. 트렌치는 경사진 측면들을 특징으로 할 수 있다. 구조들은 접촉부를 포함할 수 있다.

[0008] 일부 실시예들에서, 도핑된 실리콘의 층을 위한 도펀트는 인이거나 인을 포함할 수 있다. 기판에 근접한 로케이션에서의 도펀트 농도는 약  $8e15 \text{ cm}^{-3}$  이하일 수 있다. 기판 원위의 도펀트 농도는 약  $9e15 \text{ cm}^{-3}$  이상일 수 있다. 트렌치의 경사진 측면들은 일정한 경사를 특징으로 할 수 있다. 도핑된 실리콘의 층은 기판에 근접한 포지션으로부터 기판에 인접한 표면 맞은편 표면에 근접한 로케이션까지 도핑의 선형 증가를 특징으로 할 수 있다. 기판은 안티몬으로 도핑된 실리콘이거나 이를 포함할 수 있다. 제1 산화물 재료는 알루미늄 산화물일 수 있거나 이를 포함할 수 있다. 제2 산화물 재료는 실리콘 산화물일 수 있거나 이를 포함할 수 있다. 반도체 구조의 노출된 표면은 반도체 구조에 대한 P-N 접합을 생산하는 붕소 주입이거나 이를 포함할 수 있다. 접촉부는 금속 실리사이드의 구역을 포함할 수 있다. 금속 실리사이드의 구역은 붕소, 인 또는 비소의 주입된 이온들을 특징으로 할 수 있다. 금속 실리사이드의 구역은 쇼트키 접촉부를 생산하도록 약 0.6V 이상의 배리어 높이를 특징으로 할 수 있다.

[0009] 본 기술의 일부 실시예들은 반도체 구조를 형성하는 방법들을 포함할 수 있다. 방법들은 반도체 기판 상에 도핑된 실리콘 층을 형성하는 단계를 포함할 수 있다. 반도체 기판으로부터 거리가 증가함에 따라 증가하는 도펀트 농도의 구배로 도펀트가 포함될 수 있다. 방법들은 반도체 기판으로 연장되는 트렌치를 정의하도록 도핑된 실리콘 층을 에칭하는 단계를 포함할 수 있다. 도핑된 실리콘 층은 트렌치의 경사 측면을 정의할 수 있다. 트렌치는 약  $30\mu\text{m}$  이상의 깊이를 특징으로 할 수 있다. 도핑된 실리콘 층은 약  $2\mu\text{m}$  내지 약  $5\mu\text{m}$ 의 폭을 특징으로 할 수 있다. 방법들은 약 5nm 이하의 두께를 특징으로 하는 제1 산화물 재료로 트렌치를 라이닝하는 단계를 포함할 수 있다. 방법들은 트렌치 내에 제2 산화물 재료를 증착하는 단계를 포함할 수 있다. 방법들은 전력 디바이스를 생산하기 위해 접촉부를 형성하는 단계를 포함할 수 있다.

[0010] 일부 실시예들에서, 반도체 기판은 안티몬으로 도핑된 실리콘이거나 이를 포함할 수 있다. 제1 산화물 재료는 알루미늄 산화물일 수 있거나 이를 포함할 수 있다. 제2 산화물 재료는 실리콘 산화물일 수 있거나 이를 포함할 수 있다. 방법들은 도핑된 실리콘의 층의 노출된 표면 상에서 주입을 수행하는 단계를 포함할 수 있다. 전력 디바이스는 P-N 접합일 수 있다. 방법들은 반도체 구조 상의 금속 실리사이드의 구역을 형성하는 단계를 포함할 수 있다. 금속 실리사이드의 구역은 붕소, 인 또는 비소의 주입된 이온들을 특징으로 할 수 있다. 금속 실리사이드의 구역은 쇼트키 접촉부를 생산하도록 약 0.6V 이상의 배리어 높이를 특징으로 할 수 있다.

[0011] 그러한 기술은 종래의 시스템들 및 기법들에 비해 다수의 이익들을 제공할 수 있다. 예컨대, 프로세스들은 임의의 수의 디바이스들에 대해 개선된 전하 밀도를 가진 디바이스들을 생산할 수 있다. 부가적으로, 프로세스들은 생산된 구조들에 대한 항복 진압을 개선할 수 있으며 이는 프로세싱 복잡성을 극복할 수 있다. 이들 및 다른 실시예들은, 이들의 이점들 및 특징들 중 다수와 함께, 아래의 설명 및 첨부 도면들과 함께 더 상세히 설명된다.

**도면의 간단한 설명**

[0012] 개시되는 기술의 성질 및 이점들의 추가적인 이해는 본 명세서의 나머지 부분들 및 도면들을 참조함으로써 실현될 수 있다.

[0013] 도 1은 본 기술의 일부 실시예들에 따른 예시적인 프로세싱 시스템의 일 실시예의 평면도를 도시한다.

[0014] 도 2는 본 기술의 일부 실시예들에 따라 반도체 디바이스들을 형성하는 방법의 예시적인 동작들을 도시한다.

[0015] 도 3a 내지 도 3c는 본 기술의 일부 실시예들에 따라 프로세싱되는 기판들의 단면도들을 도시한다.

[0016] 도면들 중 몇몇 도면들은 개략도들로서 포함된다. 도면들은 예시적인 목적들을 위한 것이며, 실적인 것으로 구체적으로 명시되지 않는 한, 실적인 것으로 간주되지 않아야 한다는 것이 이해되어야 한다. 부가적으로, 개략도들로서, 도면들은 이해를 돕기 위해 제공되며, 현실적인 표현들과 비교하여 모든 양상들 또는 정보를 포함하지 않을 수 있고, 예시적인 목적들을 위해 과장된 자료를 포함할 수 있다.

[0017] 첨부된 도면들에서, 유사한 컴포넌트들 및/또는 피처들은 동일한 참조 라벨을 가질 수 있다. 추가로, 동일한 유형의 다양한 컴포넌트들은, 유사한 컴포넌트들을 구별하는 문자를 참조 라벨에 뒤따르게 함으로써 구별될 수 있다. 본 명세서에서 제1 참조 라벨만이 사용된 경우, 설명은, 문자와 무관하게, 동일한 제1 참조 라벨을 갖는 유사한 컴포넌트들 중 임의의 하나에 적용 가능하다.

**발명을 실시하기 위한 구체적인 내용**

[0013] [0018] 반도체 프로세싱에서 생산되는 디바이스가 계속 축소됨에 따라 균일성, 재료 품질, 프로세스 제어 및 반복성은 프로세스마다 점점 더 난제시되고 있다. 감소된 스케일로 디바이스 성능을 계속 개선하기 위해, 종래의 디바이스들에 대해 부가적인 성능 개선들을 위해 대안적인 막들 및 프로세스들이 조사되고 있다.

[0014] [0019] 예컨대, 전력 다이오드들을 포함한 전력 디바이스들에서, 항복 전압을 증가시키기 위해, 실리콘 탄화물 또는 갈륨 질화물과 같은 더 넓은 밴드갭 재료들 위에 다수의 구조들이 형성되고 있으며, 이는 엄청나게 비싸지만, 제조를 용이하게 하도록 감소된 디바이스 높이를 허용할 수 있다. 그러나 500 V 이상을 포함하는 고전력 디바이스들을 위한 디바이스 기판으로서 실리콘과 같은 대안적인 재료들을 사용하기 위해, 디바이스의 다양한 구역들 사이에서 전하 밸런싱(charge balancing)을 달성하기가 더 어려워지고, 디바이스 높이는 제한하기가 보다 어려울 수 있다. 부가적으로, 전력 다이오드들은 디바이스의 n-반도체 재료와 p-반도체 재료 사이의 전하 밸런싱을 용이하게 하기 위해 형성된 딥 트렌치(deep trench)를 특징으로 할 수 있다. 디바이스 스케일링을 개선하기 위해, 고도로 p-형으로 하전된 재료의 얇은 층이 실리콘의 n-형 전하를 밸런싱하는 데 사용될 수 있으며, 이는 p-구역 재료들의 치수의 감소를 허용한다.

[0015] [0020] 일부 전력 디바이스들에 대한 형성 동작들 동안, 전하 밸런싱을 제공하기 위한 재료의 층은 기판을 따라 형성된 구조들의 평면 또는 수평 표면들을 따라 연장될 뿐만 아니라 형성된 트렌치들의 측면들을 따라 연장될 수 있다. 라이너일 수 있는 이 층은 트렌치를 통해 전하를 밸런싱할 뿐만 아니라 기판의 표면들을 따라 전하를 밸런싱할 수 있다. 그러나, 이 라이너 층은 제조 동안 고정된 전하를 특징으로 할 수 있다. 수십 마이크로미터일 수 있는 디바이스 높이에 기초하여, 고정된 전하는 프로세싱 복잡성을 보상하지 못할 수 있다. 예컨대, 트렌치 형성 동안, 일정량의 경사가 구조를 통해 발생할 수 있다. 이는 반도체 재료의 폭이 최상부 및 최하부에서 상이하게 되게 할 수 있다. 디바이스 내의 전하 밀도는 반도체 재료 내의 도핑의 함수로서 영향을 받을 수 있으며 이는 디바이스 내의 항복 전압에 영향을 미칠 수 있다. 결과적으로, 디바이스의 더 좁은 최상부 — 이는 디바이스 항복 전압을 감소시킬 수 있음 — 에서 항복(breakdown)이 더 빨리 일어날 수 있으며, 이는 고전력 디바이스에 대한 적용 가능성을 제한할 수 있다.

[0016] [0021] 본 기술은 반도체 재료를 통한 도핑의 구배를 형성함으로써 이러한 이슈들을 극복할 수 있다. 구배를 따라 최하부로부터 최상부로 도핑을 증가시킴으로써, 반도체 재료는 테이퍼링된 구조(tapered structure)로 인한 성능 비용들을 극복하는 데 사용될 수 있으며, 이는 디바이스 스케일링 및 성능을 개선할 수 있다. 나머지 개시내용은 본 구조들 및 방법들이 사용될 수 있는 특정 구조들 이를테면, 다이오드들을 관례대로 식별할 것이지만, 시스템들 및 방법들은 반도체 프로세싱 동안 도핑 조정들 또는 다른 동작들로부터 이익을 얻을 수 있는 임의의 수의 구조들 및 디바이스들에 동등하게 적용 가능하다는 것이 쉽게 이해될 것이다. 따라서, 본 기술이 단지 임의의 특정 구조들에 대해서만 사용되는 것으로 제한되는 것으로 간주되지 않아야 한다. 더욱이, 본 기술에 대한 기초를 제공하기 위해 예시적인 도구 시스템이 설명될 것이지만, 본 기술은 설명될 동작들 중 일부 또는 전부를 수행할 수 있는 임의의 수의 반도체 프로세싱 챔버들 및 도구들에서 생산될 수 있다는 것이 이해되어야 한다.

[0017] [0022] 도 1은 본 기술의 일부 실시예들에 따른, 증착, 에칭, 베이킹, 및 경화 챔버들의 프로세싱 시스템(100)의 일 실시예의 상부 평면도를 도시한다. 도면에서, 한 쌍의 전방 개방 통합 포트들(102)은 다양한 크기들의 기관들을 공급하며, 그 기관들은 로봇 암들(104)에 의해 수용되고, 그리고 탠덤 섹션들(109a-c)에 포지셔닝된 기관 프로세싱 챔버들(108a-f) 중 하나 내에 배치되기 전에, 저압 홀딩 영역(106) 내에 배치된다. 제2 로봇 암(110)은 기관 웨이퍼들을 홀딩 영역(106)으로부터 기관 프로세싱 챔버들(108a-f)로 그리고 그 반대로 운송하기 위해 사용될 수 있다. 각각의 기관 프로세싱 챔버(108a-f)는 순환 층 증착, 원자 층 증착, 화학 기상 증착, 물리 기상 증착, 에칭, 사전-세정, 어닐링, 플라즈마 프로세싱, 디게스(degas), 배향, 및 다른 기관 프로세스들에 부가하여, 본원에서 설명되는 건식 에칭 프로세스들을 포함하는 다수의 기관 프로세싱 동작들을 수행하도록 장비될 수 있다.

[0018] [0023] 기관 프로세싱 챔버들(108a-f)은 기관 또는 웨이퍼 상에서 재료 막을 증착, 어닐링, 경화, 및/또는 에칭



하기 위한 하나 이상의 시스템 컴포넌트들을 포함할 수 있다. 일 구성에서, 두 쌍의 프로세싱 챔버들 예컨대, 108c-d 및 108e-f은 기판 상에 재료를 증착하는 데 사용될 수 있고, 제3 쌍의 프로세싱 챔버들 예컨대, 108a-b는 증착된 막들을 경화, 어닐링 또는 처리하는 데 사용될 수 있다. 다른 구성에서, 모든 3개의 쌍들의 챔버들 (예컨대, 108a-f)은 기판 상에 막들을 증착 및 경화 둘 모두를 하도록 구성될 수 있다. 설명되는 프로세스들 중 임의의 하나 이상은 상이한 실시예들에서 보여진 제작 시스템으로부터 분리된 부가적인 챔버들에서 수행될 수 있다. 재료 막들을 위한 증착, 에칭, 어닐링, 및 경화 챔버들의 부가적인 구성들이 시스템(100)에 의해 고려된다는 것이 인식될 것이다. 부가적으로, 특정 동작들 중 임의의 것을 수행하기 위한 챔버들을 통합할 수 있는 임의의 수의 다른 프로세싱 시스템들이 본 기술과 함께 활용될 수 있다. 일부 실시예들에서, 언급된 홀딩 및 이송 영역들과 같은 다양한 섹션들에서 진공 환경을 유지하면서 다수의 프로세싱 챔버들에 대한 액세스를 제공할 수 있는 챔버 시스템들은 별개의 프로세스들 사이에 특정 진공 환경을 유지하면서 다수의 챔버들에서 동작들이 수행되도록 허용할 수 있다.

[0019] [0024] 시스템(100), 또는 보다 구체적으로 시스템(100) 또는 다른 프로세싱 시스템들에 통합된 챔버들은 본 기술의 일부 실시예들에 따른 구조들을 생산하는 데 사용될 수 있다. 도 2는 본 기술의 일부 실시예들에 따라 반도체 구조를 형성하는 방법(200)의 예시적인 동작들을 도시한다. 방법(200)은 예컨대, 시스템(100)에 통합된 챔버들과 같은 하나 이상의 프로세싱 챔버들에서 수행될 수 있다. 방법(200)은 방법의 개시 전에 하나 이상의 동작들을 포함할 수 있으며, 그 하나 이상의 동작들은 프론트 엔드 프로세싱, 증착, 에칭, 폴리싱, 세정, 또는 설명되는 동작들 전에 수행될 수 있는 임의의 다른 동작들을 포함할 수 있거나 포함하지 않을 수 있다. 방법은 도면에 표시된 바와 같은 다수의 선택적인 동작들을 포함할 수 있으며, 그 다수의 선택적인 동작들은 본 기술에 따른 방법들의 일부 실시예들과 구체적으로 연관될 수 있거나 또는 구체적으로 연관되지 않을 수 있다. 방법(200)은 도 3a 내지 도 3c에 개략적으로 도시된 동작들을 설명하며, 도 3a 내지 도 3c의 예시들은 방법(200)의 동작들과 함께 설명될 것이다. 도 3a 내지 도 3c는 제한된 세부사항들을 갖는 부분적인 개략도들만을 예시하며, 일부 실시예들에서, 기판은 도면들에 예시된 바와 같은 양상들 뿐만 아니라, 본 기술의 양상들 중 임의의 것으로부터 여전히 이익을 얻을 수 있는 대안적인 구조적 양상들을 갖는 임의의 수의 반도체 섹션들을 포함할 수 있다는 것이 이해되어야 한다.

[0020] [0025] 방법(200)은 특정 제작 동작을 따라 반도체 구조를 개발하기 위한 선택적인 동작들을 수반할 수 있다. 일부 실시예들에서, 방법(200)이 기본 구조 상에서 수행될 수 있지만, 일부 실시예들에서, 방법은 다른 재료 형성 이후에 수행될 수 있다. 도 3a에 예시된 바와 같이, 반도체 구조는 프론트 엔드 또는 다른 프로세싱이 완료된 후의 디바이스(300)를 표현할 수 있다. 예컨대, 기판(305)은 평면 재료일 수 있거나, 포스트들, 트렌치들, 또는 본 기술에 의해 유사하게 포함되는 것으로 이해되는 다른 구조들로서 구성된 다수의 재료들을 포함할 수 있는 구조화된 디바이스일 수 있다. 기판(305)은 전이 금속들, 전이 후 금속들, 메탈로이드(metalloid)들, 산화물들, 질화물들, 이들 재료들 중 임의의 것의 탄화물들을 포함하는, 금속들을 포함하는 임의의 수의 전도성 및/또는 유전체 재료들뿐만 아니라, 구조 내에 통합될 수 있는 임의의 다른 재료들을 포함할 수 있다. 일부 실시예들에서, 기판(305)은 실리콘 함유 또는 갈륨 함유 재료들뿐만 아니라 임의의 수의 재료들에 의해 도핑될 수 있는 실리콘이거나 이를 포함할 수 있다. 도핑은 일부 동작들에서 n-형 도핑일 수 있으며, 실리콘은 임의의 수의 기법들에 의해 형성되거나 성장될 수 있다. 부가적으로, 실시예들에서, 하나 이상의 도핑된 구역들이 기판에 포함될 수 있다. 예컨대, 임의의 수의 n- 또는 p-도핑 구역들이 기판 상에 포함될 수 있다. n-도핑은 n-도핑을 생산하는 임의의 도펀트로 수행될 수 있으며, 예컨대, 임의의 다른 도펀트들 중에서도, 안티몬을 포함할 수 있다. 도면은 스케일을 고려하지 않으며, 일부 실시예들에서 기판(305)이 수십 마이크로미터일 수 있다는 것이 이해되어야 한다.

[0021] [0026] 방법(200)은 기판 위에 놓이는 재료를 형성하는 것을 포함할 수 있으며, 이는 전력 디바이스들에 사용되는 임의의 재료이거나 이를 포함할 수 있다. 갈륨 질화물 또는 실리콘 탄화물과 같은 재료들이 사용될 수 있지만, 일부 실시예들에서, 실리콘이 기판 상에 증착되거나 성장될 수 있다. 하나의 비-제한적인 예로서, 방법(200)은 동작(205)에서 기판 상에 실리콘(310)을 에피택셜 성장시키는 것을 포함할 수 있다. 실리콘은 성장 동작 동안 도핑될 수 있고, 예시된 바와 같이 도핑 구배(doping gradient)를 특징으로 할 수 있으며, 여기서 도핑 레벨은 반도체 기판으로부터 거리가 증가함에 따라 증가된다. 아래에서 추가로 설명될 바와 같이, 기판(305) 근처에 감소된 도핑 레벨을 통합함으로써, 도핑은 에칭 동안 생산될 수 있는, 기판에 근접한 더 넓은 구조를 보상하기 위해 사용될 수 있다. 도펀트는 도핑에 전형적으로 사용되는 임의의 수의 재료들일 수 있으며, 일부 실시예들에서, 예컨대, 인일 수 있다. 구조를 따라 임의의 양의 n+ 또는 n- 도핑을 포함할 수 있는 구배로 인 도핑이 포함될 수 있다. 실리콘(310)은 임의의 높이로 성장될 수 있고, 일부 실시예들에서, 높이가 60 $\mu$ m 미만인 디바이스를 형성하는 데 사용될 수 있고, 약 55 $\mu$ m 이하, 약 50 $\mu$ m 이하, 약 45 $\mu$ m 이하, 약 40 $\mu$ m 이하, 약 35 $\mu$ m

이하, 또는 그 미만의 높이로 형성될 수 있다.

- [0022] [0027] 디바이스(300)는 임의의 수의 전력 디바이스들을 생산하는 데 사용될 수 있으며, 상이한 디바이스들에 대해 서로 다른 접촉 구조를 제공할 수 있다. 예컨대, 일부 실시예들에서, 디바이스는 일부 실시예들에서 P-N 접합을 형성하는 데 사용될 수 있으며 이는 오믹 접촉부(ohmic contact)를 가질 수 있다. 따라서, 접합을 생산하기 위해, 일부 실시예들에서, 방법(200)은 선택적인 동작(210)에서 주입 프로세스를 수행하는 것을 포함할 수 있다. 일 예로서, 붕소 주입 동작은 실리콘 구조의 표면 내에서 약 1 마이크로미터 이상의 깊이로 수행될 수 있다. 스파이크 어닐링과 같은 어닐링이 주입을 활성화하기 위해 수행되어, 도 3b에 예시된 바와 같이 주입 구역(315)을 생산할 수 있다.
- [0023] [0028] 도핑된 실리콘의 층은 후속적으로 동작(215)에서 에칭될 수 있다. 에칭은 도 3b에 예시된 바와 같이 실리콘의 제1 표면으로부터 기판(305) 내로의 레벨까지 형성된 하나 이상의 트렌치들을 생산할 수 있다. 트렌치들은 반도체 기판 내에 형성된 임의의 다른 피처들뿐만 아니라 다이오드들 또는 다른 전력 디바이스 구조들을 위한 딥 트렌치 피처(deep trench feature)들일 수 있다. 트렌치는 구조 재료들을 통한 타겟팅된 항복 전압의 생산을 용이하게 할 수 있고, 증가된 중형비를 특징으로 할 수 있다. 예컨대, 각각의 트렌치는 약 10 이상의 깊이 대 폭 비를 특징으로 할 수 있고, 약 15 이상, 약 20 이상, 약 25 이상, 약 30 이상, 약 35 이상, 약 40 이상, 약 45 이상, 약 50 이상, 또는 그 초과일 수 있다. 트렌치들 사이에서, 애노드 또는 캐소드에 대한 랜딩(landing)일 수 있는 나머지 실리콘 재료(310)로 활성 구역이 생산될 수 있고, 트렌치들 외부는 에지 종결 구역들일 수 있다. 이러한 구역들 각각은 위에서 설명된 바와 같이 기판에 대해 전하 밸런싱될 수 있다.
- [0024] [0029] 위에서 언급된 바와 같이, 에칭은 n-도핑된 실리콘을 통해 전체 깊이로 연장될 수 있고, 예시된 바와 같이 기판(305) 내로 연장될 수 있다. 따라서, 에칭 프로세스는 본 기술의 일부 실시예들에서 수십 마이크로미터를 에칭할 수 있다. 실리콘 또는 다른 재료들을 통해 이방성으로 에칭할 수 있는 임의의 수의 에칭 프로세스들이 수행될 수 있다. 하나의 비-제한적인 예에서, 트렌치 구조들을 생산하기 위해 반응성 이온 에칭 프로세스가 수행될 수 있다. 구조의 깊이로 인해, 테이퍼가 예시된 바와 같이 기판으로 또는 기판 내로 연장되도록 형성될 수 있으며, 이는 트렌치의 경사 측면들을 초래할 수 있다. 이는 실리콘 재료가 구조의 최상부에서의 제1 폭 및 기판에 근접한 구조의 최하부에서의, 제1 폭보다 더 큰 제2 폭을 특징으로 하게 할 수 있다. 실리콘의 깊이를 따른 구조의 폭은 약 2 $\mu\text{m}$  이상일 수 있고, 약 2.5 $\mu\text{m}$  이상, 약 3.0 $\mu\text{m}$  이상, 약 3.1 $\mu\text{m}$  이상, 약 3.2 $\mu\text{m}$  이상, 약 3.3 $\mu\text{m}$  이상, 약 3.4 $\mu\text{m}$  이상, 약 3.5 $\mu\text{m}$  이상, 약 3.6 $\mu\text{m}$  이상, 약 3.7 $\mu\text{m}$  이상, 약 3.8 $\mu\text{m}$  이상, 약 3.9 $\mu\text{m}$  이상, 약 4.0 $\mu\text{m}$  이상, 약 4.5 $\mu\text{m}$  이상, 약 5.0 $\mu\text{m}$  이상, 또는 그 초과일 수 있다.
- [0025] [0030] 폭 분포는 최상부로부터 최하부까지, 최상부 폭보다 약 1% 이상 더 넓은 최하부 폭으로 존재할 수 있으며, 최하부 폭은 최상부 폭보다 약 2% 이상 더 넓고, 최상부 폭보다 약 3% 이상 더 넓고, 최상부 폭보다 약 4% 이상 더 넓고, 최상부 폭보다 약 5% 이상 더 넓고, 최상부 폭보다 약 6% 이상 더 넓고, 최상부 폭보다 약 7% 이상 더 넓고, 최상부 폭보다 약 8% 이상 더 넓고, 최상부 폭보다 약 9% 이상 더 넓고, 최상부 폭보다 약 10% 이상 더 넓고, 최상부 폭보다 약 11% 이상 더 넓고, 최상부 폭보다 약 12% 더 넓고, 최상부 폭보다 약 13% 이상 더 넓고, 최상부 폭보다 약 14% 이상 더 넓고, 최상부 폭보다 약 15% 이상 더 넓거나, 그 초과일 수 있다.
- [0026] [0031] 전력 디바이스들의 충분한 동작 항복은, 디바이스를 통해 전압을 분배하고 구조에 대한 항복 전압을 증가시킬 수 있는, 기판에 걸친 최적 전하 밀도에 대한 함수에 기초할 수 있다. 전하 밀도는 실리콘 또는 다른 구조 재료의 도핑 및 형성된 구조의 폭의 함수에 기초할 수 있다. 구조에 대해 전하 밀도가 고정될 수 있기 때문에, 디바이스의 깊이를 따라 변화하는 폭은 전하 밀도의 균일성을 제한할 수 있다. 이는 더 얇은 구역들이 더 빨리 항복되게 할 수 있으며, 이는 전체 디바이스 항복 전압을 감소시킬 수 있다. 그러나 전하 밀도는 도핑 및 디바이스 폭 둘 모두의 함수이기 때문에, 에칭 프로세스에 의해 생성되는 폭 차이를 도핑 구배로 보상함으로써, 구조가 생산 복잡성으로부터의 난제들을 극복할 수 있다.
- [0027] [0032] 따라서, 구조를 통해 도펀트의 구배를 생산함으로써, 충분한 전하 밀도를 유지하기 위해 폭의 역 구배(inverse gradient)가 보상될 수 있다. 다른 말로 하면, 본 기술의 실시예에 따르면, 기판 근처에서 폭이 더 큰 경우, 도펀트 레벨이 낮아질 수 있는 반면, 기판 원위에서 폭이 더 큰 경우, 도펀트 레벨이 증가될 수 있다. 이는 디바이스를 통한 개선된 전하 밀도 분포를 보장할 수 있으며, 이는 보다 균일한 분포를 제공함으로써 디바이스 항복 전압을 증가시킬 수 있다. 에칭 프로세스가 실리콘 층을 따라 선형 경사를 생산할 수 있기 때문에, 도펀트의 선형 증가는 구조를 보상할 수 있다. 그러나, 더 크거나 더 적은 도펀트 혼입을 포함하여 임의의 수의 도펀트 조정들이 이루어질 수 있다는 것이 이해되어야 한다. 따라서, 일부 실시예들에서, 도핑은 실리콘 층의 최하부에 근접한 제1 레벨에서 세팅될 수 있고, 에칭 프로세스에 의해 생산될 수 있는 식별된 선형 경사와

관련하여 선형으로 증가될 수 있다. 도펀트의 구배는 실리콘 재료의 두께를 따라 완전히 연장될 수 있고, 기판에 바로 인접한 로케이션을 포함하여 반도체 기판에 근접한 포지션으로부터 반도체 기판에 인접한 표면 맞은편 표면에 근접한 로케이션까지 연장될 수 있다. 도핑의 구배는 또한 측벽 경사가 연장될 수 있는 임의의 더 작은 부분을 통해 연장될 수 있다. 도펀트 혼입은 임의의 범위의 도펀트 레벨들일 수 있으며 디바이스, 재료들 및 사이징(sizing)의 함수일 수 있다. 따라서, 넓은 범위의 도펀트 레벨들이 본 기술에 의해 포괄될 수 있다는 것이 이해되어야 한다.

[0028] [0033] 하나의 비-제한적인 예로서, 구조는 약 40 $\mu\text{m}$  내지 약 45 $\mu\text{m}$ 의 두께, 약 3 $\mu\text{m}$ 의 최상부 폭 및 기판을 향해 연장되는 증가하는 폭 - 이는 기판 표면에서 3.5 $\mu\text{m}$ 일 수 있음 - 으로 형성될 수 있다. 인 또는 일부 다른 도펀트 재료와 같은 도펀트는 약 8.5e15  $\text{cm}^{-3}$  이하의 농도로 기판에 근접한 로케이션에 혼입될 수 있으며, 약 8.4e15  $\text{cm}^{-3}$  이하, 약 8.3e15  $\text{cm}^{-3}$  이하, 약 8.2e15  $\text{cm}^{-3}$  이하, 약 8.1e15  $\text{cm}^{-3}$  이하, 약 8.0e15  $\text{cm}^{-3}$  이하, 약 7.9e15  $\text{cm}^{-3}$  이하, 약 7.8e15  $\text{cm}^{-3}$  이하, 약 7.7e15  $\text{cm}^{-3}$  이하, 또는 그 미만의 농도로 혼입될 수 있다. 주입 구역의 표면까지를 포함하여, 기판 원위 로케이션에서, 도펀트는 약 8.5e15  $\text{cm}^{-3}$  이상의 농도로 혼입될 수 있고, 약 8.6e15  $\text{cm}^{-3}$  이상, 약 8.7e15  $\text{cm}^{-3}$  이상, 약 8.8e15  $\text{cm}^{-3}$  이상, 약 8.9e15  $\text{cm}^{-3}$  이상, 약 9.0e15  $\text{cm}^{-3}$  이상, 약 9.1e15  $\text{cm}^{-3}$  이상, 약 9.2e15  $\text{cm}^{-3}$  이상, 약 9.3e15  $\text{cm}^{-3}$  이상, 약 9.4e15  $\text{cm}^{-3}$  이상, 약 9.5e15  $\text{cm}^{-3}$  이상, 또는 그 초과 농도로 혼입될 수 있다. 경사 트렌치 측벽 형성을 보상하기 위해 이들 혼입 범위들 사이에서 선형 또는 임의의 다른 도핑 구배가 최하부로부터 최상부로 연장되거나 생산될 수 있다.

[0029] [0034] 다수의 선택적인 동작들을 포함하여 본 기술의 임의의 수의 실시예들에 따라 트렌치들을 따라 하나 이상의 재료 층들이 형성될 수 있다. 층들은 트렌치들 내부에 또는 트렌치를 따라 이를테면, 실리콘 구조의 양 측상에 형성될 수 있다. 예컨대, 라이너일 수 있는 제1 산화물 층(320)이 동작(220)에서 형성될 수 있다. 라이너 층은 기판 및 피쳐들 각각에 걸쳐 형성되는 등각 층일 수 있다. 도 3b에 예시된 바와 같이, 라이너 층(320)은 기판(305)뿐만 아니라 실리콘 층의 측벽들을 따라 유사하게 연장될 수 있다. 라이너는 전하 밸런싱 층일 수 있고, 기판의 전하를 수용하도록 구성된 임의의 재료를 포함할 수 있다. 하나의 비-제한적인 예로서, 라이너 층은 알루미늄 산화물 또는 일부 다른 금속 산화물일 수 있다. 제1 산화물 두께는 약 5.0 nm 이하일 수 있고, 약 4.5 nm 이하, 약 4.0 nm 이하, 약 3.5 nm 이하, 약 3.0 nm 이하, 약 2.5 nm 이하, 약 2.0 nm 이하, 약 1.5 nm 이하, 약 1.0 nm 이하 또는 그 미만일 수 있으며, 이는 트렌치 폭을 제한하는 데 도움이 될 수 있다. 이전에 설명된 바와 같이, 고정된 전하가 라이너 층을 따라 생산될 수 있고 라이너를 따라 일정할 수 있다.

[0030] [0035] 트렌치들은 후속적으로, 동작(225)에서 충전될 수 있고, 실리콘 이산화물 또는 임의의 다른 충전 또는 유전체 재료와 같은 유전체 재료(325)로 충전될 수 있다. 전력 디바이스를 생산하기 위해 동작(230)에서 후속 접촉부 형성이 발생할 수 있다. 접촉부(330)는 P-N 접합을 위한 주입 구역 위에 놓이도록 형성된 오믹 접촉부일 수 있거나, 쇼트키 접촉부가 형성될 수 있다. 쇼트키 접촉부의 경우에, 선택적 주입 도핑(315)이 배제될 수 있고 금속 실리사이드 접촉부(330)가 형성될 수 있다. 접촉부는 또한 약 0.60V 이상의 배리어 높이를 생산하기 위해 붕소, 인, 비소 또는 일부 다른 재료와 같은 주입된 이온들을 특징으로 할 수 있으며, 이는 약 0.65 V 이상, 약 0.70 V 이상, 약 0.75 V 이상, 약 0.80 V 이상, 약 0.85 V 이상, 또는 그 초과 배리어 높이를 생산할 수 있다.

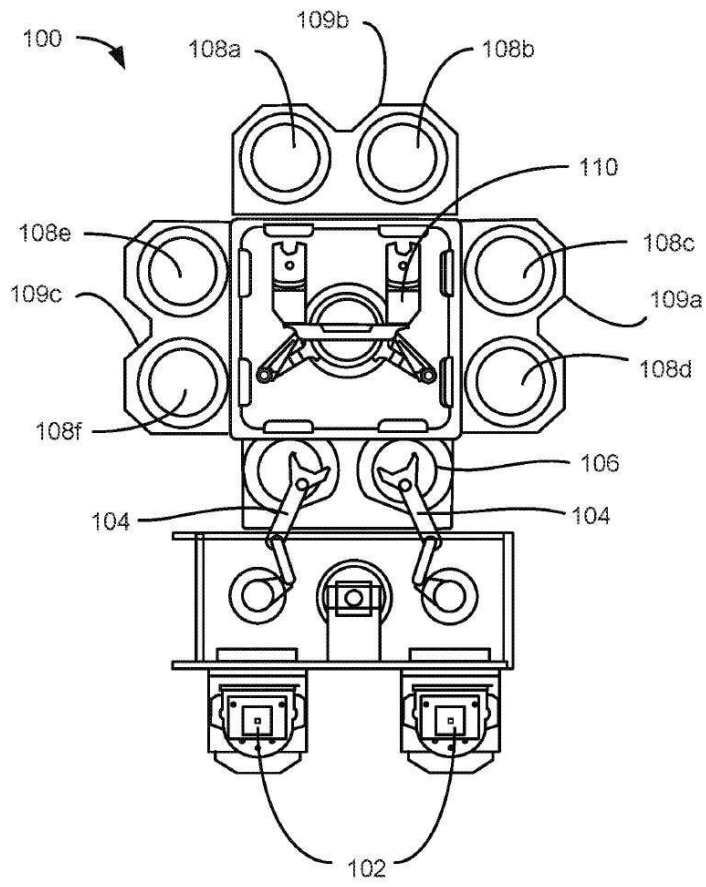
[0031] [0036] 이는, 약 1.35e12  $\text{cm}^{-2}$  이상의 전하 밀도를 특징으로 할 수 있고 약 1.40e12  $\text{cm}^{-2}$ , 약 1.45e12  $\text{cm}^{-2}$  이상, 약 1.50e12  $\text{cm}^{-2}$  이상, 약 1.55e12  $\text{cm}^{-2}$  이상, 또는 그 초과 전하 밀도를 특징으로 할 수 있는 전력 다이오드와 같은 전력 디바이스를 생산할 수 있다. 이는 약 650 V 이상의 항복 전압을 특징으로 하는 디바이스를 생산할 수 있고, 약 660 V 이상, 약 670 V 이상, 약 680 V 이상, 약 690 V 이상, 약 700 V 이상, 약 710 V 이상, 약 720 V 이상, 약 730 V 이상, 또는 그 초과 항복 전압을 특징으로 하는 디바이스를 생산할 수 있다. 쇼트키 접촉부를 형성함으로써, 전압은, P-N 접합 상의 주입 구역이 형성될 수 있는 실리콘 재료의 추가된 높이로 인해 10V 내지 20V 더 높아질 수 있다. 본 기술의 실시예들에 따라 디바이스를 생산함으로써, 프로세스 복잡성들을 보상하면서 개선된 디바이스 성능이 달성될 수 있다. 종래의 기술들은 달리 비교할만한(comparable) 항복 전압들을 생산하는 것이 가능하지 않을 수 있는데, 그 이유는 종래의 기술들은 더 두꺼운 두께들의 실리콘 재료를 생산하도록 요구될 수 있기 때문이다. 그러나 이러한 접근법은 부가적인 난제들을 생성한다. 예컨대, 증가된 에피택셜 구역은 훨씬 더 깊은 산화물 트렌치 형성을 요구할 것이며, 이는 추가로 에칭 프로세스들을 난제시킬 수 있다. 또한, 디바이스 높이를 증가시킴으로써, 직렬 저항이 증가하여 전체 디바이스 성능을 낮출 것

이다. 따라서, 본 기술은 종래의 설계들에 비해 우수한 디바이스들을 생산할 수 있다.

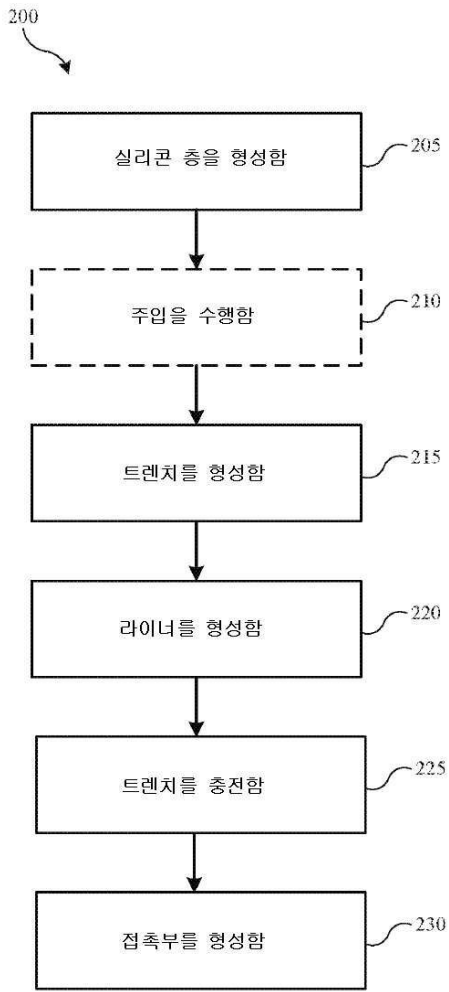
- [0032] [0037] 이전의 설명에서, 설명의 목적들로, 본 기술의 다양한 실시예들의 이해를 제공하기 위해 다수의 세부사항들이 제시되었다. 그러나, 이들 세부사항 중 일부가 없이, 또는 부가적인 세부사항들과 함께, 특정 실시예들이 실시될 수 있다는 것이 당업자에게 자명할 것이다.
- [0033] [0038] 여러 실시예들을 개시하였지만, 실시예들의 사상으로부터 벗어나지 않으면서, 다양한 수정들, 대안적인 구조들, 및 등가물들이 사용될 수 있다는 것이 당업자들에 의해 인식될 것이다. 부가적으로, 본 기술을 불필요하게 모호하게 하는 것을 방지하기 위해, 다수의 잘-알려진 프로세스들 및 엘리먼트들이 설명되지 않았다. 따라서, 위의 설명은 본 기술의 범위를 제한하는 것으로 이해되지 않아야 한다. 부가적으로, 방법들 또는 프로세스들은 순차적으로 또는 단계적으로 설명될 수 있지만, 동작들은 동시에 또는 나열된 것과 상이한 순서들로 수행될 수 있다는 것이 이해되어야 한다.
- [0034] [0039] 값들의 범위가 주어진 경우, 그러한 값들의 범위의 상위 한계값과 하위 한계값 사이에 존재하는 각각의 값은, 문맥상 달리 명백히 표시되어 있지 않은 한 하위 한계값의 최소 자릿수의 단 단위 값의 10분의 1까지 또한 구체적으로 기재된 것으로 해석된다. 명시된 범위 내의 임의의 명시된 값들 또는 그 범위에 속하는 명시되지 않은 값들과 그러한 명시된 범위 내의 임의의 다른 명시된 값 또는 그 범위에 속하는 다른 값 사이에 존재하는 각각의 소범위가 포함된다. 이러한 소범위의 상위 한계값 및 하위 한계값은 독립적으로 그러한 범위에 포함되거나 그러한 범위에서 제외될 수 있고, 각각의 범위는, 상위 한계값과 하위 한계값 중 하나 또는 둘 모두가 그러한 소범위에 포함되든지, 둘 모두가 그러한 소범위에서 제외되는지 간에, 구체적으로 제외된 임의의 한계값이 명시된 범위에 있는 한, 또한 본 기술에 포함된다. 명시된 범위가 한계값들 중 하나 또는 둘 모두를 포함하는 경우, 그렇게 포함된 한계값들 중 하나 또는 둘 모두를 제외한 범위들이 또한 포함된다.
- [0035] [0040] 본원 및 첨부 청구항들에서 사용되는 바와 같이, 단수 형태들은 문맥상 명확히 다르게 지시되지 않는 한 복수의 지시대상들을 포함한다. 따라서, 예컨대, "트렌치"에 대한 지칭은 복수의 그러한 트렌치들을 포함하고, "층"에 대한 지칭은 하나 이상의 층들, 및 당업자에게 알려져 있는 그 층들의 등가물들에 대한 지칭을 포함하는 등이다.
- [0036] [0041] 또한, 본 명세서에서 그리고 다음의 청구항들에서 사용되는 경우, "포함한다(comprise)", "포함하는(comprising)", "함유한다(contains)", "함유하는(containing)", "포함한다(include)", 그리고 "포함하는(including)"이란 단어들은 진술된 특징들, 인터저(integer)들, 컴포넌트들 또는 동작들의 존재를 특정하는 것으로 의도되지만, 이들은 하나 이상의 다른 특징들, 인터저들, 컴포넌트들, 동작들, 액트들 또는 그룹들의 존재 또는 추가를 배제하지 않는다.

도면

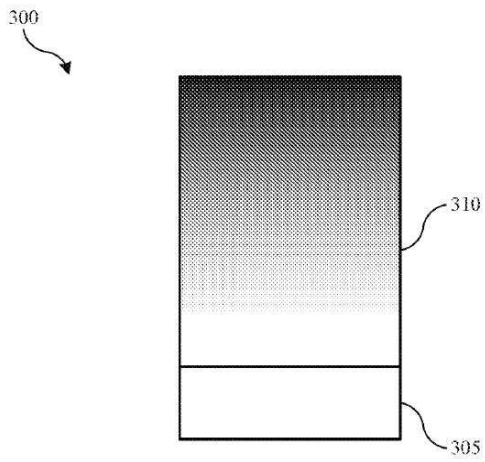
도면1



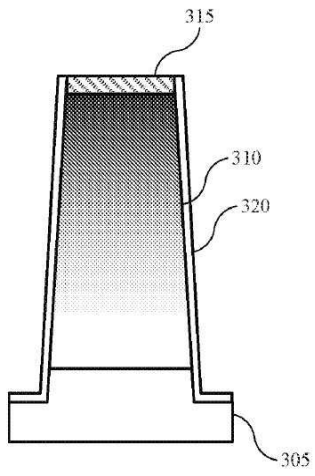
도면2



도면3a



도면3b



도면3c

