

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-241491
(P2004-241491A)

(43) 公開日 平成16年8月26日(2004.8.26)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H O 1 L 27/146	H O 1 L 27/14	4 M 1 1 8
H O 4 N 5/335	H O 4 N 5/335	5 C O 2 4

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号	特願2003-27331 (P2003-27331)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成15年2月4日(2003.2.4)	(74) 代理人	100095728 弁理士 上柳 雅誉
		(74) 代理人	100107076 弁理士 藤綱 英吉
		(74) 代理人	100107261 弁理士 須澤 修
		(72) 発明者	佐野 賢史 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	4M118 AA10 AB01 BA02 BA14 FA06 FC06 FC18 FC20 5C024 CY42 GY31 HX47

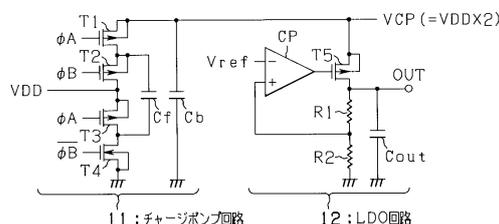
(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 別体の昇圧用チップ素子等を用いることなく動作に必要なバイアス電圧を供給することができるMOS型固体撮像素子を用いた固体撮像装置を提供する。

【解決手段】 MOS型固体撮像素子が構成された半導体基板上に昇圧回路を一体に構成し、この昇圧回路を、入力電圧を該入力電圧よりも高い電圧に変換するチャージポンプ回路11と、このチャージポンプ回路11から入力される電圧VCPを平滑化され安定化された電圧OUTに変換して出力するLDO回路12と、を含んで構成した固体撮像装置。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

半導体基板と、
上記半導体基板上に構成されたMOS型固体撮像素子と、
上記半導体基板上に構成された、入力電圧を該入力電圧よりも高い電圧に変換するチャージポンプ回路を含む昇圧回路と、
を具備したことを特徴とする固体撮像装置。

【請求項 2】

上記昇圧回路は、上記チャージポンプ回路から入力される電圧を平滑化され安定化された電圧に変換して出力する平滑安定化回路をさらに含んで構成されていることを特徴とする請求項 1 に記載の固体撮像装置。

10

【請求項 3】

上記平滑安定化回路は、当該平滑安定化回路からの出力電圧を、上記チャージポンプ回路から出力される電圧よりも低い所望の電圧に変換することができるように構成されたものであることを特徴とする請求項 2 に記載の固体撮像装置。

【請求項 4】

上記MOS型固体撮像素子は、閾値電圧変調方式のMOS型固体撮像素子であることを特徴とする請求項 1 に記載の固体撮像装置。

【発明の詳細な説明】**【発明の属する技術分野】**

20

本発明は、昇圧回路を内蔵した固体撮像装置に関する。

【従来技術】

半導体イメージセンサは、従来より各種の方式のものが提案されていて、例えばCCD（電荷結合素子）が広く用いられているが、その消費電力の低さからMOS型固体撮像素子であるCMOSイメージセンサも多く用いられるようになってきている。

さらに近年では、MOS型固体撮像素子の中でも、特に閾値電圧変調方式のMOS型固体撮像素子が、CCDの高性能画質とCMOSの低消費電力とを兼ね備えたものとして注目されている。この閾値電圧変調方式のMOS型固体撮像素子は、画質の劣化を抑制し、高密度化および低コスト化を図ることができる特徴を備えており、具体的な技術としては、例えば特開平11-195778号公報の明細書に開示されたものが挙げられる。

30

こうした優れた特徴を備える閾値電圧変調方式のMOS型固体撮像素子は、例えば携帯電話等を始めとした、低消費電力でありながらより一層の高画質が求められる種々の画像入力装置に利用されることが期待されている。

画像入力装置の一例としての携帯電話は、撮像素子に対して2.8Vまたは2.5Vの電圧を供給するように構成されているのが一般的であるが、閾値電圧変調方式のMOS型固体撮像素子はバイアス電圧として例えば3.3Vが必要であるために、従来は、閾値電圧変調方式のMOS型固体撮像素子とは別体の昇圧用チップ素子を用いて3.3Vの電圧を生成するように図られていた。

この閾値電圧変調方式のMOS型固体撮像素子の例に限らず、一般的なMOS型固体撮像素子においても、外部から供給される電圧と内部のバイアス電圧とが異なることがあり、同様にして、別体の昇圧用チップ素子を用いて必要な電圧を生成するようにしていた。

40

【特許文献 1】

特開平11-195778号公報

【発明が解決しようとする課題】

しかしながら、別体の昇圧用チップ素子を用いると、部品点数が増加して製造コストや消費電力が増すとともに、基板等に実装する際の実装面積も大きくなってしまいうために、可能な限りの小型化や低消費電力化が要求される携帯電話等の機器に採用するには、未だ改良の余地を残しているといえる。

本発明は上記事情に鑑みてなされたものであり、別体の昇圧用チップ素子等を用いることなく動作に必要なバイアス電圧を供給することができる固体撮像装置を提供することを目

50

的としている。

【課題を解決するための手段】

上記の目的を達成するために、本発明による固体撮像装置は、半導体基板と、上記半導体基板上に構成されたMOS型固体撮像素子と、上記半導体基板上に構成された入力電圧を該入力電圧よりも高い電圧に変換するチャージポンプ回路を含む昇圧回路と、を具備したものである。

本発明のこのような構成によれば、別体の昇圧用チップ素子等を用いることなく動作に必要な高いバイアス電圧を得ることが可能となる。

また、本発明による固体撮像装置は、上記昇圧回路が、上記チャージポンプ回路から入力される電圧を平滑化され安定化された電圧に変換して出力する平滑安定化回路をさらに含んで構成されたものである。

このような構成によれば、平滑化され安定化された電圧を供給することが可能となる。

さらに、本発明による固体撮像装置は、上記平滑安定化回路が、当該平滑安定化回路からの出力電圧を、上記チャージポンプ回路から出力される電圧よりも低い所望の電圧に可変することができるように構成されたものである。

このような構成によれば、必要に応じて所望の電圧を得ることが可能となり、種々のバイアス電圧に対応することが可能となる。

そして、本発明による固体撮像装置は、上記MOS型固体撮像素子が、閾値電圧変調方式のMOS型固体撮像素子である。

このような構成によれば、特に閾値電圧変調方式のMOS型固体撮像素子において、別体の昇圧用チップ素子等を用いることなく動作に必要な高いバイアス電圧を得ることが可能となる。

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を説明する。

図1から図3は本発明の一実施形態を示したものであり、図1は昇圧回路の構成例を示す回路図、図2はチャージポンプ回路を動作させるために印加する信号を示すタイミングチャート、図3はイメージセンサLSIの構成を示すブロック図である。

図3に示すように、このイメージセンサLSI1は、MOS型固体撮像素子であるセンサセルアレイ2と、垂直シフトレジスタ3と、水平シフトレジスタ4と、タイミングジェネレータ5と、出力アンプ6と、バイアス回路7と、昇圧回路8と、を半導体基板9上に一体に構成することにより、1つのセンサチップとして構成されている。

センサセルアレイ2は、この実施形態においては閾値電圧変調方式のMOS型固体撮像素子、すなわち、例えば特開平11-195778号公報に記載されたような、フォトダイオードと光信号検出用絶縁ゲート型電界効果型MOSトランジスタとを含むセンサセルが、アレイ状（例えば640×480のセンサセル、オプティカルブラック領域を含めると例えば712×500のセンサセル）に配列されたものとして構成されている。

センサセルについて、さらに詳述すると、フォトダイオードは、不純物拡散領域とウエル領域とを含んで構成され、光が入射すると、該入射光に応じたホール（正孔）がウエル領域内に発生する。このウエル領域は、光信号検出用MOSトランジスタと共有されていて、光信号検出用MOSトランジスタのゲート領域を構成している。フォトダイオードの不純物拡散領域と、光信号検出用MOSトランジスタのドレイン拡散領域とは、ウエル領域の表層に一体的に形成されている。上記ドレイン拡散領域は、リング状のゲート電極の外周部を取り囲むように形成されている。このリング状のゲート電極の中心部にはソース拡散領域が形成されている。ゲート電極下のウエル領域内であって、ソース拡散領域の周辺部には、ソース拡散領域を取り囲むようにキャリアポケットが形成されている。このようなセンサのさらに詳細な構造については、上記特開平11-195778号公報に記載されている。

なお、ここでは閾値電圧変調方式のMOS型固体撮像素子が性能的に優れているために一例として挙げているが、センサセルアレイ2の構成はこれに限るものではなく、一般的なMOS型固体撮像素子であれば構わない。

10

20

30

40

50

垂直シフトレジスタ3は、いわゆるワードラインである読み出しラインを指定するための回路である。水平シフトレジスタ4は、垂直シフトレジスタ3により指定された読み出しラインの内のカラムを順番に指定するための回路である。タイミングジェネレータ5は、各回路へ各種の制御信号をタイミングを合わせて供給するための回路である。出力アンプ6は、読み出されたセンサ信号を増幅して出力するための回路である。バイアス回路7は、イメージセンサLSI1内で必要とされる各種電圧を生成するための電圧生成回路である。昇圧回路8は、外部から供給される例えば2.8Vの電圧を例えば3.3Vに昇圧して、センサセルアレイ2、垂直シフトレジスタ3、水平シフトレジスタ4、出力アンプ6、バイアス回路7などの昇圧された電圧が必要な各回路に供給するものである。半導体基板9は、上述したような各回路を半導体プロセスにより形成するための基板である。10

なお、タイミングジェネレータ5は、外部から供給される電圧(上記例では2.8V)で動作可能となっている。

図1を参照して、昇圧回路8の一構成例について説明する。この昇圧回路8は、外部からの入力電圧VDDを該入力電圧VDDよりも高い電圧VCPに変換するチャージポンプ回路11と、このチャージポンプ回路11により変換された電圧VCPを入力して平滑化および安定化された出力電圧OUTを生成する平滑安定化回路であるLDO(低ドロップアウト)回路12と、を有して構成されている。

チャージポンプ回路11は、ここでは外部からの入力電圧VDDを2倍の電圧VCPに変換するものとして構成されていて、4つのトランジスタT1~T4と、2つのコンデンサCf, Cbと、を有して構成されている。20

4つのトランジスタT1~T4は、この順に直列に接続されていて、これらの内のトランジスタT1~T3はP型MOSFETとして構成され、トランジスタT4はN型MOSFETとして構成されている。さらに、このトランジスタT4の一端は接地されている。外部からの入力電圧VDDは、これらの内のトランジスタT2とトランジスタT3との間に接続されている。

また、コンデンサCfは、トランジスタT1とトランジスタT2との間に一端が接続され、トランジスタT3とトランジスタT4との間に他端が接続されている。コンデンサCbは、一端が、トランジスタT1の一端となるVCP側に接続され、他端が、接地されている。30

LDO回路12は、比較器CPと、トランジスタT5と、2つの抵抗R1, R2と、コンデンサCoutと、を有して構成されている。

コンデンサCoutは、一端がOUT側に接続され、他端が接地されている。2つの抵抗R1, R2は、直列に接続されていて、抵抗R1の一端がOUT側に接続され、抵抗R2の一端が接地されている。

比較器CPは、非反転入力端子が抵抗R1と抵抗R2との間に接続されるとともに、反転入力端子が参照用電圧Vrefに接続されていて、抵抗R1と抵抗R2との分圧として与えられるコンデンサCoutの電圧を比較するためのものである。具体的には、非反転入力端子が参照用電圧Vrefよりも高い場合にはハイレベルの信号を出力し、低い場合にはローレベルの信号を出力する。

トランジスタT5は、P型MOSFETとして構成されていて、ゲートが比較器CPの出力側に接続され、ソースとドレインがVCP側とOUT側に接続されている。トランジスタT5は、比較器CPによる比較結果に応じてスイッチとして機能するものであり、比較器CPがハイレベルの信号を出力する場合にはオフし、ローレベルの信号を出力する場合にはオンする。つまり、コンデンサCoutの電圧が所定値以上であるときにはオフしているが、所定値以下に低下するとVCP側に接続するように動作する。40

図2を参照して、チャージポンプ回路11の動作について説明する。トランジスタT1, T3のゲートにはAに示す波形の電圧が加えられ、トランジスタT2のゲートにはBに示す波形の電圧が加えられて、これらは上述したようにP型MOSFETであるために、ハイレベルでオフし、ローレベルでオンするように動作する。

また、トランジスタT4のゲートにはB(バー)に示すようなBの反転電圧が加えら 50

れて、これは上述したようにN型MOSFETであるために、ハイレベルでオンし、ローレベルでオフするように動作する。

倍圧動作を行う場合には、まず、Aをハイレベルにして、トランジスタT1, T3をオフし、その後、Bをローレベル、B(バー)をハイレベルにして、トランジスタT2, T4をオンする。これにより、コンデンサCfの一端はVDDに接続され、他端は接地されるために、コンデンサCfにはVDDの電圧の電荷が蓄積される。

次に、Bをハイレベル、B(バー)をローレベルにして、トランジスタT2, T4をオフすることにより、コンデンサCfを一旦オープンにしてから、Aをローレベルにして、トランジスタT1, T3をオンする。これにより、コンデンサCfの下端がVDDに接続されるために、上端側の電位は $2 \times VDD$ となる。このときにはコンデンサCfの上端はコンデンサCbに接続されているために、コンデンサCbには $2 \times VDD$ の電圧の電荷が蓄積される。

このようなトランジスタT1~T4のオン/オフを繰り返して行うことにより、コンデンサCbに蓄積された電圧VCP(つまり $2 \times VDD$ の電圧)の電荷が、LDO回路12に出力されるようになっている。

次に、LDO回路12は、コンデンサCoutに蓄積された電荷の電圧を抵抗R1, R2により分圧して比較器CPに入力し、参照用電圧Vrefよりも低下している場合にはトランジスタT5をオンにしてコンデンサCbからコンデンサCoutにチャージし、一方、分圧が参照用電圧Vrefに達している場合にはトランジスタT5をオフするように動作することによって、昇圧された電圧VCPを入力し平滑化され安定化された一定の出力電圧OUTを生成して出力するようになっている。

なお、図1に示した昇圧回路の構成は一例を示したものであり、この構成に限らず、必要な機能を満たす回路であれば、種々の構成のものを採用することが可能である。例えば、チャージポンプ回路11は、上述では入力電圧VDDの2倍の電圧をVCPとして出力するようになっているが、もちろん、3倍、もしくはそれ以上の電圧を出力するようにしても構わない。さらに、例えば、LDO回路12において、参照用電圧Vrefを変更すること、抵抗R1を可変抵抗とすること、抵抗R2を可変抵抗とすること、の内の少なくとも1つを行うことにより、出力電圧OUTをチャージポンプ回路11から出力される電圧VCPよりも低い所望の電圧に可変することができるようにも構わない。

このような実施形態によれば、別体の昇圧用チップ素子等を用いることなく動作に必要なバイアス電圧を供給することができる固体撮像装置となるために、固体撮像装置を搭載する機器を小型化、低消費電力化するとともにコストを削減することが可能となる。また、LDO回路を用いることにより、平滑化され安定化された出力を得ることができる。そして、LDO回路からの出力を可変とすることにより、必要に応じて所望の電圧を得ることが可能となり、種々のバイアス電圧に対応することが可能となる。こうして、固体撮像装置に昇圧回路を内蔵することにより、客先や市場の要求に応じた電位を内部に供給することが可能となる。

尚、上記実施の形態は、固体撮像素子として閾値電圧変調方式のMOS型イメージセンサを例に説明したが、閾値電圧変調方式のMOS型イメージセンサに限定されるものではなく、他の方式のイメージセンサについても適応可能であることは言うまでも無い。

【図面の簡単な説明】

【図1】本発明の一実施形態における昇圧回路の構成例を示す回路図。

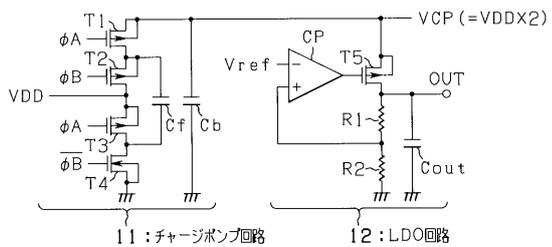
【図2】上記実施形態において、チャージポンプ回路を動作させるために印加する信号を示すタイミングチャート。

【図3】上記実施形態のイメージセンサLSIの構成を示すブロック図。

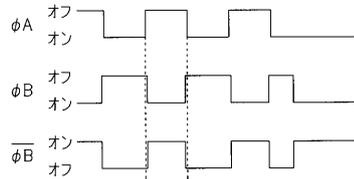
【符号の説明】

1 ... イメージセンサLSI、 2 ... センサセルアレイ、 8 ... 昇圧回路、 9 ... 半導体基板、 11 ... チャージポンプ回路、 12 ... LDO回路

【 図 1 】



【 図 2 】



【 図 3 】

