

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-150523

(P2021-150523A)

(43) 公開日 令和3年9月27日(2021.9.27)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 7 1	5 F 0 5 8
HO 1 L 29/788 (2006.01)	HO 1 L 27/11568	5 F 0 8 3
HO 1 L 29/792 (2006.01)	HO 1 L 27/11582	5 F 1 0 1
HO 1 L 27/11568 (2017.01)	HO 1 L 21/316 M	
HO 1 L 27/11582 (2017.01)		

審査請求 未請求 請求項の数 20 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2020-49900 (P2020-49900)
 (22) 出願日 令和2年3月19日 (2020.3.19)

(71) 出願人 318010018
 キオクシア株式会社
 東京都港区芝浦三丁目1番21号
 (74) 代理人 100119035
 弁理士 池上 徹真
 (74) 代理人 100141036
 弁理士 須藤 章
 (74) 代理人 100178984
 弁理士 高下 雅弘
 (72) 発明者 井野 恒洋
 東京都港区芝浦三丁目1番21号 キオク
 シア株式会社内
 (72) 発明者 高島 章
 東京都港区芝浦三丁目1番21号 キオク
 シア株式会社内

最終頁に続く

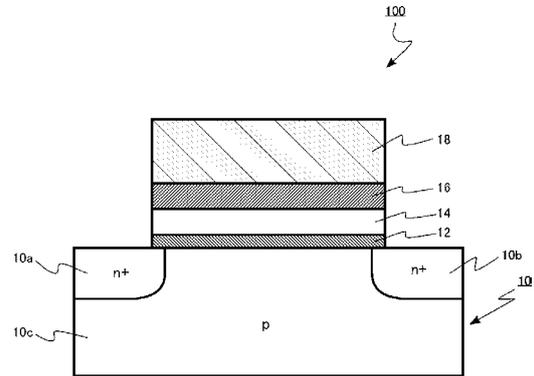
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】電荷蓄積層の電荷蓄積密度の向上を可能とする半導体記憶装置を提供する。

【解決手段】実施形態の半導体記憶装置は、半導体層と、ゲート電極層と、半導体層とゲート電極層との間に設けられた第1の絶縁層と、第1の絶縁層とゲート電極層との間に設けられた第2の絶縁層と、第1の絶縁層と第2の絶縁層との間に設けられ、空間群P b c a (空間群番号61番)又は空間群P 4₂ / n m c (空間群番号137番)又は空間群R - 3 m (空間群番号166番)の第1の結晶を含み、ハフニウム(Hf)、酸素(O)、及び窒素(N)を含む中間層と、を備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体層と、
 ゲート電極層と、
 前記半導体層と前記ゲート電極層との間に設けられた第 1 の絶縁層と、
 前記第 1 の絶縁層と前記ゲート電極層との間に設けられた第 2 の絶縁層と、
 前記第 1 の絶縁層と前記第 2 の絶縁層との間に設けられ、空間群 P b c a (空間群番号 6 1 番) 又は空間群 P 4₂ / n m c (空間群番号 1 3 7 番) 又は空間群 R - 3 m (空間群番号 1 6 6 番) の第 1 の結晶を含み、ハフニウム (H f)、酸素 (O)、及び窒素 (N) を含む中間層と、
 を備える半導体記憶装置。

10

【請求項 2】

前記中間層に含まれるハフニウム (H f) と酸素 (O) と窒素 (N) の総和に対する窒素 (N) の原子比は、1 . 5 % 以上 3 . 0 % 以下である請求項 1 記載の半導体記憶装置。

【請求項 3】

前記中間層は、空間群 P 2₁ c (空間群番号 1 4 番) の第 2 の結晶を含む請求項 1 又は請求項 2 記載の半導体記憶装置。

【請求項 4】

前記中間層は、アモルファス領域を含む請求項 1 ないし請求項 3 いずれか一項記載の半導体記憶装置。

20

【請求項 5】

前記中間層の厚さは 2 n m 以上 1 0 n m 以下である請求項 1 ないし請求項 4 いずれか一項記載の半導体記憶装置。

【請求項 6】

前記第 1 の結晶は酸化ハフニウムである請求項 1 ないし請求項 5 いずれか一項記載の半導体記憶装置。

【請求項 7】

前記第 1 の絶縁層と前記中間層との間に設けられた第 1 の窒化シリコン層と、前記中間層と前記第 2 の絶縁層との間に設けられた第 2 の窒化シリコン層とを、更に備える請求項 1 ないし請求項 6 いずれか一項記載の半導体記憶装置。

30

【請求項 8】

前記第 1 の窒化シリコン層の厚さは前記中間層より薄く、前記第 2 の窒化シリコン層の厚さは前記中間層よりも薄い請求項 7 記載の半導体記憶装置。

【請求項 9】

互いに離間して第 1 の方向に繰り返し配置された複数のゲート電極層と、
 前記第 1 の方向に延びる半導体層と、
 前記半導体層と前記複数のゲート電極層の内の少なくとも一つのゲート電極層との間に設けられた第 1 の絶縁層と、
 前記第 1 の絶縁層と前記ゲート電極層との間に設けられた第 2 の絶縁層と、
 前記第 1 の絶縁層と前記第 2 の絶縁層との間に設けられ、空間群 P b c a (空間群番号 6 1 番) 又は空間群 P 4₂ / n m c (空間群番号 1 3 7 番) 又は空間群 R - 3 m (空間群番号 1 6 6 番) の第 1 の結晶を含み、ハフニウム (H f)、酸素 (O)、及び窒素 (N) を含む中間層と、
 を備える半導体記憶装置。

40

【請求項 10】

前記中間層に含まれるハフニウム (H f) と酸素 (O) と窒素 (N) の総和に対する窒素 (N) の原子比は、1 . 5 % 以上 3 . 0 % 以下である請求項 9 記載の半導体記憶装置。

【請求項 11】

前記中間層は、空間群 P 2₁ c (空間群番号 1 4 番) の第 2 の結晶を含む請求項 9 又は請求項 10 記載の半導体記憶装置。

50

【請求項 1 2】

前記中間層は、アモルファス領域を含む請求項 9 ないし請求項 1 1 いずれか一項記載の半導体記憶装置。

【請求項 1 3】

前記中間層の厚さは 2 nm 以上 10 nm 以下である請求項 9 ないし請求項 1 2 いずれか一項記載の半導体記憶装置。

【請求項 1 4】

前記第 1 の結晶は酸化ハフニウムである請求項 9 ないし請求項 1 3 いずれか一項記載の半導体記憶装置。

【請求項 1 5】

前記第 1 の絶縁層と前記中間層との間に設けられた第 1 の窒化シリコン層と、前記中間層と前記第 2 の絶縁層との間に設けられた第 2 の窒化シリコン層とを、更に備える請求項 9 ないし請求項 1 4 いずれか一項記載の半導体記憶装置。

【請求項 1 6】

半導体層と、
ゲート電極と、

前記半導体層と前記ゲート電極との間に設けられた第 1 の絶縁層と、

前記第 1 の絶縁層と前記ゲート電極との間に設けられた第 2 の絶縁層と、

前記第 1 の絶縁層と前記第 2 の絶縁層との間に設けられ、空間群 P b c a (空間群番号 6 1 番) 又は空間群 P 4₂ / n m c (空間群番号 1 3 7 番) 又は空間群 R - 3 m (空間群番号 1 6 6 番) の第 1 の結晶を含み、ハフニウム (H f) と、酸素 (O) と、シリコン (S i)、ゲルマニウム (G e)、アルミニウム (A l)、ストロンチウム (S r)、ニオブ (N b)、タンタル (T a)、モリブデン (M o)、タンゲステン (W)、イットリウム (Y)、ランタノイド、及びバリウム (B a) からなる群から選ばれる少なくとも一つの元素を含む中間層と、
を備える半導体記憶装置。

【請求項 1 7】

前記少なくとも一つの元素がバリウム (B a) を含まない場合、前記中間層に含まれるハフニウム (H f) と前記少なくとも一つの元素の総和に対する前記少なくとも一つの元素の原子比は、6 % 以上 15 % 以下である請求項 1 6 記載の半導体記憶装置。

【請求項 1 8】

前記少なくとも一つの元素がバリウム (B a) である場合、前記中間層に含まれるハフニウム (H f) とバリウム (B a) の総和に対するバリウム (B a) の原子比は、3 % 以上 10 % 以下である請求項 1 6 記載の半導体記憶装置。

【請求項 1 9】

半導体層と、
ゲート電極と、

前記半導体層と前記ゲート電極との間に設けられた第 1 の絶縁層と、

前記第 1 の絶縁層と前記ゲート電極との間に設けられた第 2 の絶縁層と、

前記第 1 の絶縁層と前記第 2 の絶縁層との間に設けられ、空間群 P b c a (空間群番号 6 1 番) 又は空間群 P 4₂ / n m c (空間群番号 1 3 7 番) 又は空間群 R - 3 m (空間群番号 1 6 6 番) の第 1 の結晶を含み、ジルコニウム (Z r) を含む中間層と、
を備える半導体記憶装置。

【請求項 2 0】

前記中間層はハフニウム (H f) を含み、前記中間層に含まれるハフニウム (H f) とジルコニウム (Z r) の総和に対するジルコニウム (Z r) の原子比は、70 % 以上である請求項 1 9 記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

10

20

30

40

50

本発明の実施形態は、半導体記憶装置に関する。

【背景技術】

【0002】

メモリセルを3次元的に配置した3次元NANDフラッシュメモリは、高い集積度と低いコストを実現する。3次元NANDフラッシュメモリでは、例えば、複数の絶縁層と複数のゲート電極層とが交互に積層された積層体に、積層体を貫通するメモリ穴が形成されている。メモリ穴の中に電荷蓄積層と半導体層を形成することで、複数のメモリセルが直列に接続されたメモリストリングが形成される。電荷蓄積層に保持される電荷の量を制御することで、メモリセルにデータが記憶される。

【0003】

メモリセルを微細化していくためには、メモリ穴径の縮小が望まれる。メモリ穴径の縮小に伴い、電荷蓄積層の薄膜化が望まれる。電荷蓄積層の薄膜化を実現するためには、電荷蓄積層の単位厚さあたりの電荷蓄積能力の向上、すなわち、電荷蓄積層の電荷蓄積密度の向上が必要となる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-200226号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明が解決しようとする課題は、電荷蓄積層の電荷蓄積密度の向上を可能とする半導体記憶装置を提供することにある。

【課題を解決するための手段】

【0006】

実施形態の半導体記憶装置は、半導体層と、ゲート電極層と、前記半導体層と前記ゲート電極層との間に設けられた第1の絶縁層と、前記第1の絶縁層と前記ゲート電極層との間に設けられた第2の絶縁層と、前記第1の絶縁層と前記第2の絶縁層との間に設けられ、空間群Pbc₂a (空間群番号61番)又は空間群P4₂/nmc (空間群番号137番)又は空間群R-3m (空間群番号166番)の第1の結晶を含み、ハフニウム(Hf)、酸素(O)、及び窒素(N)を含む中間層と、を備える。

【図面の簡単な説明】

【0007】

【図1】第1の実施形態の半導体記憶装置の模式断面図。

【図2】第1の実施形態の電荷蓄積層の一部の模式断面図。

【図3】第1の実施形態の半導体記憶装置の作用及び効果の説明図。

【図4】第1の実施形態の半導体記憶装置の作用及び効果の説明図。

【図5】第1の実施形態の半導体記憶装置の作用及び効果の説明図。

【図6】第2の実施形態の半導体記憶装置の模式断面図。

【図7】第3の実施形態の半導体記憶装置のメモリセルアレイの回路図。

【図8】第3の実施形態の半導体記憶装置のメモリセルアレイの模式断面図。

【図9】第4の実施形態の半導体記憶装置の模式断面図。

【図10】第5の実施形態の半導体記憶装置の模式断面図。

【発明を実施するための形態】

【0008】

以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一又は類似の部材などには同一の符号を付し、一度説明した部材などについては適宜その説明を省略する。

【0009】

また、本明細書中、便宜上「上」、又は、「下」という用語を用いる場合がある。「上

10

20

30

40

50

」、又は、「下」とはあくまで図面内での相対的位置関係を示す用語であり、重力に対する位置関係を規定する用語ではない。

【0010】

本明細書中の半導体記憶装置を構成する部材の化学組成の定性分析及び定量分析は、例えば、二次イオン質量分析法 (Secondary Ion Mass Spectroscopy: SIMS)、エネルギー分散型X線分光法 (Energy Dispersive X-ray Spectroscopy: EDX) や電子エネルギー損失分光法 (Electron Energy Loss Spectroscopy: EELS) などにより行うことが可能である。また、半導体記憶装置を構成する部材の厚さ、部材間の距離等の測定には、例えば、透過型電子顕微鏡 (Transmission Electron Microscope: TEM) を用いることが可能である。また、半導体記憶装置を構成する部材の結晶系の同定、結晶系の存在割合の大小比較には、例えば、透過型電子顕微鏡やX線回折分析 (X-ray Diffraction: XRD) や電子線回折分析 (Electron Beam Diffraction: EBD) やX線光電分光分析 (X-ray Photoelectron Spectroscopy: XPS) や放射光X線散乱解析 (Synchrotron Radiation X-ray Absorption Fine Structure: XAFS) を用いることが可能である。また、半導体記憶装置を構成する部材の配向組織の有無の確認は、例えば、TEMを用いることが可能である。

10

【0011】

20

(第1の実施形態)

第1の実施形態の半導体記憶装置は、半導体層と、ゲート電極層と、半導体層とゲート電極層との間に設けられた第1の絶縁層と、第1の絶縁層とゲート電極層との間に設けられた第2の絶縁層と、第1の絶縁層と第2の絶縁層との間に設けられ、空間群Pbc₂a (空間群番号61番) 又は空間群P4₂/nmc (空間群番号137番) 又は空間群R-3m (空間群番号166番) の第1の結晶を含み、ハフニウム (Hf)、酸素 (O)、及び窒素 (N) を含む中間層と、を備える。

【0012】

図1は、第1の実施形態の半導体記憶装置の模式断面図である。第1の実施形態の半導体記憶装置は、電荷蓄積層に電荷をトラップするチャージトラップ型のメモリセル100である。

30

【0013】

第1の実施形態のメモリセル100は、半導体層10、トンネル絶縁層12、電荷蓄積層14、ブロック絶縁層16、ゲート電極層18を備える。トンネル絶縁層12は、第1の絶縁層の一例である。電荷蓄積層14は、中間層の一例である。ブロック絶縁層16は、第2の絶縁層の一例である。半導体層10は、ソース領域10a、ドレイン領域10b、チャンネル領域10cを有する。

【0014】

半導体層10は、例えば、単結晶シリコンである。

【0015】

40

ソース領域10aは、半導体層10の中に設けられる。ソース領域10aは、例えば、n型の不純物領域である。ドレイン領域10bは、半導体層10の中に設けられる。ドレイン領域10bは、例えば、n型の不純物領域である。チャンネル領域10cは、半導体層10の中に設けられる。チャンネル領域10cは、例えば、p型の不純物領域である。

【0016】

トンネル絶縁層12は、半導体層10の上に設けられる。トンネル絶縁層12は、半導体層10とゲート電極層18との間に設けられる。

【0017】

トンネル絶縁層12は、ゲート電極層18と半導体層10との間に印加される電圧に応じて電荷を通過させる機能を有する。

50

【 0 0 1 8 】

トンネル絶縁層 1 2 は、例えば、酸化物、酸窒化物、又は、窒化物である。トンネル絶縁層 1 2 は、例えば、酸化シリコン、酸窒化シリコン、又は、窒化シリコンを含む。トンネル絶縁層 1 2 の厚さは、例えば、3 nm 以上 8 nm 以下である。

【 0 0 1 9 】

電荷蓄積層 1 4 は、トンネル絶縁層 1 2 の上に設けられる。電荷蓄積層 1 4 は、トンネル絶縁層 1 2 とブロック絶縁層 1 6 との間に位置する。

【 0 0 2 0 】

電荷蓄積層 1 4 は、電荷をトラップして蓄積する機能を有する。電荷は、例えば、電子である。電荷蓄積層 1 4 に蓄積される電荷の量に応じて、メモリセル 1 0 0 のトランジスタの閾値電圧が変化する。この閾値電圧の変化を利用することで、メモリセル 1 0 0 がデータを記憶することが可能となる。

10

【 0 0 2 1 】

例えば、メモリセル 1 0 0 のトランジスタの閾値電圧が変化することで、メモリセル 1 0 0 のトランジスタがオンする電圧が変化する。例えば、閾値電圧が高い状態をデータ“0”、閾値電圧が低い状態をデータ“1”と定義すると、メモリセルは“0”と“1”の1ビットデータを記憶することが可能となる。

【 0 0 2 2 】

電荷蓄積層 1 4 は、空間群 Pbc_a (空間群番号 6 1 番) 又は空間群 $P4_2/nmc$ (空間群番号 1 3 7 番) 又は空間群 $R-3m$ (空間群番号 1 6 6 番) の第 1 の結晶を含む。電荷蓄積層 1 4 は、ハフニウム (Hf)、酸素 (O)、及び窒素 (N) を含む。

20

【 0 0 2 3 】

第 1 の結晶は、酸化ハフニウムである。空間群 Pbc_a (空間群番号 6 1 番) の酸化ハフニウムは反強誘電体である。空間群 Pbc_a (空間群番号 6 1 番) の酸化ハフニウムは反強誘電体である。電荷蓄積層 1 4 は、反強誘電体層である。

【 0 0 2 4 】

電荷蓄積層 1 4 は、酸化ハフニウムを主成分とする。酸化ハフニウムを主成分とするとは、電荷蓄積層 1 4 に含まれる成分の中で、酸化ハフニウムの占める割合が最も高いことを意味する。電荷蓄積層 1 4 は、反強誘電体の酸化ハフニウム層である。

【 0 0 2 5 】

電荷蓄積層 1 4 に含まれる元素の中で、ハフニウム (Hf) 及び酸素 (O) の占める原子割合は、例えば、90% 以上である。

30

【 0 0 2 6 】

電荷蓄積層 1 4 に含まれる元素の中で、ハフニウム (Hf)、ジルコニウム (Zr) 及び酸素 (O) の占める原子割合は、例えば、90% 以上である。

【 0 0 2 7 】

電荷蓄積層 1 4 に含まれるハフニウム (Hf) と酸素 (O) と窒素 (N) の総和に対する窒素 (N) の原子比 ($N / (Hf + O + N)$) は、例えば、1.5% 以上 3.0% 以下である。

【 0 0 2 8 】

電荷蓄積層 1 4 の厚さは、例えば、2 nm 以上 10 nm 以下である。

40

【 0 0 2 9 】

図 2 は、第 1 の実施形態の電荷蓄積層の一部の模式断面図である。電荷蓄積層 1 4 は、例えば、第 1 の結晶 1 4 a、第 2 の結晶 1 4 b、及び、アモルファス領域 1 4 c を含む。

【 0 0 3 0 】

第 1 の結晶 1 4 a は、空間群 Pbc_a (空間群番号 6 1 番) 又は空間群 $P4_2/nmc$ (空間群番号 1 3 7 番) の酸化ハフニウムである。

【 0 0 3 1 】

第 2 の結晶 1 4 b は、例えば、空間群 $P2_1c$ (空間群番号 1 4 番) の酸化ハフニウムである。空間群 $P2_1c$ (空間群番号 1 4 番) の酸化ハフニウムは、常誘電体である。

50

【0032】

電荷蓄積層14の中に、図2に示すように、例えば、反強誘電体の酸化ハフニウム、常誘電体の酸化ハフニウム、及び、アモルファス領域が混在する。また、反強誘電体の酸化ハフニウムとアモルファス領域のみが混在する場合であっても良い。

【0033】

電荷蓄積層14は、反強誘電体の酸化ハフニウムのみとすることも可能である。この場合、電荷蓄積層14は、反強誘電体の酸化ハフニウムの多結晶層となる。

【0034】

また、電荷蓄積層14は、アモルファス領域がなく、反強誘電体の酸化ハフニウム、及び、常誘電体の酸化ハフニウムのみとすることも可能である。この場合、電荷蓄積層14は、反強誘電体の酸化ハフニウム、及び、常誘電体の酸化ハフニウムの多結晶層となる。

10

【0035】

ブロック絶縁層16は、トンネル絶縁層12とゲート電極層18との間に設けられる。ブロック絶縁層16は、電荷蓄積層14とゲート電極層18との間に設けられる。

【0036】

ブロック絶縁層16は、電荷蓄積層14とゲート電極層18との間に流れる電流を阻止する機能を有する。

【0037】

ブロック絶縁層16は、例えば、酸化物、酸窒化物、又は、窒化物である。ブロック絶縁層16は、例えば、酸化シリコン又は酸化アルミニウムを含む。

20

【0038】

ゲート電極層18は、金属又は半導体である。ゲート電極層18は、例えば、n型不純物又はp型不純物を含む多結晶シリコンである。

【0039】

例えば、図1に示すメモリセル100を直列接続することで、NANDフラッシュメモリのNANDストリングを形成することが可能となる。

【0040】

次に、第1の実施形態の半導体記憶装置の製造方法の一例について説明する。

【0041】

最初に、シリコン基板の上に、酸化シリコン膜を熱酸化法により形成する。シリコン基板が半導体層10となる。酸化シリコン膜は、トンネル絶縁層12となる。

30

【0042】

次に、酸化シリコン膜の上に、1.5%以上3.0%以下の窒素を含む酸化ハフニウム膜を形成する。窒素を含む酸化ハフニウム膜は、例えば酸化ハフニウムターゲットと窒素ガスを用いた反応性スパッタ法により形成する。窒素の含有量を極めて少なく狭い範囲に制御するため、酸素ガス流量と窒素ガス流量の精密制御を行うとともに、超高真空を維持できる成膜装置を用いる。酸化ハフニウム膜は、電荷蓄積層14となる。

【0043】

次に、電荷蓄積層14の上に、酸化シリコン膜を形成する。酸化シリコン膜の形成は、電荷蓄積層14からの窒素抜けを防止するため、低温で形成できるスパッタ法を用いる。酸化シリコン膜は、ブロック絶縁層16となる。

40

【0044】

次に、導電性不純物が含まれた多結晶シリコン膜を形成する。多結晶シリコン膜の形成は、電荷蓄積層14からの窒素抜けを防止するため、低温で形成できるスパッタ法を用いる。

【0045】

次に、多結晶シリコン膜、酸化シリコン膜、酸化ハフニウム膜、酸化シリコン膜をパターンニングし、ゲート電極構造を形成する。

【0046】

次に、シリコン基板に不純物のイオン注入と活性化アニールを行い、ソース領域10a

50

及びドレイン領域 10b を形成する。電荷蓄積層 14 からの窒素抜けを防止し、電荷蓄積層 14 中の反強誘電体の割合を高くするため、活性化アニールの温度は 800 以下とする。

【0047】

酸化ハフニウム膜中の窒素濃度の精密制御と、酸化ハフニウム膜の形成後の低温熱処理により、反強誘電体の割合が高い電荷蓄積層 14 が形成できる。

【0048】

次に、第 1 の実施形態の半導体記憶装置の作用及び効果について説明する。

【0049】

メモリセルを微細化していくために、特に、3次元構造のメモリセルアレイでは、電荷蓄積層の薄膜化が望まれる。電荷蓄積層の薄膜化を実現するためには、電荷蓄積層の単位厚さあたりの電荷蓄積能力の向上、すなわち、電荷蓄積層の電荷蓄積密度の向上が必要となる。2次元構造のメモリセルアレイであっても、電荷蓄積層の電荷蓄積密度を向上させることで、例えば、メモリセルのトランジスタのゲート長を短くし、メモリセルを微細化することが可能となる。

10

【0050】

第 1 の実施形態のメモリセル 100 は、電荷蓄積層 14 に反強誘電体の酸化ハフニウムを適用する。電荷蓄積層 14 に反強誘電体の酸化ハフニウムを適用することで、電荷蓄積層 14 の電荷蓄積密度が向上する。

【0051】

図 3 は、第 1 の実施形態の半導体記憶装置の作用及び効果の説明図である。図 3 は、反強誘電体の酸化ハフニウムを電荷蓄積層に用いた場合のメモリウィンドウの測定結果である。

20

【0052】

図 3 の横軸はゲート電極層への印加電圧、縦軸は半導体層の反転電圧である。縦軸はトランジスタの閾値電圧に相当する。電荷蓄積層に電子（電荷）が蓄積されている状態では、反転電圧は正電圧となる。また、電子（電荷）が消去されている状態では、反転電圧は負電圧となる。電荷蓄積状態の反転電圧と、電荷消去状態の反転電圧の差分がメモリウィンドウである。

【0053】

図 3 には、電荷蓄積層が反強誘電体の酸化ハフニウムである場合と、窒化シリコンである場合を示す。いずれの膜厚も 5 nm である。

30

【0054】

図 3 から明らかなように、反強誘電体の酸化ハフニウムの場合のメモリウィンドウは、窒化シリコンの場合のメモリウィンドウに比べ、大幅に広がる。反強誘電体の酸化ハフニウムの電荷蓄積密度が、窒化シリコンの電荷蓄積密度よりも大幅に大きくなること分かる。例えば、常誘電体や強誘電体の酸化ハフニウムのメモリウィンドウは、窒化シリコンと同等かそれ以下となる。

【0055】

図 4 及び図 5 は、第 1 の実施形態の半導体記憶装置の作用及び効果の説明図である。

40

【0056】

図 4 は、第 1 の実施形態のメモリセル 100 の電荷蓄積状態の説明図である。図 4 は、メモリセル 100 の電荷蓄積層 14 の近傍の拡大模式断面図である。

【0057】

電荷蓄積層 14 の中には、反強誘電体の酸化ハフニウム結晶 14a が含まれる。電荷蓄積状態では、酸化ハフニウム結晶 14a の中の電気双極子が交互に逆を向いて整列する。酸化ハフニウム結晶 14a の界面では、電気双極子の正電荷側に電子がトラップされる。トラップされた電子により、メモリセル 100 のトランジスタの閾値電圧シフトが生じる。電気双極子の正電荷側にトラップされる電子密度が高いことから、反強誘電体の酸化ハフニウムの電荷蓄積密度が大きくなると考えられる。

50

【0058】

図5は、第1の実施形態の比較例のメモリセルの電荷蓄積状態の説明図である。比較例のメモリセルは、電荷蓄積層14の中に、強誘電体の酸化ハフニウム結晶14xが含まれる。電荷蓄積状態では、酸化ハフニウム結晶14xの中の電気双極子は、半導体層10側が正電荷、ゲート電極層18側が負電荷となるように整列する。

【0059】

酸化ハフニウム結晶14xの界面では、電気双極子の正電荷側に電子がトラップされる。しかしながら、一方向に整列した電気双極子によって形成されるマクロな分極電荷によって、トラップされた電荷が相殺される。よって、トラップされた電荷によるトランジスタの閾値電圧シフトが、反強誘電体の酸化ハフニウムの場合と比べて小さくなる。

10

【0060】

反強誘電体の酸化ハフニウムでは、酸化ハフニウム結晶14aの中の電気双極子が交互に逆を向いて整列するため、マクロな分極電荷は生じない。したがって、トラップ電荷がマクロな分極電荷によって相殺されることはない。

【0061】

第1の実施形態のメモリセル100によれば、電荷蓄積層14が反強誘電体の酸化ハフニウムを含むことにより、電荷蓄積層14の電荷蓄積密度の向上が可能となる。

【0062】

電荷蓄積層14の中の反強誘電体の酸化ハフニウムの割合を高くする観点から、電荷蓄積層14に含まれるハフニウム(Hf)と酸素(O)と窒素(N)の総和に対する窒素(N)の原子比は、1.5%以上3.0%以下であることが好ましい。

20

【0063】

電荷蓄積層14の電荷蓄積密度を向上させる観点からは、電荷蓄積層14の中の反強誘電体の酸化ハフニウムの割合を高くすることが好ましい。一方、反強誘電体の結晶同士の界面にトラップされた電子は、デトラップに要するエネルギーが大きくなるおそれがある。したがって、電荷蓄積層14の中の反強誘電体の酸化ハフニウムの割合が高くなりすぎると、メモリセル100の消去特性が劣化するおそれがある。

【0064】

メモリセル100の消去特性を向上させる観点から、電荷蓄積層14は、常誘電体を含むことが好ましい。例えば、電荷蓄積層14は、空間群P2₁c(空間群番号14番)の酸化ハフニウム結晶を含むことが好ましい。

30

【0065】

メモリセル100の消去特性を向上させる観点から、電荷蓄積層14は、アモルファス領域14cを含むことが好ましい。

【0066】

以上、第1の実施形態によれば、電荷蓄積層の電荷蓄積密度の向上を可能とする半導体記憶装置が実現できる。

【0067】

(第2の実施形態)

第2の実施形態の半導体記憶装置は、第1の絶縁層と中間層との間に設けられた第1の窒化シリコン層と、中間層と第2の絶縁層との間に設けられた第2の窒化シリコン層とを、更に備える点で、第1の実施形態の半導体記憶装置と異なる。以下、第1の実施形態と重複する内容については、一部記述を省略する。

40

【0068】

図6は、第2の実施形態の半導体記憶装置の模式断面図である。第2の実施形態の半導体記憶装置は、電荷蓄積層に電荷をトラップするチャージトラップ型のメモリセル200である。

【0069】

第2の実施形態のメモリセル200は、半導体層10、トンネル絶縁層12、電荷蓄積層14、ブロック絶縁層16、ゲート電極層18、第1の窒化シリコン層22、及び、第

50

2の窒化シリコン層24を備える。トンネル絶縁層12は、第1の絶縁層の一例である。電荷蓄積層14は、中間層の一例である。ブロック絶縁層16は、第2の絶縁層の一例である。半導体層10は、ソース領域10a、ドレイン領域10b、チャンネル領域10cを有する。

【0070】

第1の窒化シリコン層22は、トンネル絶縁層12と電荷蓄積層14との間に設けられる。第1の窒化シリコン層22は、電荷蓄積層14の形成時、及び、形成後に電荷蓄積層14から窒素が抜けることを抑制する機能を有する。

【0071】

第1の窒化シリコン層22の厚さは、例えば、電荷蓄積層14の厚さよりも薄い。第1の窒化シリコン層22の厚さは、例えば、0.5nm以上2nm以下である。

10

【0072】

第2の窒化シリコン層24は、電荷蓄積層14とブロック絶縁層16との間に設けられる。第2の窒化シリコン層24は、電荷蓄積層14の形成後に電荷蓄積層14から窒素が抜けることを抑制する機能を有する。

【0073】

第2の窒化シリコン層24の厚さは、例えば、電荷蓄積層14の厚さよりも薄い。第2の窒化シリコン層24の厚さは、例えば、0.5nm以上2nm以下である。

【0074】

第2の実施形態のメモリセル200は、第1の窒化シリコン層22及び第2の窒化シリコン層24を備えることで、電荷蓄積層14の中の窒素の含有量の制御が容易になる。したがって、電荷蓄積層の電荷蓄積密度の向上を可能とするメモリセル200の製造が容易となる。

20

【0075】

以上、第2の実施形態によれば、電荷蓄積層の電荷蓄積密度の向上を可能とする半導体記憶装置が実現できる。また、電荷蓄積層の電荷蓄積密度の向上を可能とする半導体記憶装置の製造が容易となる。

【0076】

(第3の実施形態)

第3の実施形態の半導体記憶装置は、互いに離間して第1の方向に繰り返し配置された複数のゲート電極層と、第1の方向に延びる半導体層と、半導体層と複数のゲート電極層の内の少なくとも一つのゲート電極層との間に設けられた第1の絶縁層と、第1の絶縁層とゲート電極層との間に設けられた第2の絶縁層と、第1の絶縁層と第2の絶縁層との間に設けられ、空間群Pbc₂a(空間群番号61番)又は空間群P4₂/nmc(空間群番号137番)又は空間群R-3m(空間群番号166番)の第1の結晶を含み、ハフニウム(Hf)、酸素(O)、及び窒素(N)を含む中間層と、を備える。第3の実施形態の半導体記憶装置は、第1の実施形態のメモリセルと同様の構造を、3次元NANDフラッシュメモリに適用する点で、第1の実施形態と異なる。以下、第1の実施形態と重複する内容については、一部記述を省略する。

30

【0077】

第3の実施形態の半導体記憶装置は、3次元NANDフラッシュメモリである。第3の実施形態の半導体記憶装置のメモリセルは、いわゆる、チャージトラップ型のメモリセルである。

40

【0078】

図7は、第3の実施形態の半導体記憶装置のメモリセルアレイの回路図である。

【0079】

第3の実施形態の3次元NANDフラッシュメモリのメモリセルアレイ300は、図7に示すように複数のワード線WL、共通ソース線CSL、ソース選択ゲート線SGS、複数のドレイン選択ゲート線SGD、複数のビット線BL、及び、複数のメモリストリングMSを備える。ワード線WLは、ゲート電極層の一例である。

50

【 0 0 8 0 】

複数のワード線WLが、互いに離間してz方向に配置される。複数のワード線WLがz方向に積層して配置される。複数のメモリストリングMSは、z方向に延びる。複数のビット線BLは、例えば、x方向に延びる。

【 0 0 8 1 】

以下、x方向を第2の方向、y方向を第3の方向、z方向を第1の方向と定義する。x方向、y方向、z方向は、例えば、互いに垂直である。

【 0 0 8 2 】

図7に示すように、メモリストリングMSは、共通ソース線CSLとビット線BLとの間に直列接続されたソース選択トランジスタSST、複数のメモリセル、及び、ドレイン選択トランジスタSDTを備える。1本のビット線BLと1本のドレイン選択ゲート線SGDを選択することにより1本のメモリストリングMSが選択され、1個のワード線WLを選択することにより1個のメモリセルが選択可能となる。ワード線WLは、メモリセルを構成するメモリセルトランジスタMTのゲート電極である。

10

【 0 0 8 3 】

図8(a)、図8(b)は、第3の実施形態の半導体記憶装置のメモリセルアレイの模式断面図である。図8(a)、図8(b)は、図7のメモリセルアレイ300の中の、例えば点線で囲まれる一個のメモリストリングMSの中の複数のメモリセルの断面を示す。

【 0 0 8 4 】

図8(a)は、メモリセルアレイ300のyz断面図である。図8(a)は、図8(b)のBB'断面である。図8(b)は、メモリセルアレイ300のxy断面図である。図8(b)は、図8(a)のAA'断面である。図8(a)中、破線で囲まれた領域が、1個のメモリセルである。

20

【 0 0 8 5 】

メモリセルアレイ300は、図8(a)、図8(b)に示すように、複数のワード線WL、半導体層50、複数の層間絶縁層52、トンネル絶縁層54、電荷蓄積層56、ブロック絶縁層58、コア絶縁領域60を備える。

【 0 0 8 6 】

複数のワード線WLと複数の層間絶縁層52が積層体70を構成する。

【 0 0 8 7 】

ワード線WLは、ゲート電極層の一例である。トンネル絶縁層54は、第1の絶縁層の一例である。電荷蓄積層56は、中間層の一例である。ブロック絶縁層58は、第2の絶縁層の一例である。

30

【 0 0 8 8 】

メモリセルアレイ300は、例えば、図示しない半導体基板の上に設けられる。半導体基板は、x方向及びy方向に平行な表面を有する。

【 0 0 8 9 】

ワード線WLと層間絶縁層52は、半導体基板の上に、z方向(第1の方向)に交互に積層される。ワード線WLは、z方向に離間して配置される。ワード線WLは、互いに離間してz方向に繰り返し配置される。複数のワード線WLと複数の層間絶縁層52が積層体70を構成する。ワード線WLは、メモリセルトランジスタMTの制御電極として機能する。

40

【 0 0 9 0 】

ワード線WLは、板状の導電体である。ワード線WLは、例えば、金属、金属窒化物、金属炭化物、又は、半導体である。ワード線WLは、例えば、タンゲステン(W)である。ワード線WLのz方向の厚さは、例えば、5nm以上20nm以下である。

【 0 0 9 1 】

層間絶縁層52は、ワード線WLとワード線WLを分離する。層間絶縁層52は、ワード線WLとワード線WLを電氣的に分離する。

【 0 0 9 2 】

50

層間絶縁層 5 2 は、例えば、酸化物、酸窒化物、又は、窒化物である。層間絶縁層 5 2 は、例えば、酸化シリコンである。層間絶縁層 5 2 の z 方向の厚さは、例えば、5 nm 以上 20 nm 以下である。

【0093】

半導体層 5 0 は、積層体 7 0 の中に設けられる。半導体層 5 0 は、z 方向に延びる。半導体層 5 0 は、半導体基板の表面に垂直な方向に延びる。

【0094】

半導体層 5 0 は、積層体 7 0 を貫通して設けられる。半導体層 5 0 は、複数のワード線 WL に囲まれる。半導体層 5 0 は、例えば、円筒状である。半導体層 5 0 は、メモリセルトランジスタ MT のチャンネルとして機能する。

10

【0095】

半導体層 5 0 は、例えば、多結晶の半導体である。半導体層 5 0 は、例えば、多結晶シリコンである。

【0096】

トンネル絶縁層 5 4 は、半導体層 5 0 とワード線 WL との間に設けられる。トンネル絶縁層 5 4 は、半導体層 5 0 と複数のワード線 WL の内の少なくとも一つとの間に設けられる。トンネル絶縁層 5 4 は、半導体層 5 0 と電荷蓄積層 5 6 との間に設けられる。

【0097】

トンネル絶縁層 5 4 は、ワード線 WL と半導体層 1 0 との間に印加される電圧に応じて電荷を通過させる機能を有する。

20

【0098】

トンネル絶縁層 5 4 は、例えば、酸化物、酸窒化物、又は、窒化物である。トンネル絶縁層 1 2 は、例えば、酸化シリコン、酸窒化シリコン、又は、窒化シリコンを含む。トンネル絶縁層 1 2 の厚さは、例えば、3 nm 以上 8 nm 以下である。

【0099】

電荷蓄積層 5 6 は、トンネル絶縁層 5 4 とブロック絶縁層 5 8 との間に設けられる。

【0100】

電荷蓄積層 5 6 は、電荷をトラップして蓄積する機能を有する。電荷は、例えば、電子である。電荷蓄積層 5 6 に蓄積される電荷の量に応じて、メモリセルトランジスタ MT の閾値電圧が変化する。この閾値電圧の変化を利用することで、1 個のメモリセルがデータを記憶することが可能となる。

30

【0101】

例えば、メモリセルトランジスタ MT の閾値電圧が変化するすることで、メモリセルトランジスタ MT がオンする電圧が変化する。例えば、閾値電圧が高い状態をデータ“0”、閾値電圧が低い状態をデータ“1”と定義すると、メモリセルは“0”と“1”の 1 ビットデータを記憶することが可能となる。

【0102】

電荷蓄積層 5 6 は、空間群 P b c a (空間群番号 6 1 番) 又は空間群 P 4₂ / n m c (空間群番号 1 3 7 番) 又は空間群 R - 3 m (空間群番号 1 6 6 番) の第 1 の結晶を含む。電荷蓄積層 1 4 は、ハフニウム (H f)、酸素 (O)、及び窒素 (N) を含む。

40

【0103】

第 1 の結晶は、酸化ハフニウムである。空間群 P b c a (空間群番号 6 1 番) の酸化ハフニウムは反強誘電体である。空間群 P b c a (空間群番号 6 1 番) の酸化ハフニウムは反強誘電体である。電荷蓄積層 1 4 は、反強誘電体層である。

【0104】

電荷蓄積層 5 6 は、酸化ハフニウムを主成分とする。酸化ハフニウムを主成分とするとは、電荷蓄積層 5 6 に含まれる成分の中で、酸化ハフニウムの占める割合が最も高いことを意味する。電荷蓄積層 5 6 は、反強誘電体の酸化ハフニウム層である。

【0105】

電荷蓄積層 5 6 に含まれる元素の中で、ハフニウム (H f) 及び酸素 (O) の占める原

50

子割合は、例えば、90%以上である。

【0106】

電荷蓄積層14に含まれる元素の中で、ハフニウム(Hf)、ジルコニウム(Zr)及び酸素(O)の占める原子割合は、例えば、90%以上である。

【0107】

電荷蓄積層56に含まれるハフニウム(Hf)と酸素(O)と窒素(N)の総和に対する窒素(N)の原子比($N / (Hf + O + N)$)は、1.5%以上3.0%以下である。

【0108】

電荷蓄積層56の厚さは、例えば、2nm以上10nm以下である。

【0109】

電荷蓄積層56として例えば1.5%以上3.0%以下の窒素を含む酸化ハフニウム膜を形成する場合、例えばALD(Atomic Layer Deposition)法で形成する。例えば、Tetrakis(dimethylamido)hafnium(IV)などのハフニウムのプリカーサを用い酸化ガスとして H_2O などを用いて HfO_2 を例えば14層形成し、例えばhafnium(IV)chlorideなどのハフニウムのプリカーサを用い窒化ガスとして NH_3 などを用いてHfNを例えば1層形成し、再度、例えばTetrakis(dimethylamido)hafnium(IV)などのハフニウムのプリカーサを用い酸化ガスとして H_2O などを用いて HfO_2 を例えば14層形成するような手法を用いることが可能である。各形成段階のうちのいずれか一つまたは複数の段階において、堆積後にアニールを行っても良い。Hf O_2 層とHfN層が混じることによって1.5%以上3.0%以下の窒素を含む酸化ハフニウム膜が生成される。窒素以外の添加物を用いる場合でも、同様に HfO_2 積層数と添加物の積層数の層数比の制御により組成制御してもよい。

【0110】

ブロック絶縁層58は、トンネル絶縁層54とワード線WLとの間に設けられる。ブロック絶縁層58は、電荷蓄積層56とワード線WLとの間に設けられる。ブロック絶縁層58は、電荷蓄積層56とワード線WLとの間に流れる電流を阻止する機能を有する。

【0111】

ブロック絶縁層58、例えば、酸化物、酸窒化物、又は、窒化物である。ブロック絶縁層58、例えば、酸化シリコン又は酸化アルミニウムを含む。

【0112】

コア絶縁領域60は、積層体70の中に設けられる。コア絶縁領域60は、z方向に延びる。コア絶縁領域60は、積層体70を貫通して設けられる。コア絶縁領域60は、半導体層50に囲まれる。コア絶縁領域60は、複数のワード線WLに囲まれる。コア絶縁領域60は、柱状である。コア絶縁領域60は、例えば、円柱状である。

【0113】

コア絶縁領域60は、例えば、酸化物、酸窒化物、又は、窒化物である。コア絶縁領域60は、例えば、酸化シリコンである。

【0114】

第3の実施形態の3次元NANDフラッシュメモリの電荷蓄積層56は、反強誘電体の酸化ハフニウムを含む。このため、電荷蓄積層56の電荷蓄積密度が向上する。したがって、電荷蓄積層56の薄膜化が可能となり、メモリ穴径の縮小が可能となる。よって、メモリセルの微細化が可能となり、更にメモリ容量を増加させることが可能となる。

【0115】

以上、第3の実施形態によれば、第1の実施形態同様、電荷蓄積層の電荷蓄積密度の向上を可能とする半導体記憶装置が実現できる。そして、メモリセルの微細化が可能となり、更にメモリ容量を増加させることが可能となる。

【0116】

(第4の実施形態)

第4の実施形態の半導体記憶装置は、半導体層と、ゲート電極と、半導体層とゲート電

10

20

30

40

50

極との間に設けられた第1の絶縁層と、第1の絶縁層とゲート電極との間に設けられた第2の絶縁層と、第1の絶縁層と第2の絶縁層との間に設けられ、空間群P b c a (空間群番号61番)又は空間群P 4₂ / n m c (空間群番号137番)又は空間群R - 3 m (空間群番号166番)の第1の結晶を含み、ハフニウム(H f)と、酸素(O)と、シリコン(S i)、ゲルマニウム(G e)、アルミニウム(A l)、ストロンチウム(S r)、ニオブ(N b)、タンタル(T a)、モリブデン(M o)、タングステン(W)、イットリウム(Y)、ランタノイド、及びバリウム(B a)からなる群から選ばれる少なくとも一つの元素を含む中間層と、を備える。第4の実施形態の半導体記憶装置は、中間層の材料が異なる点で、第1の実施形態の半導体記憶装置と異なる。以下、第1の実施形態と重複する内容については、一部記述を省略する。

10

【0117】

図9は、第4の実施形態の半導体記憶装置の模式断面図である。第4の実施形態の半導体記憶装置は、電荷蓄積層に電荷をトラップするチャージトラップ型のメモリセル400である。

【0118】

第4の実施形態のメモリセル400は、半導体層10、トンネル絶縁層12、電荷蓄積層14、ブロック絶縁層16、ゲート電極層18を備える。トンネル絶縁層12は、第1の絶縁層の一例である。電荷蓄積層14は、中間層の一例である。ブロック絶縁層16は、第2の絶縁層の一例である。半導体層10は、ソース領域10a、ドレイン領域10b、チャンネル領域10cを有する。

20

【0119】

電荷蓄積層14は、空間群P b c a (空間群番号61番)又は空間群P 4₂ / n m c (空間群番号137番)又は空間群R - 3 m (空間群番号166番)の第1の結晶を含み、ハフニウム(H f)と、酸素(O)と、シリコン(S i)、ゲルマニウム(G e)、アルミニウム(A l)、ストロンチウム(S r)、ニオブ(N b)、タンタル(T a)、モリブデン(M o)、タングステン(W)、イットリウム(Y)、ランタノイド、及びバリウム(B a)からなる群から選ばれる少なくとも一つの不純物元素を含む。

【0120】

第1の結晶は、酸化ハフニウムである。空間群P b c a (空間群番号61番)の酸化ハフニウムは反強誘電体である。空間群P b c a (空間群番号61番)の酸化ハフニウムは反強誘電体である。電荷蓄積層14は、反強誘電体層である。

30

【0121】

電荷蓄積層14は、酸化ハフニウムを主成分とする。酸化ハフニウムを主成分とするとは、電荷蓄積層14に含まれる成分の中で、酸化ハフニウムの占める割合が最も高いことを意味する。電荷蓄積層14は、反強誘電体の酸化ハフニウム層である。

【0122】

電荷蓄積層14に含まれる元素の中で、ハフニウム(H f)及び酸素(O)の占める原子割合は、例えば、90%以上である。

【0123】

電荷蓄積層14に含まれる元素の中で、ハフニウム(H f)、ジルコニウム(Z r)及び酸素(O)の占める原子割合は、例えば、90%以上である。

40

【0124】

電荷蓄積層14に含まれる不純物元素がバリウム(B a)を含まない場合、電荷蓄積層14に含まれるハフニウム(H f)と不純物元素の総和に対する不純物元素の原子比は、6%以上15%以下である。上記範囲を充足することにより、電荷蓄積層14の中に反強誘電体の酸化ハフニウムが形成される。

【0125】

電荷蓄積層14に含まれる不純物元素がバリウム(B a)である場合、電荷蓄積層14に含まれるハフニウム(H f)とバリウム(B a)の総和に対するバリウム(B a)の原子比は、3%以上10%以下である。上記範囲を充足することにより、電荷蓄積層14の

50

中に反強誘電体の酸化ハフニウムが形成される。

【0126】

電荷蓄積層14の厚さは、例えば、2nm以上10nm以下である。

【0127】

第4の実施形態のメモリセル400によれば、電荷蓄積層14が反強誘電体の酸化ハフニウムを含むことにより、電荷蓄積層14の電荷蓄積密度の向上が可能となる。

【0128】

以上、第4の実施形態によれば、電荷蓄積層の電荷蓄積密度の向上を可能とする半導体記憶装置が実現できる。

【0129】

(第5の実施形態)

第5の実施形態の半導体記憶装置は、半導体層と、ゲート電極と、半導体層とゲート電極との間に設けられた第1の絶縁層と、第1の絶縁層とゲート電極との間に設けられた第2の絶縁層と、第1の絶縁層と第2の絶縁層との間に設けられ、空間群Pbca(空間群番号61番)又は空間群 $P4_2/nmc$ (空間群番号137番)又は空間群R-3m(空間群番号166番)の第1の結晶を含み、ジルコニウム(Zr)を含む中間層と、を備える。第5の実施形態の半導体記憶装置は、中間層の材料が異なる点で、第1の実施形態の半導体記憶装置と異なる。以下、第1の実施形態と重複する内容については、一部記述を省略する。

【0130】

図10は、第5の実施形態の半導体記憶装置の模式断面図である。第5の実施形態の半導体記憶装置は、電荷蓄積層に電荷をトラップするチャージトラップ型のメモリセル500である。

【0131】

第5の実施形態のメモリセル500は、半導体層10、トンネル絶縁層12、電荷蓄積層14、ブロック絶縁層16、ゲート電極層18を備える。トンネル絶縁層12は、第1の絶縁層の一例である。電荷蓄積層14は、中間層の一例である。ブロック絶縁層16は、第2の絶縁層の一例である。半導体層10は、ソース領域10a、ドレイン領域10b、チャンネル領域10cを有する。

【0132】

電荷蓄積層14は、空間群Pbca(空間群番号61番)又は空間群 $P4_2/nmc$ (空間群番号137番)又は空間群R-3m(空間群番号166番)の第1の結晶を含み、ジルコニウム(Zr)を含む。

【0133】

また、電荷蓄積層14は、例えば、ハフニウム(Hf)を含み、電荷蓄積層14に含まれるハフニウム(Hf)とジルコニウム(Zr)の総和に対するジルコニウム(Zr)の原子比は、70%以上である。

【0134】

第1の結晶は、酸化ジルコニウムである。空間群Pbca(空間群番号61番)の酸化ジルコニウムは反強誘電体である。空間群Pbca(空間群番号61番)の酸化ジルコニウムは反強誘電体である。電荷蓄積層14は、反強誘電体層である。

【0135】

電荷蓄積層14は、酸化ジルコニウムを主成分とする。酸化ジルコニウムを主成分とするとは、電荷蓄積層14に含まれる成分の中で、酸化ジルコニウムの占める割合が最も高いことを意味する。電荷蓄積層14は、反強誘電体の酸化ジルコニウム層である。

【0136】

電荷蓄積層14に含まれる元素の中で、ジルコニウム(Zr)及び酸素(O)の占める原子割合は、例えば、90%以上である。

【0137】

電荷蓄積層14に含まれる元素の中で、ハフニウム(Hf)、ジルコニウム(Zr)及

10

20

30

40

50

び酸素（O）の占める原子割合は、例えば、90%以上である。

【0138】

電荷蓄積層14にハフニウム（Hf）を含む場合、電荷蓄積層14に含まれるハフニウム（Hf）とジルコニウム（Zr）の総和に対するジルコニウム（Zr）の原子比は、70%以上である。上記範囲を充足することにより、電荷蓄積層14の中に反強誘電体の酸化ジルコニウムが形成される。

【0139】

電荷蓄積層14の厚さは、例えば、2nm以上10nm以下である。

【0140】

第5の実施形態のメモリセル500によれば、電荷蓄積層14が反強誘電体の酸化ジルコニウムを含むことにより、電荷蓄積層14の電荷蓄積密度の向上が可能となる。

10

【0141】

以上、第5の実施形態によれば、電荷蓄積層の電荷蓄積密度の向上を可能とする半導体記憶装置が実現できる。

【0142】

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換え又は変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

20

【符号の説明】

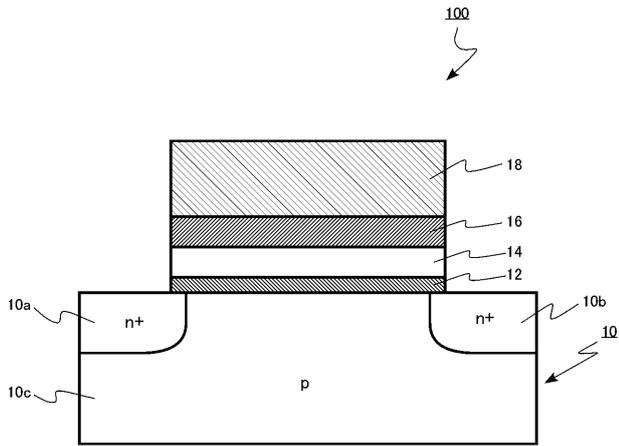
【0143】

10	半導体層	
12	トンネル絶縁層（第1の絶縁層）	
14	電荷蓄積層（中間層）	
14a	第1の結晶	
14b	第2の結晶	
14c	アモルファス領域	
16	ブロック絶縁層（第2の絶縁層）	
18	ゲート電極層	
22	第1の窒化シリコン層	
24	第2の窒化シリコン層	
50	半導体層	
54	トンネル絶縁層（第1の絶縁層）	
56	電荷蓄積層（中間層）	
58	ブロック絶縁層（第2の絶縁層）	
WL	ワード線（ゲート電極層）	
100	メモリセル（半導体記憶装置）	
200	メモリセル（半導体記憶装置）	
300	メモリセルアレイ（半導体記憶装置）	
400	メモリセル（半導体記憶装置）	
500	メモリセル（半導体記憶装置）	

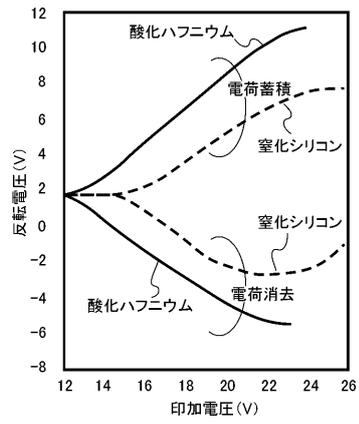
30

40

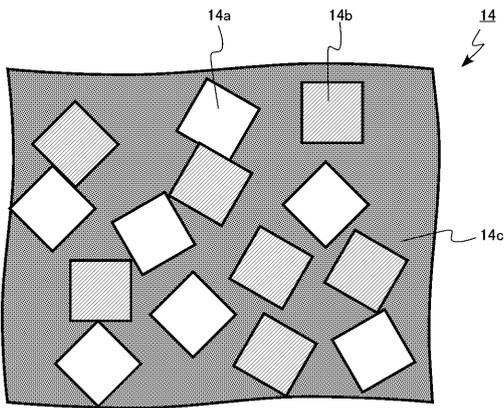
【 図 1 】



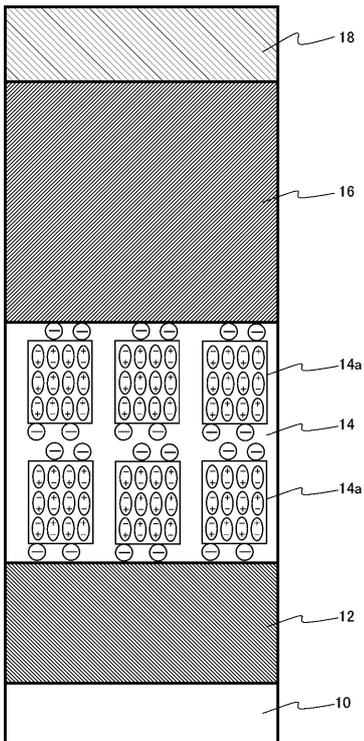
【 図 3 】



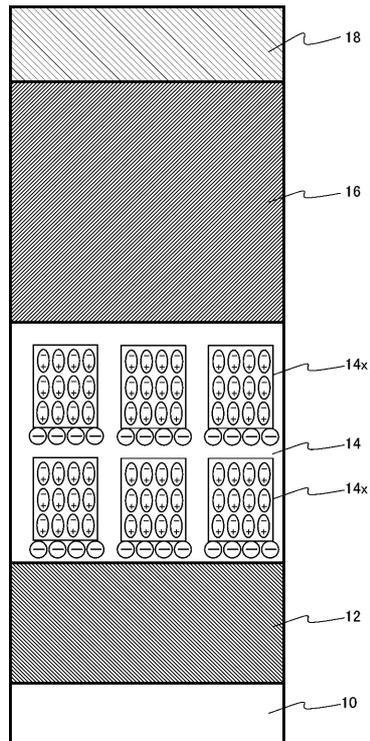
【 図 2 】



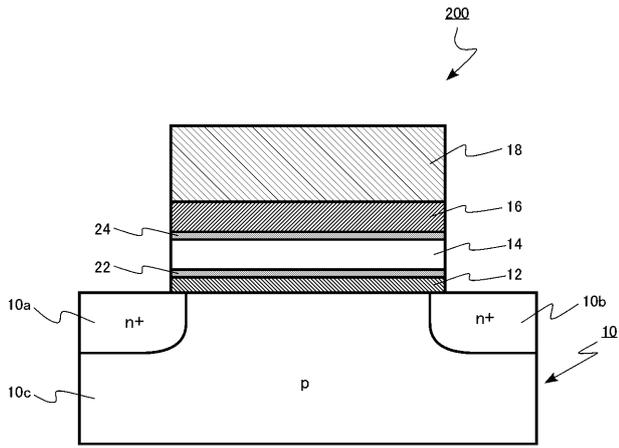
【 図 4 】



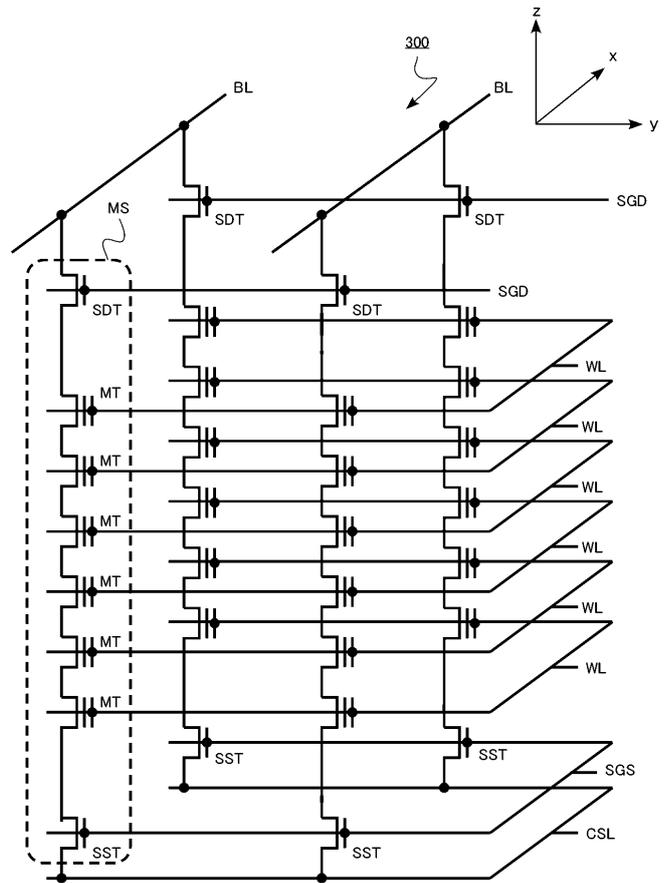
【 図 5 】



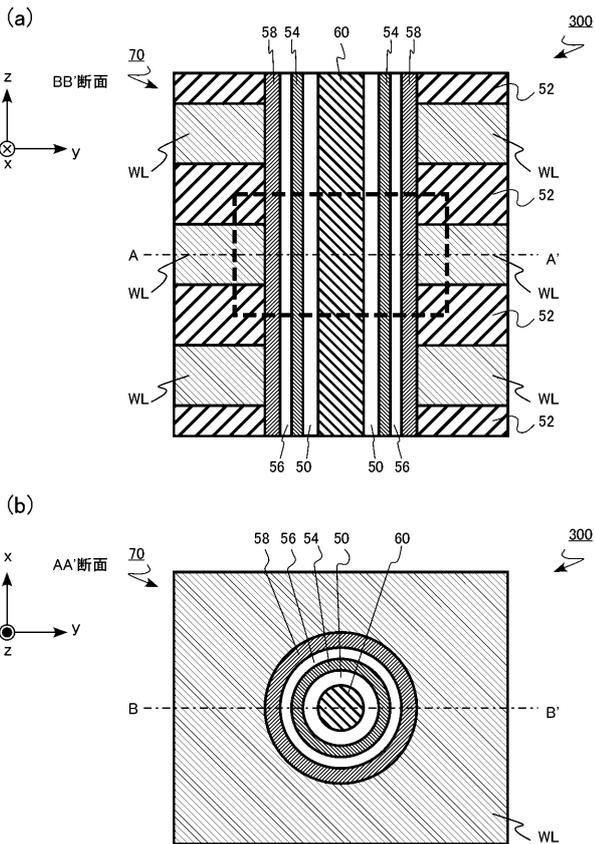
【 図 6 】



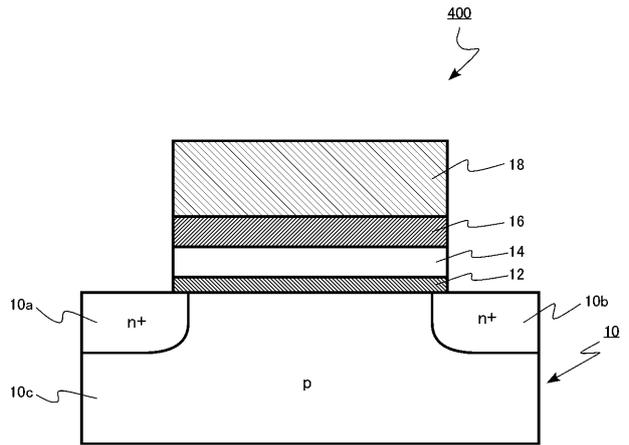
【 図 7 】



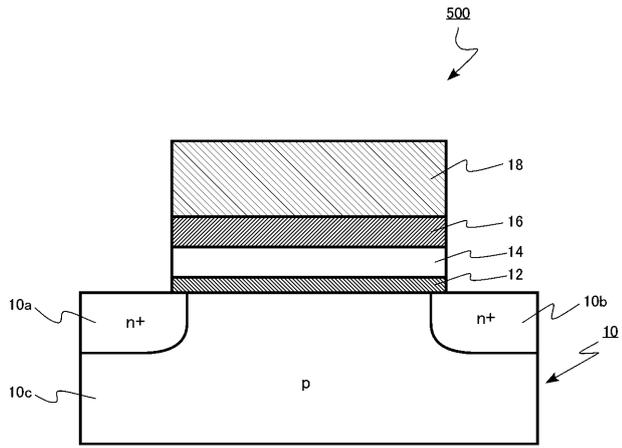
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 21/316 (2006.01)

(72)発明者 田中 玲華

東京都港区芝浦三丁目 1 番 2 1 号 キオクシア株式会社内

F ターム(参考) 5F058 BC02 BC03 BC04 BC09 BD02 BD04 BD05 BD06 BF02 BF12
BF13 BF29 BF30 BF37 BF51 BH01
5F083 EP18 EP22 EP41 EP76 ER22 GA10 GA27 JA02 JA04 JA05
JA19 JA39 KA01 PR12 PR21 PR22 PR25
5F101 BA42 BA45 BA48 BB02 BD16 BD30 BD34 BH01 BH03 BH04
BH11 BH16