

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-146428

(P2011-146428A)

(43) 公開日 平成23年7月28日(2011.7.28)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 6 8 1 F	5 F 0 3 3
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 6 2 1 C	5 F 0 8 3
HO 1 L 27/10 (2006.01)	HO 1 L 27/10 6 7 1 B	
HO 1 L 23/52 (2006.01)	HO 1 L 27/10 4 8 1	
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 S	

審査請求 未請求 請求項の数 17 O L (全 20 頁)

(21) 出願番号 特願2010-3976 (P2010-3976)
 (22) 出願日 平成22年1月12日 (2010.1.12)

(71) 出願人 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100123788
 弁理士 官崎 昭夫
 (74) 代理人 100106138
 弁理士 石橋 政幸
 (74) 代理人 100127454
 弁理士 緒方 雅昭
 (72) 発明者 祐川 光成
 東京都中央区八重洲2-2-1 エルピー
 ダメモリ株式会社内
 (72) 発明者 大塚 啓介
 東京都中央区八重洲2-2-1 エルピー
 ダメモリ株式会社内

最終頁に続く

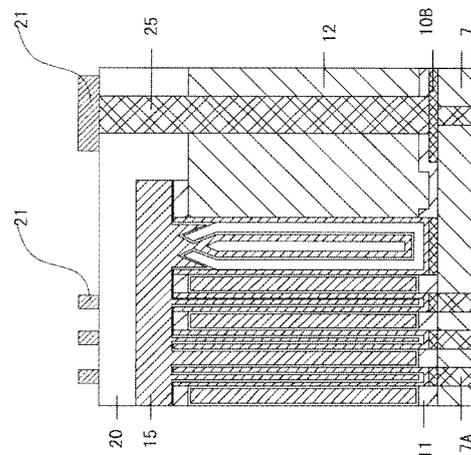
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 第1の領域中の層間絶縁膜を湿式エッチングにより除去する際に、使用する薬液が第2の領域に浸透することを防止する。これにより、第2の領域の特性の劣化がない、高性能の半導体装置を提供する。

【解決手段】 第1の領域と、第1の領域を囲むように設けられたガードリングと、ガードリングの外側に設けられた第2の領域と、を有する半導体装置。第1の領域は、導電性を有する第1の膜によって構成された第1の電極を有する。第1の領域中の第1の電極の表面は、第2の膜で覆われていない。ガードリングは、凹状の溝の内壁を覆う第1の膜と、凹状の溝の内部において少なくとも第1の膜の表面の一部を覆う絶縁性の第2の膜を有する。

【選択図】 図16



【特許請求の範囲】

【請求項 1】

第 1 の領域と、
 前記第 1 の領域を囲むように設けられたガードリングと、
 前記ガードリングの外側に設けられた第 2 の領域と、
 を有し、
 前記第 1 の領域は、導電性を有する第 1 の膜によって構成された第 1 の電極を有し、
 前記ガードリングは、凹状の溝の内壁を覆う第 1 の膜と、前記凹状の溝の内部において
 前記第 1 の膜の表面の少なくとも一部を覆う絶縁性の第 2 の膜と、
 を有し、
 前記第 1 の領域の前記第 1 の電極の表面は、前記第 2 の膜で覆われていないことを特徴
 とする半導体装置。

10

【請求項 2】

前記ガードリングにおいて、
 前記第 2 の膜は、前記凹状の溝の上部以外の側面および底面上の第 1 の膜を覆うように
 設けられると共に、前記第 2 の膜は前記凹状の溝の上部において凹状の溝の側面上の第 1
 の膜と離間して内側に反るように設けられていることを特徴とする請求項 1 に記載の半導
 体装置。

【請求項 3】

前記第 1 の領域は更に、前記第 1 の電極の表面を覆う絶縁性の第 3 の膜と、前記第 3 の
 膜を介して前記第 1 の電極と対向する導電性の第 4 の膜から構成される第 2 の電極と、を
 有し、
 前記ガードリングは更に、前記第 2 の膜の表面上に設けられた第 3 の膜と、前記第 2 お
 よび第 3 の膜を介して前記第 1 の膜と対向する部分を有する第 4 の膜と、を有すること
 を特徴とする請求項 1 又は 2 に記載の半導体装置。

20

【請求項 4】

前記第 1 の領域及びガードリングはメモリセル領域を構成し、
 前記第 1 および第 2 の電極、並びに前記第 3 の膜はキャパシタを構成し、
 前記第 2 の領域は周辺回路領域を構成し、
 前記半導体装置は、DRAM (Dynamic Random Access Mem
 ory) である請求項 1 ~ 3 の何れか 1 項に記載の半導体装置。

30

【請求項 5】

前記メモリセル領域は、
 トランジスタと、
 前記トランジスタのソース/ドレイン領域の一方に接続されたビット線と、
 を有し、
 前記トランジスタのソース/ドレイン領域の他方に前記第 1 の電極が接続されている請
 求項 4 に記載の半導体装置。

【請求項 6】

前記第 2 の膜は、シリコン窒化膜である、請求項 1 ~ 5 の何れか 1 項に記載の半導体装
 置。

40

【請求項 7】

(1) 半導体基板と、層間絶縁膜と、支持体膜とをこの順に有し、第 1 の領域及び前記
 第 1 の領域を囲むように第 2 の領域が区画された構造体を準備する工程と、
 (2) 前記第 1 の領域と第 2 の領域の境界部分の前記層間絶縁膜内に内壁が導電性の第
 1 の膜によって覆われた凹状の溝を形成する工程と、
 (3) 前記凹状の溝の上部を閉塞しないように、前記第 1 の領域および前記第 2 の領域
 上と前記凹状の溝内に絶縁性の第 5 の膜を成膜する工程と、
 (4) 前記凹状の溝の内部において露出している前記 1 の膜の表面、および前記第 5 の
 膜の表面を覆うように、前記第 1 および第 2 の領域上と前記凹状の溝内に絶縁性の第 2 の

50

膜を成膜する工程と、

(5) 前記凹状の溝の内部にのみ前記第2の膜を残存させるように、前記第2の膜を除去する工程と、

(6) 湿式エッチングにより、前記第1の領域の層間絶縁膜を除去する工程と、
を有する半導体装置の製造方法。

【請求項8】

前記工程(3)において、

平行平板型プラズマCVD(PE-CVD)法により、シリコン窒化膜から構成される前記第5の膜を形成する請求項7に記載の半導体装置の製造方法。

【請求項9】

前記工程(4)において、

ホットウォール型LP-CVD法またはALD法により、シリコン窒化膜から構成される前記第2の膜を形成する請求項7又は8に記載の半導体装置の製造方法。

【請求項10】

前記工程(2)において、

前記凹状の溝の形成と同時に、前記第1の領域に第1の膜から構成される筒型の側壁を有する第1の電極を形成し、

前記工程(3)において、

前記第1の電極の上部を閉塞するように前記第5の膜を成膜し、

前記工程(6)において、

前記湿式エッチングにより、前記第1の電極の外側面を露出させる、

ことを特徴とする請求項7～9の何れか1項に記載の半導体装置の製造方法。

【請求項11】

前記工程(5)と(6)の間に更に、

前記支持体膜によって前記第1の電極の側面の一部が保持されるように、前記支持体膜内に開口を設ける工程を有し、

前記工程(6)において、

前記開口を設けた支持体膜をマスクに用いて前記湿式エッチングを行うことを特徴とする、請求項10に記載の半導体装置の製造方法。

【請求項12】

前記工程(2)において、

第5の膜によって凹状の溝の上部が閉塞しない幅を有するように、前記凹状の溝を形成し、

第5の膜によって第1の電極の上部が閉塞する幅を有するように、前記第1の領域に第1の電極を形成することを特徴とする、請求項10又は11に記載の半導体装置の製造方法。

【請求項13】

前記工程(6)の後に、

(7) 前記第1の電極の表面を覆う絶縁性の第3の膜を成膜する工程と、

(8) 前記第3の膜上に導電性の第4の膜を成膜することによって、前記第3の膜を介して前記第1の電極と対向する第2の電極を形成する工程と、

をさらに備えていることを特徴とする請求項10～12の何れか1項に記載の半導体装置の製造方法。

【請求項14】

前記工程(7)において、

前記第1の電極の表面を覆う前記第3の膜の成膜と同時に、前記凹状の溝の内部に残存している第2の膜上に前記第3の膜を成膜し、

前記工程(8)において、

前記第3の膜上への第4の膜の成膜と同時に、前記凹状の溝の内部において、前記第2および第3の膜を介して前記第1の膜と対向する部分を有する前記第4の膜を形成するこ

10

20

30

40

50

とを特徴とする請求項 13 に記載の半導体装置の製造方法。

【請求項 15】

前記工程(1)において、
トランジスタを有する前記構造体を形成し、
前記工程(2)において、

前記トランジスタのソース領域またはドレイン領域に接続されるように、前記第1の電極を形成することを特徴とする請求項 10 ~ 14 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 16】

前記工程(1)において、

ホットウォール型 LP-CVD 法または ALD 法により、シリコン窒化膜から構成される前記支持体膜を形成することを特徴とする、請求項 7 ~ 15 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 17】

前記工程(5)は、前記第1および第2の領域における前記第2の膜および前記第5の膜をドライエッチングによって除去する工程を含むことを特徴とする請求項 7 ~ 16 の何れか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関する。

【背景技術】

【0002】

半導体装置の微細化の進展に伴い、DRAM (Dynamic Random Access Memory) 素子を構成するメモリセルの面積も縮小している。メモリセルを構成するキャパシタに十分な静電容量を確保するため、キャパシタを立体形状に形成することが一般に行われている。具体的には、特許文献 1 (特開平 7 - 007084 号公報) に開示されているように、キャパシタの下部電極をシリンダー型 (円筒型) として、下部電極の側壁をキャパシタとして利用することで表面積を拡大することが可能となる。

【0003】

また、メモリセルの面積縮小に伴い、キャパシタの下部電極の底部の面積も縮小している。このため、湿式エッチングを用いてキャパシタの下部電極の外壁を露出させる製造工程において、下部電極が倒れて隣接する下部電極と短絡する現象 (倒壊) が起き易くなっている。特許文献 2 及び 3 (特開 2003 - 297952 号公報、及び特開 2008 - 283026 号公報) には、この電極の倒壊を防止するために、下部電極間に支えとなるサポート膜を配置する技術が提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開平 7 - 007084 号公報

【特許文献 2】特開 2003 - 297952 号公報

【特許文献 3】特開 2008 - 283026 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

湿式エッチングを用いてキャパシタの下部電極の外壁を露出させる際には、キャパシタを配置していない領域に湿式エッチングの薬液が浸透するのを防止する必要がある。そのために、キャパシタを配置したメモリセル領域の外周に溝パターンを設け、下部電極を形成する際に同時に、溝パターンの内壁を下部電極の材料で覆ったガードリングが形成されている。

10

20

30

40

50

【0006】

しかしながら、微細化の進展に伴ってキャパシタ底部の占有面積も減少するため、それに応じて下部電極の膜厚も薄くする必要があり、下部電極と同時に形成するガードリングにおいても電極材料の膜厚が薄くなっていた。このため、薄い膜厚のカードリングで、薬液の浸透を完全に防止することは困難であった。すなわち、カードリングの膜厚が薄くなることによって、下部電極を形成するための金属膜の結晶粒界を介した薬液の染み出しや、金属膜の成膜時にランダムに発生するピンホール状の欠陥を介した薬液の染み出しを防止することは困難であった。

【0007】

この対策として、特許文献1に記載されているように、メモリセル領域を囲む溝パターンを2重にすると言う手段も考えられるが、余分なスペースによってチップサイズが増大すると言う問題が発生する。

10

【0008】

このため、従来の方法では、チップサイズを増大させることなく、静電容量の大きなキャパシタを備えた高集積度のDRAM素子を製造することが困難であった。

【課題を解決するための手段】

【0009】

一実施形態は、
第1の領域と、
前記第1の領域を囲むように設けられたガードリングと、
前記ガードリングの外側に設けられた第2の領域と、
を有し、
前記第1の領域は、導電性を有する第1の膜によって構成された第1の電極を有し、
前記ガードリングは、凹状の溝の内壁を覆う第1の膜と、前記凹状の溝の内部において前記第1の膜の表面の少なくとも一部を覆う絶縁性の第2の膜と、
を有し、
前記第1の領域の前記第1の電極の表面は、前記第2の膜で覆われていないことを特徴とする半導体装置に関する。

20

【0010】

他の実施形態は、
(1)半導体基板と、層間絶縁膜と、支持体膜とをこの順に有し、第1の領域及び前記第1の領域を囲むように第2の領域が区画された構造体を準備する工程と、
(2)前記第1の領域と第2の領域の境界部分の前記層間絶縁膜内に内壁が導電性の第1の膜によって覆われた凹状の溝を形成する工程と、
(3)前記第2の領域の凹状の溝の上部を閉塞しないように、前記第1の領域および前記第2の領域上に絶縁性の第5の膜を成膜する工程と、
(4)前記第2の領域の凹状の溝の内部において露出している前記第1の膜の表面、および前記第5の膜の表面を覆うように、前記第1および第2の領域上に絶縁性の第2の膜を成膜する工程と、
(5)前記第2の領域の前記凹状の溝の内部にのみ前記第2の膜を残存させるように、前記第2の膜を除去する工程と、
(6)湿式エッチングにより、前記第1の領域の層間絶縁膜を除去する工程と、
を有する半導体装置の製造方法に関する。

30

40

【発明の効果】

【0011】

第1の領域中の層間絶縁膜を湿式エッチングにより除去する際に、使用する薬液が第2の領域に浸透することを防止できる。これにより、第2の領域の特性の劣化がない、高性能の半導体装置を提供することができる。

【図面の簡単な説明】

【0012】

50

【図 1】本発明の半導体装置の一例を示す図である。

【図 2】本発明の半導体装置の一例を示す図である。

【図 3】本発明の半導体装置の一例を示す図である。

【図 4】本発明の半導体装置の一例を示す図である。

【図 5 A】本発明の半導体装置の製造方法の一工程を示す図である。

【図 5 B】本発明の半導体装置の製造方法の一工程を示す図である。

【図 6 A】本発明の半導体装置の製造方法の一工程を示す図である。

【図 6 B】本発明の半導体装置の製造方法の一工程を示す図である。

【図 7 A】本発明の半導体装置の製造方法の一工程を示す図である。

【図 7 B】本発明の半導体装置の製造方法の一工程を示す図である。

10

【図 8】本発明の半導体装置の製造方法の一工程を示す図である。

【図 9】本発明の半導体装置の製造方法の一工程を示す図である。

【図 10】本発明の半導体装置の製造方法の一工程を示す図である。

【図 11】本発明の半導体装置の製造方法の一工程を示す図である。

【図 12】本発明の半導体装置の製造方法の一工程を示す図である。

【図 13】本発明の半導体装置の製造方法の一工程を示す図である。

【図 14】本発明の半導体装置の製造方法の一工程を示す図である。

【図 15】本発明の半導体装置の製造方法の一工程を示す図である。

【図 16】本発明の半導体装置の製造方法の一工程を示す図である。

【発明を実施するための形態】

20

【0013】

本発明では、ガードリング用の凹状の溝上部の内壁側面上に、予め第 2 の膜を形成する。この結果、後の第 1 の領域中の層間絶縁膜を除去する湿式エッチング工程では、ガードリングを介したエッチング液の第 2 の領域への浸透を効果的に防止できる。そして、エッチング液によって第 2 の領域の特性が劣化することがない、高性能の半導体装置を提供することができる。また、第 1 の領域中の第 1 の電極表面には、第 2 の膜が形成されない。このため、第 1 の領域中の第 1 の電極を含む素子等の特性劣化を防止することができる。

【0014】

以下では、図面を参照して、本発明の具体的な態様を説明する。なお、下記実施例は、本発明のより一層の深い理解のために示される具体例であって、本発明は、これらの実施例に何ら限定されるものではない。

30

【0015】

なお、「凹状の溝の上部」とは、凹状の溝の伸長方向において、凹状の溝の底面と反対側に位置する凹状の溝の部分のことを表す。

「第 1 の電極の上部」とは、第 1 の電極の伸長方向において、第 1 の電極の底面と反対側に位置する第 1 の電極の部分のことを表す。

【0016】

(第 1 実施例)

本実施例の半導体装置に係る D R A M 素子 (チップ) は、メモリセル領域と周辺回路領域とから概略構成されている。図 1 は、D R A M 素子の平面構造を示す概念図である。D R A M 素子 5 0 上には複数のメモリセル領域 5 1 が配置されており、各メモリセル領域 5 1 を囲むように周辺回路領域 5 2 が配置されている。周辺回路領域 5 2 には、センスアンプ回路や、ワード線の駆動回路、外部との入出力回路等が含まれる。図 1 の配置は一例であり、メモリセル領域の数や、配置される位置は、図 1 のレイアウトには限定されない。

40

【0017】

図 2 は、1 つのメモリセル領域 5 1 の領域全体の平面構造を示す概念図であり、メモリセル領域を構成する一部の要素のみを示している。メモリセル領域 5 1 の外周部にはガードリング 1 2 B がメモリセル領域を囲むように配置されている。本発明においては、ガードリング 1 2 B で囲まれた内部の領域及びガードリング 1 2 B を併せた領域を「メモリセル領域」として定義する。また、ガードリング 1 2 B よりも外側の領域を「周辺回路領域

50

」として定義する。なお、本実施例では、ガードリング12Bで囲まれた内部の領域が第1の領域、ガードリング12Bよりも外側の領域が第2の領域に相当する。

【0018】

図2において、12Aは各メモリセルを構成するキャパシタ素子の下部電極（第1の電極）の位置を示す。14は製造の途中工程におけるキャパシタ素子の下部電極の倒壊を防止するために配置されたサポート膜（支持体膜に相当する）であり、サポート膜14には所定の間隔で開口14Aが設けられている。このサポート膜14は、ガードリング12Bで囲まれた領域内に設けられると共に、ガードリング12Bの外周の領域にも所定の幅で設けられている。

【0019】

周辺回路領域52上には、製造工程の途中でサポート膜の機能を利用した後、ガードリング12Bの外周から所定の幅の領域以外には、最終的に残存しないようにパターニングすることが好ましい。この理由については後述する。なお、図2のキャパシタの配置および開口14Aの配置は一例であり、キャパシタおよび開口の数、形状、配置される位置は、図2のレイアウトには限定されない。

【0020】

メモリセル領域には、複数のメモリセルが所定の規則に従って配置されている。図3は、各メモリセルの平面構造を示すための概念図で、メモリセルを構成する一部の要素のみを示している。図3の右手側は、後述する、ワード配線Wとなるゲート電極5とサイドウォール5bとを切断する面を基準とした透過断面図として示している。キャパシタ素子の記載は図3においては省略し、断面図にのみ記載した。

【0021】

図4は、図3（または図2）のA-A'線に対応する断面模式図である。これらの図は半導体装置の構成を説明するためのものであり、図示される各部の大きさや寸法等は、実際の半導体装置の寸法関係とは異なっている。各メモリセルは、図4に示すように、メモリセル用のMOSトランジスタTr1と、MOSトランジスタTr1に複数のコンタクトプラグを介して接続されたキャパシタ素子（容量部）30とから概略構成されている。

【0022】

図4において、半導体基板1は所定濃度のP型不純物を含有するシリコン（Si）によって形成されている。この半導体基板1には、素子分離領域3が形成されている。素子分離領域3は、半導体基板1の表面にSTI（Shallow Trench Isolation）法によりシリコン酸化膜（SiO₂）等の絶縁膜を埋設することで、活性領域K以外の部分に形成され、隣接する活性領域Kとの間を絶縁分離している。本実施例では、1つの活性領域Kに2ビットのメモリセルが配置されるセル構造に本発明を適用した場合の例を示している。

【0023】

本実施例では、図3に示す平面構造の如く、細長い短冊状の活性領域Kが複数、個々に所定間隔をあけて右斜め下向きに整列して配置されている。各活性領域Kの両端部と中央部には個々に不純物拡散層が形成され、MOSトランジスタTr1のソース・ドレイン領域として機能する。ソース・ドレイン領域（不純物拡散層）の真上に配置されるように基板コンタクト部205a、205b、205cの位置が規定されている。なお、本発明では、活性領域Kの配列は図3のような配列に限定されない。活性領域Kの形状は、その他の一般的なトランジスタに適用される活性領域の形状としてもよい。

【0024】

図3の横（X）方向には、折れ線形状（湾曲形状）にビット配線6が延設され、このビット配線6が図1の縦（Y）方向に所定の間隔で複数配置されている。また、図3の縦（Y）方向に延在する直線形状のワード配線Wが配置されている。個々のワード配線Wは図3の横（X）方向に所定の間隔で複数配置され、ワード配線Wは各活性領域Kと交差する部分において、図4に示されるゲート電極5を含むように構成されている。本実施例では、MOSトランジスタTr1が、溝型のゲート電極を備えている場合を一例として示した

10

20

30

40

50

。溝型のゲート電極を備えたMOSトランジスタに代えて、プレーナ型のMOSトランジスタや、半導体基板に設けた溝の側面部分にチャンネル領域を形成したMOSトランジスタを使用することも可能である。また、ピラー形状のチャンネル領域を備えた縦型のMOSトランジスタを用いてもよい。

【0025】

図4の断面構造に示す如く、半導体基板1において素子分離領域3に区画された活性領域Kにソース・ドレイン領域として機能する不純物拡散層8が離間して形成され、個々の不純物拡散層8の間に、溝型のゲート電極5が形成されている。ゲート電極5は、多結晶シリコン膜と金属膜との多層膜により半導体基板1の上部に突出するように形成されており、多結晶シリコン膜はCVD法(Chemical Vapor Deposition)での成膜時にリン等の不純物を含有させて形成することができる。また、成膜時に不純物を含有しないように形成した多結晶シリコン膜に、後の工程でN型またはP型の不純物をイオン注入法により導入してもよい。ゲート電極用の金属膜には、タングステン(W)や窒化タングステン(WN)、タングステンシリサイド(WSi)等の高融点金属を用いることができる。

【0026】

ゲート電極5と半導体基板1との間には、ゲート絶縁膜5aが形成されている。また、ゲート電極5の側壁には窒化シリコン(Si₃N₄)などの絶縁膜によるサイドウォール5bが形成され、ゲート電極5上にも、保護膜として窒化シリコンなどの絶縁膜5cが形成されている。

【0027】

不純物拡散層8は、半導体基板1にN型不純物として、例えばリンを導入することで形成されている。ゲート電極間を充填するように、酸化シリコン等を用いたゲート層間絶縁膜(図4には図示せず。)が形成されている。不純物拡散層8と接触するように基板コンタクトプラグ9が形成されている。この基板コンタクトプラグ9は、図3に示した基板コンタクト部205c、205a、205bの位置にそれぞれ配置され、例えば、リンを含有した多結晶シリコンから形成される。基板コンタクトプラグ9の横(X)方向の幅は、隣接するゲート配線Wに設けられたサイドウォール5bによって規定される、セルフアライン構造となっている。

【0028】

ゲート電極上の絶縁膜5c及び基板コンタクトプラグ9を覆うように第1の層間絶縁膜4が形成され、第1の層間絶縁膜4を貫通するようにビット線コンタクトプラグ4Aが形成されている。ビット線コンタクトプラグ4Aは、基板コンタクト部205aの位置に配置され、基板コンタクトプラグ9と導通している。ビット線コンタクトプラグ4Aは、チタン(Ti)及び窒化チタン(TiN)の積層膜からなるバリア膜(TiN/Ti)上にタングステン(W)等を積層して形成されている。ビット線コンタクトプラグ4Aに接続するようにビット配線6が形成されている。ビット配線6は窒化タングステン(WN)及びタングステン(W)を順次、堆積した積層膜で構成されている。

【0029】

ビット配線6を覆うように、第2の層間絶縁膜7が形成されている。第1の層間絶縁膜4及び第2の層間絶縁膜7を貫通して、基板コンタクトプラグ9に接続するように容量コンタクトプラグ7Aが形成されている。容量コンタクトプラグ7Aは、基板コンタクト部205b、205cの位置に配置される。

【0030】

第2の層間絶縁膜7上には、容量コンタクトパッド10が配置されており、容量コンタクトプラグ7Aと導通している。容量コンタクトパッド10は、窒化タングステン(WN)及びタングステン(W)を順次、堆積した積層膜で形成されている。容量コンタクトパッド10を覆うように、窒化シリコンを用いた第3の層間絶縁膜11が形成されている。容量コンタクトパッド10と接続するようにキャパシタ素子30が形成されている。

【0031】

キャパシタ素子 30 は下部電極 13 と上部電極 (第 2 の電極) 15 の間に容量絶縁膜 (図 4 には図示せず) を挟んだ構造となっており、下部電極 13 が容量コンタクトパッド 10 と接続している。また下部電極 13 の上端部を保持するように形成されたサポート膜 14 によって、製造工程の途中において倒壊しないように支持されている。

【0032】

キャパシタ素子 30 上には第 5 の層間絶縁膜 20、アルミニウム (Al)、銅 (Cu) 等で形成した上層の金属配線層 21、表面保護膜 22 が形成されている。

【0033】

次に、本実施例の半導体装置の製造方法について、まず、容量コンタクトパッド 10 を覆う第 3 の層間絶縁膜 11 を形成するまでの工程について、図 5 ~ 図 7 を参照して説明する。

10

各図において A は各メモリセルの A - A' 線 (図 3) に対応する断面模式図であり、B はメモリセル領域の外周近傍の B - B' 線 (図 2) に対応する断面模式図である。尚、以下の説明では、特に断らない限り各図の A、B を参照して、各メモリセルの製造工程及びメモリセル領域の外周近傍の製造工程を同時に説明する。

【0034】

図 5 に示すように、P 型のシリコンからなる半導体基板 1 の主面に活性領域 K を区画するため、STI 法により、酸化シリコン (SiO_2) 等の絶縁膜を埋設した素子分離領域 3 を、活性領域 K 以外の部分に形成した。次に、MOS トランジスタ Tr 1 のゲート電極用の溝パターンを形成し、熱酸化法により半導体基板 1 のシリコン表面を酸化して酸化シリコンとすることにより、トランジスタ形成領域に厚さ 4 nm 程度のゲート絶縁膜 5a を形成した。ゲート絶縁膜としては、酸化シリコンと窒化シリコンの積層膜や High-K 膜 (高誘電体膜) を使用してもよい。

20

【0035】

この後に、ゲート絶縁膜 5a 上にモノシラン (SiH_4) 及びホスフィン (PH_3) を原料ガスとした CVD 法により、N 型の不純物を含む多結晶シリコン膜を堆積した。この際に、ゲート電極用の溝パターンの内部が完全に多結晶シリコン膜で充填されるような膜厚に設定した。不純物を含まない多結晶シリコン膜を形成して、後の工程で N 型または P 型の不純物をイオン注入法にて多結晶シリコン膜に導入してもよい。次に、上記多結晶シリコン膜上に、スパッタリング法により金属膜として、例えばタングステンシリサイド、窒化タングステン、タングステン等の高融点金属を 50 nm 程度の厚さに堆積させた。この多結晶シリコン膜及び金属は、後述する工程を経てゲート電極 5 の形状に形成された。

30

【0036】

すなわち、ゲート電極 5 を構成することになる金属膜上に、プラズマ CVD 法により、窒化シリコンからなる絶縁膜 5c を厚さ 70 nm 程度に堆積した。絶縁膜 5c、金属膜及び多結晶シリコン膜を順次パターンニングし、ゲート電極 5 を形成した。ゲート電極 5 はワード線 W (図 3) として機能する。

【0037】

次に、図 6 に示すように、N 型不純物としてリンのイオン注入を行い、ゲート電極 5 で覆われていない活性領域に不純物拡散層 8 を形成した。この後に、CVD 法により、全面に窒化シリコン膜を 20 ~ 50 nm 程度の厚さに堆積し、エッチバックを行うことにより、ゲート電極 5 の側壁にサイドウォール 5b を形成した。

40

【0038】

次に、ゲート電極上の絶縁膜 5c 及び側面の絶縁膜 5b を覆うように、CVD 法により酸化シリコン等のゲート層間絶縁膜 40 (図 6A には図示せず) を形成した。この後に、ゲート電極 5 に由来する凹凸を平坦化するため、CMP (Chemical Mechanical Polishing) 法により、表面の研磨を行った。表面の研磨はゲート電極上の絶縁膜 5c の上面が露出した時点で停止した。この後に、基板コンタクトプラグ 9 を形成した。

50

【0039】

具体的には、まず、図3の基板コンタクト部205a、205b、205cの位置に開口を形成するように、フォトリソで形成したパターンをマスクとしてエッチングを行った。次に、先に形成したゲート層間絶縁膜40を除去し、半導体基板1の表面を露出させた。開口は窒化シリコンで形成されている絶縁膜5c、5bを利用してセルフアライメントにてゲート電極5の間に設けることができる。この後に、CVD法にてリンを含有した多結晶シリコン膜を堆積した。この後に、CMP (Chemical Mechanical Polishing) 法にて研磨を行い、絶縁膜5c上の多結晶シリコン膜を除去し、開口内に充填された基板コンタクトプラグ9とした。

【0040】

この後に、CVD法により、ゲート電極上の絶縁膜5c及び基板コンタクトプラグ9を覆うように、酸化シリコンからなる第1の層間絶縁膜4を、例えば600nm程度の厚みで形成した。その後、CMP法により、第1の層間絶縁膜4の表面を、例えば300nm程度の厚みになるまで研磨して平坦化した。

【0041】

次に、図6に示したように、第1の層間絶縁膜4を貫通するように、図3の基板コンタクト部205aの位置に開口(コンタクトホール)を形成し、基板コンタクトプラグ9の表面を露出させた。この開口の内部を充填するように、TiN/Ti等のバリア膜上にタングステン(W)を積層した膜を堆積し、表面をCMP法にて研磨することにより、ビット線コンタクトプラグ4Aを形成した。

【0042】

この後に、ビット線コンタクト4Aと接続するようにビット配線6を窒化タングステン及びタングステンからなる積層膜で形成した。ビット配線6を覆うように、酸化シリコン等で第2の層間絶縁膜7を形成した。

【0043】

次に、図7に示したように、第1の層間絶縁膜4及び第2の層間絶縁膜7を貫通するように、図3の基板コンタクト部205b、205cの位置に開口(コンタクトホール)を形成し、基板コンタクトプラグ9の表面を露出させた。この開口の内部を充填するように、TiN/Ti等のバリア膜上にタングステン(W)を積層した膜を堆積し、表面をCMP法にて研磨することにより、容量コンタクトプラグ7Aを形成した。第2の層間絶縁膜7上に、窒化タングステン及びタングステンからなる積層膜を用いて、容量コンタクトパッド10を形成した。容量コンタクトパッド10は容量コンタクトプラグ7Aと導通し、後に形成するキャパシタ素子の下部電極の底部のサイズよりも大きくなるようなサイズで配置した。メモリセル領域の外周近傍においても、図7Bに示したように、容量コンタクトパッド10を配置した。図7Bに示したメモリセル領域の外周近傍に設けた容量コンタクトパッド10は、図2に示した凹状の溝12Bを形成する領域に配置されている。

【0044】

この後に、容量コンタクトパッド10を覆うように、窒化シリコンを用いて第3の層間絶縁膜11を、例えば60nmの厚さで堆積した。第3の層間絶縁膜11は後述の湿式エッチングの際に、薬液のストッパー膜として機能する。

【0045】

以降の工程について、図2のC-C'部における断面図(図8~図16)を用いて説明する。各断面図には、簡略化のため、ビット配線よりも上層の部分のみを記載した。

【0046】

図8において、左側部分がメモリセル領域で、右側部分が周辺回路領域となる(図9~図16も、同様の形態でメモリセル領域及び周辺回路領域を示す)。容量コンタクトプラグ7A、容量コンタクトパッド10等は、図7で説明した通りに形成した。周辺回路領域には、容量コンタクトパッドと同じ層をパターンニングすることにより、配線層10Bが形成されている。また、配線層10Bは、コンタクトプラグ7Bを介して、下層の不純物拡散層またはゲート電極と接続している。コンタクトプラグ7Bは、容

10

20

30

40

50

量コンタクトプラグ7Aと同時に形成して、オーバーエッチングによって必要な深さの貫通孔を形成してもよい。

【0047】

酸化シリコン等で第4の層間絶縁膜12を、例えば2 μ mの厚さで堆積した。第4の層間絶縁膜12上に、ホットウォール型LP-CVD(減圧CVD)法またはALD(Atomic Layer Deposition)法で堆積した窒化シリコンを用いて、膜厚50nm程度のサポート膜14を形成した。サポート膜14上に、フォトレジスト膜を用いたマスクパターン35を形成した。マスクパターン35は、キャパシタの下部電極の形成場所(12A)および、メモリセル領域の外周を囲む凹状の溝(12B)の位置に開口を有している。

10

【0048】

図9に示したように、マスクパターン35を用いて異方性ドライエッチングを行い、サポート膜14、第4の層間絶縁膜12、および第3の層間絶縁膜11を貫通する開口を形成した。これにより、キャパシタの下部電極を形成するための開口12Aと、メモリセル領域を囲む凹状の溝12Bが同時に形成され、容量コンタクトパッド10の上面が露出した。開口12Aおよび凹状の溝12Bの形成後に、マスクパターン35を除去した。

【0049】

図10に示したように、CVD法を用いて、下部電極を形成するための導電膜として、窒化チタン(TiN)膜13を、20nm程度の膜厚で形成した。窒化チタン膜13(第1の膜に相当する)は、開口12Aおよび凹状の溝12Bの内壁を覆うように形成された。

20

【0050】

次に、ステップカバレッジ(段差被服性)の悪い方法により、第1のシリコン窒化膜31(第5の膜に相当する)を50nm程度の膜厚に形成した。具体的には、平行平板型PE-CVD(Plasma Enhanced CVD)法を用いて第1のシリコン窒化膜31を形成した(以下、「プラズマCVD法」と記載)。プラズマCVD法にて形成した場合、シリコン窒化膜は500以下の低温で成膜可能であるが、原料ガス中の水素原子が膜中に多く残存し、フッ酸に対する耐性が弱い膜しか形成することができない。従って、長時間フッ酸にさらされた場合には、膜が除去されてしまう。また、形成した膜のカバレッジが悪いことも知られている。本実施例では、第1のシリコン窒化膜31を開口12Aを塞ぐためのキャップ膜として使用する。

30

【0051】

本実施例では、プラズマCVD法を用い、SiH₄ガスおよびNH₃ガスを原料に用いて、第1のシリコン窒化膜31を堆積した。設計ルール60nmよりも微細な基準でメモリセルをレイアウトした場合には、下部電極を形成するための開口12Aのサイズ(直径)は、概略100nm以下となる。このような微細なサイズの開口では、プラズマCVD法のようにカバレッジの悪い方法でシリコン窒化膜を堆積した場合、上端の開口部で堆積した膜による閉塞が生じ、開口の内壁部分には、シリコン窒化膜がほとんど堆積されない状態となった。

40

【0052】

また、凹状の溝12Bにおいては、第1のシリコン窒化膜31によって、上端の開口部が完全に閉塞してしまわないように、開口12Aの直径よりも若干大きい開口幅(開口12Aの1.2~1.8倍程度)となるように、あらかじめ寸法を設定した。所定の方向に延在する距離の長い凹状の溝の形状の場合には、略円形の開口を備えたホールの場合に比べてもともと閉塞が発生しにくいので、その点も考慮して、開口幅を設定すればよい。

【0053】

凹状の溝12Bでは、開口部(上部)の閉塞は発生しないが、開口部の近傍において第1のシリコン窒化膜31が厚く堆積して行き、凹状の溝12Bの開口部の近傍を除く側面内壁部分へのシリコン窒化膜の堆積は抑制された。最終的に凹状の溝12Bの開口幅の中央部分に、サイズの縮小した開口が残存するように形成された。

50

【0054】

次に、カバレッジの優れた方法により、第2のシリコン窒化膜32（第2の膜に相当する）を50nm程度の膜厚に形成した。具体的には、ホットウォール型LP-CVD（Low Pressure CVD）法を用い、 SiH_2Cl_2 ガスおよび NH_3 ガスを原料に用いて、第2のシリコン窒化膜32を堆積した（以下、「LP-CVD法」と記載）。LP-CVD法は、650～800程度の高温で原料ガスを熱反応させて堆積させる成膜方法で、フッ酸に対する耐性の優れたシリコン窒化膜を成膜できる。また、カバレッジの優れたシリコン窒化膜を成膜でき、開口を介して空洞の内壁部分をシリコン窒化膜で覆うことも容易である。

【0055】

第2のシリコン窒化膜32は第1のシリコン窒化膜31の上面を覆うと共に、凹状の溝12Bに残存している開口から凹状の溝12Bの内部にも入り込み、凹状の溝12Bの内壁部分を覆うように形成された。この際に、凹状の溝12Bの内部に第2のシリコン窒化膜に囲まれた空洞部33が残存してもかまわない。本発明では、先に第1のシリコン窒化膜31を形成したことにより、下部電極を形成するための開口12Aの内部には第2のシリコン窒化膜32が形成されない。一方、ガードリングの溝12Bにおいては、第1のシリコン窒化膜31による開口部の閉塞が生じていないので、溝12Bの内壁を覆うように第2のシリコン窒化膜32が形成される。

【0056】

次に、フォトレジスト膜34を用いて、マスクパターンを形成した。フォトレジスト膜34は、メモリセル領域の開口14A（図2）を形成する位置に開口パターンを有している。

【0057】

図11に示したように、フォトレジスト膜34をマスクに用いてドライエッチングを行い、開口14Aの領域に位置している第2のシリコン窒化膜32、第1のシリコン窒化膜31、窒化チタン膜13を順次、除去した。エッチング終了後に、フォトレジスト膜34は除去した。

【0058】

図12に示したように、シリコン窒化膜のエッチバックを行い、窒化チタン膜13の上面を露出させた。この際に、図11の工程ですでに窒化チタン膜13が除去されている領域（開口14Aの領域）では、シリコン窒化膜で形成されているサポート膜14が露出しているため、エッチングが同時に進行し、最終的にサポート膜14を貫通する開口14Aが形成された。この際に、開口14Aの領域の第4の層間絶縁膜12が多少、エッチングされても問題ない。また、窒化チタン膜13の上面が露出した時点でエッチバックを停止することにより、凹状の溝12B内には、第2のシリコン窒化膜32および第1のシリコン窒化膜31が残存した。

【0059】

引き続き、窒化チタン膜13のエッチバックを行い、サポート膜14の上面に露出している窒化チタン膜13を除去し、開口12Aおよび凹状の溝12Bの側面内壁部分に窒化チタン膜13を残存させた。この際に、開口12Aのアスペクト比が十分に大きい場合には、開口12A底部での窒化チタンのエッチングは進行しないため、開口12A底部の窒化チタン膜13もダメージを与えることなく残存させることができる。

【0060】

必要に応じて、フォトレジスト膜で開口12A内を充填することで、開口12A底部の窒化チタン膜を保護した状態でエッチバックを行い、その後に充填したフォトレジスト膜を除去してもよい。

【0061】

図13に示したように、希フッ酸（HF）を用いた湿式エッチングを行い、メモリセル領域内の第4の層間絶縁膜12を選択的に除去して、開口12A内に設けた窒化チタン膜13の外壁を露出させた。これによって、開口12Aの位置に、窒化チタン膜13を用い

10

20

30

40

50

たキャパシタ素子の下部電極が形成された。

【0062】

シリコン窒化膜で形成した第3の層間絶縁膜11は、湿式エッチングの際のストッパー膜として機能し、第3の層間絶縁膜よりも下層部分に薬液が浸透するのを防止する。また、凹状の溝12B内は、図12に示したように、湿式エッチング開始時において、上部が第1のシリコン窒化膜31及び第2のシリコン窒化膜32によって完全に閉塞されている。また、凹状の溝の上部内壁側面を構成する窒化チタン膜13は、第2のシリコン窒化膜32および第1のシリコン窒化膜31で覆われている。このため、湿式エッチング時に薬液が凹状の溝12Bを介して周辺回路領域に浸透するのを防止できる。

【0063】

また、周辺回路領域上は、シリコン窒化膜からなるサポート膜14で覆われている。このため、周辺回路領域の上面から薬液が浸透することも防止できる。

【0064】

なお、プラズマCVD法で形成した第1のシリコン窒化膜31は、希フッ酸に対する耐性が、LP-CVD法で形成した第2のシリコン窒化膜32よりも劣る。従って湿式エッチングで薬液にさらされる時間が長い場合には、凹状の溝12B内の第1のシリコン窒化膜31は最終的に除去され、第2のシリコン窒化膜32が凹状の溝12B内に残存する形状となるが、その場合でも薬液が凹状の溝12B内の窒化チタン膜13に接触するまでの時間を遅らせることができるので、薬液の浸透を抑制することができる。

【0065】

図14に示したように、窒化チタン膜(下部電極)13の表面上に、容量絶縁膜16(第3の膜に相当する)を形成した。この後に、上部電極(プレート電極)15(第4の膜に相当する)として、窒化チタン膜を形成した。開口12A内には第2のシリコン窒化膜32が成膜されないため、下部電極(13)と上部電極(15)が容量絶縁膜16を介して対向することにより、キャパシタ素子として機能する。容量絶縁膜としては、酸化ジルコニウム(ZrO_2)、酸化アルミニウム(Al_2O_3)、酸化ハフニウム(HfO_2)等の高誘電体膜や、それらの積層膜を使用できる。また、上部電極は、窒化チタン膜を10nm程度の膜厚で形成した後に、不純物をドーブしたポリシリコン膜を積層して、隣接する下部電極間の空洞部を充填し、さらにその上にタングステン(W)を100nm程度成膜した積層構造としてもよい。なお、凹状の溝12Bは、周辺回路領域への薬液浸透を防止するために設けたものであり、キャパシタ素子としては機能しないので、内部に第2のシリコン窒化膜32が残存したままで問題ない。次に、上部電極のパターニングのために、フォトレジスト膜17を用いたマスクパターンを形成した。

【0066】

図15に示したように、フォトレジスト膜17をマスクとしたドライエッチングによって、周辺回路領域上の不要な膜(上部電極15、容量絶縁膜16、サポート膜14)を除去した。エッチング後にフォトレジスト膜17は除去した。

【0067】

図16に示したように、第5の層間絶縁膜20で上部電極15を覆った後、CMPによって第5の層間絶縁膜20上を平坦化した。周辺回路領域に、配線層10Bまで到達するコンタクトプラグ25および、上層の金属配線層21を形成した。周辺回路領域上に残存しているサポート膜14を、図15に示したように除去しておくことにより、配線層10Bまで到達する深いコンタクトホールをドライエッチングで容易に形成することが可能となる。

【0068】

コンタクトプラグ25にはタングステン等が利用できる。また、金属配線層21には、アルミニウム(Al)や銅(Cu)等が利用できる。また、上部電極15に所定の電位を与えるための回路と接続するための金属配線層およびコンタクトプラグを、図示していない領域で形成する。上部電極に接続するコンタクトプラグと周辺回路領域に設けたコンタクトプラグ25は同時に形成してもよい。この後に表面保護膜22(図4)を形成するこ

10

20

30

40

50

とにより、DRAM素子が完成した。

【0069】

本実施例の半導体装置では、上記のように、DRAM素子のメモリセル領域に、シリンドラ型下部電極の外壁と内壁の双方を電極として使用するキャパシタを設けた。この際、キャパシタ内には、第2のシリコン窒化膜が成膜されないようにした。ガードリングによって、キャパシタの外壁部分を露出させる湿式エッチングで使用する薬液が、メモリセル領域以外に浸透することを防止できる。これにより、微細化しても大きな静電容量を備えたキャパシタ素子を容易に形成することができるため、リフレッシュ特性に優れた高集積度のDRAM素子を製造することが可能となる。

【0070】

(第2実施例)

本実施例では、溝12B内を覆う、第2のシリコン窒化膜32をカバレッジの優れた方法で形成する方法として、第1実施例のLP-CVD法の代わりに、ALD(Atomic Layer Deposition)法を用いる点が異なる。

【0071】

ALD法を用いる場合には、 SiH_2Cl_2 ガスおよび NH_3 ガスを原料に用いて、500～550の温度に設定した半導体基板上に、 SiH_2Cl_2 ガスの供給と窒素ガス供給によるパージ、 NH_3 ガスの供給と窒素ガスによるパージを交互に繰り返しておこなうことにより、必要な膜厚のシリコン窒化膜をカバレッジよく堆積することができる。また、ALD法で形成したシリコン窒化膜もフッ酸に対する耐性を備えているので、ガードリング内を覆って薬液の浸透を防止するための第2の膜として用いることができる。

【符号の説明】

【0072】

- 1 半導体基板
- 3 素子分離領域
- 4 第1の層間絶縁膜
- 4A ビット線コンタクトプラグ
- 5 ゲート電極
- 5a ゲート絶縁膜
- 5b サイドウォール
- 5c 保護膜
- 6 ビット配線
- 7 第2の層間絶縁膜
- 7A 容量コンタクトプラグ
- 8 ソース・ドレイン領域
- 9 基板コンタクトプラグ
- 10 容量コンタクトパッド
- 10B 配線層
- 11 第3の層間絶縁膜
- 12 第4の層間絶縁膜
- 12A 開口
- 12B ガードリング
- 13 下部電極
- 14 サポート膜
- 14A 開口
- 15 上部電極
- 16 容量絶縁膜
- 17 フォトレジスト膜
- 20 第5の層間絶縁膜
- 21 金属配線層

10

20

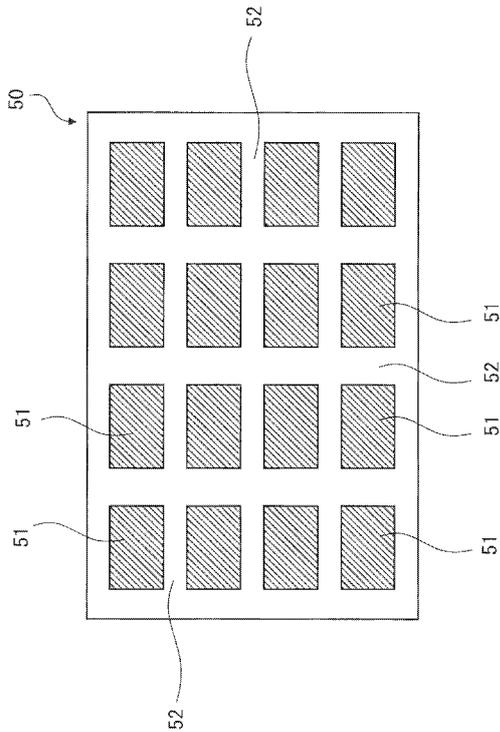
30

40

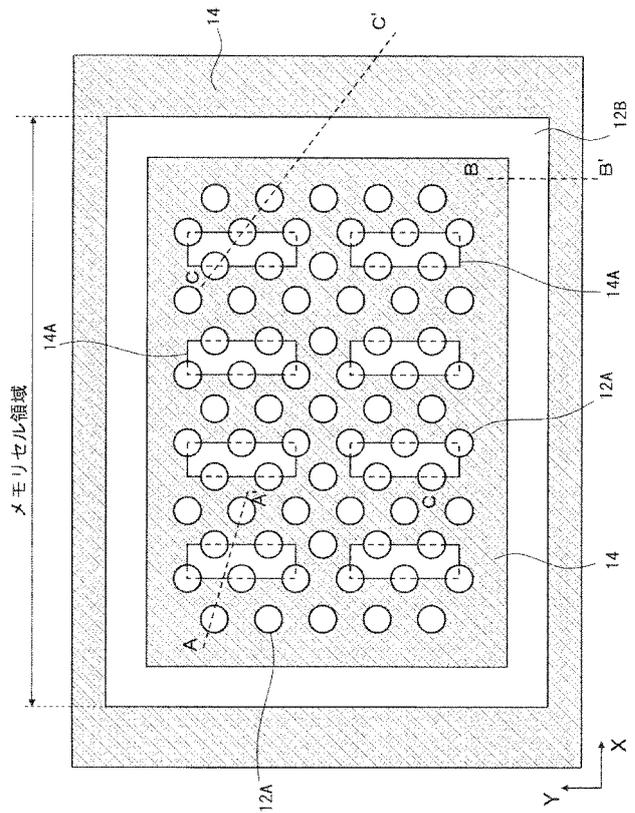
50

- 2 2 表面保護膜
- 2 5 コンタクトプラグ
- 3 0 キャパシタ素子
- 3 1 第 1 のシリコン窒化膜
- 3 2 第 2 のシリコン窒化膜
- 3 3 空洞部
- 3 4 フォトレジスト膜
- 3 5 マスクパターン
- 4 0 ゲート層間絶縁膜
- 5 0 D R A M 素子
- 5 1 メモリセル領域
- 5 2 周辺回路領域
- 2 0 5 a、2 0 5 b、2 0 5 c 基板コンタクト部
- K 活性領域
- T r 1 M O S トランジスタ
- W ワード配線

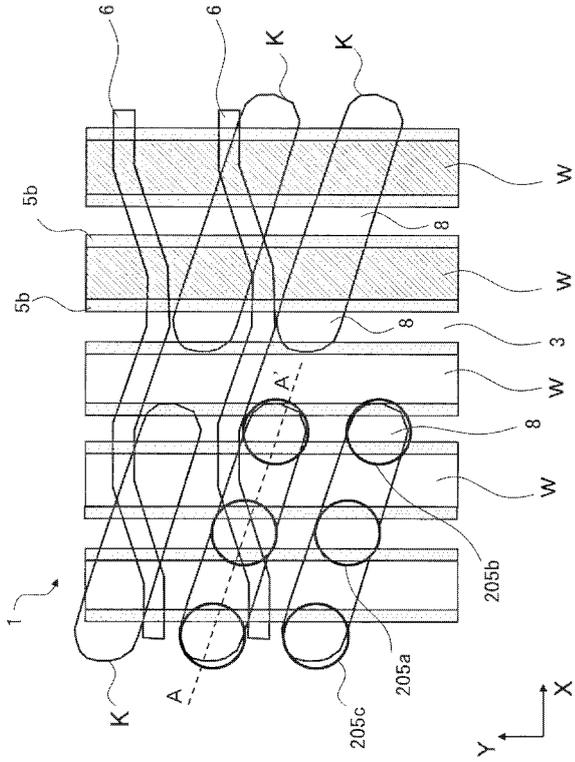
【 図 1 】



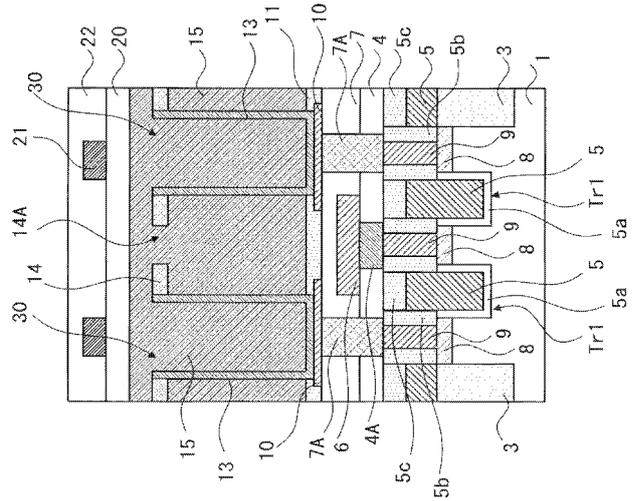
【 図 2 】



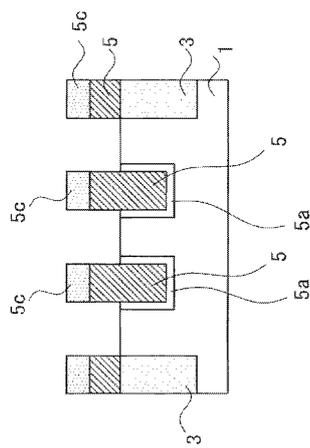
【 図 3 】



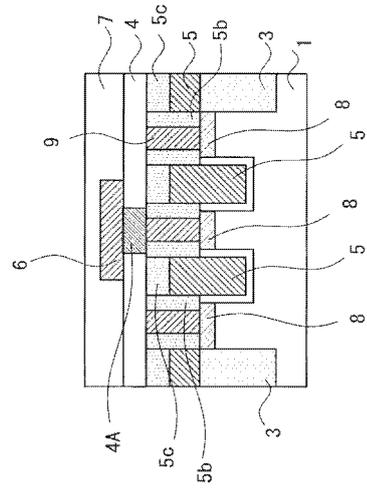
【 図 4 】



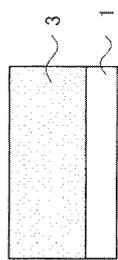
【 図 5 A 】



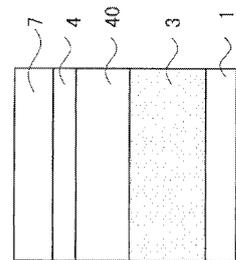
【 図 6 A 】



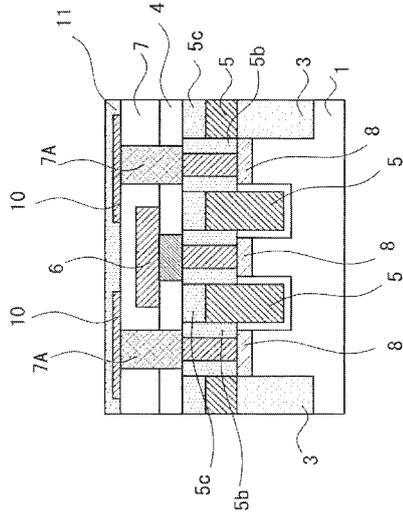
【 図 5 B 】



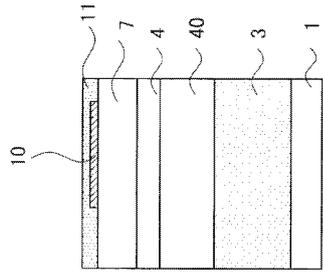
【 図 6 B 】



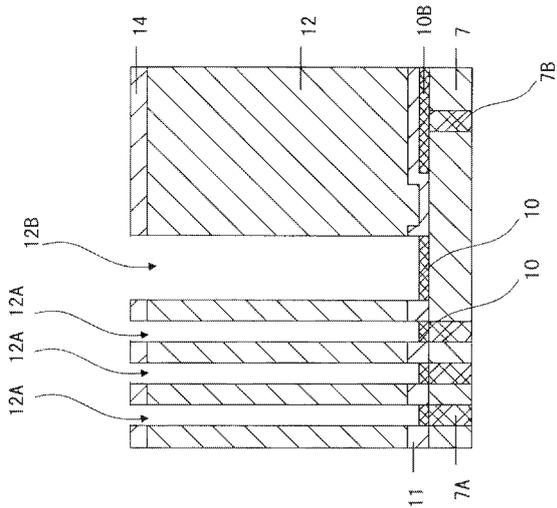
【図 7 A】



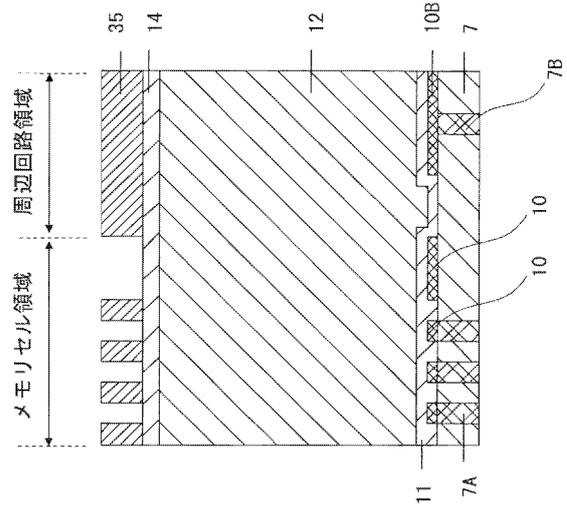
【図 7 B】



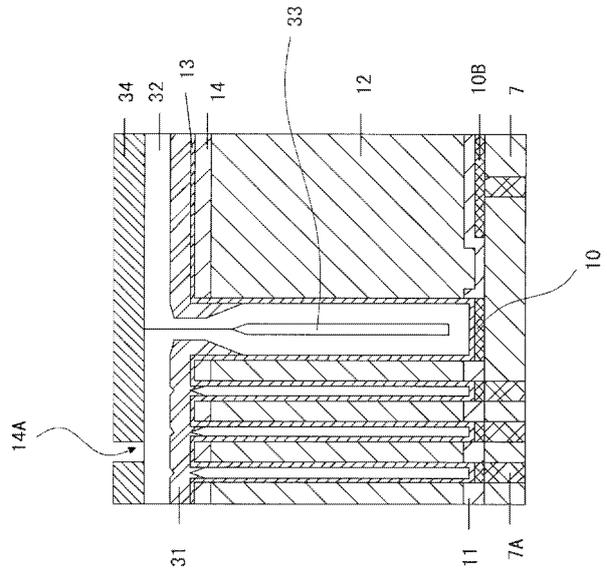
【図 9】



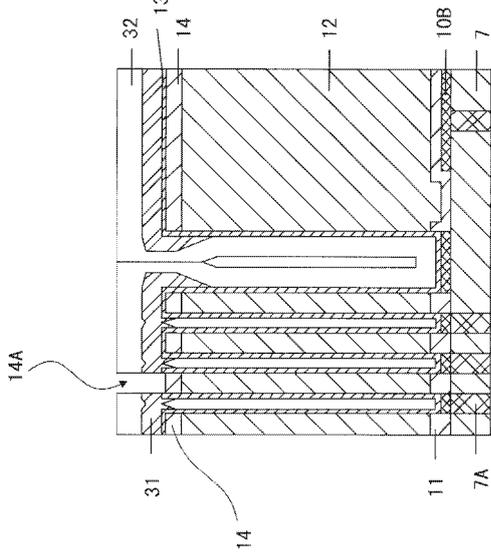
【図 8】



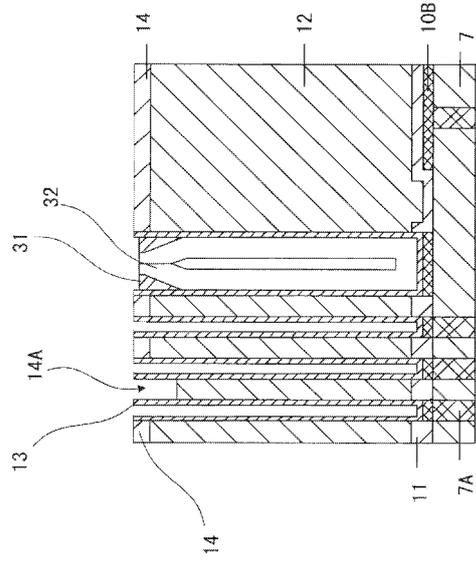
【図 10】



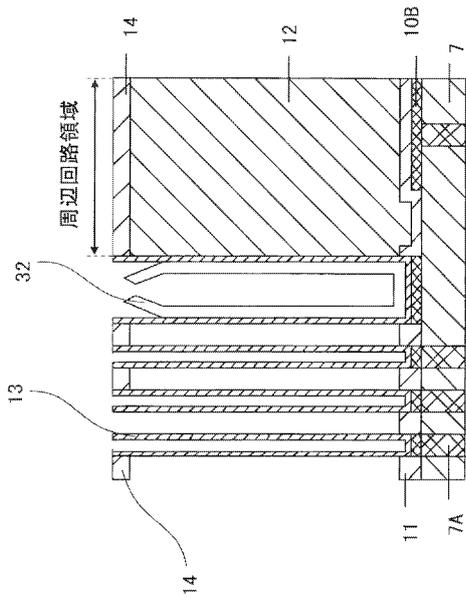
【図 1 1】



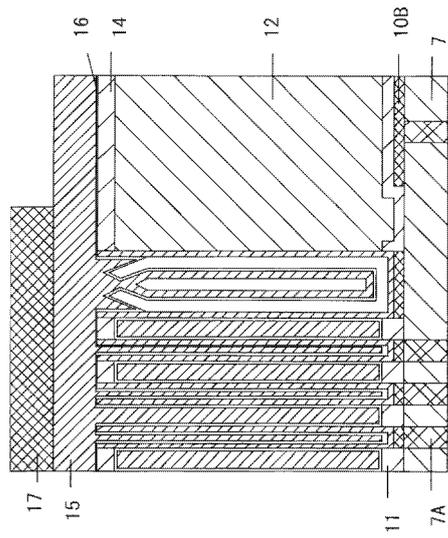
【図 1 2】



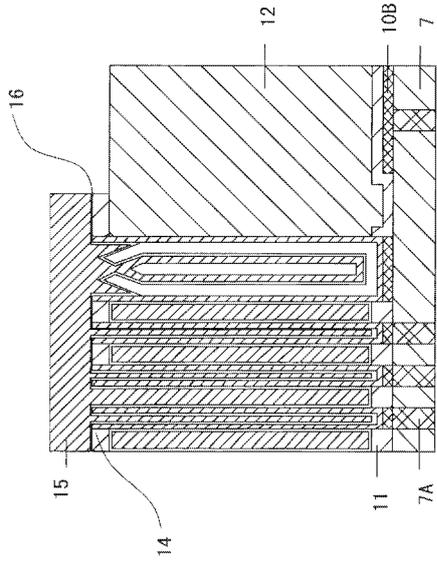
【図 1 3】



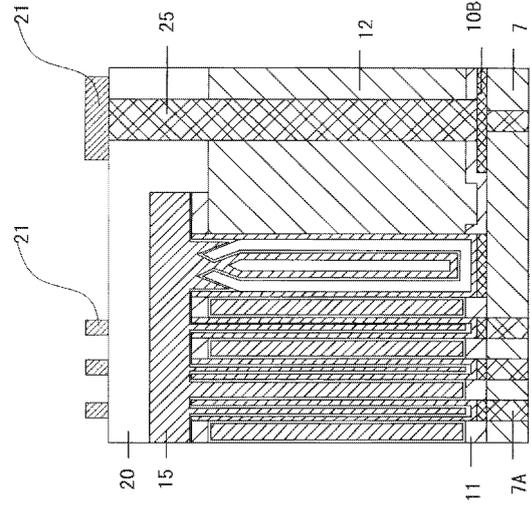
【図 1 4】



【図 15】



【図 16】



フロントページの続き

Fターム(参考) 5F033 HH04 HH19 HH28 HH34 JJ04 JJ18 JJ19 JJ33 KK01 LL04
MM05 NN06 NN07 PP02 PP06 PP15 QQ09 QQ19 QQ31 QQ37
QQ48 QQ59 QQ65 RR04 RR06 SS02 SS11 SS13 SS15 TT08
VV00 VV06 VV16 XX00
5F083 AD04 AD24 AD48 AD49 GA27 JA02 JA04 JA35 JA36 JA37
JA39 JA40 LA12 LA16 LA21 MA06 MA15 MA17 MA20 NA01
PR05 PR21 PR29 PR39 PR40 PR42 PR52 ZA01