(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년11월15일
(11) 등록번호 10-1083366
(24) 등록일자 2011년11월08일

(51) Int. Cl.
G06F 13/00 (2006.01)
(21) 출원번호 10-2003-0090188
(22) 출원일자 2003년12월11일
심사청구일자 2008년12월11일
(65) 공개번호 10-2005-0057956
(43) 공개일자 2005년06월16일
(56) 선행기술조사문헌
KR1020030046621 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자
윤정현
서울특별시영등포구도림동동아아파트103동2003호
(74) 대리인
임창현, 권혁수, 송윤호, 오세준

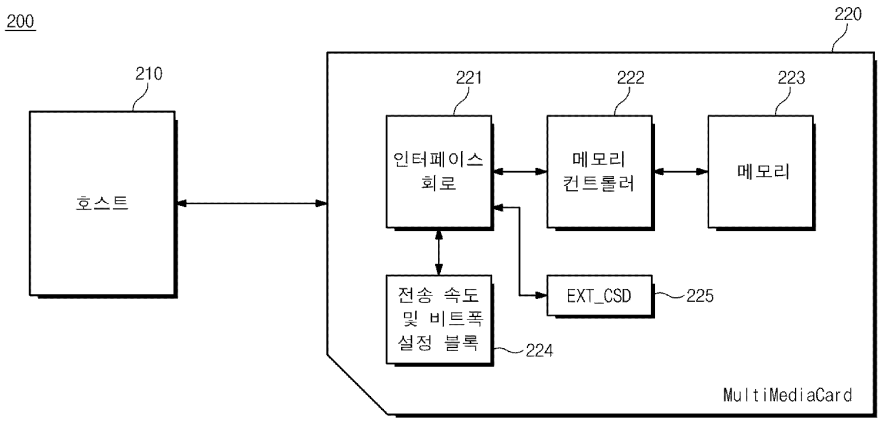
전체 청구항 수 : 총 10 항 심사관 : 홍승무

(54) 메모리 시스템 및 호스트와 메모리 카드 사이의 데이터전송 속도 설정 방법

(57) 요 약

본 발명의 메모리 시스템은, 호스트와 상기 호스트에 삽입 및 전기적으로 연결될 수 있는 전자 회로 카드를 포함한다. 호스트는 전자 회로 카드가 삽입되면, 전자 회로 카드로 전송 속도 정보를 전송한다. 전자 회로 카드는 호스트로부터 수신된 전송 속도 정보와 자신의 전송 속도가 일치하면 응답 신호를 호스트로 전송한다. 호스트는 전송 속도 설정이 완료된 후 상기 전자 회로 카드를 초기화하기 위한 명령 신호를 발생한다.

대 표 도



특허청구의 범위

청구항 1

호스트와 상기 호스트에 삽입 및 전기적으로 연결될 수 있는 전자 회로 카드를 포함하는 시스템의 동작 방법에 있어서:

상기 호스트에 상기 전자 회로 카드가 삽입될 때 상기 호스트로부터 상기 전자 회로 카드로 전송 속도 정보를 전송하는 단계와;

상기 전송 속도 정보를 전송한 후 미리 설정된 시간 내에 상기 전자 회로 카드로부터 상기 호스트로 응답 신호가 수신되지 않을 때, 상기 호스트는 전송 속도를 낮은 전송 속도로 변경하는 단계; 그리고

상기 전송 속도 정보를 전송하고 상기 미리 설정된 시간이 경과한 후 상기 호스트로부터 상기 전자 회로 카드로 상기 전자 회로 카드를 초기화하기 위한 명령 신호를 전송하는 단계를 포함하는 것을 특징으로 하는 동작 방법.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 전자 회로 카드의 전송 속도와 수신된 전송 속도 정보가 일치할 때 상기 전자 회로 카드로부터 상기 호스트로 상기 응답 신호를 전송하는 단계를 더 포함하는 것을 특징으로 하는 동작 방법.

청구항 4

제 3 항에 있어서,

상기 전송 속도 정보를 전송하고 나서 상기 미리 설정된 시간 내에 상기 전자 회로 카드로부터 상기 호스트로 상기 응답 신호가 수신될 때, 상기 호스트로부터 상기 전자 회로 카드로 데이터 비트 폭 정보를 전송하는 단계를 더 포함하는 것을 특징으로 하는 동작 방법.

청구항 5

삭제

청구항 6

제 4 항에 있어서,

상기 호스트는 적어도 제1, 제2 및 제3 전송 속도를 가지며,

상기 호스트로부터 상기 전자 회로 카드로 전송 속도 정보를 전송하는 단계는 상기 제1 전송 속도에 대응하는 전송 속도 정보를 전송하는 단계를 포함하며,

상기 호스트의 전송 속도를 낮은 전송 속도로 변경하는 단계는,

상기 제1 전송 속도에 대응하는 상기 전송 속도 정보를 전송한 후 상기 미리 설정된 시간 내에 상기 전자 회로 카드로부터 상기 호스트로 상기 응답 신호가 수신되지 않을 때, 상기 호스트의 전송 속도를 제2 전송 속도로 변경하는 단계와;

상기 호스트로부터 상기 전자 회로 카드로 상기 제2 전송 속도에 대응하는 전송 속도 정보를 전송하는 단계; 그리고

상기 제2 전송 속도에 대응하는 상기 전송 속도 정보를 전송한 후 상기 미리 설정된 시간 내에 상기 전자 회로 카드로부터 상기 호스트로 상기 응답 신호가 수신되지 않을 때, 상기 호스트의 전송 속도를 제3 전송 속도로 변경하는 단계를 더 포함하는 것을 특징으로 하는 동작 방법.

청구항 7

호스트와;

상기 호스트에 삽입 및 전기적으로 연결될 수 있는 전자 회로 카드를 포함하되;

상기 호스트는,

전송 속도 정보를 전송한 후 미리 설정된 시간 내에 상기 전자 회로 카드로부터 상기 호스트로 응답 신호가 수신되지 않을 때, 전송 속도를 낮은 전송 속도로 변경하고, 상기 전자 회로 카드를 초기화하기 위한 명령 신호를 전송하는 메모리 시스템.

청구항 8

제 7 항에 있어서,

상기 전자 회로 카드는,

상기 호스트로부터 전송된 전송 속도 정보를 수신하는 설정 블록을 포함하는 메모리 시스템.

청구항 9

제 8 항에 있어서,

상기 설정 블록은,

상기 전자 회로 카드가 상기 호스트로부터 전송된 전송 속도 정보에 대응하는 전송 속도를 지원할 때 응답 신호를 상기 호스트로 전송하는 메모리 시스템.

청구항 10

제 9 항에 있어서,

상기 호스트는,

상기 전자 회로 카드로부터 상기 응답 신호가 수신될 때 데이터 비트 폭 정보를 상기 전자 회로 카드로 전송하는 메모리 시스템.

청구항 11

제 10 항에 있어서,

상기 전자 회로 카드는,

상기 호스트로부터 전송된 상기 데이터 비트 폭 정보를 저장하기 위한 레지스터를 더 포함하는 메모리 시스템.

청구항 12

제 11 항에 있어서,

상기 호스트는 적어도 제1, 제2 및 제3 전송 속도를 가지며,

상기 호스트는 상기 제1 전송 속도에 대응하는 전송 속도 정보를 상기 전자 회로 카드로 전송하고, 상기 미리 설정된 시간 내에 상기 전자 회로 카드로부터 상기 응답 신호가 수신되지 않을 때, 상기 전송 속도를 제2 전송 속도로 변경하고, 상기 제2 전송 속도에 대응하는 전송 속도 정보를 상기 전자 회로 카드로 전송하고, 그리고 상기 제2 전송 속도에 대응하는 상기 전송 속도 정보를 전송한 후 상기 미리 설정된 시간 내에 상기 전자 회로 카드로부터 상기 응답 신호가 수신되지 않을 때, 상기 전송 속도를 제3 전송 속도로 변경하는 메모리 시스템.

청구항 13

청구항 13은(는) 설정등록료 납부시 포기되었습니다.

제 12 항에 있어서,

상기 전자 회로 카드는, 상기 호스트에 전기적으로 연결될 수 있고, 상기 설정 블록과 연결된 적어도 하나의 데

이터 입출력 핀을 더 포함하는 메모리 시스템.

청구항 14

청구항 14은(는) 설정등록료 납부시 포기되었습니다.

제 13 항에 있어서,

상기 전자 회로 카드는, 상기 호스트로부터 전송된 상기 전송 속도 정보를 상기 데이터 입출력 핀을 통해 수신하는 인터페이스 회로를 더 포함하는 메모리 시스템.

청구항 15

청구항 15은(는) 설정등록료 납부시 포기되었습니다.

제 14 항에 있어서,

상기 전자 회로 카드는 MMC(Multi Media Card)인 메모리 시스템.

청구항 16

청구항 16은(는) 설정등록료 납부시 포기되었습니다.

제 15 항에 있어서,

상기 전자 회로 카드는 SD(Secure Digital) 카드인 메모리 시스템.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0013] 본 발명은 호스트와 상기 호스트에 삽입 및 전기적으로 연결될 수 있는 전자 회로 카드를 구비한 메모리 시스템에 관한 것이다.

[0014] 불휘발성 반도체 메모리를 구비한 카드들은 퍼스널 컴퓨터, 노트북 컴퓨터, PDA(Personal Digital Assistant), 스마트 전화기, 카메라, 전자 인형, 디지털 레코더, MP3 플레이어 및 그 밖의 전자 장치들로부터의 수 메가바이트(megabytes)의 데이터를 저장하기 위한 수단으로 널리 보급되고 있다. 이러한 메모리 카드의 응용 분야는 급속도로 증가하고 있으며, 현재에는 인터넷으로부터 다운로드한 음악을 저장하는 용도로 사용되기도 한다. 또한, 메모리 카드는 비디오 데이터 또는 대용량의 데이터를 저장하기 위해 사용된다.

[0015] 이러한 메모리 카드의 일종인 멀티미디어카드(MultiMediaCard, "MMC")는 64 메가바이트 이상의 다양한 용량을 가지며, 다수 개의 전기적 콘택들(즉, 입출력 단자들)을 갖는다. MMC의 물리적 전기적 특성은 "The MultimediaCard System Specification(MMCA)"에 의해 주어진다. 상기 규약의 Version 3.3(2003년 3월)은 본 명세서에서 참조된다.

[0016] MMC는 데이터 전송, 명령 수신 및 응답 전송, 클럭 수신 그리고 3 개의 전원 수신을 위한 6 개의 전기적 콘택들을 사용하는 직렬 인터페이스를 갖는다. 카드로/로부터의 데이터 전송 속도는 단일 데이터 콘택을 사용하는 경우 클럭 신호의 주파수에 의해 제한되며, 복수의 데이터 콘택들을 사용하는 경우 데이터는 병렬로 전송될 수 있다.

[0017] 현재 MMC의 데이터 전송 속도는 1MB/sec 또는 2MB/sec이나 앞으로는 52MB/sec 전송 속도를 지원하는 초고속 MMC도 양산될 예정이다. 그러므로, 호스트는 MMC의 다양한 전송 속도를 지원할 수 있어야 한다. 예컨대, 호스트와 MMC의 전송 속도가 모두 52MB/sec이면 호스트와 MMC는 52MB/sec의 전송 속도로 데이터를 주고 받을 수 있다. 그러나, MMC의 전송 속도는 52MB/sec이나 호스트가 최대 2MB/sec를 지원하는 경우 MMC는 2MB/sec로 데이터를 전송해야만 호스트와 MMC 간의 원활한 데이터 전송이 가능하다. 그러므로, 호스트에 MMC가 삽입될 때 호스트와 MMC 사이의 전송 속도를 일치시키기 위한 스킴이 요구된다.

발명이 이루고자 하는 기술적 과제

[0018] 따라서 본 발명의 목적은 호스트에 메모리 카드가 삽입될 때 호스트와 메모리 카드 사이의 전송 속도를 일치시키는 메모리 시스템을 제공하는데 있다.

[0019] 본 발명의 다른 목적은 호스트에 메모리 카드가 삽입될 때 호스트와 메모리 카드 사이의 전송 속도를 일치시키는 메모리 시스템의 동작 방법을 제공하는데 있다.

[0020] 본 발명의 또다른 목적은 호스트와 메모리 카드 사이에 전송되는 데이터의 비트 폭을 설정할 수 있는 메모리 시스템을 제공하는데 있다.

[0021] 본 발명의 다른 목적은 호스트와 메모리 카드 사이에 전송되는 데이터의 비트 폭을 설정하기 위한 메모리 시스템의 동작 방법을 제공하는데 있다.

발명의 구성 및 작용

[0022] 상술한 바와 같은 목적을 달성하기 위한 본 발명의 일 특징에 의하면, 호스트와 상기 호스트에 삽입 및 전기적으로 연결될 수 있는 전자 회로 카드를 포함하는 시스템의 동작 방법은, 상기 호스트에 상기 전자 회로 카드가 삽입될 때 상기 호스트로부터 상기 전자 회로 카드로 전송 속도 정보를 전송하는 단계, 및 상기 호스트로부터 상기 전자 회로 카드로 상기 전자 회로 카드를 초기화하기 위한 명령 신호를 전송하는 단계를 포함한다.

[0023] 바람직한 실시예에 있어서, 상기 전자 회로 카드의 전송 속도와 수신된 전송 속도 정보가 일치할 때 상기 전자 회로 카드로부터 상기 호스트로 응답 신호를 전송한다.

[0024] 이 실시예에 있어서, 상기 호스트는 상기 응답 신호가 수신될 때, 상기 전자 회로 카드로 데이터 비트 폭 정보를 전송한다.

[0025] 상기 호스트가 두 가지의 전송 속도를 가질 때, 상기 전자 회로 카드로부터 상기 응답 신호가 수신되지 않으면, 상기 호스트는 전송 속도를 변경한다.

[0026] 상기 호스트가 적어도 세 가지의 전송 속도를 가질 때, 상기 전자 회로 카드로부터 상기 응답 신호가 수신되지 않으면, 상기 호스트는 전송 속도를 변경하고, 상기 변경된 전송 속도에 대응하는 전송 속도 정보를 상기 전자 회로 카드로 전송한다.

[0027] 바람직한 실시예에 있어서, 상기 전자 회로 카드는 이동형 메모리 카드이다.

[0028] 본 발명의 다른 특징에 의하면, 호스트와 상기 호스트에 삽입 및 전기적으로 연결될 수 있는 전자 회로 카드를 포함하는 시스템의 동작 방법은: 상기 호스트에 상기 전자 회로 카드가 삽입될 때 상기 호스트로부터 상기 전자 회로 카드로 전송 속도 정보를 전송하는 단계와, 상기 전자 회로 카드의 전송 속도와 수신된 전송 속도 정보가 일치할 때 상기 전자 회로 카드로부터 상기 호스트로 응답 신호를 전송하는 단계, 그리고 상기 호스트로부터 상기 전자 회로 카드로 상기 전자 회로 카드를 초기화하기 위한 명령 신호를 전송하는 단계를 포함한다.

[0029] 바람직한 실시예에 있어서, 상기 전자 회로카드로부터 상기 호스트로 응답 신호가 수신될 때, 상기 호스트로부터 상기 전자 회로 카드로 데이터 비트 폭 정보를 전송하는 단계를 더 포함한다.

[0030] 이 실시예에 있어서, 상기 호스트는 적어도 두 가지의 전송 속도를 지원한다.

[0031] 이 실시예에 있어서, 상기 응답 속도가 수신되지 않을 때, 상기 호스트의 전송 속도를 변경하는 단계를 더 포함한다.

[0032] 본 발명의 또다른 특징에 의하면, 복수의 전송 속도를 지원하는 호스트와 상기 호스트에 삽입 및 전기적으로 연결될 수 있는 전자 회로 카드를 포함하는 시스템의 동작 방법은, 상기 호스트에 상기 전자 회로 카드가 삽입될 때 상기 호스트로부터 상기 전자 회로 카드로 제 1의 전송 속도에 대응하는 정보를 전송하는 단계, 상기 전자 회로 카드의 전송 속도와 수신된 전송 속도 정보가 일치할 때 상기 전자 회로 카드로부터 상기 호스트로 제 1 응답 신호를 전송하는 단계, 소정 시간 내에 상기 전자 회로 카드로부터 상기 호스트로 상기 제 1 응답 신호가 수신될 때, 상기 호스트로부터 상기 전자 회로 카드로 데이터 비트 폭 정보를 전송하는 단계, 및 상기 호스트로부터 상기 전자 회로 카드로 상기 전자 회로 카드를 초기화하기 위한 명령 신호를 전송하는 단계를 포함한다.

[0033] 바람직한 실시예에 있어서, 상기 소정 시간 내에 상기 전자 회로 카드로부터 상기 호스트로 상기 제 1 응답 신호가 수신되지 않을 때, 상기 호스트의 전송 속도를 제 2의 전송 속도로 변경하고, 상기 전자 회로 카드로 변경된 전송 속도에 대응하는 정보를 전송하는 단계와, 상기 전자 회로 카드의 전송 속도와 수신된 전송 속도 정보가 일치할 때 상기 전자 회로 카드로부터 상기 호스트로 제 2 응답 신호를 전송하는 단계와, 소정 시간 내에 상기 전자 회로 카드로부터 상기 호스트로 상기 제 2 응답 신호가 수신될 때, 상기 호스트로부터 상기 전자 회로 카드로 상기 제 2의 전송 속도에 대응하는 데이터 비트 폭 정보를 전송하는 단계, 및 상기 호스트로부터 상기 전자 회로 카드로 상기 전자 회로 카드를 초기화하기 위한 명령 신호를 전송하는 단계를 포함한다.

[0034] 이 실시예에 있어서, 소정 시간 내에 상기 전자 회로 카드로부터 상기 호스트로 상기 제 2 응답 신호가 수신되

지 않을 때, 상기 호스트의 전송 속도를 제 3의 전송 속도로 변경하고, 상기 전자 회로 카드로 변경된 전송 속도에 대응하는 정보를 전송하는 단계, 및 상기 호스트로부터 상기 전자 회로 카드로 상기 전자 회로 카드를 초기화하기 위한 명령 신호를 전송하는 단계를 포함한다.

[0035] 본 발명의 다른 특징에 의하면, 메모리 시스템은 호스트와, 상기 호스트에 삽입 및 전기적으로 연결될 수 있는 전자 회로 카드를 포함한다. 상기 호스트는, 상기 전자 회로 카드가 삽입될 때 상기 전자 회로 카드로 전송 속도 정보를 전송한 후 상기 전자 회로 카드를 초기화하기 위한 명령 신호를 전송한다.

[0036] 바람직한 실시예에 있어서, 상기 전자 회로 카드는, 상기 호스트로부터 전송된 전송 속도 정보를 수신하는 설정 블록을 포함한다.

[0037] 상기 설정 블록은, 상기 전자 회로 카드가 상기 호스트로부터 전송된 전송 속도 정보에 대응하는 전송 속도를 지원할 때 응답 신호를 상기 호스트로 전송한다.

[0038] 상기 호스트는, 상기 전자 회로 카드로부터 상기 응답 신호가 수신될 때 데이터 비트 폭 정보를 상기 전자 회로 카드로 전송한다.

[0039] 이 실시예에 있어서, 상기 전자 회로 카드는, 상기 호스트로부터 전송된 상기 데이터 비트 폭 정보를 저장하기 위한 레지스터를 더 포함한다.

[0040] 이 실시예에 있어서, 상기 호스트가 다중 데이터 전송 속도를 지원할 때, 상기 호스트는, 상기 전자 회로 카드로부터 상기 응답 신호가 수신되지 않을 때 전송 속도를 변경한다.

[0041] 이 실시예에 있어서, 상기 호스트는, 상기 전자 회로 카드로부터 상기 응답 신호가 수신되지 않을 때 전송 속도를 변경하고, 변경된 전송 속도에 대응하는 전송 속도 정보를 상기 전자 회로 카드로 전송한다.

[0042] 이 실시예에 있어서, 상기 전자 회로 카드는, 상기 호스트에 전기적으로 연결될 수 있고, 상기 설정 블록과 연결된 적어도 하나의 데이터 입출력 핀을 더 포함한다.

[0043] 이 실시예에 있어서, 상기 호스트로부터 전송된 상기 전송 속도 정보는 상기 데이터 입출력 핀을 통해 상기 인터페이스 회로로 전달된다.

[0044] 이 실시예에 있어서, 상기 인터페이스 회로로부터의 상기 응답 신호는 상기 데이터 입출력 핀을 통해 상기 호스트로 전송된다.

[0045] 바람직한 실시예에 있어서, 상기 전자 회로 카드는 MMC(Multi Media Card)이다.

[0046] 바람직한 실시예에 있어서, 상기 전자 회로 카드는 SD(Secure Digital) 카드이다.

[0047] 바람직한 실시예에 있어서, 상기 전자 회로 카드는 불휘발성 NAND 플래쉬 메모리를 포함한다.

[0048] (실시예)

[0049] 이하 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다.

[0050] 도 1a 및 도 1b는 본 발명의 바람직한 실시예에 의거해서 호스트의 데이터 전송 속도에 따라서 호스트와 MMC 사이의 데이터 전송 속도 설정을 개념적으로 보여주고 있다. 도 1a에 도시된 바와 같이, 고속(예를 들면, 52MB/sec) 호스트(110)에 고속(52MB/sec) MMC(120)가 연결되면, 호스트(110)와 MMC(120) 간의 데이터 전송 속도는 고속으로 설정된다. 그러나, 도 1b에 도시된 바와 같이, 저속(예를 들면, 2MB/sec) 호스트(130)에 고속(52MB/sec) MMC(140)가 연결되면, 호스트(130)와 MMC(140) 간의 데이터 전송 속도는 저속으로 설정된다. 이하 설명에서, 호스트에 연결되는 메모리 카드의 일 예인 MMC가 예로서 설명되나, SD(Secure Digital) 메모리 카드 등 다양한 메모리 카드가 호스트에 연결될 수 있다.

[0051] 도 2는 본 발명의 바람직한 실시예에 따른 메모리 카드 시스템을 보여주고 있다. 메모리 카드 시스템(200)은 호스트(210)와 MMC(220)를 포함한다. MMC(220)는 인터페이스 회로(221), 메모리 컨트롤러(222), 불휘발성 반도체 메모리(223)를 포함한다. 이 실시예에서, 메모리(223)는 NAND 타입의 플래쉬 메모리이고, 메모리 컨트롤러(222)는 인터페이스 회로(221)를 통해 외부로부터 입력되는 명령어에 응답해서 메모리(223)에 데이터를 기입하거나 메모리(223)로부터 데이터를 독출하기 위한 제어를 수행한다. 인터페이스 회로(221)는 호스트(210)로부터 전송된 명령, 클럭 및 데이터를 수신하고, MMC(220) 내부의 구성 요소들에 대한 제반 제어를 수행한다.

[0052] 본 발명의 바람직한 실시예에 따른 MMC(220)는 호스트(210)와의 데이터 전송 속도 및 비트 폭 설정을 위한 전송

속도 및 비트 폭 설정 블록(224)을 포함한다. 전송 속도 및 비트 폭 설정 블록(224)은 호스트(210)로부터 전송된 전송 모드 정보를 수신하고, 응답 신호를 호스트(210)로 전송한다. 또한, 블록(224)은 호스트(210)로부터 전송된 비트 폭 정보를 EXT_CSD(Extended Card Specific Data) 레지스터(250)에 저장한다. 전송 속도 및 비트 폭 설정 블록(224)은 추후 상세히 설명된다.

[0053] 도 3은 본 발명의 바람직한 실시예에 따른 MMC(220) 콘택 배열을 보여주는 도면이다. MMC(220)는 총 13 개의 콘택들(1-13)을 포함한다. 콘택(2)은 호스트(210)로부터 명령을 수신하고, 호스트(210)로 응답 신호를 전송하기 위해 사용된다. 콘택들(3, 4 및 6)은 호스트(210)로부터 전원 전압들(VSS1, VDD, VSS2)을 공급받기 위해 사용된다. 콘택(5)은 호스트(210)로부터 클럭 신호를 수신하기 위해 사용되고, 콘택들(1, 7-13)은 호스트(210)와 MMC(220) 간의 데이터 전송을 위해 사용된다. 본 발명의 실시예에서, 호스트(210)로부터 전송된 전송 속도 정보는 콘택(7)을 통해 MMC(220)로 수신된다.

[0054] 도 4a 내지 도 4c는 호스트(210)에 MMC(220)가 삽입될 때 호스트(210)와 MMC(220)의 본 발명의 바람직한 실시예에 따른 동작 수순을 보여주고 있고, 도 5는 호스트(210)와 MMC(220) 사이에 송수신되는 신호들 중의 일부를 보여주고 있다.

[0055] 먼저 도 4a는 호스트(210)와 MMC(220)가 모두 고속(예를 들면, 52MB/sec)을 지원하는 경우 호스트(210)에 MMC(220)가 삽입될 때 호스트(210)와 MMC(220)의 동작 수순을 보여주고 있다. 도 4a를 참조하면, 호스트(210)에 MMC(220)가 삽입되면, 호스트(210)는 MMC(220)의 데이터 핀들(1, 7-13)을 모두 하이 레벨로 구동하고, 데이터 핀(7)을 통하여 MMC(220)로 전송 속도 정보(SPEED_I)를 전송한다(S310). 호스트(210)가 MMC(220)로 전송하는 전송 속도 정보(SPEED_I)는 전송 속도가 52MB/sec임을 나타낸다. 전송 속도 정보(SPEED_I)는 예컨대, 도 5에 도시된 바와 같이, 클럭 신호(CLK)의 10 주기(cycle) 동안 로우 레벨인 신호이다. 전송 속도 정보(SPEED_I)의 신호 파형은 다양하게 변경될 수 있다.

[0056] MMC(220)의 전송 속도 및 비트 폭 설정 블록(224)은 호스트(210)로부터 전송된 전송 속도 정보(SPEED_I)를 수신하고, 수신된 전송 속도 정보(SPEED_I)가 MMC(220)의 전송 속도와 일치하면 호스트(210)로 응답 신호(S_ACK)를 전송한다(S320). 응답 신호(S_ACK)는 예컨대, 도 5에 도시된 바와 같이, 클럭 신호(CLK)의 10 주기(cycle) 동안 로우 레벨인 신호이다.

[0057] 호스트(210)는 MMC(220)로부터 응답 신호(S_ACK)가 수신되면 MMC(220)로 데이터 버스 폭 정보(DATA_W)를 전송한다. 호스트(210)로부터 MMC(220)로 전송되는 데이터 버스 폭 정보(DATA_W)의 일 예가 도 6에 도시되어 있다.

[0058] MMC(220)의 전송 속도 및 비트 폭 설정 블록(224)은 호스트(210)로부터 전송된 데이터 버스 폭 정보(DATA_W)가 EXT_CSD 레지스터(225)에 저장되도록 제어한다(S321).

[0059] 호스트(210)는 MMC(220)로 초기화 명령(CMD0)을 전송한다(S312). 호스트(210)로부터 전송된 초기화 명령(CMD0)은 MMC(220)의 콘택(2)을 통하여 인터페이스 회로(221)로 입력된다.

[0060] MMC(220)의 인터페이스 회로(221)는 초기화 명령(CMD0)에 응답해서 초기화 제어를 수행한다(S322). MMC(220)가 호스트(210)에 의해 어드레스 할당된 후, 호스트(210)와 MMC(220)는 EXT_CSD 레지스터(225)에 저장된 데이터 폭으로 데이터를 송수신하게 된다.

[0061] 상술한 바와 같이 본 발명의 메모리 시스템(200)은, 호스트(210)에 MMC(220)가 삽입되면, 호스트(210)가 MMC(220)로 전송 속도 정보를 전송하는 스킴을 갖는다. MMC(220)는 호스트(210)로부터 전송된 전송 속도 정보와 MMC(220)의 전송 속도가 일치하면 응답 신호를 호스트(210)로 전송한다. 이와 같은 방법에 의해서 호스트(210)와 MMC(220)의 전송 속도는 일치된다. 또한, 호스트(210)는 MMC(220)로 데이터 비트 폭 정보를 전송해서 호스트(210)의 특성에 맞게 호스트(210)와 MMC(220) 사이의 데이터 전송이 이루어질 수 있다.

[0062] 도 4b는 호스트(210)는 고속(예를 들면, 52MB/sec) 및 저속(예를 들면, 2MB/sec)을 지원하나, MMC(220)는 저속(예를 들면, 2MB/sec)을 지원하는 경우 호스트(210)에 MMC(220)가 삽입될 때 호스트(210)와 MMC(220)의 동작 수순을 보여주고 있다. 도 4b를 참조하면, 호스트(210)에 MMC(220)가 삽입되면, 호스트(210)는 MMC(220)의 데이터 핀들(1, 7-13)을 모두 하이 레벨로 구동하고, 데이터 핀(7)을 통하여 MMC(220)로 고속에 대응하는 전송 속도 정보(SPEED_I)를 전송한다(S410). 호스트(210)가 MMC(220)로 전송하는 전송 속도 정보(SPEED_I)는 전송 속도가 52MB/sec임을 나타낸다. 전송 속도 정보(SPEED_I)는 예컨대, 도 5에 도시된 바와 같이, 클럭 신호(CLK)의 10 주기(cycle) 동안 로우 레벨인 신호이다.

[0063] MMC(220)의 전송 속도 및 비트 폭 설정 블록(224)은 호스트(210)로부터 전송된 전송 속도 정보(SPEED_I)를 수신

하고, 수신된 전송 속도 정보(SPEED_I)가 MMC(220)의 전송 속도와 일치하지 않으면 호스트(210)로 응답 신호를 전송하지 않는다(S420).

[0064] 호스트(210)는 전송 속도 정보(SPEED_I)를 전송하고 소정 시간 동안 MMC(220)로부터 응답 신호가 수신되지 않으면 MMC(220)로 초기화 명령(CMD0)을 전송한다(S411).

[0065] MMC(220)의 인터페이스 회로(221)는 초기화 명령(CMD0)에 응답해서 초기화 제어를 수행한다(S421).

[0066] 이와 같이, 호스트(210)가 전송한 고속에 대응하는 전송 속도 정보(SPEED_I)와 MMC(220)의 동작 속도가 일치하지 않는 경우, 호스트(210)는 저속(2MB/sec)으로 동작 속도를 변경하고, 초기화 명령(CMD0)을 전송한다.

[0067] 도 4c는 호스트(210)가 3 가지의 전송 속도들(예를 들면, 52MB/sec, 2MB/sec 및 1MB/sec)을 지원하고, MMC(220)는 저속(예를 들면, 2MB/sec)을 지원하는 경우 호스트(210)에 MMC(220)가 삽입될 때 호스트(210)와 MMC(220)의 동작 수순을 보여주고 있다. 도 4c를 참조하면, 호스트(210)에 MMC(220)가 삽입되면, 호스트(210)는 MMC(220)의 데이터 핀들(1, 7-13)을 모두 하이 레벨로 구동하고, 데이터 핀(7)을 통하여 MMC(220)로 52MB/sec 전송 속도에 대응하는 전송 속도 정보(SPEED_I)를 전송한다(S510).

[0068] MMC(220)의 전송 속도 및 비트 폭 설정 블록(224)은 호스트(210)로부터 전송된 전송 속도 정보(SPEED_I)를 수신하고, 수신된 전송 속도 정보(SPEED_I)가 MMC(220)의 전송 속도와 일치하지 않으면 호스트(210)로 응답 신호를 전송하지 않는다(S520).

[0069] 호스트(210)는 전송 속도 정보(SPEED_I)를 전송하고 소정 시간 동안 MMC(220)로부터 응답 신호가 수신되지 않으면 전송 속도를 2MB/sec으로 변경하고, 변경된 전송 속도에 대응하는 정보(SPEED_I2)를 MMC(220)로 전송한다. MMC(220)의 전송 속도 및 비트 폭 설정 블록(224)은 호스트(210)로부터 전송된 전송 속도 정보(SPEED_I2)를 수신하고, 수신된 전송 속도 정보(SPEED_I2)가 MMC(220)의 전송 속도와 일치하면 호스트(210)로 응답 신호(S_ACK2)를 전송한다(S521). 이 실시예에서, 전송 속도 52MB/sec에 대한 응답 신호(S_ACK1)와 2MB/sec에 대한 응답 신호(S_ACK2)는 서로 다르다.

[0070] 호스트(210)는 MMC(220)로부터 응답 신호(S_ACK2)가 수신되면 MMC(220)로 데이터 버스 폭 정보(DATA_W)를 전송한다. MMC(220)의 전송 속도 및 비트 폭 설정 블록(224)은 호스트(210)로부터 전송된 데이터 버스 폭 정보(DATA_W)가 EXT_CSD 레지스터(225)에 저장되도록 제어한다(S522).

[0071] 호스트(210)는 MMC(220)로 초기화 명령(CMD0)을 전송한다(S513).

[0072] MMC(220)의 인터페이스 회로(221)는 초기화 명령(CMD0)에 응답해서 초기화 제어를 수행한다(S423).

[0073] 상술한 바와 같이, 호스트(210)가 3 가지의 전송 속도들(52MB/sec, 2MB/sec 및 1MB/sec)을 지원하고, MMC(220)는 2MB/sec을 지원할 때 호스트(210)는 전송 속도들(52MB/sec, 2MB/sec 및 1MB/sec)에 대응하는 전송 속도 정보들을 순차적으로 MMC(220)로 전송한다. MMC(220)는 호스트(210)로부터 자신이 지원하는 동작 속도와 일치하는 전송 속도 정보가 수신될 때 응답 신호를 호스트(210)로 전송한다. 이와 같은 방법에 의해서 호스트(210)와 MMC(220)의 동작 속도가 일치된다.

[0074] 예시적인 바람직한 실시예를 이용하여 본 발명을 설명하였지만, 본 발명의 범위는 개시된 실시예에 한정되지 않는다는 것이 잘 이해될 것이다. 따라서, 청구범위는 그러한 변형 예들 및 그 유사한 구성들 모두를 포함하는 것으로 가능한 폭넓게 해석되어야 한다.

발명의 효과

[0075] 이와 같은 본 발명에 의하면 호스트에 메모리 카드가 삽입될 때 호스트와 메모리 카드 간의 전송 속도를 일치시킬 수 있다.

도면의 간단한 설명

[0001] 도 1a 및 도 1b는 본 발명의 바람직한 실시예에 의거해서 호스트의 데이터 전송 속도에 따라서 호스트와 MMC 사이의 데이터 전송 속도 설정을 개념적으로 보여주는 도면;

[0002] 도 2는 본 발명의 바람직한 실시예에 따른 메모리 카드 시스템을 보여주는 도면;

[0003] 도 3은 본 발명의 바람직한 실시예에 따른 MMC의 콘택 배열을 보여주는 도면;

[0004] 도 4a 내지 도 4c는 호스트에 MMC가 삽입될 때 호스트와 MMC의 본 발명의 바람직한 실시예에 따른 동작 수순을 보여주는 도면;

[0005] 도 5는 호스트와 MMC 사이에 송수신되는 신호들 중의 일부를 보여주는 도면; 그리고

[0006] 도 6은 호스트로부터 MMC로 전송되는 데이터 버스 폭 정보의 일 예를 보여주고 있다.

[0007] *도면의 주요 부분에 대한 설명

[0008] 200 : 메모리 시스템 210 : 호스트

[0009] 220 : MMC(MultiMediaCard) 221 : 인터페이스 회로

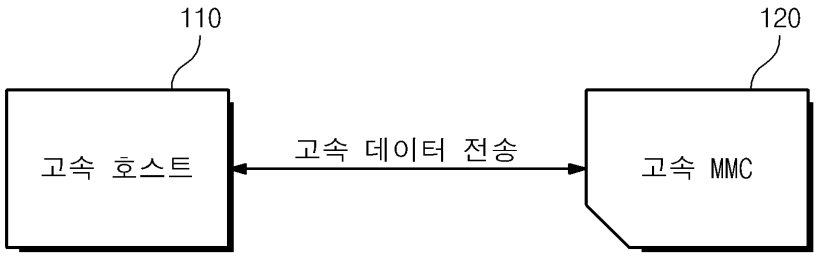
[0010] 222 : 메모리 컨트롤러 223 : 불휘발성 반도체 메모리

[0011] 224 : 전송 속도 및 비트 폭 설정 블록

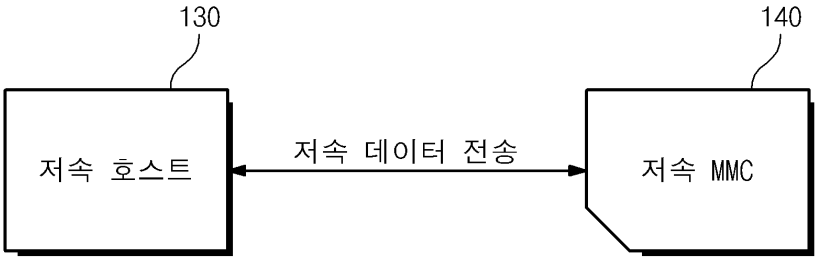
[0012] 225 : EXT_CSD 레지스터

도면

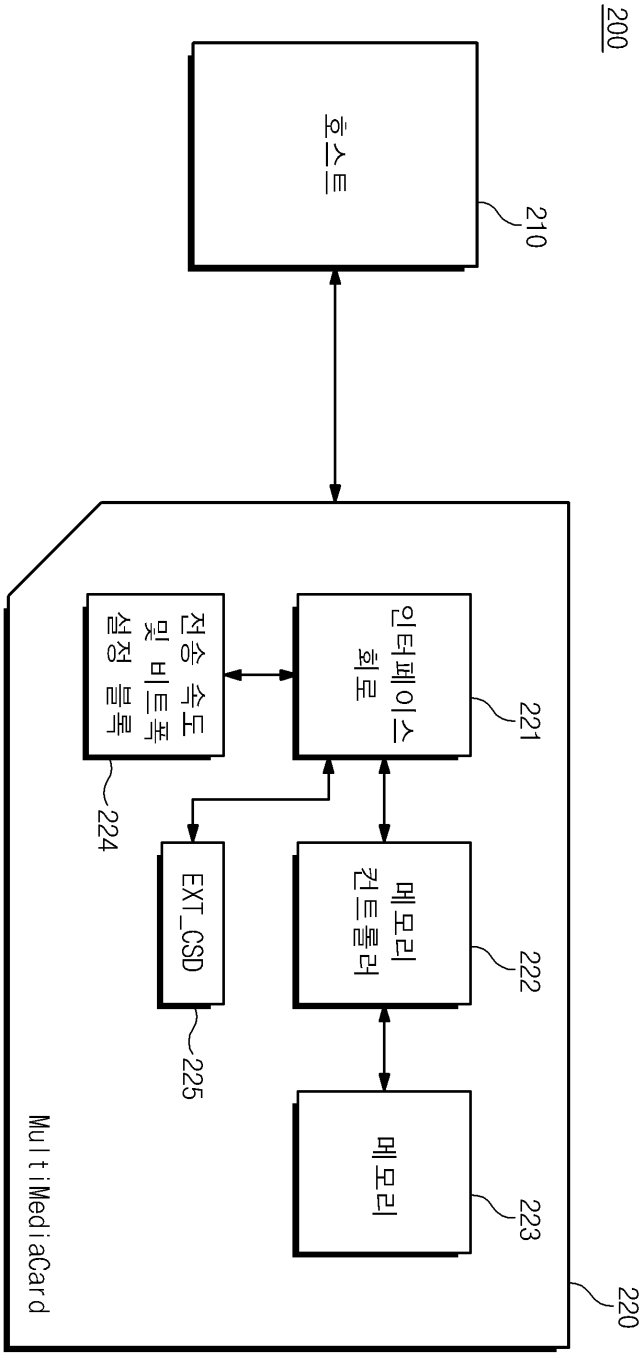
도면1a



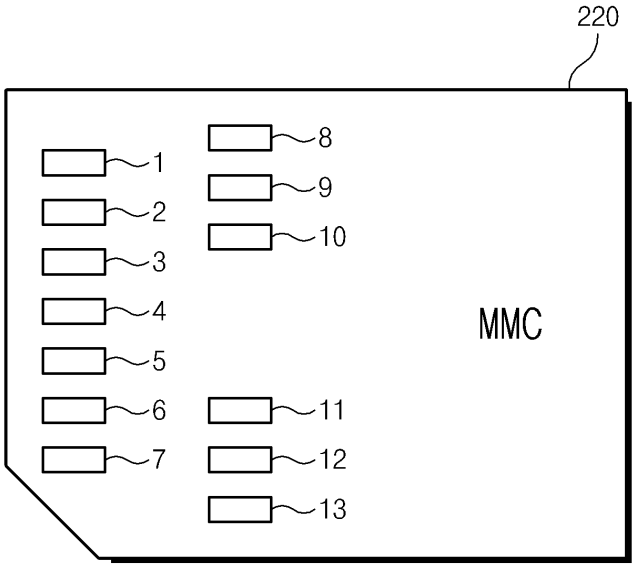
도면1b



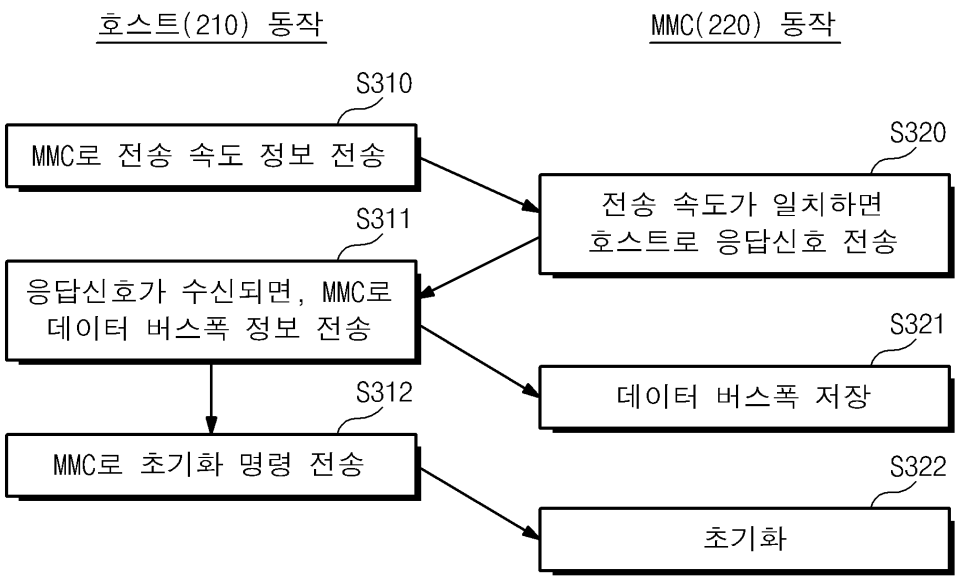
도면2


200
호스트
210
MultiMediaCard
인터페이스 회로
221
전송 속도 및 비트폭 설정 블록
224
메모리 컨트롤러
222
EXT_CSD
225
메모리
223
220

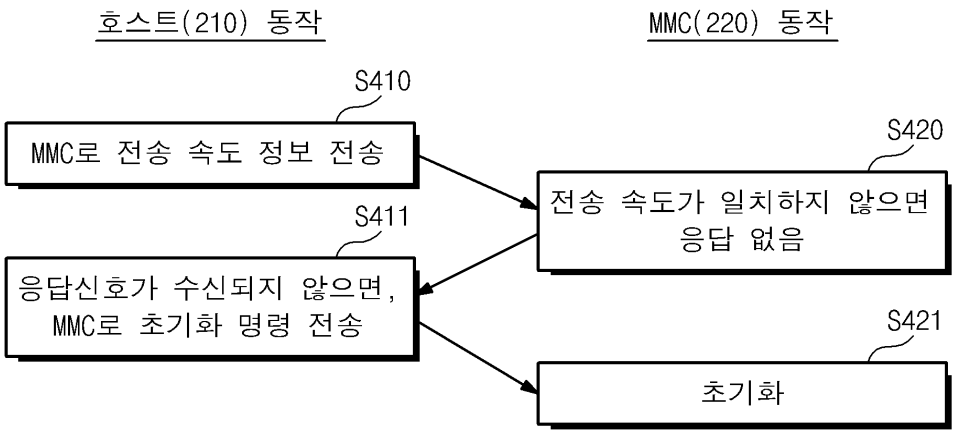
도면3


220
1
2
3
4
5
6
7
8
9
10
11
12
13
MMC

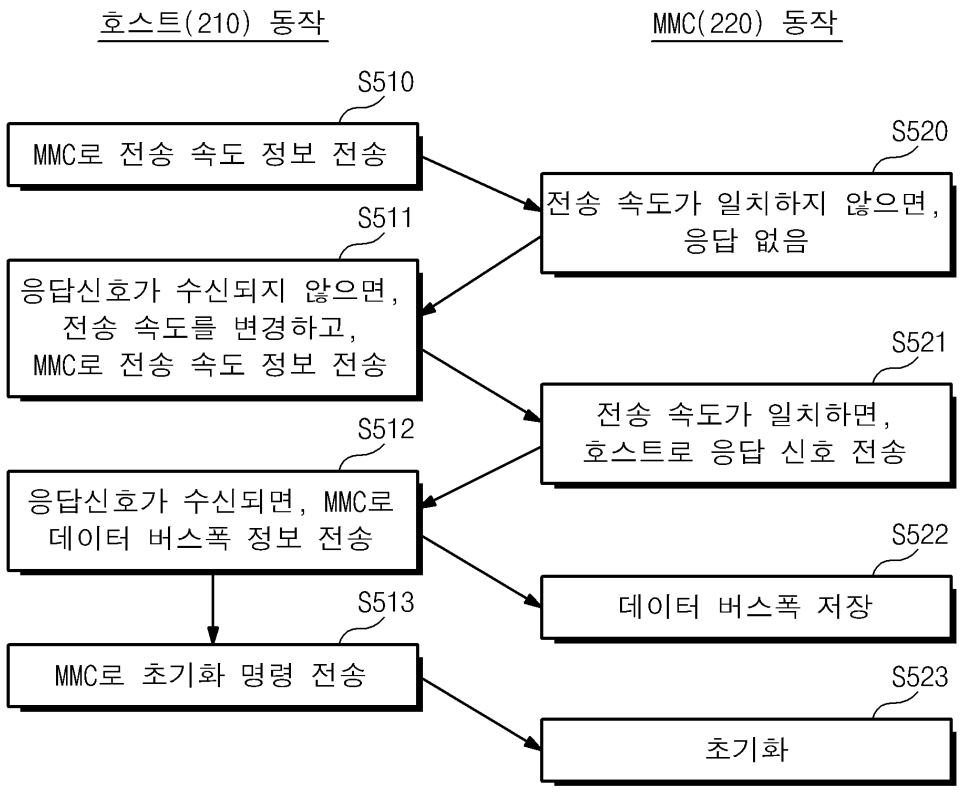
도면4a


호스트(210) 동작
MMC(220) 동작
S310
MMC로 전송 속도 정보 전송
S320
전송 속도가 일치하면
호스트로 응답신호 전송
S311
응답신호가 수신되면, MMC로
데이터 버스폭 정보 전송
S321
데이터 버스폭 저장
S312
MMC로 초기화 명령 전송
S322
초기화

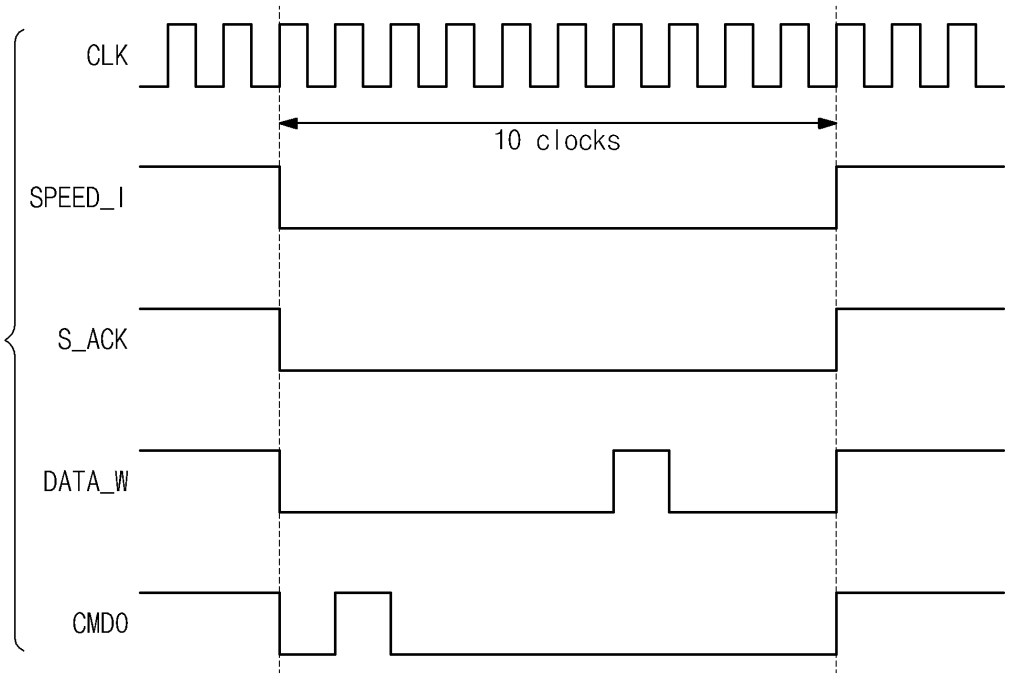
도면4b


호스트(210) 동작
MMC(220) 동작
S410
MMC로 전송 속도 정보 전송
S420
전송 속도가 일치하지 않으면
응답 없음
S411
응답신호가 수신되지 않으면,
MMC로 초기화 명령 전송
S421
초기화

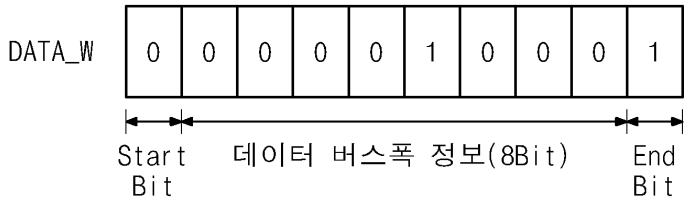
도면4c


호스트(210) 동작
MMC(220) 동작
S510
MMC로 전송 속도 정보 전송
S520
전송 속도가 일치하지 않으면,
응답 없음
S511
응답신호가 수신되지 않으면,
전송 속도를 변경하고,
MMC로 전송 속도 정보 전송
S521
전송 속도가 일치하면,
호스트로 응답 신호 전송
S512
응답신호가 수신되면, MMC로
데이터 버스폭 정보 전송
S522
데이터 버스폭 저장
S513
MMC로 초기화 명령 전송
S523
초기화

도면5


CLK
10 clocks
SPEED_I
S_ACK
DATA_W
CMD0

도면6


DATA_W
0
0
0
0
0
1
0
0
0
1
Start Bit
데이터 버스폭 정보(8Bit)
End Bit