



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0023151
(43) 공개일자 2010년03월04일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2008-0081772

(22) 출원일자 2008년08월21일

심사청구일자 2008년08월21일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

정현중

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙연구소

김민규

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙연구소

(뒷면에 계속)

(74) 대리인

신영무

전체 청구항 수 : 총 16 항

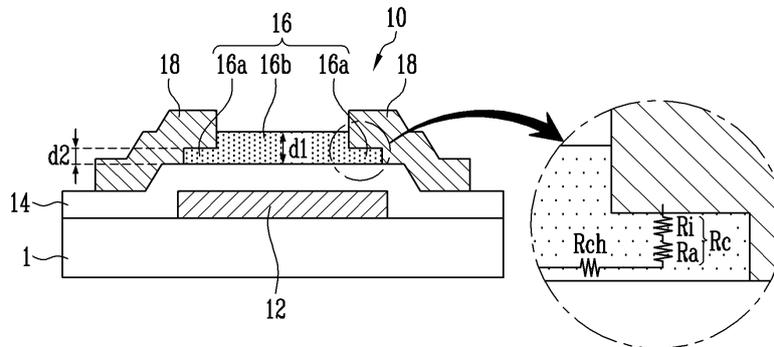
(54) 박막 트랜지스터 및 그 제조방법

(57) 요약

본 발명은, 소스 및 드레인 전극과 활성층 사이의 접촉저항을 감소시킬 수 있도록 한 박막 트랜지스터에 관한 것이다.

본 발명의 박막 트랜지스터는, 게이트 전극과, 활성층과, 소스 및 드레인 전극을 포함하며, 상기 활성층은, 일 영역이 상기 소스 및 드레인 전극과 접촉되며 상기 소스 및 드레인 전극과 접촉되는 일 영역의 두께가 나머지 영역의 두께보다 작게 형성됨을 특징으로 한다.

대표도 - 도1



(72) 발명자

정중환

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙
연구소

모연곤

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙
연구소

특허청구의 범위

청구항 1

게이트 전극과, 활성층과, 소스 및 드레인 전극을 포함하며,

상기 활성층은, 일 영역이 상기 소스 및 드레인 전극과 접촉되되, 상기 소스 및 드레인 전극과 접촉되는 일 영역의 두께가 나머지 영역의 두께보다 작게 형성됨을 특징으로 하는 박막 트랜지스터.

청구항 2

제1항에 있어서,

상기 활성층의 일 영역의 두께는 나머지 영역의 두께의 10% 내지 90%로 설정된 박막 트랜지스터.

청구항 3

제1항에 있어서,

상기 활성층은 산화물 반도체로 이루어진 박막 트랜지스터.

청구항 4

제3항에 있어서,

상기 활성층은, 전자 캐리어 농도가 $10^{18}/\text{cm}^3$ 미만인 비정질 산화물로 이루어진 박막 트랜지스터.

청구항 5

제4항에 있어서,

상기 비정질 산화물은 인듐(In), 아연(Zn) 및 스테늄(Sn) 중 적어도 하나를 함유한 산화물, 또는, 인듐(In), 아연(Zn) 및 갈륨(Ga)을 함유한 산화물, 또는, 리튬(Li), 나트륨(Na), 망간(Mn), 니켈(Ni), 팔라듐(Pd), 구리(Cu), 카드뮴(Cd), 탄소(C), 질소(N), 인(P), 티탄(Ti), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 루테튬(Ru), 게르마늄(Ge), 주석(Sn) 및 플루오르(F) 중 적어도 하나를 함유한 산화물인 박막 트랜지스터.

청구항 6

제1항에 있어서,

상기 박막 트랜지스터는 바텀 게이트 구조를 갖는 박막 트랜지스터.

청구항 7

제6항에 있어서,

상기 소스 및 드레인 전극은 상기 활성층의 일 영역 상부에 직접 접촉되도록 형성된 박막 트랜지스터.

청구항 8

제1항에 있어서,

상기 소스 및 드레인 전극과 접촉되는 일 영역을 제외한 상기 활성층의 나머지 영역 상에 형성된 에치 스톱층(Etch Stop Layer)을 더 포함하는 박막 트랜지스터.

청구항 9

제1항에 있어서,

상기 활성층의 하부면에 형성되며 상기 활성층과 같거나 상기 활성층보다 큰 밴드갭을 갖는 산화물로 이루어진 계면 안정화층을 더 포함하는 박막 트랜지스터.

청구항 10

기관 상에 게이트 전극을 형성하는 단계와,
 상기 게이트 전극 상에 게이트 절연막을 형성하는 단계와,
 상기 게이트 절연막 상에 활성층을 형성하는 단계와,
 상기 활성층 상에 각각 상기 활성층의 일 영역과 접촉되는 소스 및 드레인 전극을 형성하는 단계를 포함하며,
 상기 소스 및 드레인 전극과 접촉되는 상기 활성층의 일 영역의 두께가 나머지 영역의 두께보다 작도록 패터닝하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 11

제10항에 있어서,
 상기 활성층을 형성하는 단계는, 상기 게이트 절연막 상에 산화물 반도체를 성막한 후, 하프-톤 마스크(half-tone mask)를 이용하여 상기 활성층의 일 영역과 나머지 영역의 두께가 상이해지도록 패터닝하는 단계를 포함하는 박막 트랜지스터의 제조방법.

청구항 12

제10항에 있어서,
 상기 활성층을 형성하는 단계와 상기 소스 및 드레인 전극을 형성하는 단계 사이에, 상기 소스 및 드레인 전극과 접촉될 일 영역을 제외한 상기 활성층의 나머지 영역 상에 에치 스톱층을 형성하는 단계를 더 포함하는 박막 트랜지스터의 제조방법.

청구항 13

제12항에 있어서,
 상기 활성층을 형성하는 단계에서는 상기 활성층을 균일한 두께로 형성하되,
 상기 에치 스톱층을 형성하는 단계에서, 상기 에치 스톱층의 패터닝 시에 과식각을 통해 상기 활성층의 일 영역 상부를 동반 식각하는 박막 트랜지스터의 제조방법.

청구항 14

제10항에 있어서,
 상기 활성층의 일 영역의 두께가 나머지 영역의 두께보다 10% 내지 90% 작아지도록 패터닝하는 박막 트랜지스터의 제조방법.

청구항 15

제10항에 있어서,
 상기 게이트 절연막을 형성하는 단계와 상기 활성층을 형성하는 단계 사이에, 상기 활성층의 하부면에 구비되며 상기 활성층과 같거나 상기 활성층보다 큰 밴드갭을 갖는 산화물로 이루어진 계면 안정화층을 형성하는 단계를 더 포함하는 박막 트랜지스터의 제조방법.

청구항 16

제15항에 있어서,
 상기 계면 안정화층을 물리 증착 방법으로 형성하는 박막 트랜지스터의 제조방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 박막 트랜지스터 및 그 제조방법에 관한 것으로, 특히 소스 및 드레인 전극과 활성층 사이의 접촉저항을 감소시킬 수 있도록 한 박막 트랜지스터 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 최근, 박막 트랜지스터(Thin Film Transistor, TFT)는 유기전계발광 표시장치(Organic Light Emitting Display, OLED) 또는 액정 표시장치(Liquid Crystal Display, LCD) 등의 표시장치에서 각각의 화소(pixel)를 동작시키는 스위칭 소자나 구동회로의 구성 요소로 광범위하게 사용되고 있다.

[0003] 이에 따라 박막 트랜지스터의 특성을 보다 향상시킬 수 있도록 하는 방안에 대한 연구가 지속적으로 이루어지고 있다.

[0004] 이와 같은 박막 트랜지스터의 특성을 저하시키는 요인 중 하나로서, 활성층과 소스 및 드레인 전극의 접촉부에서 발생하는 접촉저항이 지적되고 있다. 이와 같은 접촉저항이 크면, 전하 주입부에서 발생하는 전력 손실로 인하여 박막 트랜지스터의 성능이 저하되는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

[0005] 따라서, 본 발명의 목적은 소스 및 드레인 전극과 활성층의 접촉부에서의 접촉저항을 감소시킬 수 있도록 한 박막 트랜지스터 및 그 제조방법을 제공하는 것이다.

과제 해결수단

[0006] 이와 같은 목적을 달성하기 위하여 본 발명의 제1 측면은 게이트 전극과, 활성층과, 소스 및 드레인 전극을 포함하며, 상기 활성층은, 일 영역이 상기 소스 및 드레인 전극과 접촉되되, 상기 소스 및 드레인 전극과 접촉되는 일 영역의 두께가 나머지 영역의 두께보다 작게 형성됨을 특징으로 하는 박막 트랜지스터를 제공한다.

[0007] 여기서, 상기 활성층의 일 영역의 두께는 나머지 영역의 두께의 10% 내지 90%로 설정될 수 있다.

[0008] 또한, 상기 활성층은 산화물 반도체로 이루어질 수 있다.

[0009] 또한, 상기 박막 트랜지스터는 바텀 게이트 구조를 가질 수 있다. 여기서, 상기 소스 및 드레인 전극은 상기 활성층의 일 영역 상부에 직접 접촉되도록 형성될 수 있다.

[0010] 또한, 상기 소스 및 드레인 전극과 접촉되는 일 영역을 제외한 상기 활성층의 나머지 영역 상에 형성된 에치 스톱층(Etch Stop Layer)을 더 포함할 수 있다.

[0011] 또한, 상기 활성층의 하부면에 형성되며 상기 활성층과 같거나 상기 활성층보다 큰 밴드갭을 갖는 산화물로 이루어진 계면 안정화층을 더 포함할 수 있다.

[0012] 본 발명의 제2 측면은, 기판 상에 게이트 전극을 형성하는 단계와, 상기 게이트 전극 상에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막 상에 활성층을 형성하는 단계와, 상기 활성층 상에 각각 상기 활성층의 일 영역과 접촉되는 소스 및 드레인 전극을 형성하는 단계를 포함하며, 상기 소스 및 드레인 전극과 접촉되는 상기 활성층의 일 영역의 두께가 나머지 영역의 두께보다 작도록 패터닝하는 것을 특징으로 하는 박막 트랜지스터의 제조방법을 제공한다.

[0013] 여기서, 상기 활성층을 형성하는 단계는, 상기 게이트 절연막 상에 산화물 반도체를 성막한 후, 하프-톤 마스크(half-tone mask)를 이용하여 상기 활성층의 일 영역과 나머지 영역의 두께가 상이해지도록 패터닝하는 단계를 포함할 수 있다.

[0014] 또한, 상기 활성층을 형성하는 단계와 상기 소스 및 드레인 전극을 형성하는 단계 사이에, 상기 소스 및 드레인 전극과 접촉될 일 영역을 제외한 상기 활성층의 나머지 영역 상에 에치 스톱층을 형성하는 단계를 더 포함할 수 있다. 여기서, 상기 활성층을 형성하는 단계에서는 상기 활성층을 균일한 두께로 형성하되, 상기 에치 스톱층을 형성하는 단계에서, 상기 에치 스톱층의 패터닝 시에 과식각을 통해 상기 활성층의 일 영역 상부를 동반 식각할 수 있다.

[0015] 또한, 상기 게이트 절연막을 형성하는 단계와 상기 활성층을 형성하는 단계 사이에, 상기 활성층의 하부면에 구비되며 상기 활성층과 같거나 상기 활성층보다 큰 밴드갭을 갖는 산화물로 이루어진 계면 안정화층을 형성하는

단계를 더 포함할 수 있다.

효 과

- [0016] 이와 같은 본 발명에 의하면, 소스 및 드레인 전극과 접촉되는 활성층의 일 영역의 두께가 나머지 영역의 두께보다 작아지도록 형성함에 의하여, 소스 및 드레인 전극과 활성층의 접촉부에서의 접촉저항을 감소시켜 박막 트랜지스터의 성능을 개선할 수 있다.
- [0017] 또한, 활성층을 산화물 반도체로 형성하는 경우, 박막 트랜지스터의 특성을 보다 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- [0018] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하기로 한다.
- [0019] 도 1은 본 발명의 일 실시예에 의한 박막 트랜지스터를 도시한 단면도이다.
- [0020] 도 1을 참조하면, 본 발명의 일 실시예에 의한 박막 트랜지스터(10)는 바텀 게이트 구조(특히, 역 스테거드 구조)로서, 기판(1) 상에 형성된 게이트 전극(12)과, 게이트 절연막(14)을 사이에 개재하고 게이트 전극(12) 상에 형성된 활성층(16)과, 활성층(16) 상에 형성되며 각각 활성층의 일 영역(16a)과 접촉되는 소스 및 드레인 전극(18)을 포함한다.
- [0021] 이와 같은 박막 트랜지스터(10)의 활성층(16)은 산화물 반도체, 특히, 전자 캐리어 농도가 $10^{18}/\text{cm}^3$ 미만인 비정질 산화물로 이루어질 수 있다. 이러한 특성을 갖는 비정질 산화물로 활성층(16)을 제조하면, 오프 상태에서의 누설전류가 작고, 온-오프 특성이 좋으며(온-오프 비 증대), 핀치-오프 상태에서의 포화전류 및 스위칭 속도 등이 개선된 박막 트랜지스터(10)를 제조할 수 있다.
- [0022] 이와 같은 활성층(16)을 구성하는 비정질 산화물로는 인듐(이하, In), 아연(이하, Zn) 및 스테늄(이하, Sn) 중 적어도 하나를 함유한 산화물, 또는, In, Zn 및 갈륨(이하, Ga)을 함유한 산화물이 선택될 수 있다. 일례로, 활성층(16)은 결정상태에서 $\text{InGaO}_3(\text{ZnO})_m$ (m은 6 미만의 자연수)로 나타내는 In-Ga-Zn-O(IGZO)로 구성될 수 있다. 다른 예로서, 활성층(16)은 $1 \times 10^{18}/\text{cm}^3$ 미만 농도의 전자 캐리어를 함유한 $\text{InGaO}_3(\text{Zn}_{1-x}\text{Mg}_x\text{O})_m$ ($0 < x \leq 1$; m은 6 미만의 자연수)로 나타내는 In-Ga-Zn-Mg-O(IGZMO)로 구성될 수도 있다.
- [0023] 또한, 활성층(16)은 리튬(Li), 나트륨(Na), 망간(Mn), 니켈(Ni), 팔라듐(Pd), 구리(Cu), 카드뮴(Cd), 탄소(C), 질소(N), 인(P), 티탄(Ti), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 루테튬(Ru), 게르마늄(Ge), 주석(Sn) 및 플루오르(F) 중 적어도 하나를 함유한 비정질 산화물로도 구성될 수 있다.
- [0024] 단, 본 발명에서 활성층(16)은, 소스 및 드레인 전극(18)과 접촉되는(또는, 오버랩되는) 일부 영역, 즉, 소스 및 드레인 전극(18) 하부의 일 영역(16a)의 두께(d2)가 나머지 영역(16b)의 두께(d1)보다 작게 형성됨을 특징으로 하며, 이에 의해 소스 및 드레인 전극(18)과의 접촉저항이 감소된다.
- [0025] 이를 보다 상세히 설명하면, 하기의 수학적 식 1과 같이, 활성층(16)의 전체저항(R_{total} , R_T)은 채널부에서 발생하는 채널저항(R_{channel} , R_{ch})과 소스 및 드레인 전극(18)과의 접촉부에서 발생하는 접촉저항(R_{contact} , R_C)의 합에 의해 결정된다.

수학적 식 1

- [0026] $R_T = R_{\text{ch}} + R_C$ (단위는 모두 [Ohm])
- [0027] 여기서, 접촉저항(R_C)은 이상적으로는 0이 되어야하나, 실제로는 활성층(16)과 소스 및 드레인 전극(18)과의 접촉부에 존재하는 기생저항으로, 주입저항($R_{\text{injection}}$, R_i)과 진입저항(R_{access} , R_a)의 합으로 나타난다.
- [0028] 주입저항(R_i)은 물질특성과 관련된 값으로, 특히 도 1에서와 같이 활성층(16)이 소스 및 드레인 전극(18)과 직접적으로 접촉되는 경우, 활성층(16)과 소스 및 드레인 전극(18)의 물질특성에 의해 결정된다. 반면, 진입저항(R_a)은 저항이 형성되는 길이, 즉, 도 1에서 소스 및 드레인 전극(18) 하부의 활성층의 두께(d2)에 의해 달라질 수 있는 값이다.
- [0029] 따라서, 본 발명에서는 소스 및 드레인 전극(18) 하부의 활성층의 두께(d2)를 감소시킴에 의하여 접촉저항(R_C)

을 감소시켜 박막 트랜지스터(10)의 성능을 개선한다.

- [0030] 예를 들어, 소스 및 드레인 전극(18)과 접촉되는(또는, 오버랩되는) 활성층의 일 영역(16a)의 두께(d2)는 나머지 영역(16b)의 두께(d1)의 10% 내지 90%로 설정될 수 있다. 이는 활성층의 일 영역(16a)의 두께(d2)가 나머지 영역(16b)의 두께(d1)의 10% 미만인 되도록 활성층을 패터닝하는 데에는 실질적으로 공정상의 어려움이 있을 수 있고, 90% 보다 크게 형성하는 것은 본 발명의 효과를 크게 기대하기 어려울 수 있기 때문이다.
- [0031] 전술한 바와 같은 본 발명에 의하면, 산화물 반도체로 활성층(16)을 형성함으로써, 비정질 실리콘(a-Si)이나 다결정 실리콘(Poly-Si)을 이용한 박막 트랜지스터에 비해 보다 향상된 특성을 갖는 박막 트랜지스터(10)를 제공할 수 있다. 또한, 산화물 반도체를 이용한 박막 트랜지스터(10)는 LTPS(Low Temperature Poly-Silicon) 박막 트랜지스터와 달리, 활성층을 결정화하기 위한 별도의 결정화공정을 필요로 하지않으며, 스퍼터링(sputtering)에 의해 성막이 가능하고, 이미 개발되어 있는 설비를 이용하여 용이하게 대형화가 가능하다는 장점을 가진다.
- [0032] 특히, 본 발명에서는 소스 및 드레인 전극(18)과 접촉되는 활성층의 일 영역(16a)의 두께(d2)가 나머지 영역(16b)의 두께(d1)에 비해 작게 형성되도록 함으로써, 접촉저항(R_c)을 감소시켜 박막 트랜지스터의 성능을 개선할 수 있다. 더불어, 활성층(16) 전체가 아닌 일 영역(16a)의 두께(d2)만을 국지적으로 감소시키기 때문에 공정상의 안정성을 확보할 수도 있다.
- [0033] 한편, 본 실시예에서는 산화물 반도체를 이용하여 활성층(16)을 형성하는 경우를 예로 들어 설명하였지만, 본 발명이 이에 한정되는 것은 아니다. 예를 들어, 활성층(16)은 비정질 실리콘(a-Si)이나 다결정 실리콘(Poly-Si)을 이용하여 형성될 수도 있음은 물론이며, 이 경우에도 소스 및 드레인 전극(18) 하부의 활성층의 일 영역(16a)의 두께(d2)를 국지적으로 감소시켜 접촉저항(R_c)을 감소시킬 수 있다.
- [0034] 도 2a 내지 도 2c는 도 1에 도시된 박막 트랜지스터의 제조방법을 순차적으로 도시한 단면도이다.
- [0035] 도 2a 내지 도 2c를 참조하면, 우선, 기판(1) 상에 게이트 전극(12) 및 게이트 절연막(14)을 순차적으로 형성한다.(도 2a)
- [0036] 이후, 게이트 절연막(14) 상에 산화물 반도체를 성막한 후 패터닝하여 활성층(16)을 형성한다. 단, 패터닝 시에 하프-톤 마스크(half-tone mask)를 이용하여 활성층의 일 영역(16a)(이후의 공정에서 소스 및 드레인 전극과 직/간접적으로 접촉될 영역)의 두께(d2)가 나머지 영역(16b)의 두께(d1)와 상이해지도록 패터닝한다. 예컨대, 활성층의 일 영역(16a)의 두께(d2)가 나머지 영역(16b)의 두께(d1) 보다 10% 내지 90% 정도 작아지도록 활성층(16)을 패터닝할 수 있다.(도 2b)
- [0037] 이후, 활성층(16) 상에 각각 활성층의 일 영역(16a)과 접촉되는 소스 및 드레인 전극(18)을 형성한다.(도 2c)
- [0038] 전술한 바와 같은 공정에 의하여, 소스 및 드레인 전극(18) 하부의 활성층(16a)의 두께를 국지적으로 감소시킬 수 있다.
- [0039] 도 3은 본 발명의 다른 실시예에 의한 박막 트랜지스터를 도시한 단면도이다. 도 3을 설명할 때, 도 2와 동일한 부분은 동일부호를 부여하고 이에 대한 상세한 설명은 생략하기로 한다.
- [0040] 도 3을 참조하면, 본 발명의 다른 실시예에 의한 박막 트랜지스터(10')는 소스 및 드레인 전극(18)과 접촉되는 활성층의 일 영역(16a)을 제외한 나머지 영역(16b) 상에 형성된 에치 스톱층(Etch Stop Layer)(19)를 더 포함한다.
- [0041] 에치 스톱층(19)은 다양한 절연물질을 이용하여 형성될 수 있는 것으로, 후속공정 중에 활성층(16)의 노출로 인한 손상을 방지하기 위한 보호막으로서 구비된다.
- [0042] 도 4a 내지 도 4e는 도 3에 도시된 박막 트랜지스터의 제조방법을 순차적으로 도시한 단면도이다.
- [0043] 도 4a 내지 도 4e를 참조하면, 우선, 기판(1) 상에 게이트 전극(12) 및 게이트 절연막(14)을 순차적으로 형성한다.(도 4a)
- [0044] 이후, 게이트 절연막(14) 상에 산화물 반도체를 성막한 후 패터닝하여 활성층(16)을 형성한다. 이때, 활성층(16)은 균일한 두께로 형성될 수 있다.(도 4b)
- [0045] 이후, 후속공정에서 활성층(16)이 손상되는 것을 방지하기 위해, 활성층(16) 상에 에치 스톱물질(19a)을 성막한다.(도 4c)

- [0046] 이후, 소스 및 드레인 전극과 접촉될 일 영역(16a)을 제외한 활성층의 나머지 영역(16b) 상부를 제외하고, 나머지 부분 특히, 활성층의 일 영역(16a) 상부의 에치 스톱물질을 식각하여 제거하는 패터닝 공정에 의해 활성층의 나머지 영역(16b) 상에 에치 스톱층(19)을 형성한다. 단, 에치 스톱층(19)의 패터닝 시에 건식각 또는 선택비가 작은 에칭액을 이용한 습식각 등을 통해 과식각(over etching)하여 소스 및 드레인 전극과 접촉될 활성층의 일 영역(16a) 상부를 동반 식각한다. 예를 들어, 활성층의 일 영역(16a)의 두께(d2)가 나머지 영역(16b)의 두께(d1) 보다 10% 내지 90% 정도 작아지도록 과식각을 수행할 수 있다. 이에 의해, 활성층(16)이 단차를 갖도록 패터닝된다.(도 4d)
- [0047] 이후, 활성층(16) 상에 각각 활성층의 일 영역(16a)과 접촉되는 소스 및 드레인 전극(18)을 형성한다.(도 4e)
- [0048] 진술한 바와 같은 공정에 의하여, 에치 스톱층(19)의 패터닝과 동시에 소스 및 드레인 전극(18) 하부의 활성층(16a)의 두께를 국지적으로 감소시킬 수 있다.
- [0049] 도 5a 및 도 5b는 본 발명의 또 다른 실시예들에 의한 박막 트랜지스터를 도시한 단면도이다. 도 5a 내지 도 5b를 설명할 때, 앞서 설명한 실시예들과 동일한 부분은 동일부호를 부여하고, 이에 대한 상세한 설명은 생략하기로 한다.
- [0050] 도 5a 내지 도 5b를 참조하면, 본 발명의 또 다른 실시예들에 의한 박막 트랜지스터(10", 10'')는 활성층(16)의 하부면에 구비되는 계면 안정화층(15)을 더 포함한다.
- [0051] 계면 안정화층(15)은 활성층(16)과 같거나 활성층(16)보다 큰 밴드갭 예를 들어, 3.0 내지 8.0eV의 밴드갭을 갖는 산화물로서, SiO_x, SiN, SiO_xN_y, SiO_xCy, SiO_xCyHz, SiO_xFy, GeO_x, GdO_x, AlO_x, GaO_x, SbO, ZrO_x, HfO_x, TaO_x, YO_x, VO_x, MgO_x, CaO_x, BaO_x, SrO_x 및 SOG(spin on glass)로 이루어진 군에서 선택될 수 있다.
- [0052] 계면 안정화층(15)의 밴드갭이 활성층(16)의 밴드갭 예를 들어, 3.0eV보다 작으면 전하가 쉽게 빠져 나가기 때문에 채널의 캐리어를 효과적으로 이용할 수 없게 되고, 밴드갭이 8.0eV보다 커지면 높은 절연 특성에 의해 전기적 특성이 저하된다.
- [0053] 산화물을 포함하는 계면 안정화층(15)은 게이트 절연막(14)과 동질성을 갖기 때문에 화학적으로 높은 계면 안정성을 유지하며, 활성층(16)과 같거나 활성층(16)보다 큰 밴드갭을 갖기 때문에 물리적으로 전하 트랩핑을 억제한다.
- [0054] 이때, 전하 트랩핑 억제 효과를 높이기 위해서 계면 안정화층(15)의 수소 농도는 10⁺¹⁹/cm³ 이하로 조절될 수 있다. 계면 안정화층(15)의 수소 농도가 10⁺¹⁹/cm³보다 높으면 수소가 활성층(16)의 표면부로 침투(확산)하여 트랩 역할을 하기 때문에 활성층(16)의 전기적 특성이 저하될 수 있다. 계면 안정화층(15)의 수소 농도를 10⁺¹⁹/cm³ 이하로 조절하기 위해서는 화학 증착 방법보다는 스퍼터링 증착 방법과 같은 물리 증착 방법을 이용하는 것이 바람직하다.
- [0055] 이와 같은 계면 안정화층(15)은 도 5a 내지 도 5b에 도시된 것처럼 게이트 절연막(14)의 상부에 전면적으로 형성되어도 좋고, 경우에 따라서는 활성층(16)의 하부에만 구비되도록 패터닝될 수도 있다. 예를 들어, 계면 안정화층(15)을 형성하는 물질이 도전성을 갖는 경우, 계면 안정화층(15)은 활성층(16)의 하부에만 구비되도록 활성층(16)과 동시에 패터닝될 수 있다.
- [0056] 활성층(16)의 하부면에 형성된 계면 안정화층(15)은 활성층(16)을 충분히 보호하고 계면 안정성을 유지할 수 있도록 예를 들어, 50 내지 5000Å의 두께로 형성될 수 있다.
- [0057] 이와 같이, 활성층(16)의 하부면에 계면 안정화층(15)을 더 형성하는 경우에는 게이트 절연막(14)을 형성하는 단계와 활성층(16)을 형성하는 단계 사이에, 물리 증착 방법으로 계면 안정화층(15)을 형성하는 단계만 더 삽입하면 된다. 따라서, 중복 설명을 피하기 위해 도 5a 내지 도 5b에 도시된 박막 트랜지스터(10", 10'')의 제조방법에 대한 상세한 설명은 생략하기로 한다.
- [0058] 한편, 도시되지는 않았으나, 활성층(16)의 상부면에도 계면 안정화층이 구비될 수도 있다. 이 경우, 활성층(16)의 상부면에 형성된 계면 안정화층은 소스 및 드레인 전극(18)과 활성층(16)의 접촉저항이 낮게 유지되도록 100Å 이하의 두께, 바람직하게는 10 내지 20Å의 두께로 형성될 수 있다. 또는 활성층(16) 상부면의 계면 안정화층은 에치 스톱층(19)과 동일한 위치에 형성될 수 있다.
- [0059] 이때, 활성층(16) 상부면의 계면 안정화층은 소스 및 드레인 전극(18)을 형성하는 식각 과정에서 활성층(16)을

보호하는 동시에 에치 스톱층으로 이용될 수 있으므로 별도의 에치 스톱층은 구비되지 않을 수 있다.

[0060] 도 6 및 도 7은 본 발명의 효과를 나타내는 그래프이다. 여기서, 도 6은 종래 및 본 발명의 박막 트랜지스터의 길이(L)에 따른 활성층의 전체저항(R_T)의 측정치를 나타내는 그래프이고, 도 7은 도 6의 종래 및 본 발명의 박막 트랜지스터의 게이트 전압(V_g)에 따른 드레인 전류(I_d)의 측정치를 나타내는 그래프이다.

[0061] 우선, 도 6은 활성층이 균일한 d1의 두께로 형성된 종래의 박막 트랜지스터와, 소스 및 드레인 영역 하부의 활성층의 두께가 d1에 비해 국지적으로 40% 감소된 본 발명의 박막 트랜지스터에서의 활성층의 전체저항(R_T)을 비교하여 측정한 그래프이다. 편의상, 도 6에서 Y축은 활성층의 전체저항(R_T)과 폭(W)의 곱($R_T W$)을 나타내기로서 하며, 활성층의 폭(W)은 5 μ m로 설정하였다. 그리고, 도 6에서 X축인 L의 단위는 [μ m]이며, Y축인 $R_T W$ 의 단위는 [Ohm · cm]이다.

[0062] 도 6을 참조하면, 종래와 본 발명의 박막 트랜지스터 모두에서 박막 트랜지스터의 길이(L)에 따라 활성층의 전체저항(R_T)이 선형적으로 증가하되, 활성층의 접촉저항(R_c)은 본 발명에 의한 박막 트랜지스터에서 보다 낮게 측정되는 것을 확인할 수 있다. 여기서, 본 발명의 박막 트랜지스터에서 소스 및 드레인 전극 하부의 활성층의 두께가 국지적으로 감소된 것을 제외하고, 종래와 본 발명의 박막 트랜지스터의 길이(L), 폭(W), 활성층의 구성물질 및 성장방법 등의 조건은 동일하게 설정하였다. 그리고, 박막 트랜지스터의 길이(L)는 소스 및 드레인 전극 하부를 포함한 활성층의 전체 형성길이 등으로 설정될 수 있고, 박막 트랜지스터의 폭(W)은 활성층의 폭(W)으로 설정될 수 있다.

[0063] 보다 구체적으로, 활성층의 전체저항(R_T)은 앞서 설명한 수학적 식 1과 같이 채널저항(R_{ch})과 접촉저항(R_c)의 합에 의해 결정된다. 여기서, 채널저항(R_{ch})은 단위 면저항(R_{ch}') 및 길이(L)에 비례하며 폭(W)에 대해서는 반비례하므로, 활성층의 전체저항(R_T)은 하기 수학적 식 2와 같이 나타난다.

수학적 식 2

[0064]
$$R_T = (R_{ch}'/W) \times L + R_c$$

[0065] (단, R_{ch} 및 R_c 의 단위는 [Ohm], R_{ch}' 의 단위는 [Ohm/sq])

[0066] 따라서, 본 그래프를 통해 기율기에서는 R_{ch}' 을, Y 절편에서는 R_c 를 추출할 수 있다.

[0067] 즉, 도 6을 통해, 본 발명의 박막 트랜지스터가 기존의 박막 트랜지스터에 비해 낮은 접촉저항(R_c)을 갖는다는 것을 확인할 수 있다.

[0068] 한편, 도 7은 도 6의 측정에 이용된 종래 및 본 발명의 박막 트랜지스터에 대한 드레인 전류(I_d)의 측정치를 나타내는 그래프이다. 도 7에서, V_{th} 는 문턱전압, Mobility는 캐리어 이동도, SS는 드레인 전류(I_d)가 1 오더(order) 만큼 상승하는 데 필요한 전압을 의미한다. 그리고, 도 7의 종래 및 본 발명 모두에서 점선으로 표시된 그래프는 드레인과 소스 간 전압(이하, V_{ds})이 5.1V일 때 측정된 값이며, 실선으로 표시된 그래프는 V_{ds} 가 0.1V일 때 측정된 값이다. 그리고, X축은 게이트 전압(V_g)으로 단위는 [V]이며, Y축은 드레인 전류(I_d)로 단위는 [A]이다.

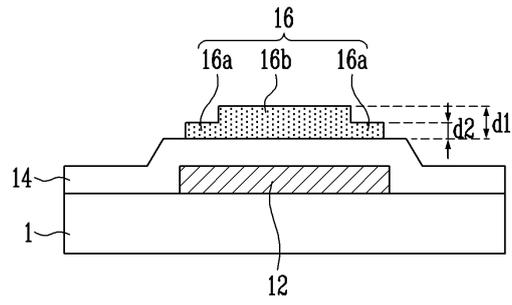
[0069] 도 7을 참조하면, 본 발명의 박막 트랜지스터가 종래의 박막 트랜지스터에 비해 sub-threshold 영역에서 드레인 전류(I_d)가 보다 급격히 상승하며, 게이트 전압(V_g)이 30V 인 경우에도 보다 큰 드레인 전류(I_d)가 흐르는 것을 확인할 수 있다.

[0070] 이와 같이, 본 발명에 의하면 활성층의 두께가 국지적으로 감소됨에 의해, 트랜지스터의 특성 파라미터들이 향상된 것을 확인할 수 있다. 특히, 이동도의 경우는 2배 가까이 상승하는 것을 확인할 수 있다.

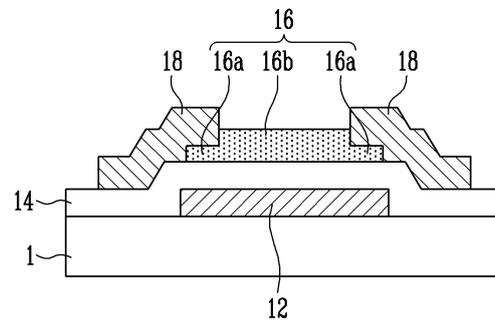
[0071] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 지식을 가진 자라면 본 발명의 기술 사상의 범위 내에서 다양한 변형예가 가능함을 이해할 수 있을 것이다.

도면의 간단한 설명

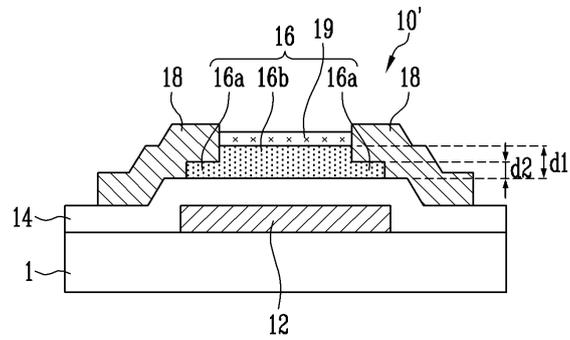
도면2b



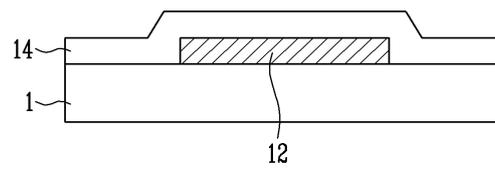
도면2c



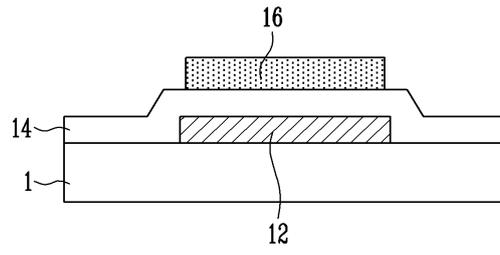
도면3



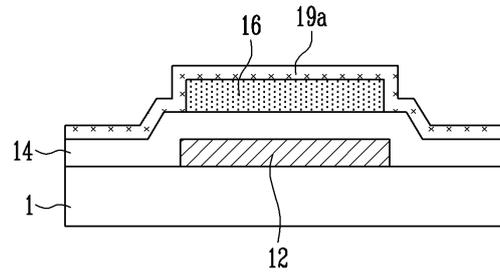
도면4a



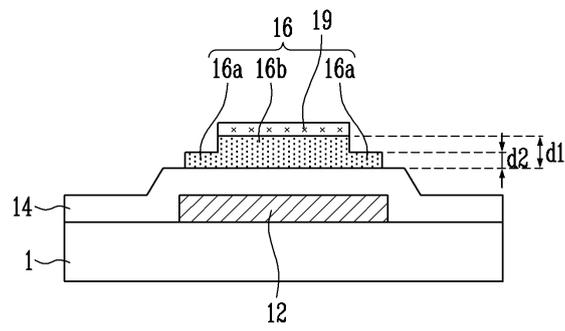
도면4b



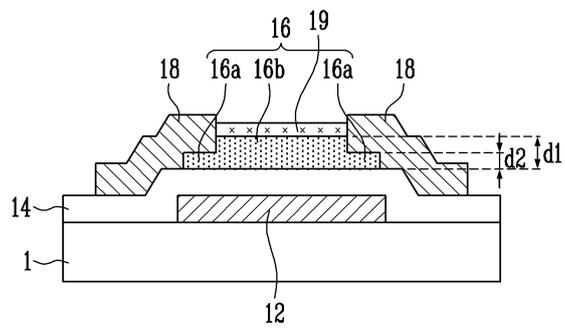
도면4c



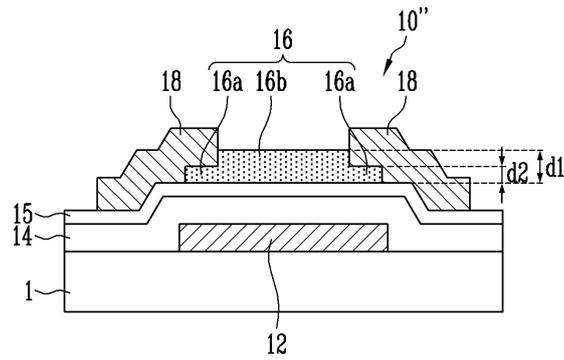
도면4d



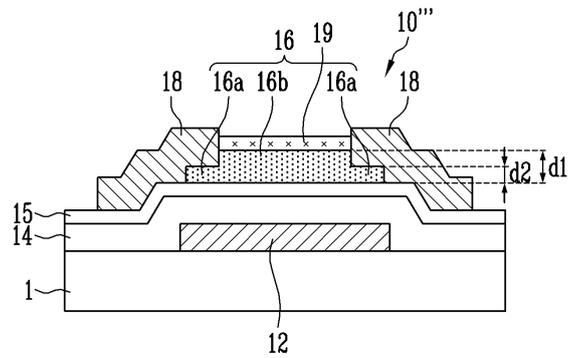
도면4e



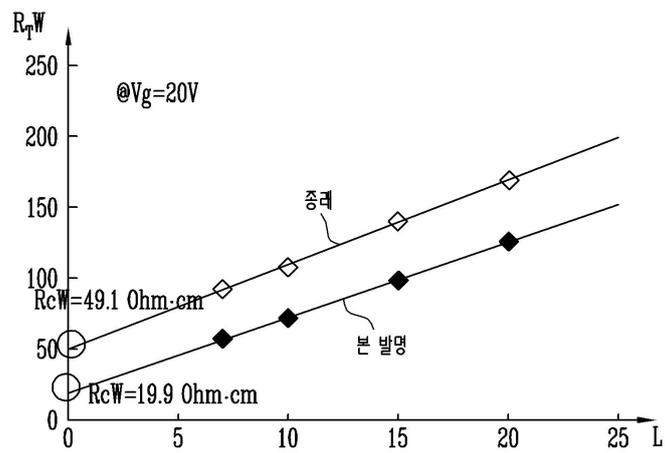
도면5a



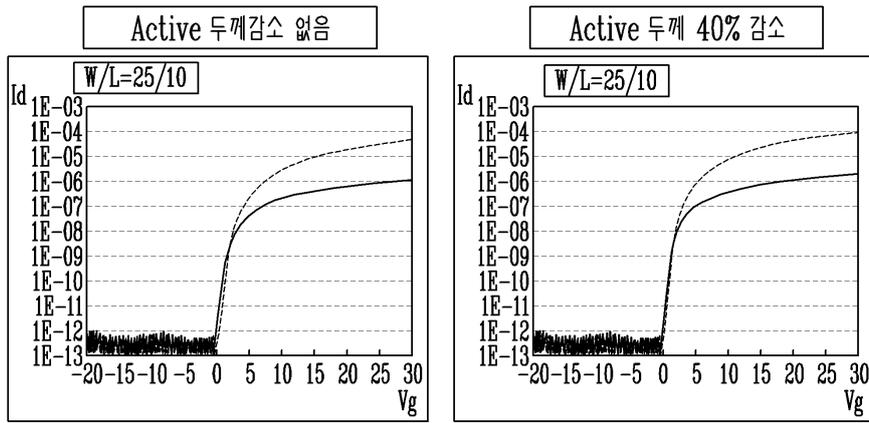
도면5b



도면6



도면7



	Vth_sat(V)	Mobility(cm ² /Vs)	SS(V/Dec)
	AVG.	AVG.	AVG.
Active 두께감소 없음	2.31	3.94	0.58
Active 두께 40% 감소	1.86	7.76	0.43