

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3754593号
(P3754593)

(45) 発行日 平成18年3月15日(2006.3.15)

(24) 登録日 平成17年12月22日(2005.12.22)

(51) Int. Cl. F I
G 1 1 C 11/41 (2006.01) G 1 1 C 11/34 K
 G 1 1 C 11/40 B

請求項の数 14 (全 14 頁)

<p>(21) 出願番号 特願2000-111052 (P2000-111052) (22) 出願日 平成12年4月12日(2000.4.12) (65) 公開番号 特開2000-315390 (P2000-315390A) (43) 公開日 平成12年11月14日(2000.11.14) 審査請求日 平成13年7月30日(2001.7.30) (31) 優先権主張番号 09/291158 (32) 優先日 平成11年4月12日(1999.4.12) (33) 優先権主張国 米国(US)</p>	<p>(73) 特許権者 596092698 ルーセント テクノロジーズ インコーポ レーテッド アメリカ合衆国, 07974-0636 ニュージャージー, マレイ ヒル, マウン テン アヴェニュー 600 (74) 代理人 100064447 弁理士 岡部 正夫 (74) 代理人 100085176 弁理士 加藤 伸晃 (74) 代理人 100106703 弁理士 産形 和央 (74) 代理人 100096943 弁理士 臼井 伸一</p>
---	---

最終頁に続く

(54) 【発明の名称】 データビットを記憶するメモリーセルを有する集積回路および集積回路において書き込みデータビットをメモリーセルに書き込む方法

(57) 【特許請求の範囲】

【請求項1】

複数のメモリーセルからなるアレイを有する集積回路であって、該複数のメモリーセルの各々は、ローおよびハイの1つの電圧に対応するデータビットを記憶しており、該アレイは、前記メモリーセルの複数の行および列からなり、各メモリーセルは、

(a) データビットを記憶するデータノードに接続され、データビットの反転を記憶する反転データノードに接続されるメモリー要素と、

(b) データ入力ラインにつながる入力端子と、データノードに接続される出力端子と、書き込み制御ラインに接続される制御端子とを有し、データ入力ラインから書き込みデータビットを当該書き込みアクセスポートに与えるように書き込みアクセススイッチをオンまたはオフにスイッチングする書き込みアクセススイッチからそれぞれなる少なくとも1つの書き込みアクセスポートと、

(c) 反転データノードに接続された第1端子と、プリセットスイッチがオンのときに論理「1」データビットをデータノードが記憶するのに十分なように低電圧源に接続された第2端子と、印加される書き込みプリセット信号にตอบสนองしてプリセットスイッチをオンまたはオフにスイッチングするプリセット制御端子とを有するプリセットスイッチとを有し、

前記集積回路はメモリー制御論理をさらに有し、該メモリー制御論理が該書き込みプリセット信号を生成しており、該書き込みプリセット信号が、書き込みアクセスポートを介する書き込みデータのメモリーセルへの各書き込み前に、プリセットスイッチをオンにス

10

20

イッチングして、メモリーセルへ書き込みデータビットを書き込む前に、データノードを高電圧にプリチャージしており、さらに、該メモリー制御論理は、前記プリセットスイッチがデータノードをプリチャージした後に、書き込み制御ラインへ書き込み制御信号を供給しており、該書き込み制御信号は書き込みアクセススイッチをオンにスイッチングして、書き込みデータビットをプリチャージされたデータノードへ書き込むことを特徴とする集積回路。

【請求項 2】

各書き込みアクセスポートの書き込みアクセススイッチは、N M O Sの書き込みアクセストランジスタであり、

書き込みアクセストランジスタの制御端子は書き込みアクセストランジスタゲート端子であり、

プリセットスイッチは、N M O SまたはP M O Sのプリセットトランジスタであり、

プリセットトランジスタのプリセット制御端子は、プリセットトランジスタゲート端子であることを特徴とする請求項 1 記載の集積回路。

【請求項 3】

各メモリーセルは、

(d) データノードと反転データノードの 1 つに接続される入力端子を有し、データノードに記憶されたデータビットに対応するバッファされたデータビットを供給する出力端子を有するバッファと、

(e) バッファの出力端子に接続される入力端子と、データ出力ラインに接続される出力端子と、読み取り制御ラインに接続されるデータ出力ラインにバッファされたデータビットを与えるように当該読み取りアクセススイッチをオンまたはオフにスイッチングする制御端子とを有する読み取りアクセススイッチからそれぞれなる少なくとも 1 つの読み取りアクセスポートとを更に有することを特徴とする請求項 1 記載の集積回路。

【請求項 4】

バッファは反転バッファであり、反転バッファの入力端子は、反転データノードに接続され、これにより、バッファされたデータビットはデータノードに記憶されたデータビットに等しくなることを特徴とする請求項 3 記載の集積回路。

【請求項 5】

各書き込みアクセスポートの書き込みアクセススイッチは、N M O Sの書き込みアクセストランジスタであり、

書き込みアクセストランジスタの制御端子は書き込みアクセストランジスタゲート端子であり、

プリセットスイッチは、N M O SまたはP M O Sのプリセットトランジスタであり、

プリセットトランジスタのプリセット制御端子は、プリセットトランジスタゲート端子であり、

各読み取りアクセスポートの読み取りアクセススイッチは、N M O Sの読み取りアクセストランジスタであり、

読み取りアクセストランジスタの制御端子は読み取りアクセストランジスタゲート端子であることを特徴とする請求項 3 記載の集積回路。

【請求項 6】

メモリー要素は、入力端子にてデータノードに接続されかつ出力端子にて反転データノードに接続される第 1 インバーターと、入力端子にて反転データノードに接続されかつ出力端子にてデータノードに接続される第 2 インバーターとを有することを特徴とする請求項 1 記載の集積回路。

【請求項 7】

プリセットスイッチの第 1 端子は、反転データノードに接続され、プリセットスイッチの第 2 端子は低電圧源に接続されることを特徴とする請求項 1 記載の集積回路。

【請求項 8】

各メモリーセルは、

(d) 反転データノードに接続されるゲート端子と、接地に接続されるドレイン端子と、データノードにて記憶されたデータビットがローであるときに接地の電圧にされるソース端子とを有するNMO Sのプルダウントランジスタと、

(e) nm o s プルダウントランジスタのソース端子に接続された入力端子と、データ出力ラインに接続された出力端子と、読み取り制御ラインに接続された制御端子とを有し、nm o s プルダウントランジスタのソース端子をデータ出力ラインに接続するように当該読み取りアクセススイッチをオンまたはオフにスイッチングする読み取りアクセススイッチからそれぞれなる少なくとも1つの読み取りアクセスポートとを更に有することを特徴とする請求項1記載の集積回路。

【請求項9】

複数のメモリーセルからなるアレイを有する集積回路であって、該複数のメモリーセルの各々は、ローおよびハイの1つの電圧に対応するデータビットを記憶しており、該アレイは、前記メモリーセルの複数の行および列からなり、書き込みデータビットを前記アレイのメモリーセルに書き込む方法であって、

(a) メモリー制御論理で書き込みプリセット信号を生成するステップと、

(b) データノードをプリセットスイッチで高電圧にプリチャージするステップとを有し、

前記プリセットスイッチは、反転データノードに接続された第1の端子と、プリセットスイッチがオンであるときに、データノードに論理「1」を記憶させるのに十分な低電圧源に接続された第2の端子と、前記書き込みプリセット信号に従ってプリセットスイッチをオンにスイッチングする、書き込みプリセット信号に接続されたプリセット制御端子とを有しており、前記メモリー制御論理は書き込みプリセット信号を生成して、書き込みデータビットのメモリーセルへの各書き込み前に、書き込みプリセット信号がプリセットスイッチをオンにスイッチングしており、前記方法はさらに、

(c) データノードに接続された出力端子を有する書き込みアクセススイッチの入力端子へ書き込みデータビットを供給するステップと、

(d) 書き込みアクセススイッチをオンにスイッチングして書き込みデータビットをプリチャージされたデータノードへ書き込むために、前記データノードがプリチャージされた後に、書き込みアクセススイッチの制御端子に書き込み制御信号を供給するステップとを有することを特徴とする方法。

【請求項10】

各書き込みアクセスポートの書き込みアクセススイッチは、NMO Sの書き込みアクセストランジスタであり、

書き込みアクセストランジスタの制御端子は書き込みアクセストランジスタゲート端子であり、

プリセットスイッチは、NMO SまたはPMO Sのプリセットトランジスタであり、

プリセットトランジスタのプリセット制御端子は、プリセットトランジスタゲート端子であることを特徴とする請求項9記載の方法。

【請求項11】

(e) データノードと反転ノードの1つに接続された入力端子を有するバッファの出力端子に、データノードに記憶されたデータビットに対応するバッファされたデータビットを供給するステップと、

(f) 読み取りアクセススイッチをオンにスイッチングして、バッファされたデータビットをデータ出力ライン上で読み取るようにするため、バッファの出力端子に接続された入力端子と、データ出力ラインに接続された出力端子とを有する読み取りアクセススイッチの制御端子に読み取り制御信号を供給するステップとを更に有することを特徴とする請求項9記載の方法。

【請求項12】

バッファは反転バッファであり、反転バッファの入力端子は、反転データノードに接続され、これにより、バッファされたデータビットはデータノードに記憶されたデータビッ

10

20

30

40

50

トに等しくなることを特徴とする請求項 1 1 記載の方法。

【請求項 1 3】

メモリー要素は、入力端子にてデータノードに接続される出力端子にて反転データノードに接続される第 1 インバーターと、入力端子にて反転データノードに接続され、出力端子にてデータノードに接続される第 2 インバーターとを有することを特徴とする請求項 9 記載の方法。

【請求項 1 4】

(e) 反転データノードに接続されるゲート端子と、接地に接続されるドレイン端子と、当該読み取りアクセスノードに接続されるソース端子とを有する N M O S のプルダウントランジスタによって、データノードに記憶したデータがローのときに、読み取りアクセスノードを接地の電圧にするステップと、

(f) 読み取りアクセスノードに接続される入力端子を有し、データ出力ラインに接続される出力端子を有し、読み取りアクセススイッチをオンにスイッチングして、読み取りアクセスノードにおけるデータビットをデータ出力ライン上で読み取るようにするために、当該読み取りアクセススイッチの制御端子に読み取り制御信号を供給するステップとを更に有することを特徴とする請求項 9 記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリーセルに関し、特に、複数の書き込みおよび読み取りアクセスポートを有する多元アクセスメモリーセルに関する。

【0002】

【従来の技術】

コンピュータメモリーセルは今日広く用いられている。例えば、R A M (random-access memory)、レジスター、および他のデバイスにて用いられている。各メモリーセルは、データのビット、即ち、0 (ロー、典型的には V_{SS} または接地 (0 V)) または 1 (ハイ、典型的には V_{DD}) を記憶する。セルに新しいデータが書き込まれ、記憶されたデータはセルから読み取られる。メモリーセルの行は通常バイトあるいはワードのような大きな多ビットユニットのデータを記憶するのに用いられている。メモリーセルのアレーは複数のワードの記憶を提供するように多くの行またはワードを与えることができる。

【0003】

図 1 において、従来技術のメモリーセル 1 0 0 を示す回路図を示した。メモリーセル 1 0 0 はインバーター 1 0 1、1 0 2 からなるフリップフロップないしメモリー素子からなる。インバーター 1 0 1、1 0 2 はそれぞれ、2 つのトランジスター (1 つが N M O S (N 型金属酸化膜半導体) で 1 つが P M O S (P 型金属酸化膜半導体) のトランジスター) で実装することができる。C M O S (相補形金属酸化膜半導体) は N M O S と P M O S が組み合わさって作られたものである。フリップフロップはデータノード D および反転データノード (data-not、D の反転) を有する。データノード D はメモリーセル 1 0 0 に記憶されたデータに対応する 1 または 0 に記憶する。

【0004】

メモリーセル 1 0 0 は、図 1 に示したデータアクセスポートのような少なくとも 1 つのデータアクセスポートからなり、これは、プロセッサのような 1 つの外部デバイスないしコンポーネントが与えられた時間においてセルに書き込んだり読み取ったりすることを可能にする。用語「データアクセス等々 (ないしアクセスポート) 」は、データアクセスポートの書き込みと読み取り両方に関連して用いられる。即ち、データの読み取りまたは書き込みを行うのに用いられるものとしてデータアクセスポートが用いられる。データを書き込むのに用いられるデータアクセスポートは、書き込みアクセスポートと呼ばれ、データを読み取られるのに用いられるデータアクセスポートは読み取りアクセスポートと呼ばれる。

【0005】

10

20

30

40

50

図 1 に示すデータアクセスポートは、NMOS アクセストランジスタ 105、106、更に、3つの信号 BIT、WL (ワードライン) に対する4つの入力ラインからなり、これらは、メモリーセル 100、また、プロセッサのような1つの外部デバイスへビットを書き込んだりそれらからビットを読み込んだりする。メモリーセルアレーの与えられた列メモリーセルは通常同じデータアクセスポートを共有する。

【0006】

メモリーセル 100 は電源電圧、例えば、 $V_{DD} = 3V$ によって電力を掛けられる。NMOS トランジスタ (例えば、トランジスタ 105、106) は、約 0.6V の典型的なしきい値ドロップを有する。アクセストランジスタ 105 のしきい値電圧のため、シングル入力ライン上の入力信号は、1 を十分に早く、あるいは全く書き込むことができないほど十分に強くないことがある。例えば、もしメモリーセル 100 が 0 を以前に記憶しデータノード D が 0V であり入力ライン BIT によってセルに 1 を書き込むべきであれば、ライン BIT 上の 1 (3V) により、ノード D が 0V から 2.4V しか上昇させなくなる。なぜなら、トランジスタ 105 をまたがる 0.6V の電圧降下のためである。ノード D を 2.4V に増やすことはセルを 0 状態から 1 状態に迅速にあげるのには低すぎになる。なぜなら、セルの現在の 0 状態を克服するのに遅いからである。

【0007】

もっと悪いことに、1.2V のようなもっと低い供給電圧においても、ノード D は 0.6V までにしか上昇しない。これは、ノード D を十分に迅速にハイにプルできることを確実にするには不十分であり、場合によっては全くハイにプルされない。データアクセスポートのアクセストランジスタの電圧降下により、供給電圧は益々小さくなってきており、従来技術において、シングル入力ラインは前の 0 状態を 1 状態へと書き込むようにオーバーライドさせることができない。

【0008】

従って、2つの入力ライン BIT および BIT は通常、メモリーセル 100 のようなメモリーセルにて BIT ラインによって与えられる信号を記憶するのに用いられる。メモリーセル 100 に値を記憶するために信号 WL はハイになり、BIT は記憶される信号を供給し、また、BIT は、BIT 信号の反転を与える。前のメモリー状態から D が 0 であり、BIT がメモリーセル 100 に記憶される 1 (1.2V) を運ぶのであれば、BIT は 0V であり、ノード DN も 0V である。なぜなら、BIT が 0 であれば 106 を待たない電圧降下はないからである。インバーター 102 の入力における 0 またはロー信号は、インバーター 102 に対しノード D を迅速に 1 まで持っていく。従って、各書き込みアクセスポートはトランジスタ 105、106 のような2つのアクセストランジスタ、更に、3つの入力信号を運ぶ4つの入力ラインを必要とする。書き込み動作に対して BIT 信号は、セルに書き込むプロセッサにより与えられるデータ信号から導かれる。BIT 信号はメモリーセルアレーの外部のインバーターにより与えられる。WL 信号はメモリー制御ロジックにより与えられこれはそれ自身プロセッサからアドレス情報を受ける。

【0009】

同様に、データアクセスポートを読み取りアクセスポートとして用いることができる。この場合、アクセストランジスタ 105、106 は読み取りトランジスタとしてはたらく。セル 100 の状態ないしビットを読み取るため、BIT および BIT 端子のそれぞれにつながったラインはプリチャージされなければならない。そして、読み取りアクセストランジスタ 105、106 はオンにされ、セルがハイかローかに従って、セルが2つのプリチャージされたラインの1つをディスチャージ (放電) することを可能にする。ラインが放電されると外部回路がこのことを検出することができ、メモリーセル 100 が 0 か 1 かのどちらかを記憶されているかを判断することができるようになる。

【0010】

セル 100 と同じ列 (ビット位置) における他のメモリーセルは、同様なデータアクセスポートからなり、ポートに対する同じ BIT と BIT ラインにつながれている。従って

10

20

30

40

50

、セル100と、同時に同じポートを用いて同じ列であるが異なる行(ワード)における別のセルとを単一プロセッサがアクセスすることはできない。このため、各プロセッサは通常、メモリーセル当たり少なくとも2つのポートにつながっており、2つのポートの1つを用いて1つのセルにアクセスし他方のポートを用いて他のセルにアクセスできるようになる。プロセッサ自身は少なくとも2つのデータポートを有し、これは各メモリーセルの2つの異なるメモリーポートをつなぐ。このことは、各プロセッサがその2つのデータポートラインによって各メモリーセル列につながっており、各セルはプロセッサに対し8のポートラインないし端子を有することを意味する。

【0011】

【発明が解決しようとする課題】

メモリーセルはそれぞれがメモリーセルアレーへと同時に書き込んだり読み取ったりすることを必要とされるような、複数のプロセッサないし他のユニットを有するコンピュータシステムにおいてよく実装されている。例えば、4つのプロセッサのそれぞれはメモリーセルアレーの4つの異なるワードないし行から読み取ったり書き込んだりする必要がある。代わりに、1もしくは複数のプロセッサが別のプロセッサによって書き込まれている際に同じセルから同時に読み取ることを望むこともある。このように、多元アクセスメモリーセルの必要性がある。即ち、プロセッサのような複数の外部ユニットを割り当てるようにメモリーセルアレーから同時に読んだり書き込んだりすることを可能にするように十分にデータアクセスポートを読んだり書いたりすることができるメモリーセルの必要性がある。

【0012】

前述のように、各メモリーセルは各プロセッサに対し2つのアクセスポート(即ち、4つのアクセストランジスターおよび8つの端子)を必要とする。従って、マルチプロセッサにおいて、各メモリーセルはプロセッサ当たり2つのアクセスポートと8つの端子を必要とする。例えば、もし4つのプロセッサがセル100にアクセスするべきならば、メモリーセル当たり $4 \times 2 = 8$ ポート($4 \times 4 = 16$ のアクセストランジスター、および $4 \times 8 = 32$ の信号端子)を必要とする。

【0013】

この伝統的なメモリー設計の1つの問題としてシステムにデータアクセスポートおよびプロセッサが増えるごとに、多くのランジスターや端子を増やさなければならないと言
うことがある。アクセスポートランジスターや端子の数が増えると、チップ(およびPCB)の領域や電力消費が増えてしまう。2つの読み取りラインをプリチャージする必要性、および各読み取りに対して2つのうちの1つを常に放電する必要性は、大量の電力を消費してしまう。また、ライトする動作時、即ち、別のプロセッサが代2アクセスポートを介してメモリーセル100に書き込まれているデータを同時に読み取っているときに1つのプロセッサがセル100に書き込むような場合には、第2アクセスポートによりもたらされるモードDおよびDN上の負荷は新しいデータをセルに書き込む速度を遅くしてしまう。

【0014】

【課題を解決するための手段】

ローとハイの電圧の一方に対応するデータビットを記憶するメモリーセルを有する集積回路が提供されるメモリー要素はデータビットを記憶するデータノードにつながれ、また、データビットの反転を記憶する反転データノードにつながる。少なくとも1つの書き込みアクセスポートはデータ入力ラインにつながった入力端子、データノードにつながった出力端子、書き込み制御ラインにつながった制御端子を有する書き込みアクセススイッチを有しデータ入力ラインからの書き込みデータビットを書き込みアクセスポートに供給するように、書き込みアクセススイッチをオンまたはオフにスイッチングする。

【0015】

またプリセットスイッチを用いる。ここにおいて、第1端子がデータノードと反転データノードの1つにつながり、第2端子が当該プリセットスイッチがオンの時に論理「1」の

10

20

30

40

50

データビットをデータノードに記憶されるのに十分な電圧源につながり、プリセット制御端子は、書き込み動作がプリセット制御ラインにつながる前にメモリーセルをプリセットするようにプリセットスイッチをオンまたはオフにスイッチングする。

【 0 0 1 6 】

【 発明の実施の形態 】

図 2 において、本発明の一実施例に従うメモリーセルシステム 2 0 0 のブロック図を示してある。システム 2 0 0 は、同一なメモリーセル 2 1 0、2 2 0 のようなメモリーセルのアレーからなる。これらメモリーセルはアレーの一部（例えば、3 2 ビットワードに対する 3 2 ビット幅アレー（ $N = 3 2$ ））とすることができ、例えば、1 0 0 ワードの深さである。

10

【 0 0 1 7 】

システム 2 0 0 のメモリーセルアレーのメモリーセル 2 1 0、2 2 0 のような各メモリーセルは、4 つの別々のデータアクセスポート、即ち、2 つの書き込みアクセスポートと 2 つの読み取りアクセスポートからなる。これらは図 1 の従来技術メモリーセル 1 0 0 の双方向（読み取りまたは書き込み）アクセスポートとは対称的に単方向ポートである。下で詳細に説明するように、本発明の各付加的なデータアクセスポートは、従来技術のセル 1 0 0 における各データアクセスポートに対するアクセストランジスターの対とは対称的に 1 つのアクセストランジスターと 2 つの端子または 1 つのラインのみを必要とする。

【 0 0 1 8 】

システム 2 0 0 の各メモリーセルの第 2 および第 2 書き込みアクセスポートは、それぞれ端子 $D N$ と $W A$ と $D B$ と $W B$ に対応づけられており、第 1 および第 2 読み取りアクセスポートは端子 $Q A$ と $R A$ と $Q B$ と $R B$ に関連づけられている。従って、セル 2 1 0 のような各セルの 4 つのデータアクセスポートは、データアクセスポート $D A / W A$ 、 $D B / W B$ 、 $Q A / R A$ 、 $Q B / R B$ としてそれらの対応する端子となっている。一実施例において、システム 2 0 0 は、2 つのプロセッサ A、B を有していてもいいが、下で詳細に述べるように、4 つまでの別々のプロセッサ A 1、B 1、A 1、B 2 を有することができる。

20

【 0 0 1 9 】

システム 2 0 0 は、多くの入出力ラインおよび関連する制御ロジックを有する。一般に、垂直ラインはメモリーセルを読み書きする多くのプロセッサとやりとりする信号であり、水平ラインはメモリー制御ロジックからの信号を運ぶ。具体的には、システム 2 0 0 において、2 つのプロセッサ A、B（図示せず）があり、各行に N のメモリーセルがある。従って、メモリーセルの各行は N ビットのワードを記憶する。プロセッサ A（図示せず）は書き込みデータ信号 $W D A - 0$ や書き込みデータ信号 $W D A - N - 1$ のような信号を供給し、読み取りデータ信号 $R D A - 0$ や読み取りデータ信号 $R D A - N - 1$ を受ける。逆に、プロセッサ B（図示せず）は、 $W D B - 0$ 、 $R D B - 0$ 、 $W D B - N - 1$ 、 $R D B - N - 1$ のような信号を供給し読み取る。

30

【 0 0 2 0 】

メモリー制御ロジック（図示せず）は、プリセット信号 $P R E$ および $P R E$ の反転 $\overline{P R E}$ が、書き込みデコード信号 $W D E C A - 0$ 、 $W D E C B - 0$ 、読み取りデコード信号 $R D E C A - 0$ 、 $R D E C B - 0$ のような信号を供給する。これら信号は、メモリーにアクセスするプロセッサにより供給されるアドレス情報に応じてメモリー制御ロジックにより供給される。また図に示すように、AND ゲートは、メモリー制御信号から行 0 のような行に対する実際の制御信号、読み取りおよび書き込み信号 $W L A - 0$ 、 $W L B - 0$ 、 $R L A - 0$ 、 $R L B - 0$ 、書き込みプリセット信号 $W P R E - 0$ を得るのに用いられる。

40

【 0 0 2 1 】

各行がデータワードからなるので、ある行における各メモリーセルは並列的に同じ動作で読み取られ書き込まれる。従って、行の各セルは行 0 のような同じ制御信号ライン、読み取りおよび書き込みワードライン $W L A - 0$ 、 $W L B - 0$ 、 $R L A - 0$ 、 $R L B - 0$ 、書き込みプリセット $W P R E - 0$ につながっている。これら信号はそれぞれ、各メモリーセ

50

ルに対してメモリーセルの入力端子WA、WB、RA、RB、WPREにつながっている。

【0022】

しかし、ある行の各メモリーセルは別の列にあり（行により表されるデータワードの異なるビットを表す）、従って、異なるデータイン（data-in）信号を受け、異なるデータアウト信号を供給し、データのワード全体が並列的に書き込まれたり読まれたりされる。行の第1メモリーセル210（アレーの他の全ての行の第1メモリーセル）は書き込みデータ信号WDA-0、WDB-0につながり（ここで、A、BはプロセッサAまたはBから信号が来ているかを表し、各プロセッサA、Bは両方とも各メモリーセルから読み取りと書き込みができ、0はメモリーセル210が列0にあることを表す）、書き込みデータ信号RDA-0、RDB-0につながっている。メモリーセル210に記憶すべきデータビットは書き込みデータ信号ラインWDA-0、WDB-0上で外部プロセッサAまたはBにより与えられる。書き込みデータ信号ライン上で与えられ、メモリーセルに書き込まれるデータビットは、書き込みデータビットと呼ぶことができる。

10

【0023】

メモリーセル210に前に記憶されたデータビットは読み取りデータ信号ラインRDA-0、RDB-0上で外部プロセッサAまたはBによって読み取られる。これら信号ラインはそれぞれ、メモリーセルのデータ端子DA、DB、QA、QBにつながっている。ここで、DA、DBはデータ入力端子であり、QA、QBはデータ出力端子である。メモリーセル220はワードのN番目に対する異なるラインのセットに同様につながっている。行の他のN-2にメモリーセル（図示せず）はそれら自身の4つの読み取り書き込みデータ信号ラインにつながっている。メモリーセルに前に記憶されておりプロセッサによって読み取られるようにメモリーセルによって読み取りデータ信号ラインに供給されたデータビットは、読み取りデータビットと呼ぶことができる。

20

【0024】

前述のように、システム200の各メモリーセルは4つの別々で独立なデータアクセスポート、即ち、2つの書き込みアクセスポート、2つの読み取りアクセスポートからなる。一実施例において、第1の書き込みおよび読み取りポートDA/WA、QA/RAは同じプロセッサAによって用いることができる。第2の書き込みおよび読み取りポートDB/WB、QB/RBは同じプロセッサBによって用いられることができる（代わりに、プロセッサA1、B1、A2、B2のような4つのプロセッサは、これらポートを用いることもできる。

30

【0025】

図3において、図2のシステム200のメモリーセル210を更に詳細に示した。システム200の各メモリーセルはメモリーセル210と同一に構成するのが好ましい。本発明において、付加的な各データアクセスポートに対して1つのアクセストランジスターと端子の対のみを必要とするようにできる（読み取りアクセスポートか書き込みアクセスポートかを問わない）。このことはシングルプリチャージまたはプリセットトランジスター（M5）およびその書き込みプリセット信号入力ラインWPREを用いることによって実現できる。プリセットトランジスターM5は下で詳細に説明するように書き込み動作の前にノードDNを0V（論理「0」）にプリチャージするのに用いられる。

40

【0026】

メモリーセル210は2つの書き込みアクセスポートDA/WA、QB/RB（これらはそれぞれNMOS書き込みアクセストランジスターM1、M2、それらの4つの入力端子DA/WA、DB/WBに対応づける）、2つの読み取りアクセスポートQA/RA、QB/RB（これらはNMOS読み取りアクセストランジスターM3、M4、それらの信号端子QA/RA、QB/RBに対応づける）を有する。各書き込みアクセスポートはトランジスターM1のような1つの書き込みアクセストランジスターを有し、これはDAのようなデータライン、WAのような書き込みラインにつながっている。各書き込みアクセストランジスターは、入力端子（ラインDAまたはDB上で入力データビットにつながれて

50

いる。)を有するスイッチ、ノードDにつながった出力端子、書き込みラインWAまたはWBにつながったゲート(またはスイッチ制御)端子として機能する。従って、ゲート端子につながった書き込みライン信号は書き込みアクセストランジスターないしスイッチをオンまたはオフにスイッチングするようにはたらく。ここで、書き込みアクセストランジスターの入力端子はゲート信号がハイとなった時に書き込みアクセストランジスターの出力端子に直接つながっている。

【0027】

各読み取りアクセスポートはトランジスターM3のような読み取りアクセストランジスターを有し、これはQAのような出力データライン、RAのような読み取りラインにつながっている。各読み取りアクセスポートはノードDNまたはDに直接つながってはならず、むしろインバータバッファX3の出力につながっている。そしてそれはセルノードDのような同じ状態を与える。入力端子(Q端子における記憶されたビットにつながる)、出力データラインQAまたはQBにつながる出力端子、読み取りラインRAまたはRBにつながるゲート(スイッチ制御)端子を有するスイッチとして機能する。従って、ゲート端子につながる読み取りライン信号は読み取りアクセストランジスターないしスイッチをオンまたはオフにスイッチするようにはたらく。ここで、読み取りアクセストランジスターの入力端子はゲート信号がハイのときに読み取りアクセストランジスターの出力端子に直接つながる。

10

【0028】

またメモリーセル210はインバータ(反転バッファ)X1、X2、X3を有する。インバータX1、X2は安定な状態を論理「1」または「0」を記憶するように集合するフリップフロップを形成する(データノードDにて。その反転はデータノットノードDNに記憶される)。インバータX3はDN信号を反転し、ノードQにてノードDの状態と同じ状態を与える(メモリーセル210に記憶されたビット)。ノードQは読み取りアクセストランジスターM3、M4につなぐように用いられ、読み取りアクセスノードと呼ぶことができる。

20

【0029】

別な実施例において、バッファX3は入力端子にてノードDNの代わりにノードDにつなぐようにすることができる。この場合、ノードDにメモリーセル210に記憶された反転データビットDはノードQにて供給され、ラインQA、QB上で読み取られる。別の実施例において、非反転バッファがその入力端子にてノードDにつながり、反転バッファX3を用いずにその出力をノードQにつなぐ。この場合、ノードD、メモリーセル210に記憶されるデータビットはノードQにて与えられ、ラインQA、QB上で読み取られる。何れの実施例においてもノードQにおけるデータ信号はデータビットDと同じ、あるいはその反転として知られるかのいずれかである。従って、両方の実施例において、ノードQにおけるデータ信号はメモリーセルが記憶したデータビットDに対応する(公知の方法で関連する)。

30

【0030】

セル210にその2つの書き込みアクセスポート上でビットを書き込むために、メモリーセルプリセットフェーズの後にデータ書き込みフェーズが続く。メモリーセルプリセットフェーズでは行の各メモリーセルは論理「1」状態でプリセットされる。この状態は書き込まれるべき正しい状態があるいはもしそうでなければ従来技術のセル100で行われるようにセルシステム200に供給される反転信号BITを必要とせずに、端子WAのような書き込み端子上の入力信号によって他の状態(論理「0」)に容易に変化可能かの何れかである。

40

【0031】

従って、セルに書き込むためにセルはまずメモリーセルプリセットフェーズにて論理「1」へとプリセットされる。このフェーズでは、読み取り書き込みワードライン(WLA-0、WLB-0、RLA-0、RLB-0)はローに保たれ、これにより、アクセストランジスター(M1、M2、M3、M4)はオフになる。セルの特定の行が書き込みアクセ

50

スのために選択されれば（例えば、図2に示したセル210、220からなるセルの行）、書き込みデコードライン（WDECA-0、WDECB-0）とANDされるプリセット制御信号PREは、アクティベートし、これにより、書き込みプリセット信号WPRE-0（ここで、0はメモリーセルの行0を表し、即ち、ワードアレーの最初のワードを表す）をハイにさせ、セル210のNMOSプレセットトランジスターM5をオンにする。

【0032】

プリセットトランジスターM5機能は、接地につながった第1端子、反転データノードDNにつながった第2端子、書き込みプリセット制御信号WPREにつながったゲート（ないしプリセットスイッチ制御）端子を有するスイッチとして機能する。従って、書き込みプリセット制御信号はプリセットゲートに、トランジスターのスイッチ制御端子に、プリセットトランジスターをスイッチするのを助けるスイッチM5に、スイッチM5のオンまたはオフにつながれている。そのため、ノードDMは、書き込みプリセット制御信号がハイとなったときに直接接地につながるようにされる。

【0033】

従って、プリセットトランジスターまたはスイッチM5をオンにすると、ノードDNを0（ V_{SS} ）におさえ、そしてそれはインバーターX2の相当な動作のお陰でノードDをハイ（ V_{DD} ）にする。従って、メモリーセルプリセットフェーズにて、セルの行の各セルは論理「1」状態（Dノードにプリセットされる。ハイ電圧 V_{DD} へ上がるので「放電」される）へとプリセットされる。

【0034】

次に、データ書き込みフェーズが発生する。このフェーズの間、プリセット制御信号PRE（およびこのようなWPRE）はオフにされ、そのため、ノードDNは接地につながれず、書き込みアクセストランジスター（プロセッサAかBかに依存しているM1またはM2の何れかが書き込みラインWLA-0またはWLB-0を取る）はつながれる。もしセル210の端子DA、DBに適用されるWDA-0、WDB-0からのデータが論理「0」（ V_{SS} ）であるならば、データノードDはアクセストランジスターM1、M2にわたって V_{SS} に出す。しかしながら、もしデータビットが論理「1」（ V_{DD} ）であるならば、セル210におけるデータノードDは変わらない。従って、ポートでの2つのアクセストランジスターを用いることの必然性およびBITとBITの両方の信号は除去される。

【0035】

また読み取り動作は、2つのフェーズ、読み取りラインプリセットフェーズ、データ読み取りフェーズを必要とする。読み取りラインプリセットフェーズでは読み取りアクセストランジスターM3、M4およびプリセットトランジスターM5はオフである。図2に示すようにトランジスター $M_A M_B$ がPRE信号によりオンにされると、読み取りデータラインRDA-0、RDB-0、RDA-N-1、RDB-N-1はそれぞれ、トランジスター $M_A M_B$ により論理「1」（ V_{DD} ）にプリチャージされる。このことは、端子QA、QBにて論理「0」状態でラインが読み取られるのであれば読み取りラインの放電を開始させる。

【0036】

次にデータ読み取りフェーズにて、信号PREをオフにすることにより読み取りラインプリチャージはオフにされ、読み取りアクセストランジスターM3および/またはM4は、プロセッサAもしくはBの何れかまたは両方がデータワードを読み取っているか従って信号RLA-0、RLB-0（それぞれ内部端子RA、RBにつながる）によりオンにされる。各読み取りデータラインは、セルが論理「0」を記憶するとき、および対応する読み取りアクセストランジスタがオンにスイッチングされたときのみ論理「0」（ V_{SS} ）に放電される。他の場合では、放電は発生しない。この放電またはその発生がないことは、読み取りデータラインにつながったプロセッサデータポートにより検出され、メモリーセル210に記憶された現在のビットが判断される。

【0037】

従って、データアクセスポート毎にBITとBITの両方のラインを必要とする従来技

10

20

30

40

50

術のメモリーセル100とは違い、メモリーセルの書き込み/読み取りアクセスタイムを増やさずに、BITラインを使用する必要性を無くすることができる。書き込み/読み取りアクセス時間は通常、メモリーセルトランジスタの数が減れば増えるものである。また、BIT/BITラインの対がないことによって電力消費が2倍より多く減らすことができる。このBIT/BITラインの対の1つは読み取り/書き込み動作毎に放電されなかったものである。またセル210のメモリーセル設計は、従来技術のセル100よりも小さいサイズにて実装することができる。なぜなら、BIT/BITラインの対は、アクセスポート毎に必要なではないからである。逆に、1つのデータライン(DA、DB、QA、QB)のみがアクセスポート毎に必要なとされるだけである。また、本発明は非常に低い動作で実装することができる(例えば、VDD=1.2Vあるいは0.9V)。なぜなら前の状態が1であった場合に論理「0」のシングルライン書き込みに対して問題を発生させる通常のアクセストランジスタの電圧降下が、書き込みフェーズのメモリーセルブリセットのおかげで本発明においては問題を発生させないからである。また本発明は、従来のセル100よりも速いライトスルーアクセスを達成することができる。なぜなら、単方向の専用読み取りアクセスポートが、ノードDまたはDNに直接ではなく、インバータバッファX3の出力にてノードQにつながるからである。

10

【0038】

別の実施例において、同じプロセッサAとBを、アクセスポートに対する読み取りと書き込みの両方の信号を与えるために用いる必要はない。2つのプロセッサA1、B1がデータを書き込み、またその時に、例えば、2つの異なるプロセッサA1、B1がそのメモリーセルからデータを読み取ることができる。従って、プロセッサA1、B1は、書き込みデータ信号WDA-i、WDB-i(ここで、iはメモリーセルの行の何れの列をも表す。)を供給してもよく、2つの異なるプロセッサA1、B1は読み取りデータ信号RDA-i、RDB-iを与えることができる。システム200の各メモリーセルに更に読み取りまたは書き込みのアクセスポートを加えてもよく、必要であればさらなるプロセッサを収容する。例えば、読み取り/書き込み能力を必要とする2つのプロセッサ、読み取り能力のみを必要とする3つのプロセッサを更に用いることができ、各セルは4つの書き込みアクセスポート、5つの読み取りアクセスポートを必要とする。

20

【0039】

別の実施例において、プリセットトランジスタN5は、PMOSTランジスタであり接地(ロー)とノードDNの間ではなく、VDDとノードDの間につながる。そのゲートは書き込みプリセット信号の反転(WPRE)につながる。これにより、メモリーセルプリセットフェーズにて、書き込みプリセット信号がハイになれば、ノードDは直接ハイに上げられる。何れの実施例においても、プリセットトランジスタM5はセルの行の各セルをロジック-1(ハイ)状態にプリセットするのに用いることができる。

30

【0040】

別の実施例にて、インバータバッファX3の代わりに1つのNMOSプルダウントランジスタを用いる。この実施例において、NMOSプルダウントランジスタのゲート端子は反転データノードDNにつながり、ソース端子はノードQにつながり、ドレイン端子は接地につながる。読み取りアクセスポートQA/RAとQB/RAの双方または一方による読み取りそれぞれの前に、ノードQは読み取りの前にハイにプリチャージされる。反転データノードDNはハイであり、これはプルダウントランジスタのゲート端子に供給されそのトランジスタをオンにする。これにより、ノードQを接地につなぎ、読み取りデータラインを放電する。従って、データノードD上のロー状態はノードQにおける放電によって検出することができる。もしデータノードDがハイであれば、反転データノードDNはローであり、これはプルダウントランジスタのゲート端子に供給され、それをオンにはしない。従って、ノードQはフロート状態となり、その前にプリチャージしたハイ状態にとどまり読み取りデータラインを放電しない。従って、データノードD上のハイ状態はノードQにおける放電がないことによって検出することができる。

40

【図面の簡単な説明】

50

【図1】従来技術のメモリーセルを示す回路図。

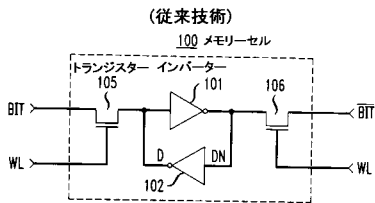
【図2】一実施例に従うメモリーセルのシステムのブロック図。

【図3】一実施例に従い図2のメモリーセルシステムを詳細に示す回路図。

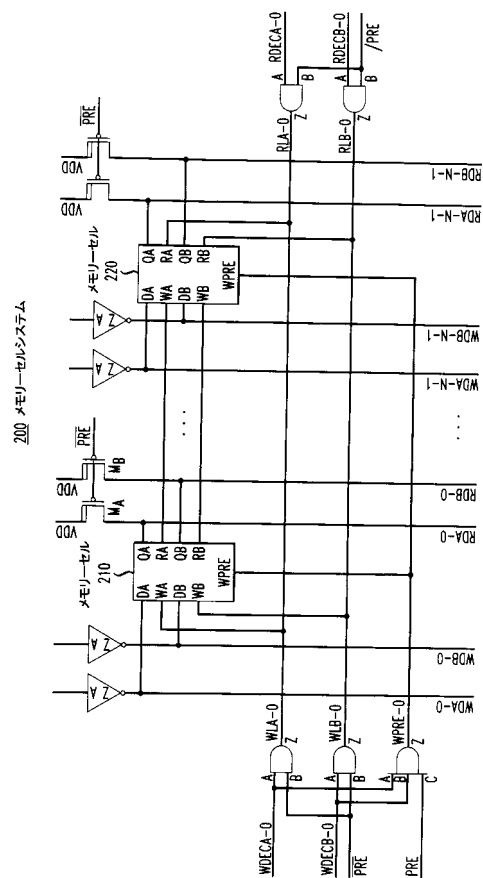
【符号の説明】

- 100 メモリーセル
- 101、102 インバーター
- 105、106 トランジスタ
- 200 メモリーセルシステム
- 210、220 メモリーセル

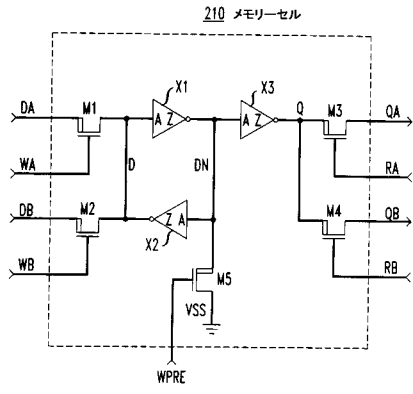
【図1】



【図2】



【 図 3 】



フロントページの続き

- (74)代理人 100091889
弁理士 藤野 育男
- (74)代理人 100101498
弁理士 越智 隆夫
- (74)代理人 100096688
弁理士 本宮 照久
- (74)代理人 100102808
弁理士 高梨 憲通
- (74)代理人 100104352
弁理士 朝日 伸光
- (74)代理人 100107401
弁理士 高橋 誠一郎
- (74)代理人 100106183
弁理士 吉澤 弘司
- (74)代理人 100081053
弁理士 三俣 弘文
- (72)発明者 ヒウン リー
アメリカ合衆国、18104 ペンシルバニア、アレントウン、ドー トレイル ロード 138
6
- (72)発明者 マーク イーン ルオン
アメリカ合衆国、18062 ペンシルバニア、マクンジー、ブライアーウッド ドライブ 50
39

審査官 加藤 俊哉

- (56)参考文献 特開平09-320273(JP,A)
特開平07-050092(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G11C 11/41