

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3621512号  
(P3621512)

(45) 発行日 平成17年2月16日(2005.2.16)

(24) 登録日 平成16年11月26日(2004.11.26)

(51) Int. Cl.<sup>7</sup>

F I

H04N 1/413  
H03M 7/30

H04N 1/413 Z  
H03M 7/30 Z

請求項の数 31 (全 83 頁)

<p>(21) 出願番号 特願平8-158198 (22) 出願日 平成8年6月19日(1996.6.19) (65) 公開番号 特開平10-13693 (43) 公開日 平成10年1月16日(1998.1.16) 審査請求日 平成14年7月22日(2002.7.22)</p>	<p>(73) 特許権者 503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号 (74) 代理人 100097216 弁理士 泉 和人 (72) 発明者 今中 良史 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 (72) 発明者 井須 佳子 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内  審査官 松永 稔</p>
---	--

最終頁に続く

(54) 【発明の名称】 デジタル情報符号化装置、デジタル情報復号化装置、デジタル情報符号化・復号化装置、デジタル情報符号化方法、及びデジタル情報復号化方法

(57) 【特許請求の範囲】

【請求項1】

入力された画像データからテンプレートモデルに従って参照画素を抽出し、被符号化画素に対するコンテキストを生成するためのコンテキスト生成手段、

このコンテキスト生成手段からの被符号化画素に対するコンテキストを一時記憶するコンテキスト記憶手段、

システムクロックの1クロック内で記憶内容の読み出しと記憶内容の書き込みとを行えるRAMにて構成され、予測シンボル及び確率推定データの一部である不一致確率を示すLSZデータからなる複数ビットの記憶用データを複数記憶し、上記コンテキスト生成手段からのコンテキストに基づいて上記複数記憶された記憶用データのうちから所定の記憶用データが出力されるとともに、上記被符号化画素に対してリノーマライズ処理を要すると上記コンテキスト記憶手段に一時記憶されたコンテキストに基づいて上記複数記憶された記憶用データのうちから所定の記憶用データを予測シンボル及び確率推定データの一部である不一致確率を示すLSZデータからなる複数ビットの書換データに書き換えられるコンテキストテーブル記憶手段、

上記被符号化画素に対する画像データと、上記コンテキストテーブル記憶手段からの記憶用データと、上記被符号化画素の直前の画素に対する有効領域の幅Aを示すAデータと、上記被符号化画素の直前の画素に対する符号語Cを示すCデータとを受け、所定の演算処理を行い、上記被符号化画素に対する有効領域の幅Aを示すAデータと被符号化画素に対する符号語Cを示すCデータとを出力するとともに、上記被符号化画素に対する画像デー

10

20

タと上記記憶用データの予測シンボルとの一致又は不一致を示す予測変換信号を出力する算術演算手段、

この算術演算手段からの予測変換信号と上記コンテキストテーブル記憶手段からの記憶用データとを受け、上記コンテキストテーブル記憶手段への上記書換データを生成する書換データ生成手段を備えたデジタル情報符号化装置。

【請求項 2】

上記コンテキストテーブル記憶手段は、上記コンテキスト生成手段からのコンテキストを受けるリード用アドレス入力ノードと、上記複数ビットの記憶用データを複数記憶する読み出し/書き込み可能なコンテキストテーブル記憶部と、上記リード用アドレス入力ノードに受けたコンテキストに基づいたアドレスの上記コンテキストテーブル記憶部に記憶された記憶用データが出力されるデータ出力ノードと、上記コンテキスト記憶手段に一時記憶されたコンテキストを受けるライト用アドレス入力ノードと、このライト用アドレス入力ノードに受けたコンテキストに基づいたアドレスの上記コンテキストテーブル記憶部に対する上記複数ビットの書換データが入力されるデータ入力ノードとを有することを特徴とする請求項 1 記載のデジタル情報符号化装置。

10

【請求項 3】

上記書換データ生成手段は、上記コンテキストテーブル記憶手段からの記憶用データの L S Z データと上記算術演算手段からの予測変換信号とを受けて、上記コンテキストテーブル記憶手段への上記書換データにおける不一致確率を示す L S Z データと、上記コンテキストテーブル記憶手段からの記憶用データの予測シンボルを反転するか否かを指示する S W I T C H データを出力する L S Z 更新手段と、この L S Z 更新手段からの S W I T C H データと上記コンテキストテーブル記憶手段からの記憶用データの予測シンボルとを受け、受けた S W I T C H データが " 0 " であると受けた予測シンボルの値を、受けた S W I T C H データが " 1 " であると受けた予測シンボルの値を反転した値を上記コンテキストテーブル記憶手段への書換データにおける予測シンボルとして出力する M P S 更新手段とを有することを特徴とする請求項 1 又は請求項 2 記載のデジタル情報符号化装置。

20

【請求項 4】

上記 L S Z 更新手段は、入力と出力との関係が確率評価表 (Probability estimation table) に基づいて作成された真理値表に示す関係になるように論理回路によって構成されていることを特徴とする請求項 3 記載のデジタル情報符号化装置。

30

【請求項 5】

上記書換データ生成手段は、上記コンテキストテーブル記憶手段からの記憶データを一時記憶するとともに、一時記憶された記憶データの L S Z データを上記 L S Z 更新手段に出力するとともに一時記憶された記憶データの予測シンボルを上記 M P S 更新手段に出力する記憶用データ記憶手段をさらに有することを特徴とする請求項 3 又は請求項 4 記載のデジタル情報符号化装置。

【請求項 6】

上記算術演算手段は、上記被符号化画素に対する画像データと上記コンテキストテーブル記憶手段からの記憶用データの予測シンボルとが一致を意味すると、下記 ( 1 ) 式及び ( 2 ) 式による演算処理を行い、上記被符号化画素の A データ及び C データを出力し、上記被符号化画素に対する画像データと上記コンテキストテーブル記憶手段からの記憶用データにおける予測シンボルとが不一致を意味すると、下記 ( 3 ) 式及び ( 4 ) 式による演算処理を行い、上記被符号化画素の A データ及び C データを出力することを特徴とする請求項 1 ないし請求項 5 のいずれかに記載のデジタル情報符号化装置。

40

$$A(k) = A(k - 1) - L S Z(k) \quad \dots \dots (1)$$

$$C(k) = C(k - 1) \quad \dots \dots (2)$$

$$A(k) = L S Z(k) \quad \dots \dots (3)$$

$$C(k) = C(k - 1) + \{ A(k - 1) - L S Z(k) \} \quad \dots \dots (4)$$

[但し、A(k)は上記被符号化画素(k番目の被符号化画素)のAデータ、A(k-1)は

50

上記被符号化画素の直前の被符号化画素  $\{(k-1)$  番目の被符号化画素  $\}$  の A データ、 $C(k)$  は上記被符号化画素 ( $k$  番目の被符号化画素) の C データ、 $C(k-1)$  は上記被符号化画素の直前の被符号化画素  $\{(k-1)$  番目の被符号化画素  $\}$  の C データ、 $LSZ(k)$  は上記被符号化画素 ( $k$  番目の被符号化画素) に対する上記コンテキストテーブル記憶手段からの記憶用データにおける不一致確率を示す  $LSZ$  データ、 $k$  は 1、2、3、……である。]

【請求項 7】

上記算術演算手段からの A データをラッチするとともに、ラッチしている内容を A データとして出力し、正規化処理を行うためのリノーマライズ信号及び後 1 回の正規化処理で正規化処理が終了することを意味する 1 回リノーマライズ信号を出力する A レジスタと、  
この A レジスタからの A データ及び上記 1 回リノーマライズ信号に基づいたシフトアップ選択信号を受け、シフトアップ選択信号がシフトアップを意味すると、上記 A レジスタからの A データを 1 ビット分シフトアップしたデータを、それ以外の時は上記 A レジスタからの A データをそのまま上記算術演算手段に上記被符号化画素の直前の画素に対する A データとして与える A セクタと、

10

上記算術演算手段からの C データをラッチするとともに、ラッチしている内容を C データとして出力する C レジスタと、

この C レジスタからの C データ及び上記シフトアップ選択信号を受け、シフトアップ選択信号がシフトアップを意味すると、上記 C レジスタからの C データを 1 ビット分シフトアップしたデータを、それ以外の時は上記 C レジスタからの C データをそのまま上記算術演算手段に上記被符号化画素の直前の画素に対する C データとして与えるとともに、送信するための符号化データとして出力する C セクタとをさらに備えた請求項 1 ないし請求項 6 のいずれかに記載のデジタル情報符号化装置。

20

【請求項 8】

上記 A レジスタは、入力されるリノーマライズクロック信号に同期してラッチしたデータを 1 ビットシフトアップしてラッチし直すものであり、

上記 C レジスタは、入力されるリノーマライズクロック信号に同期してラッチしたデータを 1 ビットシフトアップしてラッチし直すものであることを特徴とする請求項 7 記載のデジタル情報符号化装置。

【請求項 9】

上記算術演算手段からの A データを受け、上記被符号化画素に対してリノーマライズ処理を要しないと、受けた上記算術演算手段からの A データを上記被符号化画素の直前の被符号化画素として与え、上記被符号化画素に対して 1 回のリノーマライズ処理を要すると、受けた上記算術演算手段からの A データを 1 ビットシフトアップした値を上記被符号化画素の直前の被符号化画素として与える A データ出力手段と、

30

上記算術演算手段からの C データを受け、上記被符号化画素に対してリノーマライズ処理を要しないと、受けた上記算術演算手段からの C データを上記被符号化画素の直前の被符号化画素として与え、上記被符号化画素に対して 1 回のリノーマライズ処理を要すると、受けた上記算術演算手段からの C データを 1 ビットシフトアップした値を上記被符号化画素の直前の被符号化画素として与えるとともに、送信するための符号化データとして出力する C データ出力手段とをさらに備えた請求項 1 ないし請求項 6 のいずれかに記載のデジタル情報符号化装置。

40

【請求項 10】

復号化された画像データを受け、この画像データからテンプレートモデルに従って参照画素を抽出し、被復号化画素に対するコンテキストを生成するためのコンテキスト生成手段、

このコンテキスト生成手段からの被復号化画素に対するコンテキストを一時記憶するコンテキスト記憶手段、

システムクロックの 1 クロック内で記憶内容の読み出しと記憶内容の書き込みとを行える RAM にて構成され、予測シンボル及び確率推定データの一部である不一致確率を示す L

50

S Zデータからなる複数ビットの記憶用データを複数記憶し、上記コンテキスト生成手段からのコンテキストに基づいて上記複数記憶された記憶用データのうちから所定の記憶用データが出力されるとともに、上記被復号化画素に対してリノーマライズ処理を要すると上記コンテキスト記憶手段に一時記憶されたコンテキストに基づいて上記複数記憶された記憶用データのうちから所定の記憶用データを予測シンボル及び確率推定データの一部である不一致確率を示すL S Zデータからなる複数ビットの書換データに書き換えられるコンテキストテーブル記憶手段、

上記コンテキストテーブル記憶手段からの記憶用データと、上記被復号化画素の直前の画素に対する有効領域の幅Aを示すAデータと、上記被復号化画素の直前の画素に対する符号語Cを示すCデータとを受け、所定の演算処理を行い、上記被復号化画素に対する有効領域の幅Aを示すAデータと被復号化画素に対する符号語Cを示すCデータと予測変換信号とを出力するとともに、上記被復号化画素に対する復号化された画像データを出力する算術演算手段、

この算術演算手段からの予測変換信号と上記コンテキストテーブル記憶手段からの記憶用データとを受け、上記コンテキストテーブル記憶手段への上記書換データを生成する書換データ生成手段を備えたデジタル情報復号化装置。

【請求項11】

上記コンテキストテーブル記憶手段は、上記コンテキスト生成手段からのコンテキストを受け、リード用アドレス入力ノードと、上記複数ビットの記憶用データを複数記憶する読み出し/書き込み可能なコンテキストテーブル記憶部と、上記リード用アドレス入力ノードに受けたコンテキストに基づいたアドレスの上記コンテキストテーブル記憶部に記憶された記憶用データが出力されるデータ出力ノードと、上記コンテキスト記憶手段に一時記憶されたコンテキストを受け、ライト用アドレス入力ノードと、このライト用アドレス入力ノードに受けたコンテキストに基づいたアドレスの上記コンテキストテーブル記憶部に対する上記複数ビットの書換データが入力されるデータ入力ノードとを有することを特徴とする請求項10記載のデジタル情報復号化装置。

【請求項12】

上記書換データ生成手段は、上記コンテキストテーブル記憶手段からの記憶用データのL S Zデータと上記算術演算手段からの予測変換信号とを受けて、上記コンテキストテーブル記憶手段への上記書換データにおける不一致確率を示すL S Zデータと、上記コンテキストテーブル記憶手段からの記憶用データの予測シンボルを反転するか否かを指示するS W I T C Hデータを出力するL S Z更新手段と、このL S Z更新手段からのS W I T C Hデータと上記コンテキストテーブル記憶手段からの記憶用データの予測シンボルとを受け、受けたS W I T C Hデータが"0"であると受けた予測シンボルの値を、受けたS W I T C Hデータが"1"であると受けた予測シンボルの値を反転した値を上記コンテキストテーブル記憶手段への書換データにおける予測シンボルとして出力するM P S更新手段とを有することを特徴とする請求項10又は請求項11記載のデジタル情報復号化装置。

【請求項13】

上記L S Z更新手段は、入力と出力との関係が確率評価表(Probability estimation table)に基づいて作成された真理値表に示す関係になるように論理回路によって構成されていることを特徴とする請求項12記載のデジタル情報復号化装置。

【請求項14】

上記書換データ生成手段は、上記コンテキストテーブル記憶手段からの記憶データを一時記憶するとともに、一時記憶された記憶データのL S Zデータを上記L S Z更新手段に出力するとともに一時記憶された記憶データの予測シンボルを上記M P S更新手段に出力する記憶用データ記憶手段をさらに有することを特徴とする請求項12又は請求項13記載のデジタル情報復号化装置。

【請求項15】

上記算術演算手段は、下記(5)式の演算を行い、下記(5)式を満足しているか否かを示す予測変換信号を出力するとともに、下記(5)式を満足していると、下記(6)式及

10

20

30

40

50

び(7)式による演算処理を行い、上記被復号化画素のAデータ及びCデータを出力し、下記(5)式を満足していないと、下記(8)式及び(9)式による演算処理を行い、上記被復号化画素のAデータ及びCデータを出力するとともに、かつ、下記(5)式を満足していると上記コンテキストテーブル記憶手段からの記憶用データの予測シンボルの値と同じ値を上記被復号化画素に対する復号化された画像データとして出力するとともに下記(5)式を満足しないと上記コンテキストテーブル記憶手段からの記憶用データの予測シンボルの値を反転させて上記被復号化画素に対する復号化された画像データとして出力することを特徴とする請求項10ないし請求項14のいずれかに記載のデジタル情報復号化装置。

$$C(k) < A(k-1) - LSZ(k) \quad \dots\dots (5)$$

$$A(k) = A(k-1) - LSZ(k) \quad \dots\dots (6)$$

$$C(k) = C(k-1) \quad \dots\dots (7)$$

$$A(k) = LSZ(k) \quad \dots\dots (8)$$

$$C(k) = C(k-1) - \{A(k-1) - LSZ(k)\} \quad \dots\dots (9)$$

[但し、A(k)は上記被復号化画素(k番目の被復号化画素)のAデータ、A(k-1)は上記被復号化画素の直前の被復号化画素{(k-1)番目の被復号化画素}のAデータ、C(k)は上記被復号化画素(k番目の被復号化画素)のCデータ、C(k-1)は上記被復号化画素の直前の被復号化画素{(k-1)番目の被復号化画素}のCデータ、LSZ(k)は上記被復号化画素(k番目の被復号化画素)に対する上記コンテキストテーブル記憶手段からの記憶用データの不一致確率を示すLSZデータ、kは1、2、3、……である。]

#### 【請求項16】

上記算術演算手段からのAデータをラッチするとともに、ラッチしている内容をAデータとして出力し、正規化処理を行うためのリノーマライズ信号及び後1回の正規化処理で正規化処理が終了することを意味する1回リノーマライズ信号を出力するAレジスタと、このAレジスタからのAデータ及び上記1回リノーマライズ信号に基づいたシフトアップ選択信号を受け、シフトアップ選択信号がシフトアップを意味すると、上記AレジスタからのAデータを1ビット分シフトアップしたデータを、それ以外の時は上記AレジスタからのAデータをそのまま上記算術演算手段に上記被復号化画素の直前の画素に対するAデータとして与えるAセクタと、

上記算術演算手段からのCデータを受けるとともに、受信する符号化データが入力手段を介して入力され、受けた上記Cデータ及び符号化データに基づいてラッチしている内容をCデータとして出力するCレジスタと、

このCレジスタからのCデータ及び上記シフトアップ選択信号を受け、シフトアップ選択信号がシフトアップを意味すると、上記CレジスタからのCデータを1ビット分シフトアップしたデータを、それ以外の時は上記CレジスタからのCデータをそのまま上記算術演算手段に上記被復号化画素の直前の画素に対するCデータとして与えるCセクタとをさらに備えた請求項10ないし請求項15のいずれかに記載のデジタル情報復号化装置。

#### 【請求項17】

上記Aレジスタは、入力されるリノーマライズクロック信号に同期してラッチしたデータを1ビットシフトアップしてラッチし直すものであり、

上記Cレジスタは、入力されるリノーマライズクロック信号に同期してラッチしたデータを1ビットシフトアップしてラッチし直すものであることを特徴とする請求項16記載のデジタル情報復号化装置。

#### 【請求項18】

上記算術演算手段からのAデータを受け、上記復号化画素に対してリノーマライズ処理を要しないと、受けた上記算術演算手段からのAデータを上記被復号化画素の直前の被復号化画素として与え、上記被復号化画素に対して1回のリノーマライズ処理を要すると、受けた上記算術演算手段からのAデータを1ビットシフトアップした値を上記被復号化画素の直前の被復号化画素として与えるAデータ出力手段と、

上記算術演算手段からのCデータを受けるとともに、受信する符号化データが入力手段を

10

20

30

40

50

介して入力され、上記被復号化画素に対してリノーマライズ処理を要しないと、受けた上記算術演算手段からのCデータ及び符号化データに基づいてラッチしている内容をCデータとして上記被復号化画素の直前の被復号化画素として与え、上記被復号化画素に対して1回のリノーマライズ処理を要すると、受けた上記算術演算手段からのCデータ及び符号化データに基づいてラッチしている内容を1ビットシフトアップした値を上記被復号化画素の直前の被復号化画素として与えるCデータ出力手段とをさらに備えた請求項10ないし請求項15のいずれかに記載のデジタル情報復号化装置。

【請求項19】

入力された画像データ又は復号化された画像データのうちのいずれか一方の画像データを受け、受けた画像データからテンプレートモデルに従って参照画素を抽出し、受けた画像データが入力された画像データであると被符号化画素に対するコンテキストを、受けた画像データが復号化された画像データであると被復号化画素に対するコンテキストを生成するためのコンテキスト生成手段、

このコンテキスト生成手段からの被符号化画素に対するコンテキスト又は被復号化画素に対するコンテキストを一時記憶するコンテキスト記憶手段、

システムクロックの1クロック内で記憶内容の読み出しと記憶内容の書き込みとを行える

RAMにて構成され、予測シンボル及び確率推定データの一部である不一致確率を示すLSZデータからなる複数ビットの記憶用データを複数記憶し、上記コンテキスト生成手段からのコンテキストに基づいて上記複数記憶された記憶用データのうちから所定の記憶用データが出力されるとともに、上記被符号化画素又は被復号化画素に対してリノーマライズ処理を要すると上記コンテキスト記憶手段に一時記憶されたコンテキストに基づいて上記複数記憶された記憶用データのうちから所定の記憶用データを予測シンボル及び確率推定データの一部である不一致確率を示すLSZデータからなる複数ビットの書換データに書き換えられるコンテキストテーブル記憶手段、

上記被符号化画素に対する画像データと、上記コンテキストテーブル記憶手段からの記憶用データと、上記被符号化画素の直前の画素に対する有効領域の幅Aを示すAデータと、上記被符号化画素の直前の画素に対する符号語Cを示すCデータとを受け、所定の演算処理を行い、上記被符号化画素に対する有効領域の幅Aを示すAデータと被符号化画素に対する符号語Cを示すCデータとを出力するとともに、上記被符号化画素に対する画像データと上記記憶用データの予測シンボルとの一致又は不一致を示す予測変換信号を出力する符号化用算術演算手段、  
上記コンテキストテーブル記憶手段からの記憶用データと、上記被復号化画素の直前の画素に対する有効領域の幅Aを示すAデータと、上記被復号化画素の直前の画素に対する符号語Cを示すCデータとを受け、所定の演算処理を行い、上記被復号化画素に対する有効領域の幅Aを示すAデータと被復号化画素に対する符号語Cを示すCデータと予測変換信号とを出力するとともに、上記被復号化画素に対する復号化された画像データを出力する復号化用算術演算手段、

上記符号化用算術演算手段または上記復号化用算術演算手段のうちのいずれか一方の算術演算手段からの予測変換信号と上記コンテキストテーブル記憶手段からの記憶用データとを受け、上記コンテキストテーブル記憶手段への上記書換データを生成する書換データ生成手段を備えたデジタル情報符号化・復号化装置。

【請求項20】

上記コンテキストテーブル記憶手段は、上記コンテキスト生成手段からのコンテキストを受けるリード用アドレス入力ノードと、上記複数ビットの記憶用データを複数記憶する読み出し/書き込み可能なコンテキストテーブル記憶部と、上記リード用アドレス入力ノードに受けたコンテキストに基づいたアドレスの上記コンテキストテーブル記憶部に記憶された記憶用データが出力されるデータ出力ノードと、上記コンテキスト記憶手段に一時記憶されたコンテキストを受けるライト用アドレス入力ノードと、このライト用アドレス入力ノードに受けたコンテキストに基づいたアドレスの上記コンテキストテーブル記憶部に対する上記複数ビットの書換データが入力されるデータ入力ノードとを有することを特徴とする請求項19記載のデジタル情報符号化・復号化装置。

## 【請求項 2 1】

上記書換データ生成手段は、上記コンテキストテーブル記憶手段からの記憶用データの L S Z データと上記被符号化算術演算手段又は被復号化算術演算手段のいずれか一方の算術演算手段からの予測変換信号とを受けて、上記コンテキストテーブル記憶手段への上記書換データにおける不一致確率を示す L S Z データと、上記コンテキストテーブル記憶手段からの記憶用データの予測シンボルを反転するか否かを指示する S W I T C H データを出力する L S Z 更新手段と、この L S Z 更新手段からの S W I T C H データと上記コンテキストテーブル記憶手段からの記憶用データの予測シンボルとを受け、受けた S W I T C H データが " 0 " であると受けた予測シンボルの値を、受けた S W I T C H データが " 1 " であると受けた予測シンボルの値を反転した値を上記コンテキストテーブル記憶手段への書換データにおける予測シンボルとして出力する M P S 更新手段とを有することを特徴とする請求項 1 9 又は請求項 2 0 記載のデジタル情報符号化・復号化装置。

10

## 【請求項 2 2】

上記 L S Z 更新手段は、入力と出力との関係が確率評価表 (Probability estimation table) に基づいて作成された真理値表に示す関係になるように論理回路によって構成されていることを特徴とする請求項 2 1 記載のデジタル情報符号化・復号化装置。

## 【請求項 2 3】

上記書換データ生成手段は、上記コンテキストテーブル記憶手段からの記憶データを一時記憶するとともに、一時記憶された記憶データの L S Z データを上記 L S Z 更新手段に出力するとともに一時記憶された記憶データの予測シンボルを上記 M P S 更新手段に出力する記憶用データ記憶手段をさらに有することを特徴とする請求項 2 1 又は請求項 2 2 記載のデジタル情報符号化・復号化装置。

20

## 【請求項 2 4】

上記符号化用算術演算手段は、上記被符号化画素に対する画像データと上記コンテキストテーブル記憶手段からの記憶用データの予測シンボルとが一致を意味すると、下記 ( 1 ) 式及び ( 2 ) 式による演算処理を行い、上記被符号化画素の A データ及び C データを出力し、上記被符号化画素に対する画像データと上記コンテキストテーブル記憶手段からの記憶用データにおける予測シンボルとが不一致を意味すると、下記 ( 3 ) 式及び ( 4 ) 式による演算処理を行い、上記被符号化画素の A データ及び C データを出力し、

上記復号化用算術演算手段は、下記 ( 5 ) 式の演算を行い、下記 ( 5 ) 式を満足しているか否かを示す予測変換信号を出力するとともに、下記 ( 5 ) 式を満足していると、下記 ( 6 ) 式及び ( 7 ) 式による演算処理を行い、上記被復号化画素の A データ及び C データを出力し、下記 ( 5 ) 式を満足していないと、下記 ( 8 ) 式及び ( 9 ) 式による演算処理を行い、上記被復号化画素の A データ及び C データを出力するとともに、かつ、下記 ( 5 ) 式を満足していると上記コンテキストテーブル記憶手段からの記憶用データの予測シンボルの値と同じ値を上記被復号化画素に対する復号化された画像データとして出力するとともに下記 ( 5 ) 式を満足しないと上記コンテキストテーブル記憶手段からの記憶用データの予測シンボルの値を反転させて上記被復号化画素に対する復号化された画像データとして出力することを特徴とする請求項 1 9 ないし請求項 2 3 のいずれかに記載のデジタル情報符号化・復号化装置。

30

40

$$A(k) = A(k-1) - L S Z(k) \quad \dots\dots (1)$$

$$C(k) = C(k-1) \quad \dots\dots (2)$$

$$A(k) = L S Z(k) \quad \dots\dots (3)$$

$$C(k) = C(k-1) + \{ A(k-1) - L S Z(k) \} \quad \dots\dots (4)$$

$$C(k) < A(k-1) - L S Z(k) \quad \dots\dots (5)$$

$$A(k) = A(k-1) - L S Z(k) \quad \dots\dots (6)$$

$$C(k) = C(k-1) \quad \dots\dots (7)$$

$$A(k) = L S Z(k) \quad \dots\dots (8)$$

$$C(k) = C(k-1) - \{ A(k-1) - L S Z(k) \} \quad \dots\dots (9)$$

[但し、A(k)は上記被符号化画素又は被復号化画素(k番目の被符号化画素又は被復号

50

化画素)のAデータ、 $A(k-1)$ は上記被符号化画素又は被復号化画素の直前の被符号化画素又は被復号化画素{(k-1)番目の被符号化画素又は被復号化画素}のAデータ、 $C(k)$ は上記被符号化画素又は被復号化画素(k番目の被符号化画素又は被復号化画素)のCデータ、 $C(k-1)$ は上記被符号化画素又は被復号化画素の直前の被符号化画素又は被復号化画素{(k-1)番目の被符号化画素又は被復号化画素}のCデータ、 $LSZ(k)$ は上記被符号化画素又は被復号化画素(k番目の被符号化画素又は被復号化画素)に対する上記コンテキストテーブル記憶手段からの記憶用データの不一致確率を示すLSZデータ、kは1、2、3、...である。]

【請求項25】

上記符号化用算術演算手段からのAデータをラッチするとともに、ラッチしている内容をAデータとして出力し、正規化処理を行うためのリノーマライズ信号及び後1回の正規化処理で正規化処理が終了することを意味する1回リノーマライズ信号を出力する符号化用Aレジスタと、

この符号化用AレジスタからのAデータ及び上記1回リノーマライズ信号に基づいたシフトアップ選択信号を受け、シフトアップ選択信号がシフトアップを意味すると、上記符号化用AレジスタからのAデータを1ビット分シフトアップしたデータを、それ以外の時は上記符号化用AレジスタからのAデータをそのまま上記符号化算術演算手段に上記被符号化画素の直前の被符号化画素に対するAデータとして与える符号化用Aセクタと、

上記符号化用算術演算手段からのCデータをラッチするとともに、ラッチしている内容をCデータとして出力する符号化用Cレジスタと、

この符号化用CレジスタからのCデータ及び上記シフトアップ選択信号を受け、シフトアップ選択信号がシフトアップを意味すると、上記符号化用CレジスタからのCデータを1ビット分シフトアップしたデータを、それ以外の時は上記符号化用CレジスタからのCデータをそのまま上記符号化用算術演算手段に上記被符号化画素の直前の被符号化画素に対するCデータとして与えるとともに、送信するための符号化データとして出力する符号化用Cセクタと、

上記復号化用算術演算手段からのAデータをラッチするとともに、ラッチしている内容をAデータとして出力し、正規化処理を行うためのリノーマライズ信号及び後1回の正規化処理で正規化処理が終了することを意味する1回リノーマライズ信号を出力する復号化用Aレジスタと、

この復号化用AレジスタからのAデータ及び上記1回リノーマライズ信号に基づいたシフトアップ選択信号を受け、シフトアップ選択信号がシフトアップを意味すると、上記復号化用AレジスタからのAデータを1ビット分シフトアップしたデータを、それ以外の時は上記復号化用AレジスタからのAデータをそのまま上記復号化用算術演算手段に上記被復号化画素の直前の被復号化画素に対するAデータとして与える復号化用Aセクタと、

上記復号化用算術演算手段からのCデータを受けるとともに、受信する符号化データが入力手段を介して入力され、受けた上記復号化用算術演算手段からのCデータ及び符号化データに基づいてラッチしている内容をCデータとして出力する復号化用Cレジスタと、

この復号化用CレジスタからのCデータ及び上記シフトアップ選択信号を受け、シフトアップ選択信号がシフトアップを意味すると、上記復号化用CレジスタからのCデータを1ビット分シフトアップしたデータを、それ以外の時は上記復号化用CレジスタからのCデータをそのまま上記復号化用算術演算手段に上記被復号化画素の直前の被復号化画素に対するCデータとして与える復号化用Cセクタとをさらに備えた請求項19ないし請求項24のいずれかに記載のデジタル情報符号化・復号化装置。

【請求項26】

上記符号化用Aレジスタは、入力されるリノーマライズクロック信号に同期してラッチしたデータを1ビットシフトアップしてラッチし直すものであり、

上記符号化用Cレジスタは、入力されるリノーマライズクロック信号に同期してラッチしたデータを1ビットシフトアップしてラッチし直すものであり、

上記復号化用Aレジスタは、入力されるリノーマライズクロック信号に同期してラッチし

10

20

30

40

50

たデータを1ビットシフトアップしてラッチし直すものであり、上記復号化用Cレジスタは、入力されるリノーマライズクロック信号に同期してラッチしたデータを1ビットシフトアップしてラッチし直すものであることを特徴とする請求項25記載のデジタル情報符号化・復号化装置。

【請求項27】

上記符号化用算術演算手段からのAデータを受け、上記被符号化画素に対してリノーマライズ処理を要しないと、受けた上記符号化用算術演算手段からのAデータを上記被符号化画素の直前の被符号化画素として与え、上記被符号化画素に対して1回のリノーマライズ処理を要すると、受けた上記符号化用算術演算手段からのAデータを1ビットシフトアップした値を上記被符号化画素の直前の被符号化画素として与える符号化用Aデータ出力手段と、

10

上記符号用算術演算手段からのCデータを受け、上記被符号化画素に対してリノーマライズ処理を要しないと、受けた上記符号化用算術演算手段からのCデータを上記被符号化画素の直前の被符号化画素として与え、上記被符号化画素に対して1回のリノーマライズ処理を要すると、受けた上記符号化用算術演算手段からのCデータを1ビットシフトアップした値を上記被符号化画素の直前の被符号化画素として与えるとともに、送信するための符号化データとして出力する符号化用Cデータ出力手段と、

上記復号化用算術演算手段からのAデータを受け、上記復号化画素に対してリノーマライズ処理を要しないと、受けた上記復号化用算術演算手段からのAデータを上記被復号化画素の直前の被復号化画素として与え、上記被復号化画素に対して1回のリノーマライズ処理を要すると、受けた上記復号化用算術演算手段からのAデータを1ビットシフトアップした値を上記被復号化画素の直前の被復号化画素として与える復号化用Aデータ出力手段と、

20

上記復号化用算術演算手段からのCデータを受けるとともに、受信する符号化データが入力手段を介して入力され、上記被復号化画素に対してリノーマライズ処理を要しないと、受けた上記復号化用算術演算手段からのCデータ及び符号化データに基づいてラッチしている内容をCデータとして上記被復号化画素の直前の被復号化画素として与え、上記被復号化画素に対して1回のリノーマライズ処理を要すると、受けた上記復号化用算術演算手段からのCデータ及び符号化データに基づいてラッチしている内容を1ビットシフトアップした値を上記被復号化画素の直前の被復号化画素として与える復号化用Cデータ出力手段とをさらに備えた請求項19ないし請求項24のいずれかに記載のデジタル情報符号化・復号化装置。

30

【請求項28】

1回のリノーマライズ処理を要する被符号化画素に対する符号化処理を行う時、システムクロック信号における1クロックの期間に、上記被符号化画素に対するコンテキストを生成し、この生成されたコンテキストに基づいた予測シンボル及び確率推定データの一部である不一致確率を示すLSZデータからなる記憶用データを読み出し、上記被符号化画素に対する画像データと、上記読み出された記憶用データと、上記被符号化画素の直前の被符号化画素に対する有効領域の幅Aを示すAデータと、上記被符号化画素の直前の被符号化画素に対する符号語Cを示すCデータとに基づき、上記被符号化画素に対する有効領域の幅Aを示すAデータと上記被符号化画素に対する符号語Cを示すCデータとを得るとともに、上記被符号化画素に対する画像データと上記読み出された記憶用データの予測シンボルとの一致又は不一致を示す予測変換信号を得、

40

上記システムクロック信号における次の1クロックの期間に、上記読み出された記憶用データと上記得られた予測変換信号とに基づき、予測シンボル及び確率推定データの一部である不一致確率を示すLSZデータからなる書換データを得るとともに、上記被符号化画素に対するコンテキストに基づいた記憶用データを上記書換データにて書き換え、かつ、上記被符号化画素の次の被符号化画素に対するコンテキストを生成し、この生成されたコンテキストに基づいた記憶用データを読み出し、上記被符号化画素の次の被符号化画素に対する画像データと、上記読み出された記憶用データと、上記被符号化画素に対する有効

50

領域の幅 A を示す A データと、上記被符号化画素の次の被符号化画素に対する符号語 C を示す C データとに基づき、上記被符号化画素の次の被符号化画素に対する有効領域の幅 A を示す A データと上記被符号化画素の次の被符号化画素に対する符号語 C を示す C データとを得ることを特徴とするデジタル情報符号化方法。

【請求項 29】

1 回のリノーマライズ処理を要する被符号化画素に対する符号化処理を行う時、システムクロック信号における 1 クロックの期間に、

上記被符号化画素に対するコンテキストを生成するステップと、

予測シンボル及び確率推定データの一部である不一致確率を示す L S Z データからなる記憶用データを上記ステップにて生成されたコンテキストに基づいて読み出すステップと、

上記被符号化画素に対する画像データと上記ステップにて読み出された記憶用データの予測シンボルとの一致又は不一致を示す予測変換信号を得るステップと、

上記被符号化画素に対する画像データと上記読み出された記憶用データにおける予測シンボルとが一致を意味すると、下記 (1) 式及び (2) 式により上記被符号化画素の A データ及び C データを得、上記被符号化画素に対する画像データと上記読み出された記憶用データにおける予測シンボルとが不一致を意味すると、下記 (3) 式及び (4) 式により上記被符号化画素の A データ及び C データを得るステップとを行い、

上記システムクロック信号における次の 1 クロックの期間に、

上記ステップにて得られた予測変換信号と、上記ステップにて読み出された記憶用データとに基づき、予測シンボル及び確率推定データの一部である不一致確率を示す L S Z データからなる書換データを得るステップと、

上記被符号化画素に対するコンテキストに基づいた記憶用データを上記ステップにて得られた書換データにて書き換えるステップと、

上記被符号化画素の次の被符号化画素に対するコンテキストを生成するステップと、

この生成されたコンテキストに基づいて、予測シンボル及び確率推定データの一部である不一致確率を示す L S Z データからなる記憶用データを読み出すステップと、

上記被符号化画素の次の被符号化画素に対する画像データと上記ステップにて読み出された上記被符号化画素の次の被符号化画素に対する記憶用データにおける予測シンボルとが一致を意味すると、下記 (1) 式及び (2) 式により上記被符号化画素の次の被符号化画素の A データ及び C データを得、上記被符号化画素の次の被符号化画素に対する画像データと上記ステップにて読み出された上記被符号化画素の次の被符号化画素に対する記憶用データにおける予測シンボルとが不一致を意味すると、下記 (3) 式及び (4) 式により上記被符号化画素の次の被符号化画素の A データ及び C データを得るステップとを行うことを特徴とするデジタル情報符号化方法。

$$A(k) = A(k-1) - L S Z(k) \quad \dots\dots (1)$$

$$C(k) = C(k-1) \quad \dots\dots (2)$$

$$A(k) = L S Z(k) \quad \dots\dots (3)$$

$$C(k) = C(k-1) + \{ A(k-1) - L S Z(k) \} \quad \dots\dots (4)$$

[但し、A(k)は上記被符号化画素(k番目の被符号化画素)のAデータ、A(k-1)は上記被符号化画素の直前の被符号化画素{(k-1)番目の被符号化画素}のAデータ、C(k)は上記被符号化画素(k番目の被符号化画素)のCデータ、C(k-1)は上記被符号化画素の直前の被符号化画素{(k-1)番目の被符号化画素}のCデータ、L S Z(k)は上記被符号化画素(k番目の被符号化画素)に対する確率推定データの一部である不一致確率を示すL S Zデータ、kは1、2、3、……である。]

【請求項 30】

1 回のリノーマライズ処理を要する被復号化画素に対する復号化処理を行う時、システムクロック信号における 1 クロックの期間に、上記被復号化画素に対するコンテキストを生成し、この生成されたコンテキストに基づいた予測シンボル及び確率推定データの一部である不一致確率を示す L S Z データからなる記憶用データを読み出し、この読み出された記憶用データと、上記被復号化画素の直前の被復号化画素に対する有効領域の幅 A を示す

10

20

30

40

50

Aデータと、上記被復号化画素の直前の被復号化画素に対する符号語Cを示すCデータとに基づき、上記被復号化画素に対する有効領域の幅Aを示すAデータと上記被復号化画素に対する符号語Cを示すCデータと予測変換信号とを得るとともに、上記被復号化画素に対する画像データを得、

上記システムクロック信号における次の1クロックの期間に、上記読み出された記憶用データと上記得られた予測変換信号とに基づき、予測シンボル及び確率推定データの一部である不一致確率を示すLSZデータからなる書換データを得るとともに、上記被復号化画素に対するコンテキストに基づいた記憶用データを上記書換データにて書き換え、かつ、上記被復号化画素の次の被復号化画素に対するコンテキストを生成し、この生成されたコンテキストに基づいた記憶用データを読み出し、この読み出された記憶用データと、上記被復号化画素に対する有効領域の幅Aを示すAデータと上記被復号化画素の次の被復号化画素に対する符号語Cを示すCデータとに基づき、上記被復号化画素の次の被復号化画素に対する有効領域の幅Aを示すAデータと上記被復号化画素の次の被復号化画素に対する符号語Cを示すCデータとを得ることを特徴とするデジタル情報復号化方法。

10

【請求項31】

1回のリノーマライズ処理を要する被復号化画素に対する復号化処理を行う時、システムクロック信号における1クロックの期間に、

上記被復号化画素に対するコンテキストを生成するステップと、  
予測シンボル及び確率推定データの一部である不一致確率を示すLSZデータからなる記憶用データを上記ステップにて生成されたコンテキストに基づいて読み出すステップと、

20

下記(5)式を満足しているか否かを示す予測変換信号を得るステップと、  
下記(5)式を満足していると、下記(6)式及び(7)式により上記被復号化画素のAデータ及びCデータを得、下記(5)式を満足していないと、下記(8)式及び(9)式により上記被復号化画素のAデータ及びCデータを得るステップと、

下記(5)式を満足していると上記ステップにて読み出された記憶用データの予測シンボルの値と同じ値を上記被復号化画素に対する復号化された画像データとして得、下記(5)式を満足していないと上記ステップにて読み出された記憶用データの予測シンボルの値を反転させて上記被復号化画素に対する復号化された画像データとして得るステップとを行い、

30

上記システムクロック信号における次の1クロックの期間に、  
上記ステップにて得られた予測変換信号と、上記ステップにて読み出された記憶用データとに基づき、予測シンボル及び確率推定データの一部である不一致確率を示すLSZデータからなる書換データを得るステップと、

上記被復号化画素に対するコンテキストに基づいた記憶用データを上記ステップにて得られた書換データにて書き換えるステップと、

上記被復号化画素の次の被復号化画素に対するコンテキストを生成するステップと、  
下記(5)式を満足すると、下記(6)式及び(7)式により上記被復号化画素の次の被復号化画素のAデータ及びCデータを得、下記(5)式を満足しないと、下記(8)式及び(9)式により上記被復号化画素の次の被復号化画素のAデータ及びCデータを得るステップを得るステップとを行うことを特徴とするデジタル情報復号化方法。

40

$C(k - 1) < A(k - 1) - LSZ(k)$  ..... (5)

$A(k) = A(k - 1) - LSZ(k)$  ..... (6)

$C(k) = C(k - 1)$  ..... (7)

$A(k) = LSZ(k)$  ..... (8)

$C(k) = C(k - 1) - \{ A(k - 1) - LSZ(k) \}$  ..... (9)

[但し、A(k)は上記被復号化画素(k番目の被復号化画素)のAデータ、A(k-1)は上記被復号化画素の直前の被復号化画素{(k-1)番目の被復号化画素}のAデータ、C(k)は上記被復号化画素(k番目の被復号化画素)のCデータ、C(k-1)は上記被復号化画素の直前の被復号化画素{(k-1)番目の被復号化画素}のCデータ、LSZ(k)は上記被復号化画素(k番目の被復号化画素)に対する確率推定データの一部である不一致

50

確率を示す L S Z データ、k は 1、2、3、..... である。]

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、例えばファクシミリに適用した場合の半導体集積回路化されたデジタル情報符号化装置（いわゆる、Q M - C o d e r に基づいた符号化装置）、デジタル情報復号化装置、デジタル情報符号化・復号化装置、デジタル情報符号化方法、及びデジタル情報復号化方法に関するものである。

【0002】

【従来の技術】

図面や文書などの 2 値画像を遠隔地に伝送できるファクシミリは、年々高速化が要望されており、符号化によりデータ量を削減して伝送時間の削減を図ってきている。

【0003】

すなわち、ファクシミリの場合、画像情報などに基づくデジタル情報を圧縮、つまり符号化して符号化データとして情報を伝送する方式として、1 次元的な画素の相関を利用した M H (Modified Huffman) 符号化方式と、2 次元的な画素の相関を利用して圧縮効率を高めた M R (Modified READ) 符号化方式が国際標準化され、さらに M R 符号の冗長性を取り除いて圧縮効率を高めた M M R (Modified Modified READ) 符号化方式が標準化されている。

【0004】

なお、中間調画像については、現在のところ中間調を正確に再現できる記録装置が得難いことから、ディザ法と呼ばれる疑似的な中間調表示を前処理として施した後、上記した符号化を行う形で装置化がなされている。

【0005】

近年、画像情報のみならずパレット情報や文字情報等の各種情報を高効率で圧縮できる特徴を有し、疑似中間調画像に対しても高効率の圧縮率を達成できる利点を有している、2 値画像符号化の国際標準化グループ J B I G と、カラー静止画像符号化の標準化グループ J P E G で標準化された情報保存型の高効率符号化方式である Q M - C o d e r が脚光を浴びつつある。

【0006】

【発明が解決しようとする課題】

このような Q M - C o d e r に基づいたデジタル情報符号化装置においては、高速処理が行えるという特徴を有しているものの、さらなる高速化への要求も強まってきている。また、半導体集積化に適したデジタル情報符号化装置の要求も強い。

【0007】

発明者等がこの種 Q M - C o d e r に基づいたデジタル情報符号化装置について、種々検討を行ったところ、最高速度については満足される処理速度であるものの、最悪ケース、つまり圧縮率が 1 の場合の処理速度が最高速度の 1 / 2 未満になっており、最悪ケースの処理速度の向上を図ることが、全体としての処理速度の向上につながることを見いだした。

【0008】

この発明は、上記した点に鑑みてなされたものであり、全体としての処理速度が向上した、つまり高速化が図れたデジタル情報符号化装置、デジタル情報復号化装置、デジタル情報符号化・復号化装置、デジタル情報符号化方法、及びデジタル情報復号化方法を得ることを目的とするものである。

さらには、半導体集積化に適したデジタル情報符号化装置、デジタル情報復号化装置、及びデジタル情報符号化・復号化装置を得ることを目的とするものである。

【0009】

【課題を解決するための手段】

この発明の第 1 の発明に係るデジタル情報符号化装置は、Q M - C o d e r に基づいた

10

20

30

40

50

ものにおいて、コンテキストテーブル記憶手段におけるコンテキストテーブル記憶部をシステムクロックの1クロック内で記憶内容の読み出しと記憶内容の書き込みとを行えるRAMで構成し、コンテキストテーブル記憶手段における読み出し/書き込み可能なコンテキストテーブル記憶部に、予測シンボル及び確率推定データの一部である不一致確率を示すLSZデータからなる複数ビットの記憶用データを複数記憶させるものとし、これら複数記憶された記憶用データのうちの所定の記憶用データが被符号化画素に対するコンテキストに基づいて算術演算手段に選択出力され、算術演算手段にて得られる、被符号化画素に対する画像データとコンテキストテーブル記憶手段から出力された記憶用データの予測シンボルとの一致又は不一致を示す予測変換信号と、コンテキストテーブル記憶手段から出力された記憶用データとを受けて予測シンボル及び確率推定データの一部である不一致確率を示すLSZデータからなる複数ビットの書換データをコンテキストテーブル記憶手段に出力する書換データ生成手段を設けたものである。

10

## 【0010】

この発明の第2の発明に係るデジタル符号化装置は、第1の発明に加えて、コンテキストテーブル記憶手段を、コンテキスト生成手段からのコンテキストを受けるリード用アドレス入力ノードと、リード用アドレス入力ノードに受けたコンテキストに基づいたアドレスのコンテキストテーブル記憶部に記憶された記憶用データが出力され、算術演算手段に接続されるデータ出力ノードと、コンテキスト記憶手段からの一時記憶されたコンテキストを受けるライト用アドレス入力ノードと、このライト用アドレス入力ノードに受けたコンテキストに基づいたアドレスのコンテキストテーブル記憶部に対する書換データが書換データ生成手段から入力されるデータ入力ノードとを有するものとしたものである。

20

## 【0011】

この発明の第3の発明に係るデジタル符号化装置は、第1又は第2の発明に加えて、書換データ生成手段を、コンテキストテーブル記憶手段からの記憶用データのLSZデータと算術演算手段からの予測変換信号とを受けて、コンテキストテーブル記憶手段への書換データにおける不一致確率を示すLSZデータと、コンテキストテーブル記憶手段からの記憶用データの予測シンボルを反転するか否かを指示するSWITCHデータを出力するLSZ更新手段と、このLSZ更新手段からのSWITCHデータとコンテキストテーブル記憶手段からの記憶用データの予測シンボルとを受け、受けたSWITCHデータが"0"であると受けた予測シンボルの値を、受けたSWITCHデータが"1"であると受けた予測シンボルの値を反転した値をコンテキストテーブル記憶手段への書換データにおける予測シンボルとして出力するMPS更新手段とを有するものとしたものである。

30

## 【0012】

この発明の第4の発明に係るデジタル符号化装置は、第3の発明に加えて、LSZ更新手段を、入力と出力との関係が確率評価表(Probability estimation table)に基づいて作成された真理値表に示す関係になるように論理回路によって構成されているものである。

## 【0013】

この発明の第5の発明に係るデジタル符号化装置は、第3又は第4の発明に加えて、書換データ生成手段を、コンテキストテーブル記憶手段からの記憶データを一時記憶するとともに、一時記憶された記憶データのLSZデータをLSZ更新手段に出力するとともに一時記憶された記憶データの予測シンボルをMPS更新手段に出力する記憶用データ記憶手段をさらに有するものである。

40

## 【0014】

この発明の第6の発明に係るデジタル情報復号化装置は、QM-Coderに基づいたものにおいて、コンテキストテーブル記憶手段におけるコンテキストテーブル記憶部をシステムクロックの1クロック内で記憶内容の読み出しと記憶内容の書き込みとを行えるRAMで構成し、コンテキストテーブル記憶手段における読み出し/書き込み可能なコンテキストテーブル記憶部に、予測シンボル及び確率推定データの一部である不一致確率を示

50

す L S Z データからなる複数ビットの記憶用データを複数記憶させるものとし、これら複数記憶された記憶用データのうちの所定の記憶用データが被復号化画素に対するコンテキストに基づいて算術演算手段に選択出力され、算術演算手段にて得られる予測変換信号とコンテキストテーブル記憶手段から出力された記憶用データとを受けて予測シンボル及び確率推定データの一部である不一致確率を示す L S Z データからなる複数ビットの書換データをコンテキストテーブル記憶手段に出力する書換データ生成手段を設けたものである。

【 0 0 1 5 】

この発明の第 7 の発明に係るデジタル情報復号化装置は、第 6 の発明に加えて、コンテキストテーブル記憶手段を、コンテキスト生成手段からのコンテキストを受けるリード用アドレス入力ノードと、リード用アドレス入力ノードに受けたコンテキストに基づいたアドレスのコンテキストテーブル記憶部に記憶された記憶用データが出力され、算術演算手段に接続されるデータ出力ノードと、コンテキスト記憶手段からの一時記憶されたコンテキストを受けるライト用アドレス入力ノードと、このライト用アドレス入力ノードに受けたコンテキストに基づいたアドレスのコンテキストテーブル記憶部に対する書換データが書換データ生成手段から入力されるデータ入力ノードとを有するものとしたものである。

【 0 0 1 6 】

この発明の第 8 の発明に係るデジタル情報復号化装置は、第 6 又は第 7 の発明に加えて、書き換えデータ生成手段を、コンテキストテーブル記憶手段からの記憶用データの L S Z データと算術演算手段からの予測変換信号とを受けて、コンテキストテーブル記憶手段への書換データにおける不一致確率を示す L S Z データと、コンテキストテーブル記憶手段からの記憶用データの予測シンボルを反転するか否かを指示する S W I T C H データを出力する L S Z 更新手段と、この L S Z 更新手段からの S W I T C H データとコンテキストテーブル記憶手段からの記憶用データの予測シンボルとを受け、受けた S W I T C H データが " 0 " であると受けた予測シンボルの値を、受けた S W I T C H データが " 1 " であると受けた予測シンボルの値を反転した値をコンテキストテーブル記憶手段への書換データにおける予測シンボルとして出力する M P S 更新手段とを有するものとしたものである。

【 0 0 1 7 】

この発明の第 9 の発明に係るデジタル符号化装置は、第 8 の発明に加えて、L S Z 更新手段を、入力と出力との関係が確率評価表 ( Probability estimation table ) に基づいて作成された真理値表に示す関係になるように論理回路によって構成されているものである。

【 0 0 1 8 】

この発明の第 1 0 の発明に係るデジタル符号化装置は、第 8 又は第 9 の発明に加えて、書換データ生成手段を、コンテキストテーブル記憶手段からの記憶データを一時記憶するとともに、一時記憶された記憶データの L S Z データを L S Z 更新手段に出力するとともに一時記憶された記憶データの予測シンボルを M P S 更新手段に出力する記憶用データ記憶手段をさらに有するものである。

【 0 0 1 9 】

この発明の第 1 1 の発明に係るデジタル情報符号化・復号化装置は、コンテキストテーブル記憶手段におけるコンテキストテーブル記憶部をシステムクロックの 1 クロック内で記憶内容の読み出しと記憶内容の書き込みとを行える R A M で構成し、コンテキストテーブル記憶手段における読み出し / 書き込み可能なコンテキストテーブル記憶部に、予測シンボル及び確率推定データの一部である不一致確率を示す L S Z データからなる複数ビットの記憶用データを複数記憶させるものとし、これら複数記憶された記憶用データのうちの所定の記憶用データが被符号化画素又は被復号化画素に対するコンテキストに基づいて符号化用又は復号化用算術演算手段に選択出力され、符号化用又は復号化用算術演算手段にて得られる予測変換信号とコンテキストテーブル記憶手段から出力された記憶用データとを受けて予測シンボル及び確率推定データの一部である不一致確率を示す L S Z データからなる複数ビットの書換データをコンテキストテ

10

20

30

40

50

ブル記憶手段に出力する書換データ生成手段を設けたものである。

【0020】

この発明の第12の発明に係るデジタル情報符号化・復号化装置は、第11の発明に加えて、コンテキストテーブル記憶手段を、コンテキスト生成手段からのコンテキストを受けるリード用アドレス入力ノードと、リード用アドレス入力ノードに受けたコンテキストに基づいたアドレスのコンテキストテーブル記憶部に記憶された記憶用データが出力され、算術演算手段に接続されるデータ出力ノードと、コンテキスト記憶手段からの一時記憶されたコンテキストを受けるライト用アドレス入力ノードと、このライト用アドレス入力ノードに受けたコンテキストに基づいたアドレスのコンテキストテーブル記憶部に対する書換データが書換データ生成手段から入力されるデータ入力ノードとを有するものとした

10

【0021】

この発明の第13の発明に係るデジタル情報符号化・復号化装置は、第11又は第12の発明に加えて、書き換えデータ生成手段を、コンテキストテーブル記憶手段からの記憶用データのLSZデータと算術演算手段からの予測変換信号とを受けて、コンテキストテーブル記憶手段への書換データにおける不一致確率を示すLSZデータと、コンテキストテーブル記憶手段からの記憶用データの予測シンボルを反転するか否かを指示するSWITCHデータを出力するLSZ更新手段と、このLSZ更新手段からのSWITCHデータとコンテキストテーブル記憶手段からの記憶用データの予測シンボルとを受け、受けたSWITCHデータが"0"であると受けた予測シンボルの値を、受けたSWITCHデータが"1"であると受けた予測シンボルの値を反転した値をコンテキストテーブル記憶手段への書換データにおける予測シンボルとして出力するMPS更新手段とを有するものとしたものである。

20

【0022】

この発明の第14の発明に係るデジタル符号化装置は、第13の発明に加えて、LSZ更新手段を、入力と出力との関係が確率評価表(Probability estimation table)に基づいて作成された真理値表に示す関係になるように論理回路によって構成されているものである。

【0023】

この発明の第15の発明に係るデジタル符号化装置は、第13又は第14の発明に加えて、書換データ生成手段を、コンテキストテーブル記憶手段からの記憶データを一時記憶するとともに、一時記憶された記憶データのLSZデータをLSZ更新手段に出力するとともに一時記憶された記憶データの予測シンボルをMPS更新手段に出力する記憶用データ記憶手段をさらに有するものである。

30

【0024】

この発明の第16の発明に係るデジタル情報符号化方法は、1回のリノーマライズ処理を要する被符号化画素に対する符号化処理を行う時、システムクロック信号における1クロックの期間に、被符号化画素に対するコンテキストを生成し、この生成されたコンテキストに基づいた予測シンボル及び確率推定データの一部である不一致確率を示すLSZデータからなる記憶用データを読み出し、読み出された記憶用データを用いてAデータとCデータとを得るとともに、被符号化画素に対する画像データと読みだされた記憶用データの予測シンボルとの一致又は不一致を示す予測変換信号を得、次の1クロックの期間に、得られた予測変換信号と読みだされた記憶用データとにより予測シンボル及び確率推定データの一部である不一致確率を示すLSZデータからなる書換データを得、被符号化画素に対するコンテキストに基づいた記憶用データを書換データにて書き換え、かつ、被符号化画素の次の被符号化画素に対するコンテキストを生成し、この生成されたコンテキストに基づいた記憶用データを読み出し、読み出された記憶用データを用いて次の被符号化画素に対するAデータとCデータとを得る。

40

【0025】

この発明の第17の発明に係るデジタル情報復号化方法は、1回のリノーマライズ処理

50

を要する被復号化画素に対する復号化処理を行う時、システムクロック信号における1クロックの期間に、被復号化画素に対するコンテキストを生成し、この生成されたコンテキストに基づいた予測シンボル及び確率推定データの一部である不一致確率を示すLSZデータからなる記憶用データを読み出し、この読み出された記憶用データを用いてAデータ及びCデータと予測変換信号を得るとともに、被復号化画素に対する画像データを得、次の1クロックの期間に、得られた予測変換信号と読みだされた記憶用データとにより予測シンボル及び確率推定データの一部である不一致確率を示すLSZデータからなる書換データを得、被復号化画素に対するコンテキストに基づいた記憶用データを書換データにて書き換え、かつ、被復号化画素の次の被復号化画素に対するコンテキストを生成し、この生成されたコンテキストに基づいた記憶用データを読み出し、この読み出された記憶用データを用いて次の被復号化画素に対するAデータ及びCデータを得るものである。

10

【0026】

【発明の実施の形態】

実施の形態1.

図1はこの発明の実施の形態1を示すものであり、例えばファクシミリに適用した場合の半導体集積回路化されたデジタル信号符号化装置(QM-Coder)を示す。図1において、1は1ライン毎に読み取ったスキャナ等のイメージセンサ(図示せず)からの画像情報(文字情報、画情報、パレット画像情報等)をアナログ/デジタル変換回路等の画像処理回路により2値化画像処理されたデジタル信号からなる画像データを1ライン毎に複数ライン記憶する記憶手段で、複数のラインメモリによって構成されている。

20

【0027】

2は上記記憶手段1からの画像データからテンプレートモデルに従って参照画素を抽出するためのコンテキスト生成手段である。このコンテキスト生成手段2は、例えば図2の(a)に示すように2ラインテンプレートの場合、被符号化画素?に対して同じラインに位置する既に符号化された直前の4つの参照画素と被符号化画素?に対して直前のラインに位置するとともに被符号化画素?が位置する列を含む前後の列に位置する既に符号化された6つの参照画素とからなる10画素のテンプレートから抽出された10画素のビットパターンからなるコンテキストを生成して出力するものである。

【0028】

また、例えば図2の(b)に示すように3ラインテンプレートの場合、被符号化画素?に対して同じラインに位置する既に符号化された直前の2つの参照画素と被符号化画素?に対して直前のラインに位置するとともに被符号化画素?が位置する列を含む前後の列に位置する既に符号化された5つの参照画素と被符号化画素?に対して2つ前のラインに位置するとともに被符号化画素?が位置する列を含む前後の列に位置する既に符号化された3つの参照画素とからなる10画素のテンプレートから抽出された10画素のビットパターンからなるコンテキストを生成して出力するものであり、入力される画像処理クロック信号に同期して動作するものである。

30

【0029】

3は上記コンテキスト生成手段2からの被符号化画素に対するコンテキストを上記画像処理クロック信号のクロックに同期して一時記憶するとともに、一時記憶されたコンテキストを上記画像処理クロック信号の次のクロックに同期して被符号化画素に対するコンテキストとして出力するラッチ回路からなるコンテキスト記憶手段である。

40

【0030】

4は複数のリード用アドレス入力ノードARと複数のデータ出力ノードDOと複数のライト用アドレス入力ノードAWと複数のデータ入力ノードDIとライトイネーブル信号入力ノードWEと予測シンボルMPS及び確率推定データの一部である不一致確率を示すLSZデータからなる複数ビットの記憶用データを複数記憶する読み出し/書き込み可能なコンテキストテーブル記憶部とを有するコンテキストテーブル記憶手段である。

【0031】

このコンテキストテーブル記憶手段4は、リード用アドレス入力ノードARに受けた上記

50

コンテキスト生成手段 2 からのコンテキストに基づいたアドレスのコンテキストテーブル記憶部に記憶された記憶用データを読み出してデータ出力ノード D O から出力し、ライトイネーブル信号入力ノード W E に書換クロック信号を受ける、つまり、被符号化画素に対してリノーマライズ処理を要すると、データ入力ノード D I に入力される書換データを、ライト用アドレス入力ノード A W に受けた上記コンテキスト記憶手段 3 からのコンテキストに基づいたアドレスのコンテキストテーブル記憶部に書き込み（前に記憶されたデータを書換データに書き換え）、記憶するものである。

**【 0 0 3 2 】**

上記リード用アドレス入力ノード A R 及びライト用アドレス入力ノード A W の数は、例えばコンテキストが 1 0 ビットであれば 1 0 個である。

10

上記記憶用データは、予測値を意味する予測シンボル M P S と確率推定データの一部である L S Z データからなるものである。

**【 0 0 3 3 】**

上記確率推定データは I T U ( International Telecommunication Union ) の勧告 T . 8 2 で決まった確率テーブルに基づく複数ビットからなるデータであり、L S Z データ、N L P S データ、N M P S データ及び S W I T C H データを有しているものである。

**【 0 0 3 4 】**

そして、上記 L S Z データは、不一致確率を示し、そのコンテキストにおける確率推定データに対応する予測シンボルと被符号化画素に対する画像データとが不一致を意味するとき、つまり、劣勢シンボル（この実施の形態 1 では、上記コンテキストテーブル記憶手段 4 から読み出される記憶用データの予測シンボル M P S が上記記憶手段 1 からの被符号化画素に対する画像データと不一致であることを示す。以下、L P S と称す）の領域に対して与える幅の値（以下、L P S 領域幅と称す）を意味し、例えば、各確率推定インデックス（状態番号 S T ）に対して 1 6 ビットのデータからなる。

20

この実施の形態 1 においては、最上位ビットが常に 0 であることから、記憶用データとして記憶される L S Z データは最上位ビットを除いた 1 5 ビットのデータを用いている。

**【 0 0 3 5 】**

なお、上記確率推定データの N L P S データ、N M P S データ及び S W I T C H データは以下のようなものである。

上記 N L P S データは、そのコンテキストにおける確率推定データに対応する予測シンボルと被符号化画素に対する画像データとが不一致を意味するときの書換データに対する確率推定インデックス（状態番号 S T ）となるデータであり、L P S が出現したとき、そのコンテキストにおける確率推定インデックスを変更するためのデータであり、各確率推定インデックス（状態番号 S T ）に対して 7 ビットのデータからなるものである。

30

**【 0 0 3 6 】**

上記 N M P S データは、そのコンテキストにおける確率推定データに対応する予測シンボルと被符号化画素に対する画像データとが一致を意味するときの書換データに対する確率推定インデックス（状態番号 S T ）となるデータであり、優勢シンボル（予測シンボル M P S が被符号化画素に対する画像データと一致であることを示す。以下、M P S と称す）が出現し、かつ正規化（リノーマライズ）が起こったとき、そのコンテキストにおける確率推定インデックスを変更するためのデータであり、各確率推定インデックス（状態番号 S T ）に対して 7 ビットのデータからなるものである。

40

**【 0 0 3 7 】**

上記 S W I T C H データは、そのコンテキストにおける確率推定データに対する予測シンボル M P S を反転させるか否かを示すデータであり、例えば 1 ビットのデータからなる。

**【 0 0 3 8 】**

上記コンテキストテーブル記憶手段 4 に記憶される記憶用データは、この実施の形態 1 においては、初期状態において例えばすべて " 5 a 1 d " が書き込まれており、リノーマライズ処理が行われることにより、順次書き換えられ、例えば、図 3 のような記憶状態になっている。図 3 において、( a ) はある状態での各アドレスに対する記憶用データを示し、

50

(b)は(a)の状態から記憶用データを更新(アドレス000000101の記憶用データの内容を書き換えている。)した後の記憶用データを示している。また、図3において、アドレス及び記憶用データの予測シンボルMPSは2進数表示、記憶用データのLSZデータは16進数表示にて示している。

【0039】

一方、上記書換データは、上記記憶用データと同様であり、この実施の形態1においては、1ビットの予測シンボルMPSUPと、確率推定データの一部である不一致確率を示す、例えば15ビットのLSZ(LSZUP)データとからなる16ビットのデータである。

【0040】

上記データ出力ノードDO及びデータ入力ノードDIの数は、例えば記憶用データ、書換データが16ビットであれば16個である。

上記コンテキストテーブル記憶部4は、コンテキストによるアドレス数と同じ数、例えばコンテキストが10ビットであれば210個の記憶用データを記憶できるものである。

【0041】

そして、上記コンテキストテーブル記憶手段4は、例えば図4に示すように、1行(1アドレス)当たり16ビットで1024(1k)行のコンテキストテーブル記憶部を有する2ポートRAMによって構成されているものである。

【0042】

図4において、41は1024行16列に配置された1024×16個のメモリセルMCを有したメモリセルアレイ、RWL0~RWL1023は1024行に配設され、それぞれ対応した行に配設された16個のメモリセルが接続された1024本のリード用ワードライン、WWL0~WWL1023は1024行に配設され、それぞれ対応した行に配設された16個のメモリセルが接続された1024本のライト用ワードライン、RBL0~RBL15は16列に配設され、それぞれが対応した列に配設された1024個のメモリセルが接続された16本のリード用ビットライン、WBL0~WBL15は16列に配設され、それぞれが対応した列に配設された1024個のメモリセルが接続された16本のライト用ビットラインである。

【0043】

42は10個のリード用アドレスノードAR0~AR9に接続され、これらリード用アドレスノードAR0~AR9に入力されるコンテキスト生成手段2からのコンテキストに基づいて、上記1024本のリード用ワードラインRWL0~RWL1023のうちの本を活性化、つまり1本を"H"レベルにし、残りの1023本を"L"レベルにする読み出し用デコーダ、43は10個のライト用アドレスノードAW0~AW9に接続され、これらライト用アドレスノードAW0~AW9に上記コンテキスト記憶手段3を介して入力されるコンテキスト生成手段2からのコンテキストに基づいて、上記1024本のライト用ワードラインWWL0~WWL1023のうちの本を活性化、つまり1本を"H"レベルにし、残りの1023本を"L"レベルにする書き込み用デコーダである。

【0044】

44は16本のリード用ビットラインRBL0~RBL15に接続され、これらリード用ビットラインRBL0~RBL15に読み出されたメモリセルからの記憶内容を所定の処理、例えば増幅等を行った後上記データ出力ノードDO0~DO16に出力するための読み出し回路、45は16本のライト用ビットラインWBL0~WBL15に接続され、上記データ入力ノードDI0~DI15に入力される書換データを所定の処理、例えば増幅等を行った後上記ライト用ビットラインWBL0~WBL15に与えるための書き込み回路である。

【0045】

また、各メモリセルMCは図5に示す構成になっており、図5において、N1は記憶内容を記憶するための記憶ノード、N2は記憶内容を読み出すための読み出しノード、N3は書換データが入力される書き込みノードである。

10

20

30

40

50

46は上記記憶ノードN1と上記書き込みノードN3との間に接続され、上記書き込みノードN3に入力された書換データを反転して上記記憶ノードN1に与えるとともに、その内容をラッチするラッチ回路で、逆並列に接続された2つのインバータ素子によって構成されている。47は上記記憶ノードN1と上記読み出しノードN2との間に接続され、上記記憶ノードN1に記憶された記憶内容を反転して上記読み出しノードN2に与えるためのインバータ素子である。

【0046】

48は上記読み出しノードN2と対応した列に配設された読み出し用ビットラインRBLとの間に接続され、制御電極が対応した行に配設された読み出し用ワードラインRWLに接続される読み出し用トランジスタで、MOSトランジスタによって構成されている。49は上記書き込みノードN3と対応した列に配設された書き込み用ビットラインWBLとの間に接続され、制御電極が対応した行に配設された書き込み用ワードラインWWLに接続される書き込み用トランジスタで、MOSトランジスタによって構成されている。

10

【0047】

なお、この図4に示した2ポートRAMのメモリセルアレイ41は、説明をしやすくするために1024行16列にメモリセルMCを配設したものについて説明したが、これに限られるものではなく、例えば、1024/n行と16×n列(nは整数)に配設したものでよく、この場合は、1024/n本のリード用ワードライン及びライト用ワードラインと16×n本のリード用ビットライン及びライト用ビットラインとが設けられるものであり、1024/n本のリード用ワードラインのうちの1本のリード用ワードラインを活性化し16×n本のリード用ビットラインのうちの16本のリード用ビットラインを選択して16ビットのデータを読み出し回路44を介してデータ出力ノードD00~D015に出力させ、1024/n本のライト用ワードラインのうちの1本のライト用ワードラインを活性化し16×n本のライト用ビットラインのうちの16本のライト用ビットラインを選択して16個のメモリセルを選択し、これら選択された16個のメモリセルにデータ入力ノードDI0~DI15から入力される書換データを書き込み回路45を介して与えればよいものである。

20

【0048】

再び、図1に戻って、6は上記コンテキスト生成手段2からのコンテキストと上記コンテキスト記憶手段3からのコンテキストを比較し、同じであれば、例えば"1"を、異なっていれば"0"を意味する同一コンテキスト信号を出力するコンテキスト比較手段である。

30

【0049】

7は上記記憶手段1からの被符号化画素に対する画像データと、上記コンテキストテーブル記憶手段4からの記憶用データと、被符号化画素の直前の画素に対する有効領域の幅Aを示すAデータ(以下、直前のAデータと称す)と被符号化画素の直前の画素に対する符号語Cを示すCデータ(以下、直前のCデータと称す)とを受け、所定の演算処理を行い、被符号化画素に対する有効領域の幅Aを示すAデータ(以下、単にAデータと称す)と被符号化画素に対する符号語Cを示すCデータ(以下、単にCデータと称す)とを出力するとともに、入力された画像データが入力された記憶用データの予測シンボルMPSと一致したか否かを示す予測変換信号LPSを出力する算術演算手段で、図6に示すような構成をしている。

40

【0050】

なお、AデータとCデータとを得るための所定の演算は、次のようになされているものである。

MPS出現の場合

$$A(k) = A(k - 1) - L S Z(k) \quad \dots\dots (1)$$

$$C(k) = C(k - 1) \quad \dots\dots (2)$$

LPS出現の場合

$$A(k) = L S Z(k) \quad \dots\dots (3)$$

50

$$C(k) = C(k-1) + \{A(k-1) - LSZ(k)\} \quad \dots\dots (4)$$

## 【0051】

但し、 $A(k)$ は $k$ 番目の被符号化画素のAデータ、 $A(k-1)$ は $(k-1)$ 番目の被符号化画素のAデータ、 $C(k)$ は $k$ 番目の被符号化画素のCデータ、 $C(k-1)$ は $(k-1)$ 番目の被符号化画素のCデータ、 $LSZ(k)$ は $k$ 番目の被符号化画素に対する確率推定テーブル記憶手段5からのLSZデータ、 $k$ は1、2、3、...であり、例えば初期値 $A(0) = 1.00\dots\dots 0$ 、初期値 $C(0) = 0.00\dots\dots 0$ にされる。

## 【0052】

図6において、71は上記記憶手段1からの被符号化画素に対する画像データと上記コンテキストテーブル記憶手段4からの被符号化画素に対する記憶用データの予測シンボルMPSを受け、上記画像データと上記予測シンボルが一致した時に一致を意味する信号(上記MPSを意味する)、例えば"0"を出力するとともに、上記画像データと上記予測シンボルが一致しない時に不一致を意味する信号(上記LPSを意味する)、例えば"1"を出力する予測変換信号発生手段で、例えばイクスクルーシブオア回路等からなる比較手段によって構成されているものである。

10

## 【0053】

72は上記コンテキストテーブル記憶手段4からの被符号化画素に対する記憶用データのLSZデータと、上記直前のAデータと、上記直前のCデータと、上記予測変換信号発生手段71からの予測変換信号とを受け、上記した(1)~(4)式に示した演算処理を行い、AデータとCデータとを出力する演算手段で、上記LSZデータと上記直前のAデータと上記予測変換信号とを受けて上記した(1)又は(3)式に示した演算処理を行ってAデータを出力するAデータ生成部と、上記LSZデータと上記直前のAデータと上記直前のCデータと上記予測変換信号とを受けて上記した(2)又は(4)式に示した演算処理を行ってCデータを出力するCデータ生成部とを有している。

20

## 【0054】

再び図1に戻って、8は上記算術演算手段7からのAデータと上記画素処理クロック信号とリノーマライズクロック信号とを受け、入力される画素処理クロック信号に同期して上記算術演算手段7からのAデータを取り込みラッチするとともに、入力されるリノーマライズクロック信号に同期してラッチしたデータを1ビットシフトアップしてラッチし直し、ラッチしている内容をAデータとして出力し、しかも、正規化処理(領域の拡大)を行うためのリノーマライズ(正規化)信号及び後1回の正規化処理で正規化処理が終了することを意味する1回リノーマライズ信号を出力するAレジスタで、例えば図7に示すように構成されている。

30

## 【0055】

図7において、81は入力される画素処理クロック信号に同期して上記算術演算手段7からのAデータを取り込みラッチするとともに、入力されるリノーマライズクロック信号に同期してラッチしているデータを1ビットシフトアップしてラッチし直し、ラッチしている内容をAデータとして出力するレジスタ部で、上記Aデータが例えば16ビットであると画素処理クロック信号に同期してビットデータの書き込み(書き換え)がそれぞれ可能であり、かつ、リノーマライズクロック信号に同期して1ビットシフトアップ、つまり、最下位ビットが接地電位ノードに接続されて"0"を記憶し、それ以降のビットが前段のビットのラッチ内容に書き換えられる16のラッチ部を有するシフトレジスタからなり、初期状態において、16すべてのラッチ部の記憶内容が例えば"0"にされているものである。

40

## 【0056】

82はこのレジスタ部81から出力されるAデータの最上位ビットMSBの信号(以下、MSB信号と称す)を受け、MSB信号に基づき、有効領域の幅Aが50%未満、つまり、Aデータが10進数の0.5未満になると"正規化処理を行わせること"を意味するリノーマライズ信号を出力するリノーマライズ発生手段で、例えばMSB信号が"0"である場合に"正規化処理を行わせること"を意味する"1"を出力するインバータ回路によって構成

50

されているものである。

【 0 0 5 7 】

8 3 は上記レジスタ部 8 1 から出力される A データの最上位ビットから一つ下位の信号 (以下、MSB - 1 信号と称す) と上記リノーマライズ発生手段 8 2 からのリノーマライズ信号を受け、上記リノーマライズ発生手段 8 2 からのリノーマライズ信号が "正規化処理を行わせること" を意味し、MSB - 1 信号が例えば "1" であると 1 回リノーマライズ信号を出力する 1 回リノーマライズ発生手段で、例えば MSB 信号が "0" で、かつ MSB - 1 信号が "1" であると "後 1 回の正規化処理で正規化処理が終了すること" を意味する "1" を出力するアンド回路によって構成されているものである。

【 0 0 5 8 】

再び図 1 に戻って、9 は上記 A レジスタ 8 からの A データ及び 1 回リノーマライズ信号に基づいて生成されたシフトアップ選択信号を受け、シフトアップ選択信号がシフトアップを意味すると、上記 A レジスタ 8 からの A データを 1 ビット分シフトアップしたデータを、それ以外の時は上記 A レジスタ 8 からの A データをそのまま上記算術演算手段 7 に被符号化画素の直前の画素に対する有効領域の幅 A を示す A データ (直前の A データ) として出力する A セレクタである。

この A セレクタ 9 は、例えば図 7 に示すように、上記 A レジスタ 8 からの A データをそのまま受け一方の入力端 A と上記 A レジスタ 8 からの A データを 1 ビット上位にずらして受けるとともに最下位を接地電位ノードに接続される他方の入力端 B とを有し、シフトアップ選択信号に基づいて一方の入力端 A か他方の入力端 B かのいずれかを選択して出力端 Y に接続する選択手段 9 1 によって構成されている。

【 0 0 5 9 】

1 0 は上記算術演算手段 7 からの C データと上記画素処理クロック信号とリノーマライズクロック信号とを受け、入力される画素処理クロック信号に同期して上記算術演算手段 7 からの C データを取り込みラッチするとともに、入力されるリノーマライズクロック信号に同期してラッチしたデータを 1 ビットシフトアップしてラッチし直し、ラッチしている内容を C データとして出力する C レジスタである。

【 0 0 6 0 】

この C レジスタ 1 0 は、例えば図 8 に示すように、入力される画素処理クロック信号に同期して上記算術演算手段 7 からの C データを取り込みラッチするとともに、入力されるリノーマライズクロック信号に同期してラッチしているデータを 1 ビットシフトアップしてラッチし直し、ラッチしている内容を C データとして出力するレジスタであり、上記 C データが例えば 2 8 ビットであると画素処理クロック信号に同期してビットデータの書き込み (書き換え) がそれぞれ可能であり、かつ、リノーマライズクロック信号に同期して 1 ビットシフトアップ、つまり、最下位ビットが接地電位ノードに接続されて "0" を記憶し、それ以降のビットが前段のビットのラッチ内容に書き換えられる 2 8 のラッチ部を有するシフトレジスタ 1 0 a からなり、初期状態において、2 8 すべてのラッチ部の記憶内容が例えば "0" にされているものである。

【 0 0 6 1 】

1 1 は上記 C レジスタ 1 0 からの C データ及びシフトアップ選択信号を受け、シフトアップ選択信号がシフトアップを意味すると、上記 C レジスタ 1 0 からの C データを 1 ビット分シフトアップしたデータを、それ以外の時は上記 C レジスタ 1 0 からの C データをそのまま上記算術演算手段 7 に被符号化画素の直前の画素に対する符号語を示す C データ (直前の C データ) として出力するとともに、所定数の上位ビットを送信するための符号化データとして出力する C セレクタである。

【 0 0 6 2 】

この C セレクタ 1 1 は、例えば図 8 に示すように、上記 C レジスタ 1 0 からの C データをそのまま受け一方の入力端 A と上記 C レジスタ 1 0 からの C データを 1 ビット上位にずらして受けるとともに最下位を接地電位ノードに接続される他方の入力端 B とを有し、シフトアップ選択信号に基づいて一方の入力端 A か他方の入力端 B かのいずれかを選択して

10

20

30

40

50

出力端 Y に接続する選択手段 1 1 a によって構成されている。

【 0 0 6 3 】

1 2 は上記 C セレクタ 1 1 からの符号化データの所定数の上位ビットと符号出力クロック信号とを受け、入力される符号出力クロック信号に同期して上記 C セレクタ 1 1 からの符号化データの所定数の上位ビットを取り込み、入力される符号出力クロック信号に同期してその取り込んだ内容を送信するための符号化データとして出力する出力手段で、例えば、図 8 に示すように、C データが 2 8 ビットである場合、その C データの上位 8 ビットを符号化データとして取り込むための 8 つのラッチ部を有しているものである。

【 0 0 6 4 】

1 3 はシステムクロック信号と上記コンテキスト比較手段 6 からの同一コンテキスト信号と上記 A レジスタ 8 からのリノーマライズ信号及び 1 回リノーマライズ信号とを受け、画素処理クロック信号を上記コンテキスト生成手段 2 と上記コンテキスト記憶手段 3 と上記 A レジスタ 8 と上記 C レジスタ 1 0 に出力し、書換クロック信号をコンテキストテーブル記憶手段 4 に出力し、リノーマライズクロック信号を上記 A レジスタ 8 及び上記 C レジスタ 1 0 に出力し、シフトアップ選択信号を上記 A セレクタ 9 及び上記 C セレクタ 1 1 に出力し、符号出力クロック信号を上記出力手段 1 2 に出力する制御手段である。

【 0 0 6 5 】

上記制御手段 1 3 からの画素処理クロック信号は、被符号化画素に対するデータを処理するタイミングを示す信号であり、システムクロック信号とリノーマライズ信号と 1 回リノーマライズ信号と同一コンテキスト信号とによって上記制御手段 1 3 によって生成されるものであり、システムクロック信号に同期した信号である。具体的には、リノーマライズ信号が "正規化処理を行わせること" を意味し、1 回リノーマライズ信号が "後 1 回の正規化処理で正規化処理が終了すること" を意味していない時、及びリノーマライズ信号が "正規化処理を行わせること" を意味し、1 回リノーマライズ信号が "後 1 回の正規化処理で正規化処理が終了すること" を意味し、同一コンテキスト信号が "同一コンテキスト" であることを意味している時に一方のレベルを維持し続け、それ以外の時はシステムクロック信号と同じクロック信号となる。

【 0 0 6 6 】

例えば、図 1 1 の ( b ) に示すように、リノーマライズ信号 ( 図 1 1 の ( e ) 参照 ) が "正規化処理を行わせること" を意味する " 1 " ( この実施の形態 1 においては " H " レベルで、以下特別の場合を除いて " H " レベルが " 1 " を表すものとする ) でかつ、1 回リノーマライズ信号 ( 図 1 1 の ( f ) 参照 ) が "後 1 回の正規化処理で正規化処理が終了すること" を意味しない " 0 " ( この実施の形態 1 においては " L " レベルで、以下特別の場合を除いて " L " レベルが " 0 " を表すものとする ) であると、システムクロック信号にかかわらず例えば " H " レベルとなるとともに、リノーマライズ信号が "正規化処理を行わせること" を意味する " 1 " で、1 回リノーマライズ信号が "後 1 回の正規化処理で正規化処理が終了すること" を意味する " 1 " でかつ同一コンテキスト信号 ( 図 1 1 の ( d ) 参照 ) が "同一コンテキスト" を意味する " 1 " であるとシステムクロック信号にかかわらず例えば " H " レベルとなり、それ以外の時はシステムクロック信号となるものである。

【 0 0 6 7 】

なお、図 1 1 の ( e ) に示したリノーマライズ信号は上記 A レジスタ 8 からのリノーマライズ信号をシステムクロック信号によって同期を取られた信号にされたものを示しており、上記制御手段 1 3 によって生成してもよいものであり、例えば、システムクロックの立ち上がりによって上記 A レジスタ 8 からのリノーマライズ信号に基づいた信号とされたものである。言い換えれば、被符号化画素に対するコンテキストをコンテキスト生成手段 2 に取り込む時のシステムクロック信号のクロックの次のクロックにて被符号化画素に対するリノーマライズを行うか否かを決定するように上記 A レジスタ 8 からのリノーマライズ信号からシステムクロック信号に基づいて生成されているものである。

【 0 0 6 8 】

同様に、図 1 1 の ( f ) に示した 1 回リノーマライズ信号も、上記 A レジスタ 8 からの 1

10

20

30

40

50

回りノーマライズ信号をシステムクロック信号によって同期を取られた信号にされたものを示したものであり、上記制御手段13によって生成してもよいものであり、例えば、システムクロックの立ち上がりによって上記Aレジスタ8からの1回りノーマライズ信号に基づいた信号とされたものである。言い換えれば、被符号化画素に対するコンテキストをコンテキスト生成手段2に取り込む時のシステムクロック信号のクロックの次のクロックにて1回りノーマライズ信号を特定するように上記Aレジスタ8からの1回りノーマライズ信号からシステムクロック信号に基づいて生成されているものである。

**【0069】**

上記制御手段13からのシフトアップ選択信号は、上記Aレジスタ8からの1回りノーマライズ信号とシステムクロック信号と同一コンテキスト信号とによって上記制御手段13によって生成されるものであり、システムクロック信号に同期した信号である。具体的には、システムクロック信号によって同期を取られた図11の(f)に示した1回りノーマライズ信号が"後1回の正規化処理で正規化処理が終了すること"を意味し、同一コンテキスト信号が"同一コンテキスト"でないことを意味している時にシフトアップを意味し、それ以外の時はシフトアップを意味しない信号となる。

10

**【0070】**

例えば、図11の(i)に示すように、図11の(f)に示す1回りノーマライズ信号が"後1回の正規化処理で正規化処理が終了すること"を意味する"1"で、かつ図11の(d)に示す同一コンテキスト信号が"同一コンテキスト"を意味しない"0"であるとシフトアップを意味する"1"になり、それ以外はシフトアップを意味しない"0"になるものである。

20

**【0071】**

上記制御手段13からの書換クロック信号は、上記コンテキストテーブル記憶手段4に記憶された記憶データを書き換えるタイミングを示す信号であり、システムクロック信号と画素処理クロック信号とリノーマライズ信号とによって上記制御手段13によって生成されるものであり、システムクロック信号に同期した信号である。具体的には、画素処理クロック信号が現れた後のシステムクロック信号の次のサイクルでリノーマライズ信号が"正規化処理を行わせること"を意味するとシステムクロック信号となり、それ以外の時は一方のレベルを維持し続けるものである。

**【0072】**

例えば、図11の(g)に示すように、画素処理クロック信号が立ち上がったことを検出し、検出後のシステムクロック信号の立ち上がり時に図11の(e)に示すリノーマライズ信号が"正規化処理を行わせること"を意味する"1"であると、システムクロック信号と同じクロックとなり、それ以外はシステムクロック信号にかかわらず例えば"H"レベルとなるものである。

30

**【0073】**

上記制御手段13からのリノーマライズクロック信号は、上記Aレジスタ8のレジスタ部81及び上記Cレジスタ10の記憶内容をシフトアップさせるための信号であり、上記Aレジスタ8からのリノーマライズ信号及び1回りノーマライズ信号とシステムクロック信号と同一コンテキスト信号とによって上記制御手段13によって生成されたものであり、システムクロック信号に同期した信号である。

40

**【0074】**

具体的には、リノーマライズ信号が"正規化処理を行わせること"を意味し、1回りノーマライズ信号が"後1回の正規化処理で正規化処理が終了すること"を意味していない時及びリノーマライズ用信号が"正規化処理を行わせること"を意味し、1回りノーマライズ信号が"後1回の正規化処理で正規化処理が終了すること"を意味し、同一コンテキスト信号が"同一コンテキスト"であることを意味している時にシステムクロック信号と同じクロック信号となり(セットされ)、それ以外の時はクロック停止(一方のレベルを維持)される(リセットされる)ものであり、例えば図11の(h)に示すようになるものである。

**【0075】**

50

そして、上記画素処理クロック信号がシステムクロック信号に同期したクロックを出力するとき、一方のレベルを維持し、上記画素処理クロック信号が一方のレベルを維持しているときは、システムクロック信号に同期したクロックを出力している関係になっているものである。

【 0 0 7 6 】

上記制御手段 1 3 からの符号出力クロック信号は、出力手段 1 2 に C レジスタ 1 0 の記憶内容を C セクタ 1 1 を介して取り込み、送信するための符号化データとして出力するためのタイミングを示す信号であり、上記 A レジスタ 8 からのリノーマライズ信号とシステムクロック信号とによって上記制御手段 1 3 によって生成されたものである。具体的には、リノーマライズ信号が"正規化処理を行わせること"を意味する時にシステムクロック信号と同じクロック信号となり、それ以外の時一方のレベルを維持する C T カウントクロック信号 ( 図 1 1 の ( j ) 参照 ) に基づき、この C T カウントクロック信号のクロック数を所定数カウントした時にパルスとなるものである。

10

【 0 0 7 7 】

例えば、図 1 1 の ( k ) に示すように、リノーマライズ信号が"正規化処理を行わせること"を意味する " 1 " であるとシステムクロック信号となるカウントクロック信号 ( 例えば、図 1 1 の ( j ) 参照 ) をまず生成し、このカウントクロック信号のクロック数が例えば 8 になるとシステムクロック信号の次のサイクルにて例えば " L " レベルとなる信号となるものである。

【 0 0 7 8 】

図 1 において、1 4 は上記コンテキストテーブル記憶手段 4 からの記憶用データ ( 予測シンボル M P S 及び L S Z データ ) を上記制御手段 1 3 からの画素処理クロック信号のクロックに同期して一時記憶するとともに、一時記憶された記憶用データを上記画像処理クロック信号の次のクロックに同期して出力するラッチ回路 ( L A T C H ) からなる記憶用データ記憶手段で、上記コンテキストテーブル記憶手段 4 への書換データを書き込むタイミングを合わせるために設けられてある。

20

【 0 0 7 9 】

1 5 はこの記憶用データ記憶手段からの記憶用データの L S Z データと上記算術演算手段 7 からの予測変換信号 L P S とを受けて、上記コンテキストテーブル記憶手段 4 への書換データにおける不一致確率を示す L S Z U P データと、上記コンテキストテーブル記憶手段 4 からの記憶用データの予測シンボル M P S を反転するか否かを指示する S W I T C H データを出力する L S Z 更新論理回路 ( L S Z 更新手段 ) で、入力 ( L S Z データと予測変換信号 L P S ) と出力 ( L S Z U P データと S W I T C H 信号 ) との関係が図 9 の真理値表に示すようになるように、例えば、P チャネル M O S トランジスタと N チャネル M O S トランジスタとによって構成される論理回路 ( ゲート回路 ) によって構成されるものである。

30

【 0 0 8 0 】

なお、図 9 の真理値表は、J B I G 国際標準に規定された確率評価表 ( Probability estimation table ) に基づいて作成されたものであり、入力される L S Z データは 1 1 3 通り、予測シンボル M P S は 2 通りであるので、計 2 2 6 ( 1 1 3 × 2 ) 通りの入力と出力との関係が得られるようにされている。

40

【 0 0 8 1 】

すなわち、図 9 において、N o . の欄の 0 ~ 1 1 2 は、予測変換信号 L P S が 0 ( 予測一致を示す ) の場合における、確率推定インデックスである状態番号 S T の 0 ~ 1 1 2 に相当し、1 1 3 ~ 2 2 5 は、予測変換信号 L P S が 1 ( 予測不一致を示す ) の場合における、確率推定インデックスである状態番号 S T の 0 ~ 1 1 2 に相当し、1 0 進数にて表示している。

【 0 0 8 2 】

L P S の欄は、N o . 0 ~ 1 1 2 に対しては、予測一致を示す " 0 " である予測変換信号 L P S を示し、N o . 1 1 3 ~ 2 2 5 に対しては、予測不一致を示す " 1 " である予測変換信

50

号 L P S を示している。

L S Z の欄は、No. 0 ~ 1 1 2 に対しては、上記確率評価表における状態番号 S T 0 ~ 1 1 2 にそれぞれ対応した L S Z データ ( 1 6 進数にて表示 ) を示しており、No. 1 1 3 ~ 2 2 5 に対しても、上記確率評価表における状態番号 S T 0 ~ 1 1 2 にそれぞれ対応した L S Z データ ( 1 6 進数にて表示 ) を示しており、この実施の形態 1 では、最上位ビットを除いた 1 5 ビットのデータが用いられる。

【 0 0 8 3 】

L S Z U P の欄は、No. 0 ~ 1 1 2 に対しては、上記確率評価表において、その N O . に対応する状態番号 S T に対応する N M P S データの値を状態番号とした L S Z データの値を、その N O . における L S Z U P データとして示しており、No. 1 1 3 ~ 2 2 5 に対しては、上記確率評価表において、その N O . に対応する 0 ~ 1 1 2 の状態番号 S T に対応する N L P S データの値を状態番号とした L S Z データの値を、その N O . における L S Z U P データとして示しており、この実施の形態 1 では、最上位ビットを除いた 1 5 ビットのデータが用いられる。

10

【 0 0 8 4 】

S W I T C H の欄は、No. 0 ~ 1 1 2 に対しては、予測変換信号 L P S が予測一致を示しているから、予測シンボル M P S を反転する必要がなく、すべて " 0 " の S W I T C H データを示しており、No. 1 1 3 ~ 2 2 5 に対しては、上記確率評価表において、その N O . に対応する 0 ~ 1 1 2 の状態番号 S T に対応する S W I T C H データを示しており、この実施の形態 1 では 1 ビットのデータが用いられる。

20

【 0 0 8 5 】

図 1 において、1 6 はこの L S Z 更新論理回路 1 5 からの S W I T C H データと上記記憶用データ記憶手段 1 4 からの記憶用データにおける予測シンボル M P S とを受け、受けた S W I T C H データが " 0 " であると受けた予測シンボル M P S の値を、受けた S W I T C H データが " 1 " であると受けた予測シンボル M P S の値を反転した値を上記コンテキストテーブル記憶手段 4 への書換データにおける予測シンボル M P S U P として出力する M P S 更新論理回路 ( M P S 更新手段 ) で、例えば、イクスクルーシブオア ( O R ) 回路によって構成されるものである。

【 0 0 8 6 】

なお、これら記憶用データ記憶手段 1 4 、 L S Z 更新論理回路 1 5 及び M P S 更新論理回路 1 6 によって、上記コンテキストテーブル記憶手段 4 から読み出された記憶用データと、上記算術演算手段 7 からの予測変換信号 L P S とに基づいて 1 ビットの予測シンボル M P S ( M P S U P ) と確率推定データの一部である不一致確率を示す例えば 1 5 ビットの L S Z ( L S Z U P ) データとからなる 1 6 ビットの書き換えデータを、上記コンテキストテーブル記憶手段 4 に出力する書換データ生成手段を構成しているものである。

30

【 0 0 8 7 】

また、上記算術演算手段 7 、上記 A レジスタ 8 、上記 A セレクタ 9 、上記 C レジスタ 1 0 、上記 C セレクタ 1 1 、記憶用データ記憶手段 1 4 と L S Z 更新論理回路 1 5 と M P S 更新論理回路 1 6 とによって構成される書き換えデータ生成手段でカーネル部を構成しているものである。

40

【 0 0 8 8 】

次に、このように構成されたデジタル信号符号化装置の動作について説明する。このように構成されたデジタル信号符号化装置においては、図 1 0 に示すように動作モードが I ~ V の 5 つのモードに分けられ、以下、各モード毎に図 1 1 に示した波形図を用いて説明する。

【 0 0 8 9 】

なお、モード I は、リノーマライズが無い、つまり、被符号化画素に対する A データが 1 0 進数で 0 . 5 以上を示す正規化処理を必要としない場合のモード、モード II は、リノーマライズが有り、つまり、被符号化画素に対する A データが 1 0 進数で 0 . 5 未満を示す正規化処理を必要とし、かつ被符号化画素に対するコンテキストと被符号化画素の 1 つ後

50

の画素のコンテキストとが同一でなく、リノーマライズの回数が1回である場合のモード、モードIIIはリノーマライズが有り、かつ被符号化画素に対するコンテキストと被符号化画素の1つ後の画素のコンテキストとが同一でなく、リノーマライズの回数が1回を超える場合のモード、モードIVはリノーマライズが有り、かつ被符号化画素に対するコンテキストと被符号化画素の1つ後の画素のコンテキストとが同一で、リノーマライズの回数が1回である場合のモード、モードVはリノーマライズが有り、かつ被符号化画素に対するコンテキストと被符号化画素の1つ後の画素のコンテキストとが同一で、リノーマライズの回数が1回を超える場合のモードである。

【0090】

[モードI]

図11において、(a)に示したシステムクロック信号における期間T1及びT2それぞれがモードIにおける主要な各信号の波形の一例を示しているものである。期間T1は被符号化画素に対するコンテキストと被符号化画素の1つ後の画素のコンテキストとが同一でない場合を、期間T2は被符号化画素に対するコンテキストと被符号化画素の1つ後の画素のコンテキストとが同一である場合をそれぞれ示している。

【0091】

まず、期間T1のモードIについて、1番目の被符号化画素に対して符号化処理がなされたものとして説明する。まず、期間T1において、システムクロック信号の立ち上がりにより画素処理クロック信号が立ち上がる。この画素処理クロック信号の立ち上がりを受けたコンテキスト生成手段2は、記憶手段1から1番目の被符号化画素に対するコンテキストを読み込み、読み込んだコンテキストをコンテキストテーブル記憶手段4のリード用アドレス入力ノードARに出力する。

なお、図11の(c)に1番目の被符号化画素に対してコンテキストがコンテキスト生成手段2によって生成されていることを、符号1にて示している。

【0092】

コンテキストテーブル記憶手段4においては、リード用アドレス入力ノードARに入力されたコンテキストに基づいて16ビットの記憶用データ(予測シンボルMPSとLSZデータ)が読み出され、データ出力ノードDOから算術演算手段7に出力する。

【0093】

算術演算手段7(図6参照)では、予測変換信号発生手段71にて、記憶用データの予測シンボルMPSと1番目の被符号化画素の画像データとを比較し、予測変換信号LPSを生成し、LSZ更新論理回路15に出力する。

【0094】

さらに、算術演算手段7では、予測変換信号発生手段71にて生成された予測変換信号LPSが予測シンボルMPSと画像データとが一致を意味(MPSを意味)しているとき、演算手段72が、上記(1)式に基づき、記憶用データのLSZデータと、1番目の被符号化画素の前の被符号化画素のAデータによりAデータを求め、Aレジスタ8に出力するとともに、上記(2)式に基づき、1番目の被符号化画素の前の被符号化画素のCデータをCレジスタ10に出力する。

【0095】

一方、予測変換信号LPSが予測シンボルMPSと画像データとが不一致を意味(LPSを意味)しているとき、演算手段72が、上記(3)式に基づき、記憶用データのLSZデータをAデータとしてAレジスタ8に出力するとともに、上記(4)式に基づき、記憶用データのLSZデータと1番目の被符号化画素の前の被符号化画素のAデータ及びCデータによりCデータを求め、Cレジスタ10に出力する。

【0096】

このときのAデータ及びCデータの概念を図12の1番目の被符号化画素の欄にて説明する。この1番目の被符号化画素の欄は、予測シンボルMPSと画像データとが一致した場合を示している。Aレジスタ8の記憶内容は初期状態として1.000...、Cレジスタ10の記憶内容は初期状態として0.000...とされている。1番目の被符号化画素の欄に

10

20

30

40

50

示すL P Sの幅が1番目の被符号化画素に対する記憶用データのL S Zデータの値に相当し、1番目の被符号化画素の欄に示すM P Sの幅がAレジスタ8の記憶内容からL P Sの幅を引いた値に相当し、このM P Sの幅が1番目の被符号化画素に対する有効領域の幅になる。

**【0097】**

つまり、算術演算手段7の演算手段72にて演算されて出力されるAデータは図12に示す1番目の被符号化画素の欄におけるM P Sの幅に相当する値になり、算術演算手段7の演算手段72にて演算されて出力されるCデータは有効領域の底、つまり図12に示す1番目の被符号化画素の欄におけるM P Sの底に相当する値になっているものである。

**【0098】**

このようにして演算手段72にて演算されたAデータ及びCデータはそれぞれAレジスタ8のレジスタ部81及びCレジスタ10(図7及び図8参照)に制御手段13からの画素処理クロック信号の立ち上がり(期間T2)にて取り込まれ、記憶(記憶内容の書き換え)されることになる。

**【0099】**

Aレジスタ8のレジスタ部81に記憶されたAデータは、いま、10進数の0.5以上の値になっているため、その最上位ビットの値は"1"であり、Aレジスタ8のリノーマライズ発生手段82からは"正規化処理を行わないこと"を意味する"0"からなるリノーマライズ信号を出力する。また、Aレジスタ8の1回リノーマライズ発生手段83からは"0"からなる1回リノーマライズ信号を出力する。

**【0100】**

一方、期間T2において、コンテキスト生成手段2からの2番目の画素のコンテキスト及びコンテキスト記憶手段3からの1番目の被符号化画素のコンテキストを受けたコンテキスト比較手段6は、図11の(d)に示すように"同一でない"場合を意味する"L"レベルの同一コンテキスト信号を出力する。

**【0101】**

よって、この期間T2においてモードの認識がなされるものであり、ここでは、リノーマライズが無しで、コンテキストが同一でない期間T1のモードIと認識され、期間T1においてこの期間T1のモードIが終了していることを意味しているものである。

なお、この期間T2のモードIにおいては、期間T1のモードIがリノーマライズが不要であることを認識したことにより、次のモードである期間T2のモードIにおける、コンテキストの生成から算術演算までが行われることになるものである。

**【0102】**

従って、Aレジスタ8のリノーマライズ発生手段82からのリノーマライズ信号を受ける制御手段13では、受けたりノーマライズ信号が"L"レベルであることにより、期間T2において、図11の(g)及び(h)に示すように"H"レベルである書換クロック信号及びリノーマライズクロック信号を出力する。"H"レベルの書換クロック信号を受けるコンテキストテーブル記憶手段4はその記憶内容を書き換えることはない。また、"H"レベルのリノーマライズクロック信号を受けるAレジスタ8のレジスタ部81及びCレジスタ10はその記憶内容をシフトアップすることなく、取り込んだ内容をラッチし続ける。

なお、図11の(l)に1番目の被符号化画素に対してAレジスタ8及びCレジスタ10にラッチされることを、符号1にて示している。

**【0103】**

また、制御手段13はリノーマライズクロック信号を"H"レベルとしているため、C Tカウンタクロック信号も"H"レベルを維持させるとともに、符号出力クロック信号も"H"レベルを維持させる。制御手段13からの符号出力クロック信号が"H"レベルのままなので、出力手段12はCレジスタ11の記憶内容を取り込むこともなく、出力することもない。

**【0104】**

したがって、この期間T1のモードIにおいては、被符号化画素に対するコン

10

20

30

40

50

テキストの生成から算術演算まで、システムクロックの1クロック(サイクル)で行われる。そして、算術演算手段7による演算結果であるAデータ及びCデータそれぞれがAレジスタ8及びCレジスタ10に記憶される。また、コンテキストテーブル記憶手段4の記憶用データは書き換えられないものである。

**【0105】**

その結果、期間T1のモードIにおける実質的な動作時間はシステムクロックの1クロック分ですむものである。しかも、この1クロック分に要する時間は、実質的にコンテキストテーブル記憶手段4のアクセス時間と、算術演算手段7のアクセス時間の和になり、システムクロックの周期を短くでき、高速化が図れるものである。

**【0106】**

また、この期間T1のモードIにおいては、上記でも述べたように、制御手段13から出力される書換クロック信号は"H"レベルであるため、この"H"レベルの書換クロック信号が与えられているコンテキストテーブル記憶手段4は、LSZ更新論理回路15からのLSZUPデータ及びMPS更新論理回路16からの予測シンボルMPSUPによってその記憶内容が書き換えられることはない。

**【0107】**

なお、この時、記憶用データ記憶手段14、LSZ更新論理回路15及びMPS更新論理回路16は、次のように動作し、LPZUPデータ及び予測シンボルMPSUPを出力しているものの、これらLPZUPデータ及び予測シンボルMPSUPによってコンテキストテーブル記憶手段4の記憶内容が書き換えられることはない。

**【0108】**

記憶用データ記憶手段14は、期間T1の画素処理クロック信号のクロックの立ち下がりにて1番目の被符号化画素に対する記憶用データを一時記憶し、期間T2の画素処理クロック信号のクロックの立ち上がりにて一時記憶した記憶用データのLSZデータをLSZ更新論理回路15に、予測シンボルMPSをMPS更新論理回路16にそれぞれ出力する。

**【0109】**

LSZ更新論理回路15は、期間T2の画素処理クロック信号のクロックの立ち上がり以降、期間T1にて求められた算術演算手段7の予測変換信号発生手段71からの予測変換信号LPSと記憶用データ記憶手段14からの1番目の被符号化画素に対する記憶用データのLSZデータとによって、図9に示した真理値表に基づいた1番目の被符号化画素に対するLSZUPデータを出力するとともに、1番目の被符号化画素に対するSWITCHデータをMPS更新論理回路16に出力する。

**【0110】**

MPS更新論理回路16は、期間T2の画素処理クロック信号のクロックの立ち上がり以降、LSZ更新論理回路15からの1番目の被符号化画素に対するSWITCHデータと記憶用データ記憶手段14からの1番目の被符号化画素に対する記憶用データの予測シンボルとによって、1番目の被符号化画素に対する予測シンボルMPSUPを出力する。

**【0111】**

次に、期間T2のモードIIの動作について、2番目の被符号化画素に対して符号化処理がなされたものとして説明する。この期間T2のモードIIは、上記した期間T1のモードIと、被符号化画素のコンテキストと後の被符号化画素のコンテキストが同一でないか同一であるかの相違だけである。

**【0112】**

従って、上記した期間T1のモードIと同様に動作し、2番目の被符号化画素に対するコンテキスト生成手段2によるコンテキストの生成から算術演算手段7による算術演算まで、システムクロックの1クロック(サイクル)で行われ、算術演算手段7によるAデータ及びCデータそれぞれがAレジスタ8及びCレジスタ10に記憶され、コンテキストテーブル記憶手段4の記憶用データが書き換えられず、出力手段12はCレジスタ10の記憶内容を取り込むこともなく、出力することもないものである。

10

20

30

40

50

## 【 0 1 1 3 】

その結果、期間 T2 のモード II における実質的な動作時間もシステムクロックの 1 クロック分ですむものである。しかも、この 1 クロック分に要する時間は、実質的にコンテキストテーブル記憶手段 4 のアクセス時間と、算術演算手段 7 のアクセス時間の和になり、システムクロックの周期を短くでき、高速化が図れるものである。

## 【 0 1 1 4 】

この時の算術演算手段 7 による演算結果である A データ及び C データの概念を図 12 の 2 番目の被符号化画素の欄にて説明する。この 2 番目の被符号化画素の欄は、予測シンボルと画像データとが一致した場合を示している。1 番目の被符号化画素に対する A レジスタ 8 の記憶内容は上記期間 T1 のモード I にて説明した M P S にて示した有効領域の幅になっており、1 番目の被符号化画素に対する C レジスタ 10 の記憶内容は上記期間 T1 のモード I にて説明した M P S の底に相当する値になっている。

10

## 【 0 1 1 5 】

そして、2 番目の被符号化画素の欄に示す L P S の幅が 2 番目の被符号化画素に対する記憶用データの L S Z データの値に相当し、2 番目の被符号化画素の欄に示す M P S の幅が A レジスタ 8 の記憶内容から L P S の幅を引いた値に相当し、この M P S の幅が 2 番目の被符号化画素に対する有効領域の幅になる。

## 【 0 1 1 6 】

つまり、算術演算手段 7 の演算手段 72 にて演算されて出力される 2 番目の被符号化画素に対する A データは図 12 に示す 2 番目の被符号化画素の欄における M P S の幅に相当する値になり、算術演算手段 7 の演算手段 72 にて演算されて出力される 2 番目の被符号化画素に対する C データは有効領域の底、つまり図 12 に示す 3 番目の被符号化画素の欄における M P S の底に相当する値になっているものである。

20

## 【 0 1 1 7 】

なお、この期間 T2 のモード II の認識も、期間 T1 のモード I の認識と同様に、コンテキストの生成の次のクロックである期間 T3 によって行われるものである。期間 T3 におけるモードの認識によりリノマーライズが無しで、コンテキストが同一であると認識したことにより、期間 T3 においては次のモードであるモード II における、コンテキストの生成から算術演算までが行われることになるものである。

## 【 0 1 1 8 】

## [ モード II ]

図 11 において、( a ) に示したシステムクロック信号における期間 T3 がモード II における主要な各信号の波形の一例を示しているものである。

モード II について、3 番目の被符号化画素に対して符号化処理がなされたものとして説明する。

30

## 【 0 1 1 9 】

まず、期間 T3 において、システムクロック信号の立ち上がりにより画素処理クロック信号が立ち上がる。この画素処理クロック信号の立ち上がりを受けたコンテキスト生成手段 2 は、記憶手段 1 から 3 番目の被符号化画素に対するコンテキストを読み込み、読み込んだコンテキストをコンテキストテーブル記憶手段 4 のリード用アドレス入力ノード A R に出力する。

40

なお、図 11 の ( c ) に 3 番目の被符号化画素に対してコンテキストがコンテキスト生成手段 2 によって生成されていることを、符号 3 にて示している。

## 【 0 1 2 0 】

コンテキストテーブル記憶手段 4 においては、リード用アドレス入力ノード A R に入力されたコンテキストに基づいて 16 ビットの記憶用データ ( 予測シンボル及び L S Z データ ) が読み出され、データ出力ノード D O から算術演算手段 7 に出力する。

## 【 0 1 2 1 】

算術演算手段 7 ( 図 6 参照 ) では、予測変換信号発生手段 71 にて、記憶用データの予測シンボル M P S と 1 番目の被符号化画素の画像データとを比較し、予測変換信号 L P S を

50

生成し、LSZ更新論理回路15に出力する。

【0122】

さらに、算術演算手段7では、予測変換信号発生手段71にて生成された予測変換信号LPSが予測シンボルMPSと画像データとが一致を意味していると、演算手段72が、上記(1)式に基づき、上記(1)式に基づき、コンテキストテーブル記憶手段4からのLSZデータと、2番目の被符号化画素のAデータによりAデータを求め、Aレジスタ8に出力するとともに、上記(2)式に基づき、2番目の被符号化画素のCデータをCレジスタ10に出力する。

【0123】

また、予測変換信号LPSが予測シンボルと画像データとが不一致を意味していると、演算手段72は、上記(3)式に基づき、コンテキストテーブル記憶手段4からのLSZデータをAデータとしてAレジスタ8に出力するとともに、上記(4)式に基づき、コンテキストテーブル記憶手段4からのLSZデータと2番目の被符号化画素のAデータ及びCデータによりCデータを求め、Cレジスタ10に出力する。

10

【0124】

このときのAデータ及びCデータの概念を図12の3番目の被符号化画素の欄にて説明する。この3番目の被符号化画素の欄は、予測シンボルと画像データとが一致した場合を示している。2番目の被符号化画素に対するAレジスタ8の記憶内容は上記期間T2のモードIIにて説明したMPSにて示した有効領域の幅になっている。2番目の被符号化画素に対するCレジスタ10の記憶内容は上記期間T2のモードIIにて説明したMPSの底に相

20

当する値になっている。3番目の被符号化画素の欄に示すLPSの幅が3番目の被符号化画素に対する記憶用データのLSZデータの値に相当する。3番目の被符号化画素の欄に示すMPSの幅がAレジスタ8の記憶内容からLPSの幅を引いた値に相当する。このMPSの幅が3番目の被符号化画素に対する有効領域の幅になる。

【0125】

つまり、算術演算手段7の演算手段72にて演算されて出力されるAデータは図12に示す3番目の被符号化画素の欄におけるMPSの幅に相当する値になり、算術演算手段7の演算手段72にて演算されて出力されるCデータは有効領域の底、つまり図12に示す3番目の被符号化画素の欄におけるMPSの底に相当する値になっているものである。

30

【0126】

このようにして算術演算手段7の演算手段73にて演算されたAデータ及びCデータはそれぞれAレジスタ8のレジスタ部81及びCレジスタ10(図7及び図8参照)に制御手段13からの画素処理クロック信号の立ち上がり(期間T4)にて取り込まれ、記憶(記憶内容の書き換え)されることになる。

【0127】

期間T3では、期間T2のモードIがリノーマライズ処理が不要であることにより、図11の(e)に示すようにリノーマライズ信号が"L"レベルである。従って、制御手段13から出力される書換クロック信号及びリノーマライズクロック信号は図11の(g)及び(h)に示すように"H"レベルである。

40

【0128】

"H"レベルの書換クロック信号を受けるコンテキストテーブル記憶手段4はその記憶内容を書き換えることはない。また、"H"レベルのリノーマライズクロック信号を受けるAレジスタ8のレジスタ部81及びCレジスタ11はその記憶内容をシフトアップすることなく、取り込んだ内容をラッチし続ける。

【0129】

また、期間T3では、制御手段13がリノーマライズクロック信号を"H"レベルとしているため、CTカウントクロック信号も"H"レベルを維持させるとともに符号出力クロック信号も"H"レベルを維持させる。制御手段13からの符号出力クロック信号が"H"レベルのままであるので、出力手段12はCレジスタ10の記憶内容を取り込むこ

50

ともなく、出力することもない。

【 0 1 3 0 】

一方、期間 T4 にて A レジスタ 8 のレジスタ部 8 1 に取り込まれる算術演算手段 7 による演算結果である A データは、いま、10 進数の 0.5 未満 0.25 以上の値になるため、その最上位ビットの値は "0" であり、次のビットの値は "1" である。従って、A レジスタ 8 のリノーマライズ発生手段 8 2 からは "正規化処理を行うこと" を意味する "1" からなるリノーマライズ信号を出力し、制御手段 1 3 に図 1 1 の ( e ) に示すように期間 T4 にて "H" レベルのリノーマライズ信号が得られる。

【 0 1 3 1 】

また、A レジスタ 8 の 1 回リノーマライズ発生手段 8 3 からは "後 1 回の正規化処理で正規化処理が終了すること" を意味する "1" からなる 1 回リノーマライズ信号を出力し、制御手段 1 3 に図 1 1 の ( f ) に示すように期間 T4 にて "H" レベルの 1 回リノーマライズ信号が得られる。

10

【 0 1 3 2 】

さらに、期間 T4 において、コンテキスト生成手段 2 からの 4 番目の画素のコンテキスト及びコンテキスト記憶手段 3 からの 3 番目の被符号化画素のコンテキストを受けたコンテキスト比較手段 6 は、図 1 1 の ( d ) に示すように "同一でない" 場合を意味する "L" レベルの同一コンテキスト信号を出力する。

【 0 1 3 3 】

従って、この期間 T4 において、コンテキストが同一でなく、1 回のリノーマライズ処理を行う必要があるモード II を認識する。

20

この認識により、図 1 1 に示す期間 T4 にてリノーマライズ処理、つまり、コンテキストテーブル記憶手段 4 の記憶用データの書換処理と A レジスタ 8 及び C レジスタ 1 0 にラッチされた A データ及び C データの 1 ビットシフトアップ処理を行うことになる。

【 0 1 3 4 】

しかし、この実施の形態 1 に示すものにあつては、コンテキストテーブル記憶手段 4 をシステムクロックの 1 クロック内で記憶内容の読み出しと記憶内容の書き込み (書き換え) とを行える 2 ポート RAM にて構成している。しかも、A セレクタ 9 及び C セレクタ 1 1 がシフトアップ選択信号の "H" レベルを受けることにより、A レジスタ 8 及び C レジスタ 1 0 にラッチされた A データ及び C データの 1 ビットシフトアップしたデータを選択出力するようにしている。

30

【 0 1 3 5 】

そのため、このリノーマライズ処理を次の被符号化画素の符号化処理を行うシステムクロックの最初のクロック、具体的には図 1 1 に示すモード III における期間 T4 にて行えるものである。このリノーマライズ処理については次に説明するモード III の動作説明にて詳しく説明する。

【 0 1 3 6 】

したがって、このモード II においては、被符号化画素に対するコンテキストの生成から算術演算まで、システムクロックの 1 クロック (サイクル) で行われ、算術演算手段 7 による A データ及び C データそれぞれが A レジスタ 8 及び C レジスタ 1 0 に記憶される。しかも、リノーマライズ処理が次の被符号化画素の符号化処理を行うシステムクロックの最初のクロックで行われる。

40

【 0 1 3 7 】

その結果、モード II における動作時間は実質的にシステムクロックの 1 クロック分ですむものである。しかも、この 1 クロック分に要する時間は、実質的にコンテキストテーブル記憶手段 4 のアクセス時間と、算術演算手段 7 のアクセス時間の和になり、システムクロックの周期を短くでき、高速化が図れるものである。

【 0 1 3 8 】

[ モード III ]

図 1 1 において、( a ) に示したシステムクロック信号における期間 T4 ~ T6 がモード II

50

I (リノーマライズ処理の回数を3回とする)における主要な各信号の波形の一例を示しているものである。

【0139】

モードIIIについて、4番目の被符号化画素に対して符号化処理がなされたものとして説明する。まず、期間T4におけるシステムクロック信号の立ち上がりにより画素処理クロック信号が立ち上がる。この画素処理クロック信号の立ち上がりを受けたコンテキスト生成手段2は、記憶手段1から4番目の被符号化画素に対するコンテキストを読み込み、読み込んだコンテキストをコンテキストテーブル記憶手段4のリード用アドレス入力ノードARに出力する。

なお、図11の(c)に4番目の被符号化画素に対してコンテキストがコンテキスト生成手段2によって生成されていることを、符号4にて示している。

10

【0140】

コンテキストテーブル記憶手段4においては、リード用アドレス入力ノードARに入力されたコンテキストに基づいて16ビットの記憶用データ(予測シンボル及びLSZデータ)が読み出され、データ出力ノードDOから算術演算手段7に出力する。

【0141】

一方、上記したモードIIは1回のリノーマライズ処理を行うモードであったため、モードIIIの最初のシステムクロックのクロック期間である期間T4において、制御手段13は、Aレジスタ8のリノーマライズ発生手段82からの"正規化処理を行うこと"を意味する"1"を、Aレジスタ8の1回リノーマライズ発生手段83からの"後1回の正規化処理で正規化処理が終了すること"を意味する"1"を受けている。その結果、制御手段13は、図11の(e)及び(f)に示すように期間T4において"H"レベルであるリノーマライズ信号及び1回リノーマライズ信号を得、しかも、図11の(i)に示すようにシステムクロックの立ち上がりを受けて立ち上がるシフトアップ選択信号を生成することになる。

20

【0142】

シフトアップ選択信号が立ち上がることにより、この"後1回の正規化処理で正規化処理が終了すること"を意味するシフトアップ選択信号を受けるAセクタ9は、Aレジスタ8からのAデータを1ビットシフトアップしたデータを選択して算術演算手段7に出力する。

同様に、シフトアップ選択信号を受けるCセクタ11は、Cレジスタ10からのCデータを1ビットシフトアップしたデータを選択して算術演算手段7に出力する。

30

つまり、この期間T4において、モードIIにおける、Aレジスタ8及びCレジスタ10にラッチされたAデータ及びCデータの1ビットシフトアップ処理を行うことになる。

【0143】

なお、この期間T4において、Aレジスタ8及びCレジスタ10にラッチされているAデータ及びCデータは、モードIIにおける算術演算手段7による算術演算結果(期間T3)である。つまり、期間T4において、リノーマライズ信号が"H"レベルになるものの1回リノーマライズ信号も"H"レベルになるため、リノーマライズクロック信号が"H"レベルであり、Aレジスタ8及びCレジスタ10の記憶内容はシフトアップされず、取り込んだ内容をラッチし続けている。この状態を図11の(l)に示し、図11の(l)に3番目の被符号化画素に対してAレジスタ8及びCレジスタ10にラッチされていることを符号3にて示している。

40

【0144】

そして、算術演算手段7(図6参照)では、予測変換信号発生手段71にて、コンテキストテーブル記憶手段4から読み出された4番目の被符号化画素に対する記憶用データの予測シンボルMPSと4番目の被符号化画素の画像データとを比較し、予測変換信号LPSを生成し、出力する。

【0145】

この予測変換信号LPSが予測シンボルMPSと画像データとが一致を意味していると、演算手段72、上記(1)式に基づき、コンテキストテーブル記憶手段4からのLSZデ

50

ータと、3番目の被符号化画素のAデータ、つまり、1ビットシフトアップされたAデータとによりAデータを求め、Aレジスタ8に出力するとともに、上記(2)式に基づき、3番目の被符号化画素のCデータ、つまり、1ビットシフトアップされたCデータをCレジスタ10に出力する。

【0146】

上記予測変換信号LPSが予測シンボルMPSと画像データとが不一致を意味していると、演算手段72は、上記(3)式に基づき、コンテキストテーブル記憶手段4からのLSZデータをAデータとしてAレジスタ8に出力するとともに、上記(4)式に基づき、コンテキストテーブル記憶手段4からのLSZデータと3番目の被符号化画素のAデータ及びCデータ、つまり、1ビットシフトアップされたAデータ及びCデータとによりCデータを求め、Cレジスタ10に出力する。

10

【0147】

このときのAデータ及びCデータの概念を図12の4番目の被符号化画素の欄にて説明する。この4番目の被符号化画素の欄は、予測シンボルMPSと画像データとが不一致の場合を示している。3番目の被符号化画素に対するAレジスタ8の記憶内容は上記期間T3のモードIIにて説明したMPSにて示した有効領域の幅になっており、その1ビットシフトアップされた状態(2倍)が4番目の被符号化画素に対する実質的な有効領域の幅になっていることを示している。

また、3番目の被符号化画素に対するCレジスタ10の記憶内容は上記期間TのモードIIにて説明したMPSの底に相当する値になっており、その1ビットシフトアップされた状態が4番目の被符号化画素に対する実質的な有効領域の底になっていることを示している。

20

【0148】

そして、4番目の被符号化画素の欄に示すLPSの幅が4番目の被符号化画素に対する記憶用データのLSZデータの値に相当し、MPSの幅がAレジスタ8の記憶内容を1ビットシフトアップした値からLPSの幅を引いた値に相当し、LPSの幅が4番目の被符号化画素に対する有効領域の幅になる。

つまり、演算手段72にて演算されて出力されるAデータは4番目の被符号化画素の欄に示すLPSの幅に相当する値になり、演算手段72にて演算されて出力されるCデータは有効領域の底、つまり4番目の被符号化画素の欄に示すLPSの底に相当する値になっているものである。

30

【0149】

このようにして演算手段72にて演算されたAデータ及びCデータはそれぞれAレジスタ8のレジスタ部81及びCレジスタ10(図7及び図8参照)に制御手段13からの画素処理クロック信号の立ち上がり(期間T5)にて取り込まれ、記憶(記憶内容の書き換え)されることになる。

【0150】

一方、期間T4では、モードIIが1回のリノーマライズ処理が必要であることにより、制御手段13は、Aレジスタ8のリノーマライズ発生手段82からの"正規化処理を行うこと"を意味する"1"を受けている。そのため、制御手段13はシステムクロックの立ち上がりを受けて、図11の(g)に示すように、システムクロックに同期した書換クロック信号を出力する。

40

【0151】

この書換クロック信号の立ち下がりを受けたコンテキストテーブル記憶手段4は、ライト用アドレス入力ノードAWに受けたコンテキスト記憶手段3からのコンテキスト、つまり、モードIIにおける3番目の被符号化画素に対するコンテキストに基づいたアドレスのコンテキストテーブル記憶部に、3番目の被符号化画素に対する書換データ(予測シンボルMPSUP及びLSZUPデータ)を書き込み、記憶することになる。

【0152】

この予測シンボルMPSUP及びLSZUPデータからなる書換データは、記憶用データ

50

記憶手段 14、LSZ更新論理回路 15 及び M P S 更新論理回路 16 にて構成される書換データ生成手段によって生成される。

すなわち、記憶用データ記憶手段 14 は、期間 T 3 の画素処理クロック信号のクロックの立ち下がりにて 3 番目の被符号化画素に対する記憶用データを一時記憶し、期間 T 4 の画素処理クロック信号のクロックの立ち上がりにて一時記憶した記憶用データの LSZ データを LSZ 更新論理回路 15 に、予測シンボル M P S を M P S 更新論理回路 16 にそれぞれ出力する。

【0153】

LSZ 更新論理回路 15 は、期間 T 4 の画素処理クロック信号のクロックの立ち上がり以降、期間 T 3 にて求められた算術演算手段 7 の予測変換信号発生手段 71 からの予測変換信号 L P S と記憶用データ記憶手段 14 からの 3 番目の被符号化画素に対する記憶用データの LSZ データとによって、図 9 に示した真理値表に基づいた 3 番目の被符号化画素に対する LSZUP データをコンテキストテーブル記憶手段 4 のデータ入力ノード D I に出力するとともに、3 番目の被符号化画素に対する S W I T C H データを M P S 更新論理回路 16 に出力する。

10

【0154】

M P S 更新論理回路 16 は、期間 T 4 の画素処理クロック信号のクロックの立ち上がり以降、LSZ 更新論理回路 15 からの 3 番目の被符号化画素に対する S W I T C H データと記憶用データ記憶手段 14 からの 3 番目の被符号化画素に対する記憶用データの予測シンボル M P S とによって、3 番目の被符号化画素に対する予測シンボル M P S U P をコン

20

【0155】

このようにして、LSZ 更新論理回路 15 によって生成された書換データの LSZUP データ及び M P S 更新論理回路 16 によって生成された書換データの予測シンボル M P S U P は、制御手段 13 からの書換クロックの立ち下がりにてコンテキストテーブル記憶手段 4 のデータ入力ノード D I からコンテキストテーブル記憶部に取り込まれ、3 番目に対する被符号化画素のコンテキストに基づいたアドレスのコンテキストテーブル記憶部に書き込まれることになる。

【0156】

例えば、図 3 の ( a ) に示すコンテキストテーブルにおいて、3 番目に対する被符号化画素のコンテキストが例えば "0000000101" であり、このコンテキストに基づいたアドレスのコンテキストテーブル記憶部に記憶されている記憶用データの予測シンボル M P S ( 予測値 ) が "0"、LSZ データが "5 a 7 f" ( 16 進数、実際は 2 進数 ) になっている。

30

【0157】

この記憶用データが読み出され、記憶用データ記憶手段 14 にて一時記憶され、一時記憶された記憶用データの LSZ データ "5 a 7 f" が LSZ 更新論理回路 15 に与えられる。一方、この 3 番目の被符号化画素に対する記憶用データは、上記モード I I にて説明したように算術演算手段 7 の予測変換信号発生手段 71 に与えられる。このとき、3 番目の被符号化画素に対する予測変換信号発生手段 71 からの予測変換信号 L P S は "0" になって

40

【0158】

LSZ データ "5 a 7 f" 及び L P S "0" が与えられた LSZ 更新論理回路 15 は、図 9 に示す真理値表に従って LSZUP データ "3 f 2 5" 及び S W I T C H データ "0" を出力する。

この LSZ 更新論理回路 15 から出力された LSZUP データ "3 f 2 5" がコンテキストテーブル記憶手段 4 における 3 番目の被符号化画素に対する書換データの LSZ データになる。

【0159】

また、記憶用データ記憶手段 14 にて一時記憶された記憶用データの予測シンボル M P S

50

"0"及びLSZ更新論理回路15からのSWITCHデータ"0"を受けたMPS更新論理回路16は、受けたSWITCHデータ"0"であるので、予測シンボルMPSの値と同じ値"0"である予測シンボルMPSUP"0"を出力する。

【0160】

そして、これらのLSZUPデータ"3f25"及び予測シンボルMPSUP"0"が書換データとしてコンテキストテーブル記憶手段4に与えられる。コンテキストテーブル記憶手段4において、図3の(b)に示す更新後のコンテキストテーブルに示すように、3番目の被符号化画素に対するコンテキスト"0000000101"に基づいたアドレスに、予測シンボルMPS"0"、LSZデータ"3f25"が書き込まれることになる。

【0161】

したがって、このモードIIIの期間T4においては、4番目の被符号化画素に対するコンテキストの生成から算術演算までと、3番目の被符号化画素に対するリノーマライズ処理、つまり、コンテキストテーブル記憶手段4の記憶用データの書換処理とAレジスタ8及びCレジスタ10にラッチされたAデータ及びCデータの1ビットシフトアップ処理とが、システムクロックの1クロック(サイクル)で行われる。

【0162】

しかも、この1クロック分に要する時間は、実質的にコンテキストテーブル記憶手段4のアクセス時間と、算術演算手段7のアクセス時間の和になり、システムクロックの周期を短くでき、高速化が図れるものである。

なお、コンテキストテーブル記憶手段4に対する書換処理に要する時間は、実質的にLSZ更新論理回路15及びMPS更新論理回路16による処理時間であり、コンテキストの生成から算術演算までに要する時間より短い。

【0163】

また、このモードIIIにおいては、3回のリノーマライズ処理を必要とする例を示しているので、期間T5にてAレジスタ8のレジスタ部81に取り込まれた算術演算手段7の演算結果であるAデータは、10進数の0.125未満0.0625以上の値になるため、その最上位ビットの値は"0"であり、次のビットの値も"0"である。

従って、Aレジスタ8のリノーマライズ発生手段82からは"正規化処理を行うこと"を意味する"1"からなるリノーマライズ信号を出力し、制御手段13に図11の(e)に示すように期間T5にて"H"レベルのリノーマライズ信号が得られる。

【0164】

また、Aレジスタ8の1回リノーマライズ発生手段83からは"後1回の正規化処理で正規化処理が終了しないこと"を意味する"0"からなる1回リノーマライズ信号を出力し、制御手段13に図11の(f)に示すように期間T5にて"L"レベルの1回リノーマライズ信号が得られる。

【0165】

さらに、期間T5において、コンテキスト生成手段2からの5番目の被符号化画素のコンテキスト及びコンテキスト記憶手段3から4番目の被符号化画素のコンテキストを受けたコンテキスト比較手段6は、図11の(d)に示すように"同一でない"場合を意味する"L"レベルの同一コンテキスト信号を出力する。

【0166】

従って、この期間T5において、コンテキストが同一でなく、2回以上のリノーマライズ処理を行う必要があるモードIIIを認識する。

この認識により、図11に示す期間T5にて、リノーマライズ処理、つまり、コンテキストテーブル記憶手段4の4番目の被符号化画素に対する記憶用データの書換処理とAレジスタ8及びCレジスタ10にラッチされたAデータ及びCデータの1ビットシフトアップ処理を行うことになる。

【0167】

この時、つまり、期間T5において、上記したようにシステムクロックの立ち

10

20

30

40

50

上がりによる画素処理クロック信号の立ち上がりにて、4番目の被符号化画素に対する算術演算の結果であるAデータ及びCデータがAレジスタ8及びCレジスタ10に取り込まれ、ラッチされる。それとともに、画素処理クロック信号の立ち上がりを受けたコンテキスト生成手段2は、記憶手段1から5番目の被符号化画素に対するコンテキストを読み込み、読み込んだコンテキストをコンテキスト記憶手段4のリード用アドレス入力ノードAR及びコンテキスト記憶手段3に出力する。

【0168】

しかし、Aレジスタ8のリノーマライズ発生手段82から"正規化処理を行わせること"を意味する"1"が出力されているとともに1回リノーマライズ発生手段83からは"後1回の正規化処理で正規化処理が終了しないこと"を意味する"0"が出力されているため、画素処理クロック信号がこの期間T5中"H"レベルを維持し続ける。その結果、Aレジスタ8及びCレジスタ10の記憶内容は更新されず、4番目の被符号化画素に対する算術演算の結果であるAデータ及びCデータがAレジスタ8及びCレジスタ10にラッチされ続ける。

10

【0169】

一方、制御手段13は、Aレジスタ8のリノーマライズ発生手段82からの"正規化処理を行うこと"を意味する"1"を受けることによってリノーマライズクロック信号発生手段がセットされてシステムクロック信号に同期したリノーマライズクロック信号を出力する。

このリノーマライズクロック信号の立ち下がりを受けたAレジスタ8及びCレジスタ10はラッチしているAデータ及びCデータ、つまり、期間T4にて算術演算手段7にて演算処理された4番目の被符号化画素に対するAデータ及びCデータを1ビットシフトアップしてラッチし直す。

20

【0170】

また、制御手段13は、Aレジスタ8のリノーマライズ発生手段82からの"正規化処理を行うこと"を意味する"1"を受けているため、画素処理クロックの立ち上がりを受けて、図11の(g)に示すように、システムクロックに同期した書換クロック信号を出力する。

【0171】

この書換クロック信号の立ち下がりを受けたコンテキストテーブル記憶手段4は、ライト用アドレス入力ノードAWに受けたコンテキスト記憶手段3からのコンテキスト、つまり、4番目に対する被符号化画素のコンテキストに基づいたアドレスのコンテキストテーブル記憶部に、上記期間T4にて説明した同様に、記憶用データ記憶手段14、LSZ更新論理回路15及びMPS更新論理回路16にて構成される書換データ生成手段からの予測シンボルMPSUP及びLSZUPデータからなる書換データを書き込み、記憶することになる。

30

【0172】

この期間T5において、Aレジスタ8のレジスタ部81に記憶されたAデータは、1ビットシフトアップされたことにより、10進数の0.25未満0.125以上の値になるものの、その最上位ビットの値は"0"であり、次のビットの値も"0"である。従って、Aレジスタ8のリノーマライズ発生手段82からは"正規化処理を行うこと"を意味する"1"からなるリノーマライズ信号を出力し、制御手段13に図11の(e)に示すように期間T6にて"H"レベルのリノーマライズ信号が得られる。

40

【0173】

また、Aレジスタ8の1回リノーマライズ発生手段83からは"後1回の正規化処理で正規化処理が終了しないこと"を意味する"0"からなる1回リノーマライズ信号を出力し、制御手段13に図11の(f)に示すように期間T6にて"L"レベルの1回リノーマライズ信号が得られる。

【0174】

このことは、次の期間T6において、リノーマライズ処理における、Aレジスタ8及びC

50

レジスタ10にラッチされたAデータ及びCデータの1ビットシフトアップ処理を行わせることを意味している。

【0175】

したがって、期間T6において、制御手段13は、Aレジスタ8の1回リノーマライズ発生手段83からの"後1回の正規化処理で正規化処理が終了しないこと"を意味する"0"を受けていることにより、制御手段13のリノーマライズクロック信号発生手段がリセットされず、システムクロック信号に同期したリノーマライズクロック信号を出力する。このリノーマライズクロック信号の立ち下がりを受けたAレジスタ8及びCレジスタ10はラッチしているAデータ及びCデータ、つまり、期間T5にて1ビットシフトアップされたAデータ及びCデータを、さらに1ビットシフトアップしてラッチし直す。

10

【0176】

なお、制御手段13は、Aレジスタ8の1回リノーマライズ発生手段83からは"後1回の正規化処理で正規化処理が終了しないこと"を意味する"0"が出力されているため、画素処理クロック信号はこの期間T6中も"H"レベルを維持し続ける。そのため、図11の(g)に示すように、書換クロック信号は期間T6中"H"レベルを維持する。その結果、コンテキストテーブル記憶手段4の記憶内容は書き換えられない。

【0177】

この期間T6において、Aレジスタ8のレジスタ部81に記憶されたAデータは、1ビットシフトアップされたことにより、10進数の0.5未満0.25以上の値になるものの、その最上位ビットの値は"0"であり、次のビットの値は"1"になる。

20

従って、Aレジスタ8のリノーマライズ発生手段82からは"正規化処理を行うこと"を意味する"1"からなるリノーマライズ信号を出力し、制御手段13に図11の(e)に示すように期間T7にて"H"レベルのリノーマライズ信号が得られる。

【0178】

また、Aレジスタ8の1回リノーマライズ発生手段83からは"後1回の正規化処理で正規化処理が終了すること"を意味する"1"からなる1回リノーマライズ信号を出力し、制御手段13に図11の(f)に示すように期間T7にて"H"レベルの1回リノーマライズ信号が得られる。

【0179】

このことは、次の期間T7において、リノーマライズ処理における、Aレジスタ8及びCレジスタ10にラッチされたAデータ及びCデータの1ビットシフトアップ処理を行わせることを意味し、かつ、後1回の正規化処理でこのモードIIIが終了することを意味している。

30

【0180】

つまり、Aレジスタ8の1回リノーマライズ発生手段83からは"後1回の正規化処理で正規化処理が終了すること"を意味する"1"が出力されることから、上記モードIIで説明したと同様に、このリノーマライズ処理を次の被符号化画素の符号化処理を行うシステムクロックの最初のクロック、具体的には図11に示すモードIVにおける期間T7にて行えることを意味しているものである。

このリノーマライズ処理については次に説明するモードIVの動作説明にて詳しく説明する。

40

【0181】

したがって、このモードIIIにおいては、リノーマライズの処理回数が3回必要なものにおいて、被符号化画素に対するコンテキストの生成から算術演算まで、システムクロックの1クロック(サイクル)で行われ、算術演算手段7によるAデータ及びCデータそれぞれがAレジスタ8及びCレジスタ10に記憶される。2回のリノーマライズ処理はシステムクロックの2クロックで行われ、最後のリノーマライズ処理が次の被符号化画素の符号化処理を行うシステムクロックの最初のクロックで行われるものである。

【0182】

従って、モードIIIにおける動作時間は実質的にシステムクロックの3クロック

50

ク分ですむものである。しかも、1クロック分に要する時間は、コンテキストの生成から算術演算手段7による演算が行える時間でよく、実質的にコンテキストテーブル記憶手段4のアクセス時間と、算術演算手段7のアクセス時間の和になり、システムクロックの周期を短くでき、高速化が図れるものである。

【0183】

なお、制御手段13は期間T4~T6においてリノーマライズクロック信号を"H"レベルとしているため、CTカウントクロック信号を図11の(j)に示すようにシステムクロック信号と同じクロック信号とする。しかし、この期間T4~T6では、CTカウントクロック信号は3クロックであるため、制御手段13からの符号出力クロック信号が"H"レベルのままであり、出力手段12はCレジスタ11の記憶内容を取り込むこともなく、出力す

10

【0184】

[モードIV]

図11において、(a)に示したシステムクロック信号における期間T7~T8がモードIVにおける主要な各信号の波形の一例を示しているものである。

モードIVについて、5番目の被符号化画素に対して符号化処理がなされたものとして説明する。

【0185】

期間T7において、既に(期間T5において)コンテキスト生成手段2は、記憶手段1から5番目の被符号化画素に対するコンテキストを読み込み、読み込んだコンテキストをコン

20

テキストテーブル記憶手段4のリード用アドレス入力ノードARに出力している。

なお、図11の(c)に5番目の被符号化画素に対してコンテキストがコンテキスト生成手段2によって生成されていることを、符号5にて示している。

【0186】

コンテキストテーブル記憶手段4においては、リード用アドレス入力ノードARに入力されたコンテキストに基づいて16ビットの記憶用データ(予測シンボルMps及びLSZデータ)が読み出され、データ出力ノードDOから記憶用データを算術演算手段7に出力する。

【0187】

一方、上記したモードIIIの期間T6において後1回のリノーマライズ処理を行う必要があることを示していたため、このモードIVの最初のシステムクロックのクロック期間であるT7において、制御手段13は、Aレジスタ8のリノーマライズ発生手段82からの"正規化処理を行うこと"を意味する"1"を、Aレジスタ8の1回リノーマライズ発生手段83からの"後1回の正規化処理で正規化処理が終了すること"を意味する"1"を受けている。その結果、制御手段13は、図11の(e)及び(f)に示すように期間T7において"H"レベルのリノーマライズ信号及び1回リノーマライズ信号を得、しかも、図11の(i)に示すようにシステムクロックの立ち上がりを受けて立ち上がるシフトアップ選択信号を生成することになる。

30

【0188】

シフトアップ選択信号が立ち上がることにより、この"後1回の正規化処理で正規化処理が終了すること"を意味するシフトアップ選択信号を受けるAセクタ9は、Aレジスタ8からのAデータを1ビットシフトアップしたデータを選択して算術演算手段7に出力する。

40

同様に、シフトアップ選択信号を受けるCセクタ11は、Cレジスタ10からのCデータを1ビットシフトアップしたデータを選択して算術演算手段7に出力する。

【0189】

つまり、この期間T7において、モードIIIにおける、Aレジスタ8及びCレジスタ10にラッチされたAデータ及びCデータの1ビットシフトアップ処理と同等の処理がなされることになる。結果として、モードIIIにおいて、期間T5~T7で3回のリノーマライズ処理が行われることになり、Aセクタ9及びCセクタ11から出力されるAデータ及び

50

Cデータは、モードIIIの期間T4において4番目の被符号化画素に対する算術演算されたAデータ及びCデータを3ビットシフトアップ、つまり8倍したAデータ及びCデータになっているものである。

【0190】

そして、算術演算手段7(図6参照)では、予測変換信号発生手段71にて、5番目の被符号化画素に対する記憶用データの予測シンボルMPSと5番目の被符号化画素の画像データとを比較し、予測変換信号LPSを生成し、出力する。

【0191】

この予測変換信号LPSが予測シンボルMPSと画像データとが一致を意味しているとき、算術演算手段7の演算手段72は、上記(1)式に基づき、コンテキストテーブル記憶手段4からの5番目の被符号化画素に対する記憶データのLSZデータと、4番目の被符号化画素のAデータ、つまり、4番目の被符号化画素に対する算術演算されたAデータが3ビットシフトアップされたAデータとによりAデータを求め、Aレジスタ8に出力するとともに、上記(2)式に基づき、4番目の被符号化画素のCデータ、つまり、4番目の被符号化画素に対する算術演算されたCデータが3ビットシフトアップされたCデータをCレジスタ10に出力する。

10

【0192】

上記予測変換信号LPSが予測シンボルMPSと画像データとが不一致を意味しているとき、演算手段72は、上記(3)式に基づき、5番目の被符号化画素に対する記憶用データのLSZデータをAデータとしてAレジスタ8に出力するとともに、上記(4)式に基づき、5番目の被符号化画素に対する記憶用データのLSZデータと4番目の被符号化画素のAデータ及びCデータ、つまり、4番目の被符号化画素に対する算術演算されたAデータ及びCデータがそれぞれ3ビットシフトアップされたAデータ及びCデータによりCデータを求め、Cレジスタ10に出力する。

20

【0193】

このときのAデータ及びCデータ概念を図12の5番目の被符号化画素の欄にて説明する。この5番目の被符号化画素の欄は、予測シンボルMPSと画像データとが不一致の場合を示している。

4番目の被符号化画素に対するAレジスタ8の記憶内容は上記期間T6のモードIIIにて説明したLPS(4番目の被符号化画素に対する算術演算されたAデータが2ビットシフトアップされた値)にて示した有効領域の幅になっており、その1ビットシフトアップされた状態が実質的な有効領域の幅になっていることを示している。

30

【0194】

5番目の被符号化画素の欄に示すLPSの幅が5番目の被符号化画素に対する記憶データのLSZデータの値に相当し、5番目の被符号化画素の欄に示すMPSの幅がAレジスタ8の記憶内容を1ビットシフトアップした値からLPSの幅を引いた値に相当し、LPSの幅が5番目の被符号化画素に対する有効領域の幅になる。

つまり、演算手段72にて演算されて出力されるAデータは5番目の被符号化画素の欄に示すLPSの幅に相当する値になり、演算手段72にて演算されて出力されるCデータは有効領域の底、つまり5番目の被符号化画素の欄に示すLPSの底に相当する値になっているものである。

40

【0195】

このようにして演算手段72にて演算されたAデータ及びCデータはそれぞれAレジスタ8のレジスタ部81及びCレジスタ10(図7及び図8参照)に制御手段13からの画素処理クロック信号の立ち上がり(期間T8)にて取り込まれ、記憶(記憶内容の書き換え)されることになる。

【0196】

一方、制御手段13は、Aレジスタ8のリノーマライズ発生手段82からの"正規化処理を行うこと"を意味する"1"を受けているものの、この期間T7において書換クロック信号が"H"レベルを維持しているため、コンテキストテーブル記憶手段4の記憶内容は書き換

50

えられることがない。

【0197】

したがって、このモードIVの期間T7においては、5番目の被符号化画素に対するコンテキストに基づく算術演算までと、4番目の被符号化画素に対する最後のリノーマライズ処理、つまり、Aレジスタ8及びCレジスタ10にラッチされたAデータ及びCデータの1ビットシフトアップ処理とが、システムクロックの1クロック(サイクル)で行われる。そして、この1クロック分に要する時間は、実質的にコンテキストテーブル記憶手段4のアクセス時間と、算術演算手段7のアクセス時間の和になり、システムクロックの周期を短くでき、高速化が図れるものである。

【0198】

また、このモードIVにおいては、1回のリノーマライズ処理を必要とする例を示している。Aレジスタ8のレジスタ部81に記憶されたAデータは、10進数の0.5未満0.25以上の値になるため、その最上位ビットの値は"0"であり、次のビットの値は"1"である。

従って、Aレジスタ8のリノーマライズ発生手段82からは"正規化処理を行うこと"を意味する"1"からなるリノーマライズ信号を出力し、制御手段13に図11の(e)に示すように期間T8にて"H"レベルのリノーマライズ信号が得られる。

【0199】

また、Aレジスタ8の1回リノーマライズ発生手段83からは"後1回の正規化処理で正規化処理が終了すること"を意味する"1"からなる1回リノーマライズ信号を出力し、制御手段13に図11の(f)に示すように期間T8にて"H"レベルの1回リノーマライズ信号が得られる。

【0200】

さらに、期間T8において、コンテキスト生成手段2からの6番目の画素のコンテキスト及びコンテキスト記憶手段3から5番目の被符号化画素のコンテキストを受けたコンテキスト比較手段6は、図11の(d)に示すように"同一である"場合を意味する"H"レベルの同一コンテキスト信号を出力する。

【0201】

従って、この期間T8において、コンテキストが同一であり、1回のリノーマライズ処理を行う必要があるモードIVを認識する。この認識により、図11に示す期間T8にて、リノーマライズ処理、つまり、コンテキストテーブル記憶手段4の5番目の被符号化画素に対する記憶用データの書換処理とAレジスタ8及びCレジスタ10にラッチされたAデータ及びCデータの1ビットシフトアップ処理を行うことになる。

【0202】

この時、つまり、期間T8において、上記したようにシステムクロックの立ち上がりによる画素処理クロック信号の立ち上がりにて、5番目の被符号化画素に対する算術演算の結果であるAデータ及びCデータがAレジスタ8及びCレジスタ10に取り込まれ、ラッチされる。

また、画素処理クロック信号の立ち上がりを受けたコンテキスト生成手段2は、記憶手段1から6番目の被符号化画素に対するコンテキストを読み込み、読み込んだコンテキストをコンテキスト記憶手段4のリード用アドレス入力ノードAR及びコンテキスト記憶手段3に出力する。

【0203】

しかし、Aレジスタ8のリノーマライズ発生手段82から"正規化処理を行わせること"を意味する"1"が出力されているとともに1回リノーマライズ発生手段83からは"後1回の正規化処理で正規化処理が終了すること"を意味する"1"が出力され、コンテキスト比較手段6からの同一コンテキスト信号が同一であることを意味しているため、画素処理クロック信号がこの期間T8中"H"レベルを維持し続ける。

10

20

30

40

50

その結果、Aレジスタ8及びCレジスタ10の記憶内容は更新されず、5番目の被符号化画素に対する算術演算の結果であるAデータ及びCデータがAレジスタ8及びCレジスタ10にラッチされ続ける。

【0204】

一方、制御手段13は、Aレジスタ8のリノーマライズ発生手段82からの"正規化処理を行うこと"を意味する"1"を受けることによってリノーマライズクロック信号発生手段がセットされてシステムクロック信号に同期したリノーマライズクロック信号を出力する。

このリノーマライズクロック信号の立ち下がりを受けたAレジスタ8及びCレジスタ10はラッチしているAデータ及びCデータ、つまり、期間T7にて算術演算手段7にて演算処理された5番目の被符号化画素に対するAデータ及びCデータを1ビットシフトアップしてラッチし直す。

10

【0205】

また、制御手段13は、Aレジスタ8のリノーマライズ発生手段82からの"正規化処理を行うこと"を意味する"1"を受けているため、画素処理クロックの立ち上がりを受けて、図11の(g)に示すように、システムクロックに同期した書換クロック信号を出力する。

【0206】

この書換クロック信号の立ち下がりを受けたコンテキストテーブル記憶手段4は、ライト用アドレス入力ノードAWに受けたコンテキスト記憶手段3からのコンテキスト、つまり、5番目に対する被符号化画素のコンテキストに基づいたアドレスのコンテキストテーブル記憶部に、上記期間T4にて説明した同様に、記憶用データ記憶手段14、LSZ更新論理回路15及びMPS更新論理回路16にて構成される書換データ生成手段からの予測シンボルMPSUP及びLSZUPデータからなる書換データを書き込み、記憶することになる。

20

【0207】

この期間T8において、Aレジスタ8のレジスタ部81に記憶されたAデータは、1ビットシフトアップされたことにより、10進数の0.5以上の値になり、その最上位ビットの値は"1"になる。

従って、Aレジスタ8のリノーマライズ発生手段82からは"正規化処理を行わないこと"を意味する"0"からなるリノーマライズ信号を出力し、制御手段13に図11の(e)に示すように期間T9にて"L"レベルのリノーマライズ信号が得られる。

30

【0208】

また、Aレジスタ8の1回リノーマライズ発生手段83からは"後1回の正規化処理で正規化処理が終了しないこと"を意味する"0"からなる1回リノーマライズ信号を出力し、制御手段13に図11の(f)に示すように期間T9にて"L"レベルの1回リノーマライズ信号が得られる。

【0209】

したがって、このモードIVにおいては、既にリノーマライズ処理が終了したことを意味する。ゆえに、このモードIVにおいては、リノーマライズの処理回数が1回必要なものにおいて、被符号化画素に対するコンテキストの生成から算術演算まで、システムクロックの1クロック(サイクル)で行われ、算術演算手段7によるAデータ及びCデータそれぞれがAレジスタ8及びCレジスタ10に記憶される。そして、1回のリノーマライズ処理がシステムクロックの1クロックで行われるものである。

40

【0210】

その結果、モードIVにおける動作時間はシステムクロックの2クロック分になる。なお、1クロック分に要する時間は、コンテキストの生成から算術演算手段7による演算が行える時間でよく、実質的にコンテキストテーブル記憶手段4のアクセス時間と、算術演算手段7のアクセス時間の和になり、システムクロックの周期を短くでき、高速化が図

50

れるものである。

【 0 2 1 1 】

なお、制御手段 1 3 は、期間 T7 及び期間 T8 において、図 1 1 の ( e ) に示すリノーマライズ信号が "H" レベルであるため、C T カウントクロック信号を図 1 1 の ( j ) に示すようにシステムクロック信号と同じクロック信号とする。しかし、C T カウントクロック信号は 2 クロックであり、前モードからの合計クロック数が 5 クロックであるため、制御手段 1 3 からの符号出力クロック信号が "H" レベルのままである。よって、出力手段 1 2 は C レジスタの記憶内容を取り込むこともなく、出力することもない。

【 0 2 1 2 】

[ モード V ]

図 1 1 において、( a ) に示したシステムクロック信号における期間 T9 ~ T13 がモード V における主要な各信号の波形の一例を示しているものである。

モード V について、6 番目の被符号化画素に対して符号化処理がなされたものとして説明する。

【 0 2 1 3 】

まず、期間 T9 において、コンテキスト生成手段 2 は、既に ( 期間 T8 ) 記憶手段 1 から 6 番目の被符号化画素に対するコンテキストを読み込み、読み込んだコンテキストをコンテキストテーブル記憶手段 4 のリード用アドレス入力ノード A R に出力している。

なお、図 1 1 の ( c ) に 6 番目の被符号化画素に対してコンテキストがコンテキスト生成手段 2 によって生成されていることを、符号 6 にて示している。

【 0 2 1 4 】

コンテキストテーブル記憶手段 4 においては、リード用アドレス入力ノード A R に入力されたコンテキストに基づいて 1 6 ビットの記憶用データ ( 予測シンボル M P S 及び L S Z データ ) が読み出され、データ出力ノード D O から算術演算手段 7 に出力する。

一方、上記したモード IV は期間 T8 において処理が完了している。このため、この期間 T9 においては、図 1 1 の ( e ) 及び ( f ) に示すように、制御手段 1 3 にてそれぞれ "L" レベルのリノーマライズ信号及び 1 回リノーマライズ信号が得られ、リノーマライズ処理が行われないものである。

【 0 2 1 5 】

また、期間 T8 において画素処理クロック信号が "H" レベルを維持していたため、期間 T9 においてシステムクロックが立ち上がっても画素処理クロック信号は "H" レベルのままである。従って、A レジスタ 8 及び C レジスタ 1 0 にラッチされている A データ及び C データは、期間 T8 にてラッチされた期間 T7 において 5 番目の被符号化画素に対する算術演算された A データ及び C データを 1 ビットシフトアップされた A データ及び C データになっている。

【 0 2 1 6 】

そして、算術演算手段 7 ( 図 6 参照 ) では、予測変換信号発生手段 7 1 にて、6 番目の被符号化画素に対する記憶用データの予測シンボル M P S と 6 番目の被符号化画素の画像データとを比較し、予測変換信号 L P S を生成し、出力する。この予測変換信号 L P S が予測シンボル M P S と画像データとが一致を意味している、演算手段 7 2 は、上記 ( 1 ) 式に基づき、コンテキストテーブル記憶手段 4 からの 6 番目の被符号化画素に対する記憶用データの L S Z データと、5 番目の被符号化画素の A データ、つまり、1 ビットシフトアップされた A データとにより A データを求め、A レジスタ 8 に出力するとともに、上記 ( 2 ) 式に基づき、5 番目の被符号化画素の C データ、つまり、1 ビットシフトアップされた C データを C レジスタ 1 0 に出力する。

【 0 2 1 7 】

上記予測変換信号 L P S が予測シンボル M P S と画像データとが不一致を意味している、演算手段 7 2 は、上記 ( 3 ) 式に基づき、6 番目の被符号化画素に対する記憶用データの L S Z データを A データとして A レジスタ 8 に出力するとともに、上記 ( 4 ) 式に基づき、6 番目の被符号化画素に対する記憶用データの L S Z データと 5 番目の被符号化画素

10

20

30

40

50

のAデータ及びCデータ、つまり、1ビットシフトアップされたAデータ及びCデータとによりCデータを求め、Cレジスタ10に出力する。

【0218】

このようにして演算手段72にて演算されたAデータ及びCデータはそれぞれAレジスタ8のレジスタ部81及びCレジスタ10(図7及び図8参照)に制御手段13からの画素処理クロック信号の立ち上がり(期間T10)にて取り込まれ、記憶(記憶内容の書き換え)されることになる。

一方、制御手段13からの書換クロック信号は図11の(g)に示すように、"H"レベルを維持するため、コンテキストテーブル記憶手段4の記憶内容は書き換えられない。

10

【0219】

また、このモードVにおいては、5回のリノーマライズ処理を必要とする例を示しているため、Aレジスタ8のレジスタ部81に記憶されたAデータは、10進数の0.03125未満0.015625以上の値になるため、その最上位ビットの値は"0"であり、次のビットの値は"0"である。

従って、Aレジスタ8のリノーマライズ発生手段82からは"正規化処理を行うこと"を意味する"1"からなるリノーマライズ信号を出力し、制御手段13に図11の(e)に示すように期間T10にて"H"レベルのリノーマライズ信号が得られる。

【0220】

また、Aレジスタ8の1回リノーマライズ発生手段83からは"後1回の正規化処理で正規化処理が終了しないこと"を意味する"0"からなる1回リノーマライズ信号を出力し、制御手段13に図11の(f)に示すように期間T10にて"L"レベルの1回リノーマライズ信号が得られる。

20

【0221】

さらに、期間T10において、コンテキスト生成手段2からの7番目の画素のコンテキスト及びコンテキスト記憶手段3からの6番目の被符号化画素のコンテキストを受けたコンテキスト比較手段6は、図11の(d)に示すように"同一である"場合を意味する"H"レベルの同一コンテキスト信号を出力する。

【0222】

従って、この期間T10において、コンテキストが同一であり、2回以上のリノーマライズ処理を行う必要があるモードVを認識する。

30

この認識により、図11に示す期間T10にて、リノーマライズ処理、つまり、コンテキストテーブル記憶手段4の6番目の被符号化画素に対する記憶用データの書換処理とAレジスタ8及びCレジスタ10にラッチされたAデータ及びCデータの1ビットシフトアップ処理を行うことになる。

【0223】

この時、つまり、期間T10において、上記したようにシステムクロックの立ち上がりによる画素処理クロック信号の立ち上がりにて、6番目の被符号化画素に対する算術演算の結果であるAデータ及びCデータがAレジスタ8及びCレジスタ10に取り込まれ、ラッチされる。

40

また、画素処理クロック信号の立ち上がりを受けたコンテキスト生成手段2は、記憶手段1から7番目の被符号化画素に対するコンテキストを読み込み、読み込んだコンテキストをコンテキストテーブル記憶手段4のリード用アドレス入力ノードAR及びコンテキスト記憶手段3に出力する。

【0224】

しかし、Aレジスタ8のリノーマライズ発生手段82から"正規化処理を行わせること"を意味する"1"が出力されているとともに1回リノーマライズ発生手段83から"後1回の正規化処理で正規化処理が終了しないこと"を意味する"0"が出力されているため、画素処理クロック信号がこの期間T10中"H"レベルを維持し続ける。その結果、Aレジスタ8及びCレジスタ10の記憶内容は更新されず、6番目の被符号化画素に対する算術演算の

50

結果である A データ及び C データが A レジスタ 8 及び C レジスタ 1 0 にラッチされ続ける。

【 0 2 2 5 】

一方、制御手段 1 3 は、A レジスタ 8 のリノーマライズ発生手段 8 2 からの "正規化処理を行うこと" を意味する "1" を受けることによってリノーマライズクロック信号発生手段がセットされてシステムクロック信号に同期したリノーマライズクロック信号を出力する。

【 0 2 2 6 】

このリノーマライズクロック信号の立ち下がりを受けた A レジスタ 8 及び C レジスタ 1 0 はラッチしている A データ及び C データ、つまり、期間 T 9 にて算術演算手段 7 にて演算処理された 6 番目の被符号化画素に対する A データ及び C データを 1 ビットシフトアップしてラッチし直す。

10

【 0 2 2 7 】

また、制御手段 1 3 は、A レジスタ 8 のリノーマライズ発生手段 8 2 からの "正規化処理を行うこと" を意味する "1" を受けているため、画素処理クロックの立ち上がりを受けて、図 1 1 の ( g ) に示すように、システムクロックに同期した書換クロック信号を出力する。

【 0 2 2 8 】

この書換クロック信号の立ち下がりを受けたコンテキストテーブル記憶手段 4 は、ライト用アドレス入力ノード A W に受けたコンテキスト記憶手段 3 からのコンテキスト、つまり、このモード IV における 6 番目に対する被符号化画素のコンテキストに基づいたアドレスのコンテキストテーブル記憶部に、上記期間 T 4 にて説明した同様に、記憶用データ記憶手段 1 4、L S Z 更新論理回路 1 5 及び M P S 更新論理回路 1 6 にて構成される書換データ生成手段からの予測シンボル M P S U P 及び L S Z U P データからなる書換データを書き込み、記憶することになる。

20

【 0 2 2 9 】

この期間 T 10 において、A レジスタ 8 のレジスタ部 8 1 に記憶された A データは、1 ビットシフトアップされたことにより、1 0 進数の 0 . 0 6 2 5 未満 0 . 0 3 1 2 5 以上の値になるものの、その最上位ビットの値は "0" であり、次のビットの値も "0" である。従って、A レジスタ 8 のリノーマライズ発生手段 8 2 からは "正規化処理を行うこと" を意味する "1" からなるリノーマライズ信号を出力し、制御手段 1 3 に図 1 1 の ( e ) に示すように期間 T 11 にて "H" レベルのリノーマライズ信号が得られる。

30

【 0 2 3 0 】

また、A レジスタ 8 の 1 回リノーマライズ発生手段 8 3 からは "後 1 回の正規化処理で正規化処理が終了しないこと" を意味する "0" からなる 1 回リノーマライズ信号を出力し、制御手段 1 3 に図 1 1 の ( f ) に示すように期間 T 11 にて "L" レベルの 1 回リノーマライズ信号が得られる。

このことは、期間 T 11 において、リノーマライズ処理における、A レジスタ 8 及び C レジスタ 1 0 にラッチされた A データ及び C データの 1 ビットシフトアップ処理を行わせることを意味している。

40

【 0 2 3 1 】

したがって、期間 T 11 において、制御手段 1 3 は、A レジスタ 8 の 1 回リノーマライズ発生手段 8 3 からの "後 1 回の正規化処理で正規化処理が終了しないこと" を意味する "0" を受けていることにより、制御手段 1 3 のリノーマライズクロック信号発生手段がリセットされず、システムクロック信号に同期したリノーマライズクロック信号を出力する。

【 0 2 3 2 】

このリノーマライズクロック信号の立ち下がりを受けた A レジスタ 8 及び C レジスタ 1 0 はラッチしている A データ及び C データ、つまり、期間 T 10 にて 1 ビットシフトアップされた A データ及び C データを、さらに 1 ビットシフトアップしてラッチし直す。

なお、制御手段 1 3 は、この期間 T 11 中、書換クロック信号を "H" レベルにしているため

50

、コンテキストテーブル記憶手段4の記憶内容は書き換えられない。

【0233】

さらに、この期間T11において、Aレジスタ8のレジスタ部81に記憶されたAデータは、1ビットシフトアップされたことにより、10進数の0.125未満0.0625以上の値になるものの、その最上位ビットの値は"0"であり、次のビットの値も"0"である。従って、Aレジスタ8のリノーマライズ発生手段82からは"正規化処理を行うこと"を意味する"1"からなるリノーマライズ信号を出力し、制御手段13に図11の(e)に示すように期間T12にて"H"レベルのリノーマライズ信号が得られる。

【0234】

また、Aレジスタ8の1回リノーマライズ発生手段83からは"後1回の正規化処理で正規化処理が終了しないこと"を意味する"0"からなる1回リノーマライズ信号を出力し、制御手段13に図11の(f)に示すように期間T12にて"L"レベルの1回リノーマライズ信号が得られる。

10

このことは、期間T12において、リノーマライズ処理における、Aレジスタ8及びCレジスタ10にラッチされたAデータ及びCデータの1ビットシフトアップ処理を行わせることを意味している。

【0235】

したがって、期間T12において、制御手段13は、Aレジスタ8の1回リノーマライズ発生手段83からの"後1回の正規化処理で正規化処理が終了しないこと"を意味する"0"を受けていることにより、制御手段13のリノーマライズクロック信号発生手段がリセット

20

されず、システムクロック信号に同期したリノーマライズクロック信号を出力する。このリノーマライズクロック信号の立ち下がりを受けたAレジスタ8及びCレジスタ10はラッチしているAデータ及びCデータ、つまり、期間T11にて1ビットシフトアップされたAデータ及びCデータを、さらに1ビットシフトアップしてラッチし直す。

【0236】

なお、制御手段13は、この期間T12中、図11の(g)に示すように、書換クロック信号を"H"レベルとしているため、コンテキストテーブル記憶手段4の記憶内容は書き換えられない。

さらに、この期間T12において、Aレジスタ8のレジスタ部81に記憶されたAデータは、1ビットシフトアップされたことにより、10進数の0.25未満0.125以上の値

30

になるものの、その最上位ビットの値は"0"であり、次のビットの値も"0"である。従って、Aレジスタ8のリノーマライズ発生手段82からは"正規化処理を行うこと"を意味する"1"からなるリノーマライズ信号を出力し、制御手段13にて図11の(e)に示すように期間T13にて"H"レベルのリノーマライズ信号が得られる。

【0237】

また、Aレジスタ8の1回リノーマライズ発生手段83からは"後1回の正規化処理で正規化処理が終了しないこと"を意味する"0"からなる1回リノーマライズ信号を出力し、制御手段13にて図11の(f)に示すように期間T13にて"L"レベルの1回リノーマライズ信号が得られる。

このことは、期間T13において、リノーマライズ処理における、Aレジスタ8及びCレジスタ10にラッチされたAデータ及びCデータの1ビットシフトアップ処理を行わせることを意味している。

40

【0238】

したがって、期間T13において、制御手段13は、Aレジスタ8の1回リノーマライズ発生手段83からの"後1回の正規化処理で正規化処理が終了しないこと"を意味する"0"を受けていることにより、制御手段13のリノーマライズクロック信号発生手段がリセット

されず、システムクロック信号に同期したリノーマライズクロック信号を出力する。このリノーマライズクロック信号の立ち下がりを受けたAレジスタ8及びCレジスタ10はラッチしているAデータ及びCデータ、つまり、期間T12にて1ビットシフトアップされたAデータ及びCデータを、さらに1ビットシフトアップしてラッチし直す。

50

## 【0239】

なお、制御手段13は、この期間T13中、図11の(g)に示すように、書換クロック信号を"H"レベルとしているため、コンテキストテーブル記憶手段4の記憶内容は書き換えられない。

さらに、この期間T13において、Aレジスタ8のレジスタ部81に記憶されたAデータは、1ビットシフトアップされたことにより、10進数の0.5未満0.25以上の値になり、その最上位ビットの値は"0"であり、次のビットの値は"1"になる。

従って、Aレジスタ8のリノーマライズ発生手段82からは"正規化処理を行うこと"を意味する"1"からなるリノーマライズ信号を出力し、制御手段13にて図11の(e)に示すように期間T14にて"H"レベルのリノーマライズ信号が得られる。

10

## 【0240】

また、Aレジスタ8の1回リノーマライズ発生手段83からは"後1回の正規化処理で正規化処理が終了すること"を意味する"1"からなる1回リノーマライズ信号を出力し、制御手段13にて図11の(f)に示すように期間T14にて"H"レベルの1回リノーマライズ信号が得られる。

このことは、期間T14において、リノーマライズ処理における、Aレジスタ8及びCレジスタ10にラッチされたAデータ及びCデータの1ビットシフトアップ処理を行わせることを意味し、かつ後1回の正規化処理でこのモードVが終了することを意味している。

## 【0241】

つまり、Aレジスタ8の1回リノーマライズ発生手段83からは"後1回の正規化処理で正規化処理が終了すること"を意味する"1"が出力されることから、このリノーマライズ処理を次の被符号化画素の符号化処理を行うシステムクロックの最初のクロック、具体的には図11に示す期間T14にて行えることを意味しているものである。

20

つまり、期間T14におけるシステムクロックの立ち上がりを受けて、制御手段13は図11の(e)及び(f)に示すように"H"レベルのリノーマライズ信号及び1回リノーマライズ信号を得、しかも、図11の(i)に示すようにシステムクロック信号の立ち上がりを受けて立ち上がるシフトアップ選択信号を出力することになる。

## 【0242】

シフトアップ選択信号が立ち上がることにより、この"後1回の正規化処理で正規化処理が終了すること"を意味するシフトアップ選択信号を受けるAセクタ9は、Aレジスタ8からのAデータを1ビットシフトアップしたデータを選択して算術演算手段7に出力する。

30

同様に、シフトアップ選択信号を受けるCセクタ11は、Cレジスタ10からのCデータを1ビットシフトアップしたデータを選択して算術演算手段7に出力する。

## 【0243】

つまり、この期間T14において、モードVにおける、Aレジスタ8及びCレジスタ10にラッチされたAデータ及びCデータの1ビットシフトアップ処理と同等の処理がなされることになる。結果として、モードVにおいて、期間T10~T14で5回のリノーマライズ処理が行われることになり、Aセクタ9及びCセクタ11から出力されるAデータ及びCデータは、モードVの期間T9において6番目の被符号化画素に対する算術演算されたAデータ及びCデータを5ビットシフトアップしたAデータ及びCデータになっているものである。

40

## 【0244】

したがって、このモードVにおいては、リノーマライズの処理回数が5回必要なものにおいて、被符号化画素に対するコンテキストの生成から算術演算まで、システムクロックの1クロック(サイクル)で行われ、算術演算手段7によるAデータ及びCデータそれぞれがAレジスタ8及びCレジスタ10に記憶される。また、4回のリノーマライズ処理がシステムクロックの4クロックで行われ、最後のリノーマライズ処理が次の被符号化画素の符号化処理を行うシステムクロックの最初のクロックで行われるものであり、モードVにおける動作時間は実質的にシステムクロックの5クロック分ですむものである。

50

## 【 0 2 4 5 】

しかも、1クロック分に要する時間は、コンテキストの生成から算術演算手段7による演算が行える時間でよく、実質的にコンテキストテーブル記憶手段4のアクセス時間と、算術演算手段7のアクセス時間の和になり、システムクロックの周期を短くでき、高速化が図れるものである。

## 【 0 2 4 6 】

なお、制御手段13は、期間T10~T13において、リノーマライズ信号を"H"レベルとしているため、CTカウントクロック信号を図11の(j)に示すようにシステムクロック信号と同じクロック信号とし、4クロック出力する。

したがって、前モードまでの合計クロック数が5クロックであるため、送信するための符号化データのビット数と同じ数、この実施の形態1においては8ビットと同じ数を制御手段13がカウントすると、次のシステムクロックに同期して図11の(k)に示すように"L"レベルとなる符号出力クロック信号を制御手段13が出力する。

10

## 【 0 2 4 7 】

制御手段13からの符号出力クロック信号の"L"レベルへの立ち下がりを出力手段12が受けると、Cセクタ11から出力されるCデータ、つまり、Cレジスタ10にラッチされているCデータまたはこのCデータを1ビットシフトアップしたCデータのうちの選択出力されたCデータのうちの一部分、この実施の形態1では上位8ビットを出力手段12が取り込み、ラッチした上で、この上位8ビットのCデータを符号化データとして出力することになる。

20

## 【 0 2 4 8 】

以上に述べたように、このように構成されたデジタル信号符号化装置にあって、システムクロック信号の処理クロック数は次のようになる。

すなわち、図10に示すように、リノーマライズが無い、つまり、被符号化画素に対するAデータが10進数で0.5以上を示す正規化処理を必要としない場合のモードIでは1回である。

リノーマライズが有り、つまり、被符号化画素に対するAデータが10進数で0.5未満を示す正規化処理を必要とし、かつ被符号化画素に対するコンテキストと被符号化画素の1つ後の画素のコンテキストとが同一でなく、リノーマライズの回数が1回である場合のモードIIでは1回である。

30

## 【 0 2 4 9 】

リノーマライズが有り、かつ被符号化画素に対するコンテキストと被符号化画素の1つ後の画素のコンテキストとが同一でなく、リノーマライズの回数が1回を越える場合のモードIIIではリノーマライズの回数と同じ回数である。

リノーマライズが有り、かつ被符号化画素に対するコンテキストと被符号化画素の1つ後の画素のコンテキストとが同一で、リノーマライズの回数が1回である場合のモードIVでは2回である。

リノーマライズが有り、かつ被符号化画素に対するコンテキストと被符号化画素の1つ後の画素のコンテキストとが同一で、リノーマライズの回数が1回を越える場合のモードVではリノーマライズの回数と同じ回数である。

40

## 【 0 2 5 0 】

すなわち、モードII、III及びVでは、最後のリノーマライズ処理を次の被符号化画素の処理に対するシステムクロックの最初のクロックにて次の被符号化画素の処理と一緒に進めるため、実質的に1クロック分削減でき、符号化に対する処理速度の高速化が図れるものである。

## 【 0 2 5 1 】

そして、このように構成されたデジタル信号符号化装置にあっては、符号化に対して圧縮率が最悪(圧縮率がほぼ1)の場合は、ほとんどの被符号化画素に対する処理モードがモードIIになると予想される。この場合においても、モードIIの動作時間は実質的にシステムクロックの1クロック分よく、ほとんどの被符号化画素に対する処理がシステムク

50

ロックの1クロックで処理されることになり、符号化に対する処理速度の高速化が図れるものである。

【0252】

この点につき、さらに説明を加える。

対象画像として、文字画像としては旧CCITTのファクシミリ用チャートを、疑似中間画像としてはカラー標準画像(SCID)をディザ化処理及び誤差拡散処理して作成した実画像と、圧縮率の極めて高い画像を得るために人為的(予測不一致シンボル(LPS: Least Probable Symbol)の頻度を操作)に作成した画像データとを用い、上記した5つのモードに分類し、モード別の分布と圧縮率との関係を調査した。

【0253】

その結果、圧縮率が悪くなるほどモードIIの割合が大きくなり、圧縮率が1で約60%がモードIIであった。しかも、圧縮率が1までのほとんどの場合においてモードIとモードIIの合計比率が80%以上であり、このモードIとモードIIの領域は1つの被符号化画素に対して1つのクロックで処理でき、処理速度の大幅な向上が図れるものである。

そして、上記した場合の圧縮率が1のときの符号化に対する総処理クロック数Tを次式1によって求め、処理速度を求めたところ、1画素当たりの処理クロック数は約1.3クロック/画素であった。

【0254】

しかも、1クロック分に要する時間は、コンテキストの生成から算術演算手段7による演算が行える時間でよく、実質的にコンテキストテーブル記憶手段4のアクセス時間と、算術演算手段7のアクセス時間の和になり、システムクロックの周期を短くでき、さらなる高速化が図れるものである。

【0255】

【数1】

$$T = P + \sum_{r=2}^{15} (r-1) * N[IIIr] + N[IV] + \sum_{r=2}^{15} (r-1) * N[Vr]$$

P : 画素数/ $h^{\circ}$ -ジ

N[IIIr] : モードIIIにおいて、リネマイズ回数=rとなる画素数/ $h^{\circ}$ -ジ

N[IV] : モードIVの画素数/ $h^{\circ}$ -ジ

N[Vr] : モードVにおいて、リネマイズ回数=rとなる画素数/ $h^{\circ}$ -ジ

【0256】

一方、上記のように構成されたデジタル情報符号化装置においては、コンテキストテーブル記憶手段4のコンテキストテーブル記憶部に記憶する記憶用データとして予測シンボルMPS及びLSZデータとしているため、コンテキストテーブル記憶手段4を記憶容量の小さい2ポートRAMにて構成できる。その結果、デジタル情報符号化装置を半導体集積回路にて形成した際、コンテキストテーブル記憶手段4の占める割合を小さくでき、集積化に適したデジタル情報符号化装置が得られるものである。

【0257】

しかも、コンテキストテーブル記憶手段4へ与える書換データを生成する書換データ生成手段を、記憶用データ記憶手段14、LSZ更新論理回路15及びMPS更新論理回路16にて構成しており、記憶用データ記憶手段14をラッチ回路にて形成し、LSZ更新論理回路15を例えばPチャンネルMOSトランジスタとNチャンネルMOSトランジスタとによって構成される論理回路(この実施の形態1では約2Kゲートで構成されている)によって形成し、MPS更新論理回路16を例えばイクスクループオア回路である論理回路によって形成しているため、デジタル情報符号化装置を半導体集積回路にて形成した際、書換データ生成手段の占める割合を小さくでき、集積化に適したデジタル情報符号化装置が得られるものである。

【0258】

10

20

30

40

50

実施の形態 2 .

図 1 3 はこの発明の実施の形態 2 を示すものであり、例えばファクシミリに適用した場合の半導体集積回路化されたデジタル情報復号化装置を示し、図 1 3 において、1 0 1 は復号化された画像データを 1 ライン毎に複数ライン記憶し、プリンタ等の表示手段へ画像情報（文字情報、画情報、パレット画像情報等）として与える画像処理回路に、記憶したデジタル信号からなる画像データを出力する記憶手段で、複数のラインメモリによって構成されており、上記実施の形態 1 に示したデジタル情報符号化装置の記憶手段 1 と同様のものである。

【 0 2 5 9 】

1 0 2 は上記記憶手段 1 0 1 から入力された画像データからテンプレートモデルに従って参照画素を抽出するためのコンテキスト生成手段で、上記実施の形態 1 に示したデジタル情報符号化装置のコンテキスト生成手段 2 と同様のものである。1 0 3 はこのコンテキスト生成手段 1 0 2 からの被符号化画素に対するコンテキストを画像処理クロック信号のクロックに同期して一時記憶するとともに、一時記憶されたコンテキストを上記画像処理クロック信号の次のクロックに同期して被復号化画素に対するコンテキストとして出力するラッチ回路からなるコンテキスト記憶手段で、上記実施の形態 1 に示したデジタル情報符号化装置のコンテキスト記憶手段 3 と同様のものである。

【 0 2 6 0 】

1 0 4 は複数のリード用アドレス入力ノード A R と複数のデータ出力ノード D O と複数のライト用アドレス入力ノード A W と複数のデータ入力ノード D I とライトイネーブル信号入力ノード W E とを有するとともに、予測シンボル M P S 及び確率推定データの一部である不一致確率を示す L S Z データからなる複数ビットの記憶用データを複数記憶する読み出し / 書き込み可能なコンテキストテーブル記憶部とを有するコンテキストテーブル記憶手段である。

【 0 2 6 1 】

このコンテキストテーブル記憶手段 1 0 4 は、リード用アドレス入力ノード A R に受けた上記コンテキスト生成手段 1 0 2 からのコンテキストに基づいたアドレスのコンテキストテーブル記憶部に記憶された記憶用データを読み出してデータ出力ノード D O から出力し、ライトイネーブル信号入力ノード W E に書換クロック信号を受けると、データ入力ノード D I に入力される書換データを、ライト用アドレス入力ノード A W に受けた上記コンテキスト記憶手段 1 0 3 からのコンテキストに基づいたアドレスのコンテキストテーブル記憶部に書き込み（前に記憶されたデータを書換データに書き換え）、記憶するものであり、2 ポート R A M 等で構成されており、上記実施の形態 1 に示したデジタル情報符号化装置のコンテキストテーブル記憶手段 4 と同様のものである。

【 0 2 6 2 】

1 0 6 は上記コンテキスト生成手段 1 0 2 からのコンテキストと上記コンテキスト記憶手段 1 0 3 からのコンテキストを比較し、同じであれば、例えば " 1 " を、異なっていれば " 0 " を意味する同一コンテキスト信号を出力するコンテキスト比較手段で、上記実施の形態 1 に示したデジタル情報符号化装置のコンテキスト比較手段 6 と同様のものである。

【 0 2 6 3 】

1 0 7 は上記コンテキストテーブル記憶手段 1 0 4 からの記憶用データと、被復号化画素の直前の画素に対する有効領域の幅 A を示す A データ（以下、直前の A データと称す）と被復号化画素の直前の画素に対する符号語 C を示す C データ（以下、直前の C データと称す）を受け、所定の演算処理を行い、被復号化画素に対する有効領域の幅 A を示す A データ（以下、単に A データと称す）と被復号化画素に対する復号語 C を示す C データ（以下、単に C データと称す）とを出力するとともに、被復号化画素に対する画像データを上記記憶手段 1 0 1 へ出力し、下記（ 5 ）式を満足するか否かを示す予測変換信号 L P S を出力する算術演算手段で、図 1 4 に示すような構成をしている。

【 0 2 6 4 】

なお、A データと C データとを得るための所定の演算及び予測変換信号 L P S を得るため

10

20

30

40

50

の所定の演算は、次のようになされているものである。

$$C(k-1) < A(k-1) - L S Z(k) \quad \dots\dots (5)$$

(5)式を満足する場合(MPSとして復号する場合)

$$A(k) = A(k-1) - L S Z(k) \quad \dots\dots (6)$$

$$C(k) = C(k-1) \quad \dots\dots (7)$$

(5)式を満足しない場合(LPSとして復号する場合)

$$A(k) = L S Z(k) \quad \dots\dots (8)$$

$$C(k) = C(k-1) + \{A(k-1) - L S Z(k)\} \quad \dots\dots (9)$$

【0265】

但し、 $A(k)$ は $k$ 番目の被復号化画素のAデータ、 $A(k-1)$ は $(k-1)$ 番目の被復号化画素のAデータ、 $C(k)$ は $k$ 番目の被復号化画素のCデータ、 $C(k-1)$ は $(k-1)$ 番目の被復号化画素のCデータ、 $L S Z(k)$ は $k$ 番目の被復号化画素に対する確率推定テーブル記憶手段5からの確率推定データのL S Zデータ、 $k$ は1、2、3、...であり、例えば初期値 $A(0) = 1.00\dots\dots 0$ 、初期値 $C(0)$ は、送信されてきた16ビットの符号化データにされる。

10

【0266】

図14において、171は上記コンテキストテーブル記憶手段104からの被復号化画素に対する記憶用データの予測シンボルMPSと、上記(5)式を満足するか(例えば"0")か否(例えば"1")かを示す予測変換信号LPSを受け、受けた予測変換信号LPSと予測シンボルMPSとが一致した時に例えば"0"からなる画像データを、予測変換信号LPSと予測シンボルMPSが一致しない時に例えば"1"からなる画像データを上記記憶手段101に出力する画像データ発生手段(予測逆変換手段)で、例えばイクスクルーシブオア回路等からなる比較手段によって構成されているものである。

20

【0267】

172は上記コンテキストテーブル記憶手段104からの被符号化画素に対する記憶用データのL S Zデータと、上記直前のAデータと、上記直前のCデータとを受け、上記した(5)~(9)式に示した演算処理を行い、上記予測変換信号LPSを上記画像データ発生手段171及び後記書換データ生成手段に出力するとともに、AデータとCデータとを出力する演算手段である。

この演算手段172は、上記L S Zデータと上記直前のAデータと上記直前のCデータとを受けて上記(5)式に基づき上記予測変換信号LPSを出力する予測変換信号生成部と、上記L S Zデータと上記直前のAデータと上記予測変換信号LPSとを受けてAデータを出力するAデータ生成部と、上記L S Zデータと上記直前のAデータと上記直前のCデータと上記予測変換信号LPSとを受けてCデータを出力するCデータ生成部とを有している。

30

【0268】

再び図13に戻って、108は上記算術演算手段107からのAデータと上記画素処理クロック信号とリノーマライズクロック信号とを受け、入力される画素処理クロック信号に同期して上記算術演算手段107からのAデータを取り込みラッチするとともに、入力されるリノーマライズクロック信号に同期してラッチしたデータを1ビットシフトアップしてラッチし直し、ラッチしている内容をAデータとして出力し、しかも、正規化処理(領域の拡大)を行うためのリノーマライズ(正規化)信号及び後1回の正規化処理で正規化処理が終了することを意味する1回リノーマライズ信号を出力するAレジスタで、例えば図15に示すように構成されている。

40

【0269】

図15において、181は入力される画素処理クロック信号に同期して上記算術演算手段107からのAデータを取り込みラッチするとともに、入力されるリノーマライズクロック信号に同期してラッチしているデータを1ビットシフトアップしてラッチし直し、ラッチしている内容をAデータとして出力するレジスタ部である。このレジスタ部181は、上記Aデータが例えば16ビットであると画素処理クロック信号に同期してビットデータ

50

の書き込み（書き換え）がそれぞれ可能であり、かつ、リノーマライズクロック信号に同期して1ビットシフトアップ、つまり、最下位ビットが接地電位ノードに接続されて"0"を記憶し、それ以降のビットが前段のビットのラッチ内容に書き換えられる16のラッチ部を有するシフトレジスタからなり、初期状態において、最上位のラッチ部の記憶内容が"1"にされ、残りの15のラッチ部の記憶内容が"0"にされているものである。

**【0270】**

182はこのレジスタ部181から出力されるAデータの最上位ビットMSBの信号（以下、MSB信号と称す）を受け、MSB信号に基づき、有効領域の幅Aが50%未満、つまり、Aデータが10進数の0.5未満になると"正規化処理を行わせること"を意味するリノーマライズ信号を出力するリノーマライズ発生手段で、例えばMSB信号が"0"である場合に"正規化処理を行わせること"を意味する"1"を出力するインバータ回路によって構成されているものである。

10

**【0271】**

183は上記レジスタ部181から出力されるAデータの最上位ビットから一つ下位の信号（以下、MSB-1信号と称す）と上記リノーマライズ発生手段182からのリノーマライズ信号を受け、上記リノーマライズ発生手段182からのリノーマライズ信号が"正規化処理を行わせること"を意味し、MSB-1信号が例えば"1"であると1回リノーマライズ信号を出力する1回リノーマライズ発生手段で、例えばMSB信号が"0"で、かつMSB-1信号が"1"であると"後1回の正規化処理で正規化処理が終了すること"を意味する"1"を出力するアンド回路によって構成されているものである。

20

**【0272】**

再び図13に戻って、109は上記Aレジスタ108からのAデータ及び1回リノーマライズ信号に基づいて生成されたシフトアップ選択信号を受け、シフトアップ選択信号がシフトアップを意味すると、上記Aレジスタ108からのAデータを1ビット分シフトアップしたデータを、それ以外の時は上記Aレジスタ108からのAデータをそのまま上記算術演算手段7に被復号化画素の直前の画素に対する有効領域の幅Aを示すAデータ（直前のAデータ）として出力するAセクタである。

このAセクタ109は、例えば図15に示すように、上記Aレジスタ108からのAデータをそのまま受ける一方の入力端Aと上記Aレジスタ108からのAデータを1ビット上位にずらして受けるとともに最下位を接地電位ノードに接続される他方の入力端Bとを有し、シフトアップ選択信号に基づいて一方の入力端Aか他方の入力端Bかのいずれかを選択して出力端Yに接続する選択手段191によって構成されている。

30

**【0273】**

110は上記算術演算手段107からのCデータと上記画素処理クロック信号とリノーマライズクロック信号と被符号化データとを受け、入力される画素処理クロック信号に同期して上記算術演算手段107からのCデータを取り込みラッチするとともに、入力されるリノーマライズクロック信号に同期して被符号化データ1ビットを取り込み、ラッチしたデータを1ビットシフトアップしてラッチし直し、ラッチしている内容をCデータとして出力するCレジスタである。

**【0274】**

このCレジスタ110は、例えば図16に示すように、入力される画素処理クロック信号に同期して上記算術演算手段107からのCデータを取り込みラッチするとともに、入力されるリノーマライズクロック信号に同期して被符号化データ1ビットを取り込み、ラッチしているデータを1ビットシフトアップしてラッチし直し、ラッチしている内容をCデータとして出力するレジスタである。

40

そして、このCレジスタ110は、上記Cデータが例えば16ビットであると画素処理クロック信号に同期してビットデータの書き込み（書き換え）がそれぞれ可能であり、かつ、リノーマライズクロック信号に同期して1ビットシフトアップ、つまり、最下位ビットが被符号化データの1ビットが入力されて記憶し、それ以降のビットが前段のビットのラッチ内容に書き換えられる16のラッチ部を有するシフトレジスタ110aからなり、初

50

期状態において、16のラッチ部の記憶内容が入力された16ビットの被符号化データになる。

【0275】

111は上記Cレジスタ110からのCデータとシフトアップ選択信号と被符号化データを受け、シフトアップ選択信号がシフトアップを意味すると、上記Cレジスタ110からのCデータを1ビット分シフトアップしたデータ(最下位ビットが取り込んだ被符号化データの1ビットである。)を、それ以外の時は上記Cレジスタ110からのCデータをそのまま上記算術演算手段107に被復号化画素の直前の画素に対する復号語を示すCデータ(直前のCデータ)として出力するCセクタである。

このCセクタ111は、例えば図16に示すように、上記Cレジスタ110からのCデータをそのまま受ける一方の入力端Aと上記Cレジスタ110からのCデータを1ビット上位にずらして受けるとともに最下位ビットに被符号化データの1ビットが入力される他方の入力端Bとを有し、シフトアップ選択信号に基づいて一方の入力端Aか他方の入力端Bかのいずれかを選択して出力端Yに接続する選択手段111aによって構成されている。

10

【0276】

112は符号化データが入力されるとともに、符号入力クロック信号及び符号シフトクロック信号を受け、入力される符号入力クロック信号に同期して符号化データをラッチし、入力される符号シフトクロック信号に同期してラッチしている符号化データをシフトアップし、ラッチしている最上位ビットの符号化データを上記Cレジスタ110及び上記Cセクタ111に出力する入力手段である。この入力手段112は、例えば、図16に示すように、入力される符号化データが8ビットであれば8ビットの符号化データを符号入力クロック信号に同期してパラレルに取り込むための8つのラッチ部を有し、かつ、パラレルに取り込んだ符号化データを符号シフトクロック信号に同期してシリアルに出力する、例えばシフトレジスタ等によって構成されているものである。

20

【0277】

113はシステムクロック信号と上記コンテキスト比較手段106からの同一コンテキスト信号と上記Aレジスタ108からのリノーマライズ信号及び1回リノーマライズ信号を受け、画素処理クロック信号を上記コンテキスト生成手段102と上記コンテキスト記憶手段103と上記Aレジスタ108と上記Cレジスタ110とに出力し、書換クロック信号を上記コンテキストテーブル記憶手段104に出力し、リノーマライズクロック信号を上記Aレジスタ108及び上記Cレジスタ110に出力し、シフトアップ選択信号を上記Aセクタ109及び上記Cセクタ111に出力し、符号入力クロック信号及び符号シフトクロック信号を上記入力手段112に出力する制御手段である。

30

【0278】

上記制御手段113からの画素処理クロック信号は、被復号化画素に対するデータを処理するタイミングを示す信号であり、システムクロック信号とリノーマライズ信号と1回リノーマライズ信号と同一コンテキスト信号とによって上記制御手段113によって生成されるものであり、システムクロック信号に同期した信号である。具体的には、リノーマライズ信号が"正規化処理を行わせること"を意味し、1回リノーマライズ信号が"後1回の正規化処理で正規化処理が終了すること"を意味していない時、及びリノーマライズ信号が"正規化処理を行わせること"を意味し、1回リノーマライズ信号が"後1回の正規化処理で正規化処理が終了すること"を意味し、同一コンテキスト信号が"同一コンテキスト"であることを意味している時に一方のレベルを維持し続け、それ以外の時はシステムクロック信号と同じクロック信号となる。

40

【0279】

例えば、図17の(b)に示すように、リノーマライズ信号(図17の(e)参照)が"正規化処理を行わせること"を意味する"1"(この実施の形態2においては"H"レベルで、以下特別の場合を除いて"H"レベルが"1"を表すものとする)でかつ、1回リノーマライズ信号(図17の(f)参照)が"後1回の正規化処理で正規化処理が終了すること"を

50

意味しない"0"（この実施の形態2においては"L"レベルで、以下特別の場合を除いて"L"レベルが"0"を表すものとする）であるとシステムクロック信号にかかわらず例えば"H"レベルとなるとともに、リノーマライズ信号が"正規化処理を行わせること"を意味する"1"で、1回リノーマライズ信号が"後1回の正規化処理で正規化処理が終了すること"を意味する"1"でかつ同一コンテキスト信号（図17の（d）参照）が"同一コンテキスト"を意味する"1"であるとシステムクロック信号にかかわらず例えば"H"レベルとなり、それ以外の時はシステムクロック信号となるものである。

**【0280】**

なお、図17の（e）に示したリノーマライズ信号は上記Aレジスタ108からのリノーマライズ信号をシステムクロック信号によって同期を取られた信号にされたものを示して  
10  
おり、上記制御手段113によって生成してもよいものであり、例えば、システムクロックの立ち上がりによって上記Aレジスタ108からのリノーマライズ信号に基づいた信号とされたものである。言い換えれば、被復号化画素に対するコンテキストをコンテキスト生成手段102に取り込む時のシステムクロック信号のクロックの次のクロックにて被復号化画素に対するリノーマライズを行うか否かを決定するように上記Aレジスタ108からのリノーマライズ信号からシステムクロック信号に基づいて生成されているものである。

**【0281】**

同様に、図17の（f）に示した1回リノーマライズ信号も、上記Aレジスタ8からの1  
20  
回リノーマライズ信号をシステムクロック信号によって同期を取られた信号にされたものを示したものであり、上記制御手段113によって生成してもよいものであり、例えば、システムクロックの立ち上がりによって上記Aレジスタ108からの1回リノーマライズ信号に基づいた信号とされたものである。言い換えれば、被復号化画素に対するコンテキストをコンテキスト生成手段102に取り込む時のシステムクロック信号のクロックの次のクロックにて1回リノーマライズ信号を特定するように上記Aレジスタ108からの1回リノーマライズ信号からシステムクロック信号に基づいて生成されているものである。

**【0282】**

上記制御手段113からのシフトアップ選択信号は、上記Aレジスタ108からの1回リ  
30  
ノーマライズ信号とシステムクロック信号と同一コンテキスト信号とによって上記制御手段113によって生成されるものであり、システムクロック信号に同期した信号である。具体的には、システムクロック信号によって同期を取られた図17の（f）に示した1回リノーマライズ信号が"後1回の正規化処理で正規化処理が終了すること"を意味し、同一コンテキスト信号が"同一コンテキスト"でないことを意味している時にシフトアップを意味し、それ以外の時はシフトアップを意味しない信号となる。

**【0283】**

例えば、図17の（i）に示すように、図17の（f）に示す1回リノーマライズ信号が  
40  
"後1回の正規化処理で正規化処理が終了すること"を意味する"1"で、かつ図17の（d）に示す同一コンテキスト信号が"同一コンテキスト"を意味しない"0"であるとシフトアップを意味する"1"になり、それ以外はシフトアップを意味しない"0"になるものである。

**【0284】**

上記制御手段113からの書換クロック信号は、上記コンテキストテーブル記憶手段10  
4に記憶された記憶用データを書き換えるタイミングを示す信号であり、システムクロック信号と画素処理クロック信号とリノーマライズ信号とによって上記制御手段113によって生成されるものであり、システムクロック信号に同期した信号である。具体的には、画素処理クロック信号が現れた後のシステムクロック信号の次のサイクルでリノーマライズ信号が"正規化処理を行わせること"を意味するとシステムクロック信号となり、それ以外の時は一方のレベルを維持し続けるものである。

**【0285】**

例えば、図17の（g）に示すように、画素処理クロック信号が立ち上がったことを検出  
50

し、検出後のシステムクロック信号の立ち上がり時に図17の(e)に示すリノーマライズ信号が"正規化処理を行わせること"を意味する"1"であると、システムクロック信号と同じクロックとなり、それ以外はシステムクロック信号にかかわらず例えば"H"レベルとなるものである。

【0286】

上記制御手段113からのリノーマライズクロック信号は、上記Aレジスタ108のレジスタ部181及び上記Cレジスタ110の記憶内容をシフトアップさせるための信号であり、上記Aレジスタ108からのリノーマライズ信号及び1回リノーマライズ信号とシステムクロック信号と同一コンテキスト信号とによって上記制御手段113によって生成されたものであり、システムクロック信号に同期した信号である。

10

【0287】

具体的には、リノーマライズ信号が"正規化処理を行わせること"を意味し、1回リノーマライズ信号が"後1回の正規化処理で正規化処理が終了すること"を意味していない時、及びリノーマライズ用信号が"正規化処理を行わせること"を意味し、1回リノーマライズ信号が"後1回の正規化処理で正規化処理が終了すること"を意味し、同一コンテキスト信号が"同一コンテキスト"であることを意味している時にシステムクロック信号と同じクロック信号となり(セットされ)、それ以外の時はクロック停止(一方のレベルを維持)される(リセットされる)ものであり、例えば図17の(h)に示すようになる。

【0288】

そして、このリノーマライズクロック信号は、上記画素処理クロック信号がシステムクロック信号に同期したクロックを出力するときは、一方のレベルを維持し、上記画素処理クロック信号が一方のレベルを維持しているときは、システムクロック信号に同期したクロックを出力している関係になっているものである。

20

【0289】

上記制御手段113からの符号入力クロック信号は、入力手段112に送信されてくる符号化データを入力手段112に取り込むためのタイミングを示す信号であり、上記Aレジスタ8からのリノーマライズ信号とシステムクロック信号とによって上記制御手段13によって生成されたものである。具体時には、リノーマライズ信号が"正規化処理を行わせること"を意味する時にシステムクロック信号と同じクロック信号となり、それ以外の時一方のレベルを維持するCTカウントクロック信号(図17の(j)参照)に基づき、このCTカウントクロック信号のクロック数を所定数カウントした時にパルスとなるものである。

30

【0290】

例えば、図17の(k)に示すように、リノーマライズ信号が"正規化処理を行わせること"を意味する"1"であるとシステムクロック信号となるカウントクロック信号(例えば、図17の(j)参照)をまず生成し、このカウントクロック信号のクロック数が例えば8になるとシステムクロック信号の次のサイクルにて例えば"L"レベルとなる信号となるものである。

【0291】

上記制御手段113からの符号シフトクロック信号は、入力手段112にラッチされている符号化データを1ビットシフトアップするためのタイミングを示す信号であり、上記Aレジスタ108からのリノーマライズ信号とシステムクロック信号とによって上記制御手段13によって生成されたものである。具体的には、上記したCTカウントクロック信号(図17の(j)参照)と符号入力クロック信号(図17の(k)参照)に基づき、符号入力クロック信号がクロックを出力しない時、この例においては"H"レベルの時にCTカウントクロック信号と同じクロック信号となり、例えば、図17の(m)に示す信号となるものである。

40

【0292】

図13において、114は上記コンテキストテーブル記憶手段104からの記憶用データ(予測シンボルMPS及びLSZデータ)を上記制御手段113からの画素処理クロック

50

信号のクロックに同期して一時記憶するとともに、一時記憶された記憶用データを上記画像処理クロック信号の次のクロックに同期して出力するラッチ回路(LATCH)からなる記憶用データ記憶手段で、上記コンテキストテーブル記憶手段104への書換データを書き込むタイミングを合わせるために設けられており、上記実施の形態1にて示した記憶用データ記憶手段14と同様のものである。

#### 【0293】

115はこの記憶用データ記憶手段からの記憶用データのLSZデータと上記算術演算手段107からの予測変換信号LPSとを受けて、上記コンテキストテーブル記憶手段104への書換データにおける不一致確率を示すLSZUPデータと、上記コンテキストテーブル記憶手段104からの記憶用データの予測シンボルMPSを反転するか否かを指示するSWITCHデータを出力するLSZ更新論理回路(LSZ更新手段)で、入力(LSZデータと予測変換信号LPS)と出力(LSZUPデータとSWITCH信号)との関係が図9の真理値表に示すようになるように、例えば、PチャンネルMOSトランジスタとNチャンネルMOSトランジスタとによって構成される論理回路(ゲート回路)によって構成されるものであり、上記実施の形態1にて示したLSZ更新論理回路15と同様のものである。

10

#### 【0294】

116はこのLSZ更新論理回路115からのSWITCHデータと上記記憶用データ記憶手段14からの記憶用データにおける予測シンボルMPSとを受け、受けたSWITCHデータが"0"であると受けた予測シンボルMPSの値を、受けたSWITCHデータが"1"であると受けた予測シンボルMPSの値を反転した値を上記コンテキストテーブル記憶手段4への書換データにおける予測シンボルMPSUPとして出力するMPS更新論理回路(MPS更新手段)で、例えば、イクスクルーシブオア(OR)回路によって構成されるものであり、上記実施の形態1に示したMPS更新論理回路16と同様のものである。

20

#### 【0295】

なお、これら記憶用データ記憶手段114、LSZ更新論理回路115及びMPS更新論理回路116によって、上記コンテキストテーブル記憶手段104から読み出された記憶用データと、上記算術演算手段107からの予測変換信号LPSとに基づいて1ビットの予測シンボルMPS(MPSUP)と確率推定データの一部である不一致確率を示す例えば15ビットのLSZ(LSZUP)データとからなる16ビットの書き換えデータを、上記コンテキストテーブル記憶手段4に出力する書換データ生成手段を構成しているものである。

30

#### 【0296】

また、上記算術演算手段7、上記Aレジスタ8、上記Aセクタ9、上記Cレジスタ10、上記Cセクタ11、記憶用データ記憶手段14とLSZ更新論理回路15とMPS更新論理回路16とによって構成される書き換えデータ生成手段でカーネル部を構成しているものである。

#### 【0297】

次に、このように構成されたデジタル情報復号化装置の動作について説明する。このように構成されたデジタル情報復号化装置においても、上記実施の形態1で説明してデジタル情報符号化装置と同様に、送信されてくる符号化データによって動作モードが図10に示すようにI~Vの5つのモードに分けられ、以下、各モード毎に図17に示した波形図を用いて説明する。

40

#### 【0298】

##### [モードI]

図17において、(a)に示したシステムクロック信号における期間T1及びT2それぞれがモードIにおける主要な各信号の波形の一例を示しているものである。期間T1は被復号化画素に対するコンテキストと被復号化画素の1つ後の画素のコンテキストとが同一でない場合を、期間T2は被復号化画素に対するコンテキストと被復号化画素の1つ後の画

50

素のコンテキストとが同一である場合をそれぞれ示している。

【0299】

まず、期間T1のモードIについて、1番目の被復号化画素に対して復号化処理がなされたものとして説明する。まず、期間T1において、システムクロック信号の立ち上がりにより画素処理クロック信号が立ち上がる。この画素処理クロック信号の立ち上がりを受けたコンテキスト生成手段102は、記憶手段101から1番目の被復号化画素に対するコンテキストを読み込み、読み込んだコンテキストをコンテキストテーブル記憶手段104のリード用アドレス入力ノードARに出力する。

なお、図17の(c)に1番目の被復号化画素に対してコンテキストがコンテキスト生成手段2によって生成されていることを、符号1にて示している。

10

【0300】

コンテキストテーブル記憶手段104においては、リード用アドレス入力ノードARに入力されたコンテキストに基づいて、16ビットの記憶用データ(予測シンボルMPSとLSZデータ)が読み出され、データ出力ノードDOから算術演算手段107に出力する。

【0301】

算術演算手段107(図14参照)では、演算手段172にて上記(5)式に基づき、コンテキストテーブル記憶手段104からの1番目の被復号化画素に対する記憶用データのLSZデータと1番目の被復号化画素の前の被復号化画素のAデータと1番目の被復号化画素の前の被復号化画素のCデータとによって予測変換信号LPSを生成し、出力する。

20

なお、初期状態において、Aデータは最上位が"1"で残りが"0"にされており、Cデータ

【0302】

また、画像データ発生手段171にて、演算手段172からの予測変換信号LPSがコンテキストテーブル記憶手段104からの1番目の被復号化画素に対する記憶用データの予測シンボルMPSと一致していると、例えば"1"を示す画像データを、予測変換信号LPSが予測シンボルMPSと一致していないと、例えば"0"を示す画像データを生成する。この画像データが1番目の被復号化画素に対する画像データとして記憶手段101に記憶される。

【0303】

一方、演算手段173は、予測変換信号LPSが(5)式を満足していることを示すと、上記(6)式に基づき、コンテキストテーブル記憶手段104からの1番目の被復号化画素に対する記憶用データのLSZデータと、1番目の被復号化画素の前の被復号化画素のAデータによりAデータを求め、Aレジスタ108に出力するとともに、上記(7)式に基づき、1番目の被復号化画素の前の被復号化画素のCデータをCレジスタ110に出力する。

30

【0304】

また、演算手段173は、予測変換信号LPSが(5)式を満足していないことを示すと、上記(8)式に基づき、コンテキストテーブル記憶手段104からの1番目の被復号化画素に対する記憶用データのLSZデータをAデータとしてAレジスタ108に出力するとともに、上記(9)式に基づき、コンテキストテーブル記憶手段104からの1番目の被復号化画素に対する記憶用データのLSZデータと1番目の被復号化画素の前の被復号化画素のAデータ及びCデータによりCデータを求め、Cレジスタ110に出力する。

40

【0305】

このようにして演算手段172にて演算されたAデータ及びCデータはそれぞれAレジスタ108のレジスタ部181及びCレジスタ110(図15及び図16参照)に制御手段113からの画素処理クロック信号の立ち上がり(期間T2)にて取り込まれ、記憶(記憶内容の書き換え)されることになる。

Aレジスタ108のレジスタ部181に記憶されたAデータは、モードIがリノーマライズ処理を必要としないモードとしているため、10進数の0.5以上の値になっており、その最上位ビットの値は"1"であり、Aレジスタ108のリノーマライズ発生手段182

50

からは"正規化処理を行わないこと"を意味する"0"からなるリノーマライズ信号を出力する。また、Aレジスタ108の1回リノーマライズ発生手段183からは"0"からなる1回リノーマライズ信号を出力する。

【0306】

そして、期間T2において、コンテキスト生成手段102からの2番目の被復号化画素のコンテキスト及びコンテキスト記憶手段103からの1番目の被復号化画素のコンテキストを受けたコンテキスト比較手段106は、図17の(d)に示すように"同一でない"場合を意味する"L"レベルの同一コンテキスト信号を出力する。

よって、この期間T2においてモードの認識がなされるものであり、ここでは、リノーマライズが無しで、コンテキストが同一でない期間T1のモードIと認識され、期間T1においてこの期間T1のモードIが終了していることを意味しているものである。

10

【0307】

なお、この期間T2のモードにおいては、期間T1のモードIがリノーマライズが不要であることを認識したことにより、次のモードである期間T2のモードIにおける、コンテキストの生成から算術演算までが行われることになるものである。

従って、Aレジスタ108のリノーマライズ発生手段182からのリノーマライズ信号を受ける制御手段113では、受けたリノーマライズ信号が"L"レベルであることにより、期間T2において、図17の(g)及び(h)に示すよう

に"H"レベルである書換クロック信号及びリノーマライズクロック信号を出力する。

20

【0308】

"H"レベルの書換クロック信号を受けるコンテキストテーブル記憶手段104はその記憶内容を書き換えることはなく、"H"レベルのリノーマライズクロック信号を受けるAレジスタ108のレジスタ部181及びCレジスタ110はその記憶内容をシフトアップすることなく、取り込んだ内容をラッチし続ける。

なお、図17の(1)に1番目の被復号化画素に対してAレジスタ108及びCレジスタ110にラッチされることを、符号1にて示している。

また、制御手段113はリノーマライズクロック信号を"H"レベルとしているため、CTカウントクロック信号も"H"レベルを維持させる。また、制御手段113からの符号入力クロック信号及び符号シフトクロックが"H"レベルのままであるので、入力手段12は符号化データを取り込むこともなく、ラッチしている符号化データを1ビットシフトアップすることもない。

30

【0309】

したがって、この期間T1のモードIにおいては、1番目の被復号化画素に対するコンテキストの生成から算術演算まで、システムクロックの1クロック(サイクル)で行われ、算術演算手段107によるAデータ及びCデータそれぞれがAレジスタ108及びCレジスタ110に記憶され、コンテキストテーブル記憶手段104の記憶用データが書き換えられないものである。その結果、期間T1のモードIにおける実質的な動作時間はシステムクロックの1クロック分ですむものである。しかも、この1クロック分に要する時間は、実質的にコンテキストテーブル記憶手段104のアクセス時間と、算術演算手段107のアクセス時間の和になり、システムクロックの周期を短くでき、高速化が図れるものである。

40

【0310】

次に、期間T2のモードIの動作について、2番目の被復号化画素に対して符号化処理がなされたものとして説明する。この期間T2のモードIは、上記した期間T1のモードIと、被復号化画素のコンテキストと後の被復号化画素のコンテキストが同一でないか同一であるかの相違だけであるので、上記した期間T1のモードIと同様に動作する。

したがって、2番目の被復号化画素に対するコンテキスト生成手段102によるコンテキストの生成から算術演算手段107による算術演算まで、システムクロックの1クロック(サイクル)で行われる。そして、算術演算手段107によるAデータ及びCデータそれ

50

それがAレジスタ108及びCレジスタ110に記憶され、コンテキストテーブル記憶手段104の記憶用データが書き換えられない。また、入力手段112は符号化データを取り込むこともなく、1ビットシフトアップすることもない。

【0311】

その結果、期間T2のモードIにおける実質的な動作時間もシステムクロックの1クロック分ですむものである。しかも、この1クロック分に要する時間は、実質的にコンテキストテーブル記憶手段104のアクセス時間と、算術演算手段107のアクセス時間の和になり、システムクロックの周期を短くでき、高速化が図れるものである。

【0312】

この時の算術演算手段7による演算結果である画像データは、上記(5)式に基づき、コンテキストテーブル記憶手段104からの2番目の被復号化画素に対する記憶用データのLSZデータと1番目の被復号化画素のAデータと1番目の被復号化画素のCデータとによって生成される予測変換信号LPSがコンテキストテーブル記憶手段104からの2番目の被復号化画素に対する記憶用データの予測シンボルMPSと一致していると、例えば"1"を示し、予測変換信号LPSが予測シンボルMPSと一致していないと、例えば"0"を示す。この演算結果である画像データを2番目の被復号化画素に対する画像データとして記憶手段101に記憶させる。

10

【0313】

なお、この期間T2のモードIの認識も、期間T1のモードIの認識と同様に、コンテキストの生成の次のクロックである期間T3によって行われるものである。このモードの認識によりリノマライズが無しで、コンテキストが同一であると認識したことにより、期間T3においては次のモードであるモードIIにおける、コンテキストの生成から算術演算までが行われることになるものである。

20

【0314】

[モードII]

図17において、(a)に示したシステムクロック信号における期間T3がモードIIにおける主要な各信号の波形の一例を示しているものである。

モードIIについて、3番目の被復号化画素に対して復号化処理がなされたものとして説明する。まず、期間T3において、システムクロック信号の立ち上がりにより画素処理クロック信号が立ち上がる。この画素処理クロック信号の立ち上がりを受けたコンテキスト生成手段102は、記憶手段101から3番目の被復号化画素に対するコンテキストを読み込み、読み込んだコンテキストをコンテキスト記憶手段104のリード用アドレス入力ノードARに出力する。

30

なお、図17の(c)に3番目の被復号化画素に対してコンテキストがコンテキスト生成手段102によって生成されていることを、符号3にて示している。

【0315】

コンテキスト記憶手段104においては、リード用アドレス入力ノードARに入力されたコンテキストに基づいて16ビットの記憶用データ(予測シンボルMPS及びLSZデータ)が読み出され、データ出力ノードDOから算術演算手段107に出力する。

算術演算手段107(図14参照)では、演算手段172にて上記(5)式に基づき、コンテキストテーブル記憶手段104からの3番目の被復号化画素に対する記憶用データのLSZデータと2番目の被復号化画素のAデータと2番目の被復号化画素のCデータとによって予測変換信号LPSを生成し、出力する。

40

【0316】

画像データ発生手段171は、演算手段172からの予測変換信号LPSが3番目の被復号化画素に対する記憶用データの予測シンボルMPSと一致していると、例えば"1"を示す画像データを、予測変換信号LPSが予測シンボルMPSと一致していないと例えば"0"を示す画像データを3番目の被復号化画素に対する画像データとして記憶手段101に出力する。記憶手段101はこの画像データを記憶する。

【0317】

50

一方、演算手段 172 は、予測変換信号 LPS が (5) 式を満足していることを示すと、上記 (6) 式に基づき、コンテキストテーブル記憶手段 104 からの 3 番目の被復号化画素に対する記憶用データの LSZ データと、2 番目の被復号化画素の A データにより A データを求め、A レジスタ 108 に出力するとともに、上記 (7) 式に基づき、2 番目の被復号化画素の C データを C レジスタ 110 に出力する。

【0318】

また、演算手段 172 は、予測変換信号 LPS が (5) 式を満足していないことを示すと、上記 (8) 式に基づき、コンテキストテーブル記憶手段 104 からの 3 番目の被復号化画素に対する記憶用データの LSZ データを A データとして A レジスタ 108 に出力するとともに、上記 (9) 式に基づき、コンテキストテーブル記憶手段 104 からの 3 番目の被復号化画素に対する記憶用データの LSZ データと 2 番目の被復号化画素の A データ及び C データにより C データを求め、C レジスタ 110 に出力する。

10

【0319】

このようにして演算手段 173 にて演算された A データ及び C データはそれぞれ A レジスタ 108 のレジスタ部 181 及び C レジスタ 110 (図 15 及び図 16 参照) に制御手段 113 からの画素処理クロック信号の立ち上がり (期間 T4) にて取り込まれ、記憶 (記憶内容の書き換え) されることになる。

【0320】

期間 T3 では、期間 T2 のモード I がリノーマライズ処理が不要であることにより、図 17 の (e) に示すようにリノーマライズ信号が "L" レベルであり、制御手段 113 から出力される書換クロック信号及びリノーマライズクロック信号は図 17 の (g) 及び (h) に示すように "H" レベルである。

20

"H" レベルの書換クロック信号を受けるコンテキストテーブル記憶手段 104 はその記憶内容を書き換えることはなく、"H" レベルのリノーマライズクロック信号を受ける A レジスタ 108 のレジスタ部 181 及び C レジスタ 111 はその記憶内容をシフトアップすることなく、取り込んだ内容をラッチし続ける。

【0321】

また、期間 T3 では、制御手段 113 はリノーマライズクロック信号を "H" レベルとしているため、CT カウントクロック信号も "H" レベルを維持させる。また、制御手段 113 からの符号入力クロック信号及び符号シフトクロック信号が "H" レベルのままであるので、入力手段 112 は符号化データを取り込むこともなく、1 ビットシフトアップすることもない。

30

【0322】

一方、期間 T4 にて A レジスタ 108 のレジスタ部 181 に取り込まれる算術演算手段 107 による演算結果である A データは、モード II が 1 回のリノーマライズ処理を必要とするモードとしているため、10 進数の 0.5 未満 0.25 以上の値になっており、その最上位ビットの値は "0" であり、次のビットの値は "1" である。

従って、A レジスタ 108 のリノーマライズ発生手段 182 からは "正規化処理を行うこと" を意味する "1" からなるリノーマライズ信号を出力し、制御手段 113 に図 17 の (e) に示すように期間 T4 にて "H" レベルのリノーマライズ信号が得られる。

40

【0323】

また、A レジスタ 108 の 1 回リノーマライズ発生手段 183 からは "後 1 回の正規化処理で正規化処理が終了すること" を意味する "1" からなる 1 回リノーマライズ信号を出力し、制御手段 113 に図 17 の (f) に示すように期間 T4 にて "H" レベルの 1 回リノーマライズ信号が得られる。

さらに、期間 T4 において、コンテキスト生成手段 2 からの 4 番目の被復号化画素のコンテキスト及びコンテキスト記憶手段 103 からの 3 番目の被復号化画素のコンテキストを受けたコンテキスト比較手段 106 は、図 17 の (d) に示すように "同一でない" 場合を意味する "L" レベルの同一コンテキスト信号を出力する。

【0324】

50

従って、この期間T4において、コンテキストが同一でなく、1回のリノーマライズ処理を行う必要があるモードIIを認識する。

この認識により、図17に示す期間T4にてリノーマライズ処理、つまり、コンテキストテーブル記憶手段104の記憶用データの書換処理とAレジスタ108及びCレジスタ110にラッチされたAデータ及びCデータの1ビットシフトアップ処理を行うことになる。

#### 【0325】

しかし、この実施の形態2に示すものにあつては、コンテキストテーブル記憶手段104をシステムクロックの1クロック内で記憶内容の読み出しと記憶内容の書き込み（書き換え）とを行える2ポートRAMにて構成しており、しかも、Aセクタ109及びCセクタ111がシフトアップ選択信号の"H"レベルを受けることにより、Aレジスタ108及びCレジスタ110にラッチされたAデータ及びCデータの1ビットシフトアップしたデータを選択出力するようにしているため、このリノーマライズ処理を次の被復号化画素の復号化処理を行うシステムクロックの最初のクロック、具体的には図17に示すモードIIIにおける期間T4にて行えるものである。このリノーマライズ処理については次に説明するモードIIIの動作説明にて詳しく説明する。

#### 【0326】

したがって、このモードIIにおいては、3番目の被復号化画素に対するコンテキストの生成から算術演算まで、システムクロックの1クロック（サイクル）で行われ、算術演算手段107によるAデータ及びCデータそれぞれがAレジスタ108及びCレジスタ110に記憶され、リノーマライズ処理が次の被復号化画素の復号化処理を行うシステムクロックの最初のクロックで行われるものである。その結果、モードIIにおける動作時間は実質的にシステムクロックの1クロック分ですむものである。しかも、この1クロック分に要する時間は、実質的にコンテキストテーブル記憶手段104のアクセス時間と、算術演算手段107のアクセス時間の和になり、システムクロックの周期を短くでき、高速化が図れるものである。

#### 【0327】

##### [モードIII]

図17において、(a)に示したシステムクロック信号における期間T4~T6がモードIII（リノーマライズ処理を3回必要とするモード）における主要な各信号の波形の一例を示しているものである。

モードIIIについて、4番目の被復号化画素に対して復号化処理がなされたものとして説明する。

#### 【0328】

まず、期間T4におけるシステムクロック信号の立ち上がりにより画素処理クロック信号が立ち上がる。この画素処理クロック信号の立ち上がりを受けたコンテキスト生成手段102は、記憶手段101から4番目の被復号化画素に対するコンテキストを読み込み、読み込んだコンテキストをコンテキスト記憶手段104のリード用アドレス入力ノードARに出力する。

なお、図17の(c)に4番目の被復号化画素に対してコンテキストがコンテキスト生成手段102によって生成されていることを、符号4にて示している。

#### 【0329】

コンテキスト記憶手段104においては、リード用アドレス入力ノードARに入力されたコンテキストに基づいて16ビットの記憶用データ（予測シンボルMPS及びLSZデータ）が読み出され、データ出力ノードDOから算術演算手段107に出力する。

#### 【0330】

一方、上記したモードIIは1回のリノーマライズ処理を行うモードであったため、モードIIIの最初のシステムクロックのクロック期間である期間T4において、Aレジスタ108のリノーマライズ発生手段182からの"正規化処理を行うこと"を意味する"1"を、Aレジスタ108の1回リノーマライズ発生手段183からの"後1回の正規化処理で正規化

10

20

30

40

50

処理が終了すること"を意味する"1"を受けている制御手段113は、図17の(e)及び(f)に示すように期間T4において"H"レベルであるリノーマライズ信号及び1回リノーマライズ信号を得、しかも、図17の(i)に示すようにシステムクロックの立ち上がりを受けて立ち上がるシフトアップ選択信号を生成することになる。

#### 【0331】

シフトアップ選択信号が立ち上がることにより、この"後1回の正規化処理で正規化処理が終了すること"を意味するシフトアップ選択信号を受けるAセクタ109は、Aレジスタ108からのAデータを1ビットシフトアップしたデータを選択して算術演算手段107に出力する。

同様に、シフトアップ選択信号を受けるCセクタ111は、Cレジスタ110からのCデータを1ビットシフトアップしたデータを選択して算術演算手段107に出力する。この時の1ビットシフトアップしたCデータの最下位ビットは、入力手段112から出力される、入力手段112にラッチされている最上位ビットの符号化データになるものである。以下、1ビットシフトアップしたCデータとは、このようなものを指しているものである。

#### 【0332】

この期間T4において、モードIIにおける、Aレジスタ108及びCレジスタ110にラッチされたAデータ及びCデータの1ビットシフトアップ処理を行うことになる。

なお、この期間T4において、Aレジスタ108及びCレジスタ110にラッチされているAデータ及びCデータは、モードIIにおける算術演算手段107による算術演算結果(期間T3)である。つまり、期間T4において、リノーマライズ信号が"H"レベルになるものの1回リノーマライズ信号も"H"レベルになるため、リノーマライズクロック信号が"H"レベルであり、Aレジスタ108及びCレジスタ110の記憶内容はシフトアップされず、取り込んだ内容をラッチし続けている。この状態を図17の(l)に示し、図17の(l)に3番目の被復号化画素に対してAレジスタ108及びCレジスタ110にラッチされていることを符号3にて示している。

#### 【0333】

そして、算術演算手段107(図14参照)では、演算手段172にて上記(5)式に基づき、コンテキストテーブル記憶手段104からの4番目の被復号化画素に対する記憶用データのLSZデータと3番目の被復号化画素のAデータ、つまり、1ビットシフトアップされたAデータと3番目の被復号化画素のCデータ、つまり、1ビットシフトアップされたCデータとによって予測変換信号LPSを生成し、出力する。

#### 【0334】

また、画像データ発生手段171にて、この予測変換信号LPSがコンテキストテーブル記憶手段104からの4番目の被復号化画素に対する記憶用データの予測シンボルMPSと一致していると、例えば"1"を示す画像データを、予測変換信号LPSが予測シンボルMPSと一致していないと、例えば"0"を示す画像データを4番目の被復号化画素に対する画像データとして生成する。この画像データが記憶手段101に記憶される。

#### 【0335】

一方、演算手段172は、予測変換信号LPSが(5)式を満足していることを示すと、上記(6)式に基づき、コンテキストテーブル記憶手段104からの4番目の被復号化画素に対する記憶用データのLSZデータと、3番目の被復号化画素のAデータ、つまり、1ビットシフトアップされたAデータによりAデータを求め、Aレジスタ108に出力するとともに、上記(7)式に基づき、3番目の被復号化画素のCデータ、つまり、1ビットシフトアップされたCデータをCレジスタ110に出力する。

#### 【0336】

また、演算手段173は、予測変換信号LPSが(5)式を満足していないことを示すと、上記(8)式に基づき、コンテキストテーブル記憶手段104からの4番目の被復号化画素に対する記憶用データのLSZデータをAデータとしてAレジスタ108に出力するとともに、上記(9)式に基づき、コンテキストテーブル記憶手段104からの4番目の

10

20

30

40

50

被復号化画素に対する記憶用データのLSZデータと3番目の被復号化画素のAデータ及びCデータ、つまり、1ビットシフトアップされたAデータ及びCデータによりCデータを求め、Cレジスタ110に出力する。

【0337】

このようにして演算手段172にて演算されたAデータ及びCデータはそれぞれAレジスタ108のレジスタ部181及びCレジスタ110(図15及び図16参照)に制御手段113からの画素処理クロック信号の立ち上がり(期間T5)にて取り込まれ、記憶(記憶内容の書き換え)されることになる。

【0338】

一方、期間T4では、モードIIが1回のリノーマライズ処理が必要であることにより、制御手段113は、Aレジスタ108のリノーマライズ発生手段182からの"正規化処理を行うこと"を意味する"1"を受けている。そのため、制御手段113は画素処理クロック信号の立ち上がりを受けて、図17の(g)に示すように、システムクロック信号に同期した書換クロック信号を出力する。

10

【0339】

この書換クロック信号の立ち下がりを受けたコンテキストテーブル記憶手段104は、ライト用アドレス入力ノードAWに受けたコンテキスト記憶手段103からのコンテキスト、つまり、モードIIにおける3番目に対する被復号化画素のコンテキストに基づいたアドレスのコンテキストテーブル記憶部に、3番目の被復号化画素に対する書換データ(予測シンボルMPSUP及びLPZUPデータ)を書き込み、記憶することになる。

20

【0340】

この予測シンボルMPSUP及びLPZUPデータからなる書換データは、記憶用データ記憶手段114、LSZ更新論理回路115及びMPS更新論理回路116にて構成される書換データ生成手段によって生成される。

すなわち、記憶用データ記憶手段114は、期間T3の画素処理クロック信号のクロックの立ち下がりにて3番目の被復号化画素に対する記憶用データを一時記憶し、期間T4の画素処理クロック信号のクロックの立ち上がりにて一時記憶した記憶用データのLSZデータをLSZ更新論理回路115に、予測シンボルMPSをMPS更新論理回路116にそれぞれ出力する。

【0341】

30

LSZ更新論理回路115は、期間T4の画素処理クロック信号のクロックの立ち上がり以降、期間T3にて求められた算術演算手段7の予測変換信号発生手段171からの予測変換信号LPSと記憶用データ記憶手段114からの3番目の被復号化画素に対する記憶用データのLSZデータとによって、図9に示した真理値表に基づいた3番目の被復号化画素に対するLSZUPデータをコンテキストテーブル記憶手段104のデータ入力ノードDIに出力するとともに、3番目の被復号化画素に対するSWITCHデータをMPS更新論理回路116に出力する。

【0342】

MPS更新論理回路116は、期間T4の画素処理クロック信号のクロックの立ち上がり以降、LSZ更新論理回路115からの3番目の被復号化画素に対するSWITCHデータと記憶用データ記憶手段114からの3番目の被復号化画素に対する記憶用データの予測シンボルMPSとによって、3番目の被復号化画素に対する予測シンボルMPSUPをコンテキストテーブル記憶手段104のデータ入力ノードDIに出力する。

40

【0343】

このようにして、LSZ更新論理回路115によって生成された書換データのLSZUPデータ及びMPS更新論理回路116によって生成された書換データの予測シンボルMPSUPは、制御手段113からの書換クロックの立ち下がりにてコンテキストテーブル記憶手段4のデータ入力ノードDIからコンテキストテーブル記憶部に取り込まれ、3番目に対する被復号化画素のコンテキストに基づいたアドレスのコンテキストテーブル記憶部に書き込まれることになる。

50

## 【 0 3 4 4 】

また、制御手段 1 1 3 は、図 1 7 の ( j ) に示すように、クロックとなる C T カウントクロック信号を得、図 1 7 の ( m ) に示すように、期間 T 4 にてシステムクロック信号と同期する符号シフトクロック信号を生成することになる。この符号シフトクロック信号の立ち下がりを受けた入力手段 1 1 2 は、ラッチしている記憶内容を 1 ビットシフトアップして記憶し直す。

ただし、図 1 7 の ( k ) に示すように、符号入力クロック信号は、"H"レベルのままであるので、入力手段 1 1 2 は符号化データを新たに取り込むことはない。

## 【 0 3 4 5 】

したがって、このモード III の期間 T 4 においては、4 番目の被復号化画素に対するコンテキストの生成から算術演算までと、3 番目の被復号化画素に対するリノーマライズ処理、つまり、コンテキストテーブル記憶手段 1 0 4 の記憶用データの書換処理と A レジスタ 1 0 8 及び C レジスタ 1 1 0 にラッチされた A データ及び C データの 1 ビットシフトアップ処理とが、システムクロックの 1 クロック ( サイクル ) で行われる。

## 【 0 3 4 6 】

また、このモード III においては、3 回のリノーマライズ処理を必要とする例を示しているので、期間 T 5 にて A レジスタ 1 0 8 のレジスタ部 1 8 1 に取り込まれた算術演算手段 1 0 7 の演算結果である A データは、10 進数の 0 . 1 2 5 未満 0 . 0 6 2 5 以上の値になるため、その最上位ビットの値は " 0 " であり、次のビットの値も " 0 " である。

従って、A レジスタ 1 0 8 のリノーマライズ発生手段 1 8 2 からは " 正規化処理を行うこと " を意味する " 1 " からなるリノーマライズ信号を出力し、制御手段 1 1 3 に図 1 7 の ( e ) に示すように期間 T 5 にて " H " レベルのリノーマライズ信号が得られる。

## 【 0 3 4 7 】

また、A レジスタ 1 0 8 の 1 回リノーマライズ発生手段 1 8 3 からは " 後 1 回の正規化処理で正規化処理が終了しないこと " を意味する " 0 " からなる 1 回リノーマライズ信号を出力し、制御手段 1 1 3 に図 1 7 の ( f ) に示すように期間 T 5 にて " L " レベルの 1 回リノーマライズ信号が得られる。

さらに、期間 T 5 において、コンテキスト生成手段 1 0 2 からの 5 番目の被符号化画素のコンテキスト及びコンテキスト記憶手段 1 0 3 から 4 番目の被符号化画素のコンテキストを受けたコンテキスト比較手段 1 0 6 は、図 1 7 の ( d ) に示すように " 同一でない " 場合を意味する " L " レベルの同一コンテキスト信号を出力する。

## 【 0 3 4 8 】

従って、この期間 T 5 において、コンテキストが同一でなく、2 回以上のリノーマライズ処理を行う必要があるモード III を認識する。

この認識により、図 1 7 に示す期間 T 5 にて、リノーマライズ処理、つまり、コンテキストテーブル記憶手段 1 0 4 の記憶用データの書換処理と A レジスタ 1 0 8 及び C レジスタ 1 1 0 にラッチされた A データ及び C データの 1 ビットシフトアップ処理を行うことになる。

## 【 0 3 4 9 】

この時、つまり、期間 T 5 において、上記したようにシステムクロックの立ち上がりによる画素処理クロック信号の立ち上がりにて、4 番目の被復号化画素に対する算術演算の結果である A データ及び C データが A レジスタ 1 0 8 及び C レジスタ 1 1 0 に取り込まれ、ラッチされる。それとともに、画素処理クロック信号の立ち上がりを受けたコンテキスト生成手段 1 0 2 は、記憶手段 1 0 1 から 5 番目の被復号化画素に対するコンテキストを読み込み、読み込んだコンテキストをコンテキスト記憶手段 1 0 4 のリード用アドレス入力ノード A R 及びコンテキスト記憶手段 1 0 3 に出力する。

## 【 0 3 5 0 】

しかし、A レジスタ 1 0 8 のリノーマライズ発生手段 1 8 2 から " 正規化処理を行わせること " を意味する " 1 " が出力されているとともに 1 回リノーマライズ発生手段 1 8 3 からは " 後 1 回の正規化処理で正規化処理が終了しないこと " を意味する " 0 " が出力されている

10

20

30

40

50

ため、画素処理クロック信号がこの期間 T5 中 "H" レベルを維持し続ける。その結果、A レジスタ 108 及び C レジスタ 110 の記憶内容は更新されず、4 番目の被符号化画素に対する算術演算の結果である A データ及び C データが A レジスタ 108 及び C レジスタ 110 にラッチされ続ける。

【0351】

一方、制御手段 113 は、A レジスタ 108 のリノーマライズ発生手段 182 からの "正規化処理を行うこと" を意味する "1" を受けることによってリノーマライズクロック信号発生手段がセットされてシステムクロック信号に同期したリノーマライズクロック信号を出力するとともに、システムクロック信号に同期した符号シフトクロック信号を出力する。

10

この符号シフトクロック信号の立ち下がりを受けた入力手段 112 は、ラッチしている符号化データを 1 ビットシフトアップしてラッチし直す。

また、リノーマライズクロック信号の立ち下がりを受けた A レジスタ 108 及び C レジスタ 110 はラッチしている A データ及び C データ、つまり、期間 T4 にて算術演算手段 107 にて演算処理された 4 番目の被復号化画素に対する A データ及び C データを 1 ビットシフトアップしてラッチし直す。

【0352】

また、制御手段 113 は、A レジスタ 108 のリノーマライズ発生手段 182 からの "正規化処理を行うこと" を意味する "1" を受けているため、画素処理クロックの立ち上がりを受けて、図 17 の (g) に示すように、システムクロックに同期した書換クロック信号を出力する。

20

この書換クロック信号の立ち下がりを受けたコンテキストテーブル記憶手段 104 は、ライト用アドレス入力ノード AW に受けたコンテキスト記憶手段 103 からのコンテキスト、つまり、4 番目に対する被符号化画素のコンテキストに基づいたアドレスのコンテキストテーブル記憶部に、上記した期間 T4 と同様に記憶用データ記憶手段 114、LSZ 更新論理回路 115 及び MPS 更新論理回路 116 にて構成される書換データ生成手段にて生成された予測シンボル MPSUP 及び LPZUP データからなる書換データを書き込み、記憶することになる。

【0353】

この期間 T5 において、A レジスタ 108 のレジスタ部 181 に記憶された A データは、1 ビットシフトアップされたことにより、10 進数の 0.25 未満 0.125 以上の値になるものの、その最上位ビットの値は "0" であり、次のビットの値も "0" である。

30

従って、A レジスタ 108 のリノーマライズ発生手段 182 からは "正規化処理を行うこと" を意味する "1" からなるリノーマライズ信号を出力し、制御手段 113 に図 17 の (e) に示すように期間 T6 にて "H" レベルのリノーマライズ信号が得られる。

【0354】

また、A レジスタ 108 の 1 回リノーマライズ発生手段 183 からは "後 1 回の正規化処理で正規化処理が終了しないこと" を意味する "0" からなる 1 回リノーマライズ信号を出力し、制御手段 113 に図 17 の (f) に示すように期間 T6 にて "L" レベルの 1 回リノーマライズ信号が得られる。

40

このことは、次の期間 T6 において、リノーマライズ処理における、A レジスタ 108 及び C レジスタ 110 にラッチされた A データ及び C データの 1 ビットシフトアップ処理を行わせることを意味している。

【0355】

したがって、期間 T6 において、制御手段 113 は、A レジスタ 108 の 1 回リノーマライズ発生手段 183 からの "後 1 回の正規化処理で正規化処理が終了しないこと" を意味する "0" を受けていることにより、制御手段 113 のリノーマライズクロック信号発生手段がリセットされず、システムクロック信号に同期したリノーマライズクロック信号を出力するとともに、システムクロック信号に同期した符号シフトクロック信号を出力する。

【0356】

50

この符号シフトクロック信号の立ち下がりを受けた入力手段 112 は、ラッチしている符号化データを 1 ビットシフトアップしてラッチし直す。

また、このリノーマライズクロック信号の立ち下がりを受けた A レジスタ 108 及び C レジスタ 110 はラッチしている A データ及び C データ、つまり、期間 T5 にて 1 ビットシフトアップされた A データ及び C データを、さらに 1 ビットシフトアップしてラッチし直す。

【0357】

なお、制御手段 113 は、A レジスタ 108 の 1 回リノーマライズ発生手段 183 からは "後 1 回の正規化処理で正規化処理が終了しないこと" を意味する "0" が出力されているため、画素処理クロック信号がこの期間 T6 中も "H" レベルを維持し続けるため、図 17 の (g) に示すように、書換クロック信号は "H" レベルである。その結果、コンテキストテーブル記憶手段 104 の記憶内容は書き換えられないことがない。

10

【0358】

この期間 T6 において、A レジスタ 108 のレジスタ部 181 に記憶された A データは、1 ビットシフトアップされたことにより、10 進数の 0.5 未満 0.25 以上の値になるものの、その最上位ビットの値は "0" であり、次のビットの値は "1" になる。

従って、A レジスタ 108 のリノーマライズ発生手段 182 からは "正規化処理を行うこと" を意味する "1" からなるリノーマライズ信号を出力し、制御手段 113 に図 17 の (e) に示すように期間 T7 にて "H" レベルのリノーマライズ信号が得られる。

また、A レジスタ 108 の 1 回リノーマライズ発生手段 183 からは "後 1 回の正規化処理で正規化処理が終了すること" を意味する "1" からなる 1 回リノーマライズ信号を出力し、制御手段 113 に図 17 の (f) に示すように期間 T7 にて "H" レベルの 1 回リノーマライズ信号が得られる。

20

【0359】

このことは、次の期間 T7 において、リノーマライズ処理における、A レジスタ 108 及び C レジスタ 110 にラッチされた A データ及び C データの 1 ビットシフトアップ処理を行わせることを意味し、かつ、後 1 回の正規化処理でこのモード III が終了することを意味している。

つまり、A レジスタ 108 の 1 回リノーマライズ発生手段 183 からは "後 1 回の正規化処理で正規化処理が終了すること" を意味する "1" が出力されることから、上記モード II で説明したと同様に、このリノーマライズ処理を次の被復号化画素の復号化処理を行うシステムクロックの最初のクロック、具体的には図 17 に示すモード IV における期間 T7 に行えることを意味しているものである。このリノーマライズ処理については次に説明するモード IV の動作説明にて詳しく説明する。

30

【0360】

したがって、このモード III においては、リノーマライズの処理回数が 3 回必要なものにおいて、被復号化画素に対するコンテキストの生成から算術演算まで、システムクロックの 1 クロック (サイクル) で行われ、算術演算手段 107 による A データ及び C データそれぞれが A レジスタ 108 及び C レジスタ 110 に記憶され、2 回のリノーマライズ処理がシステムクロックの 2 クロックで行われ、最後のリノーマライズ処理が次の被復号化画素の復号化処理を行うシステムクロックの最初のクロックで行われるものである。従って、モード III における動

40

作時間は実質的にシステムクロックの 3 クロック分ですむものである。

【0361】

なお、制御手段 113 は期間 T4 ~ T6 においてリノーマライズクロック信号を "H" レベルとしているため、C T カウントクロック信号を図 17 の (j) に示すようにシステムクロック信号と同じクロック信号とするものの、3 クロックであるため、制御手段 113 からの符号入力クロック信号が "H" レベルのままであり、入力手段 112 は符号化データを取り込むことがない。

【0362】

50

## 【モードIV】

図17において、(a)に示したシステムクロック信号における期間T7~T8がモードIVにおける主要な各信号の波形の一例を示しているものである。

モードIVについて、5番目の被復号化画素に対して復号化処理がなされたものとして説明する。期間T7において、既に(期間T5において)コンテキスト生成手段102は、記憶手段101から5番目の被復号化画素に対するコンテキストを読み込み、読み込んだコンテキストをコンテキスト記憶手段104のリード用アドレス入力ノードARに出力している。

なお、図17の(c)に5番目の被復号化画素に対してコンテキストがコンテキスト生成手段102によって生成されていることを、符号5にて示している。

10

## 【0363】

コンテキスト記憶手段104においては、リード用アドレス入力ノードARに入力されたコンテキストに基づいて16ビットの記憶用データ(予測シンボルMPS及びLSZデータ)が読み出され、データ出力ノードDOから算術演算手段107に出力する。

## 【0364】

一方、上記したモードIIIの期間T6において後1回のリノーマライズ処理を行う必要があることを示していたため、このモードIVの最初のシステムクロックのクロック期間であるT7において、制御手段113は、Aレジスタ108のリノーマライズ発生手段182からの"正規化処理を行うこと"を意味する"1"を、Aレジスタ108の1回リノーマライズ発生手段183からの"後1回の正規化処理で正規化処理が終了すること"を意味する"1"を受けている。従って、制御手段113は、図17の(e)及び(f)に示すように期間T7において"H"レベルのリノーマライズ信号及び1回リノーマライズ信号を得、しかも、図17の(i)に示すようにシステムクロックの立ち上がりを受けて立ち上がるシフトアップ選択信号を生成することになる。

20

## 【0365】

シフトアップ選択信号が立ち上がることにより、この"後1回の正規化処理で正規化処理が終了すること"を意味するシフトアップ選択信号を受けるAセクタ109は、Aレジスタ108からのAデータを1ビットシフトアップしたデータを選択して算術演算手段107に出力する。

同様に、シフトアップ選択信号を受けるCセクタ111は、Cレジスタ110からのCデータを1ビットシフトアップしたデータを選択して算術演算手段107に出力する。

30

## 【0366】

つまり、この期間T7において、モードIIIにおける、Aレジスタ108及びCレジスタ110にラッチされたAデータ及びCデータの1ビットシフトアップ処理と同等の処理がなされることになる。結果として、モードIIIにおいて、期間T5~T7で3回のリノーマライズ処理が行われることになり、Aセクタ109及びCセクタ111から出力されるAデータ及びCデータは、モードIIIの期間T4において4番目の被復号化画素に対する算術演算されたAデータ及びCデータを3ビットシフトアップ、つまり8倍したAデータ及びCデータになっているものである。

## 【0367】

そして、算術演算手段107(図14参照)では、演算手段172にて上記(5)式に基づき、コンテキストテーブル記憶手段104からの5番目の被復号化画素に対する記憶用データのLSZデータと4番目の被復号化画素のAデータ、つまり、3ビットシフトアップされたAデータと4番目の被復号化画素のCデータ、つまり、3ビットシフトアップされたCデータとによって予測変換信号LPSを生成し、出力する。

40

## 【0368】

この予測変換信号LPSがコンテキストテーブル記憶手段104からの5番目の被復号化画素に対する記憶用データの予測シンボルMPSと一致していると、画像データ発生手段171から例えば"1"を示す画像データを、予測変換信号LPSが予測シンボルMPSと一致していないと例えば"0"を示す画像データを5番目の被復号化画素に対する画像デー

50

タとして記憶手段101に出力する。記憶手段101はこの画像データを記憶する。

【0369】

一方、予測変換信号LPSが(5)式を満足していることを示すと、演算手段172は、上記(6)式に基づき、コンテキストテーブル記憶手段105からの5番目の被復号化画素に対する記憶用データのLSZデータと、4番目の被復号化画素のAデータ、つまり、4番目の被復号化画素に対する算術演算されたAデータが3ビットシフトアップされたAデータとによりAデータを求め、Aレジスタ108に出力する。それとともに、上記(7)式に基づき、4番目の被復号化画素のCデータ、つまり、4番目の被復号化画素に対する算術演算されたCデータが3ビットシフトアップされたCデータをCレジスタ110に出力する。

10

【0370】

予測変換信号が(5)式を満足していないことを示すと、演算手段172は、上記(8)式に基づき、コンテキストテーブル記憶手段104からの5番目の被復号化画素に対する記憶用データのLSZデータをAデータとしてAレジスタ108に出力する。それとともに、上記(9)式に基づき、コンテキストテーブル記憶手段104からの5番目の被復号化画素に対する記憶用データのLSZデータと4番目の被復号化画素のAデータ及びCデータ、つまり、4番目の被復号化画素に対する算術演算されたAデータ及びCデータがそれぞれ3ビットシフトアップされたAデータ及びCデータとによりCデータを求め、Cレジスタ110に出力する。

【0371】

このようにして演算手段172にて演算されたAデータ及びCデータはそれぞれAレジスタ108のレジスタ部181及びCレジスタ110(図15及び図16参照)に制御手段113からの画素処理クロック信号の立ち上がり(期間T8)にて取り込まれ、記憶(記憶内容の書き換え)されることになる。

20

一方、制御手段113は、Aレジスタ108のリノーマライズ発生手段182からの"正規化処理を行うこと"を意味する"1"を受けているものの、この期間T7において書換クロック信号が"H"レベルを維持しているため、コンテキストテーブル記憶手段104の記憶内容は書き換えられることがない。

【0372】

また、制御手段113は、図17の(j)に示すように、システムクロック信号と同期したクロックとなるCTカウントクロック信号を得、図17の(m)に示すように、期間T7にてシステムクロック信号と同期する符号システムクロック信号を生成することになる。この符号システムクロック信号の立ち下がりを受けた入力手段112は、ラッチしている記憶内容を1ビットシフトアップして記憶し直す。

30

【0373】

したがって、このモードIVの期間T7においては、5番目の被復号化画素に対するコンテキストに基づく算術演算までと、4番目の被復号化画素に対する最後のリノーマライズ処理、つまり、Aレジスタ108及びCレジスタ110にラッチされたAデータ及びCデータの1ビットシフトアップ処理とが、システムクロックの1クロック(サイクル)で行われる。

40

【0374】

また、このモードIVにおいては、1回のリノーマライズ処理を必要とする例を示しているため、Aレジスタ108のレジスタ部181に記憶されたAデータは、10進数の0.5未満0.25以上の値になるため、その最上位ビットの値は"0"であり、次のビットの値は"1"である。

従って、Aレジスタ108のリノーマライズ発生手段182からは"正規化処理を行うこと"を意味する"1"からなるリノーマライズ信号を出力し、制御手段113に図17の(e)に示すように期間T8にて"H"レベルのリノーマライズ信号が得られる。

【0375】

また、Aレジスタ108の1回リノーマライズ発生手段183からは"後1回の正規化処

50

理で正規化処理が終了すること"を意味する"1"からなる1回リノーマライズ信号を出力し、制御手段113に図17の(f)に示すように期間T8にて"H"レベルの1回リノーマライズ信号が得られる。

【0376】

さらに、期間T8において、コンテキスト生成手段102からの6番目の被復号化画素のコンテキスト及びコンテキスト記憶手段103からの5番目の被復号化画素のコンテキストを受けたコンテキスト比較手段106は、図17の(d)に示すように"同一である"場合を意味する"H"レベルの同一コンテキスト信号を出力する。

従って、この期間T8において、コンテキストが同一であり、1回のリノーマライズ処理を行う必要があるモードIVを認識する。

10

この認識により、図17に示す期間T8にて、リノーマライズ処理、つまり、コンテキストテーブル記憶手段104の記憶用データの書換処理とAレジスタ108及びCレジスタ110にラッチされたAデータ及びCデータの1ビットシフトアップ処理を行うことになる。

【0377】

この時、つまり、期間T8において、上記したようにシステムクロックの立ち上がりによる画素処理クロック信号の立ち上がりにて、5番目の被復号化画素に対する算術演算の結果であるAデータ及びCデータがAレジスタ108及びCレジスタ110に取り込まれ、ラッチされるとともに、画素処理クロック信号の立ち上がりを受けたコンテキスト生成手段102は、記憶手段101から6番目の被復号化画素に対するコンテキストを読み込み、読み込んだコンテキストをコンテキスト記憶手段104のリード用アドレス入力ノードAR及びコンテキスト記憶手段103に出力する。

20

【0378】

しかし、Aレジスタ108のリノーマライズ発生手段182から"正規化処理を行わせること"を意味する"1"が出力されているとともに1回リノーマライズ発生手段183からは"後1回の正規化処理で正規化処理が終了すること"を意味する"1"が出力され、コンテキスト比較手段106からの同一コンテキスト信号が同一であることを意味しているため、画素処理クロック信号がこの期間T8中"H"レベルを維持し続ける。その結果、Aレジスタ108及びCレジスタ110の記憶内容は更新されず、5番目の被復号化画素に対する算術演算の結果であるAデータ及びCデータがAレジスタ108及びCレジスタ110にラッチされ続ける。

30

【0379】

一方、制御手段113は、Aレジスタ108のリノーマライズ発生手段182からの"正規化処理を行うこと"を意味する"1"を受けることによってリノーマライズクロック信号発生手段がセットされてシステムクロック信号に同期したリノーマライズクロック信号を出力するとともに、システムクロック信号に同期した符号シフトクロック信号を出力する。

この符号シフトクロック信号の立ち下がりを受けた入力手段112は、ラッチしている符号化データを1ビットシフトアップしてラッチし直す。

また、リノーマライズクロック信号の立ち下がりを受けたAレジスタ108及びCレジスタ110はラッチしているAデータ及びCデータ、つまり、期間T7にて算術演算手段107にて演算処理された5番目の被復号化画素に対するAデータ及びCデータを1ビットシフトアップしてラッチし直す。

40

【0380】

また、制御手段113は、Aレジスタ108のリノーマライズ発生手段182からの"正規化処理を行うこと"を意味する"1"を受けているため、画素処理クロックの立ち上がりを受けて、図17の(g)に示すように、システムクロックに同期した書換クロック信号を出力する。

この書換クロック信号の立ち下がりを受けたコンテキストテーブル記憶手段104は、ライト用アドレス入力ノードAWに受けたコンテキスト記憶手段3からのコンテキスト、つ

50

まり、5番目に対する被復号化画素のコンテキストに基づいたアドレスのコンテキストテーブル記憶部に、上記した期間T4と同様に記憶用データ記憶手段114、LSZ更新論理回路115及びMPS更新論理回路116にて構成される書換データ生成手段にて生成された予測シンボルMPSUP及びLPZUPデータからなる書換データを書き込み、記憶することになる。

#### 【0381】

この期間T8において、Aレジスタ108のレジスタ部181に記憶されたAデータは、1ビットシフトアップされたことにより、10進数の0.5以上の値になり、その最上位ビットの値は"1"になる。

従って、Aレジスタ108のリノーマライズ発生手段182からは"正規化処理を行わないこと"を意味する"0"からなるリノーマライズ信号を出力し、制御手段13に図17の(e)に示すように期間T9にて"L"レベルのリノーマライズ信号が得られる。

10

また、Aレジスタ108の1回リノーマライズ発生手段183からは"後1回の正規化処理で正規化処理が終了しないこと"を意味する"0"からなる1回リノーマライズ信号を出力し、制御手段113に図17の(f)に示すように期間T9にて"L"レベルの1回リノーマライズ信号が得られる。

#### 【0382】

したがって、このモードIVにおいては、既にリノーマライズ処理が終了したことを意味し、リノーマライズの処理回数が1回必要なものにおいて、5番目の被復号化画素に対するコンテキストの生成から算術演算まで、システムクロックの1クロック(サイクル)で行われ、算術演算手段107によるAデータ及びCデータそれぞれがAレジスタ108及びCレジスタ110に記憶され、1回のリノーマライズ処理がシステムクロックの1クロックで行われるものである。従って、モードIVにおける動作時間はシステムクロックの2クロック分になる。

20

#### 【0383】

なお、制御手段113は、期間T7及び期間T8において、図17の(e)に示すリノーマライズ信号が"H"レベルであるため、CTカウントクロック信号を図17の(j)に示すようにシステムクロック信号と同じクロック信号とするものの、2クロックであり、前モードからの合計クロック数が5クロックであるため、制御手段113からの符号入力クロック信号が"H"レベルのままであり、入力手段112は符号化データを取り込むことがない。

30

#### 【0384】

##### [モードV]

図17において、(a)に示したシステムクロック信号における期間T9~T13がモードVにおける主要な各信号の波形の一例を示しているものである。

モードVについて、6番目の被復号化画素に対して復号化処理がなされたものとして説明する。期間T9において、既にコンテキスト生成手段102は、記憶手段101から6番目の被復号化画素に対するコンテキストを読み込み、読み込んだコンテキストをコンテキスト記憶手段104のリード用アドレス入力ノードARに出力している。

なお、図17の(c)に6番目の被復号化画素に対してコンテキストがコンテキスト生成手段2によって生成されていることを、符号6にて示している。

40

#### 【0385】

コンテキスト記憶手段104においては、リード用アドレス入力ノードARに入力されたコンテキストに基づいて16ビットの記憶用データ(予測シンボルMPS及びLSZデータ)が読み出され、データ出力ノードDOから算術演算手段107に出力する。

一方、上記したモードIVは期間T8において処理が完了しているため、この期間T9においては、図17の(e)及び(f)に示すように、制御手段113にてそれぞれ"L"レベルのリノーマライズ信号及び1回リノーマライズ信号が得られ、リノーマライズ処理が行われないものである。

#### 【0386】

50

また、期間 T8において画素処理クロック信号が"H"レベルを維持していたため、期間 T9においてシステムクロックが立ち上がっても画素処理クロック信号は"H"レベルのままであり、Aレジスタ108及びCレジスタ110にラッチされているAデータ及びCデータは、期間 T8にてラッチされた期間 T7において5番目の被復号化画素に対する算術演算されたAデータ及びCデータを1ビットシフトアップされたAデータ及びCデータになっている。

【0387】

そして、算術演算手段107(図14参照)では、演算手段172が上記(5)式に基づき、コンテキストテーブル記憶手段104からの6番目の被復号化画素に対する記憶用データのLSZデータと5番目の被復号化画素のAデータと5番目の被復号化画素のCデータとによって予測変換信号LPSを生成し、出力する。

10

画像データ発生手段171は、この予測変換信号LPSが6番目の被復号化画素に対する記憶用データの予測シンボルと一致していると、例えば"1"を示す画像データを、予測変換信号LPSが予測シンボルと一致していないと、例えば"0"を示す画像データを6番目の被復号化画素に対する画像データとして記憶手段101に出力する。記憶手段101はこの画像データを記憶する。

【0388】

一方、演算手段172は、予測変換信号LPSが上記(5)式を満足していることを示すと、上記(6)式に基づき、コンテキストテーブル記憶手段104からの6番目の被復号化画素に対する記憶用データのLSZデータと、5番目の被復号化画素のAデータ、つまり、1ビットシフトアップされたAデータによりAデータを求め、Aレジスタ108に出力する。それとともに、上記(7)式に基づき、5番目の被復号化画素のCデータ、つまり、1ビットシフトアップされたCデータをCレジスタ110に出力する。

20

【0389】

演算手段172は、予測変換信号LPSが上記(5)式を満足していないことを示すと、上記(8)式に基づき、コンテキストテーブル記憶手段104からの6番目の被復号化画素に対する記憶用データのLSZデータをAデータとしてAレジスタ108に出力する。それとともに、上記(9)式に基づき、コンテキストテーブル記憶手段104からの6番目の被復号化画素に対する記憶用データのLSZデータと5番目の被復号化画素のAデータ及びCデータ、つまり、1ビットシフトアップされたAデータ及びCデータとによりCデータを求め、Cレジスタ110に出力する。

30

【0390】

このようにして演算手段172にて演算されたAデータ及びCデータはそれぞれAレジスタ108のレジスタ部181及びCレジスタ110(図15及び図16参照)に制御手段113からの画素処理クロック信号の立ち上がり(期間 T10)にて取り込まれ、記憶(記憶内容の書き換え)されることになる。

一方、制御手段113からの書換クロック信号は図17の(g)に示すように、"H"レベルを維持するため、コンテキストテーブル記憶手段104の記憶内容は書き換えられない。

【0391】

40

また、このモードVにおいては、5回のリノーマライズ処理を必要とする例を示しているため、Aレジスタ108のレジスタ部181に記憶されたAデータは、10進数の0.03125未満0.015625以上の値になるため、その最上位ビットの値は"0"であり、次のビットの値は"0"である。

従って、Aレジスタ108のリノーマライズ発生手段182からは"正規化処理を行うこと"を意味する"1"からなるリノーマライズ信号を出力し、制御手段113に図17の(e)に示すように期間 T10にて"H"レベルのリノーマライズ信号が得られる。

【0392】

また、Aレジスタ108の1回リノーマライズ発生手段183からは"後1回の正規化処理で正規化処理が終了しないこと"を意味する"0"からなる1回リノーマライズ信号を出

50

かし、制御手段 113 に図 17 の (f) に示すように期間 T10 にて "L" レベルの 1 回リノーマライズ信号が得られる。

さらに、期間 T10 において、コンテキスト生成手段 102 からの 7 番目の画素のコンテキスト及びコンテキスト記憶手段 103 からの 6 番目の被復号化画素のコンテキストを受けたコンテキスト比較手段 106 は、図 17 の (d) に示すように "同一である" 場合を意味する "H" レベルの同一コンテキスト信号を出力する。

【0393】

従って、この期間 T10 において、コンテキストが同一であり、2 回以上のリノーマライズ処理を行う必要があるモード V を認識する。

この認識により、図 17 に示す期間 T10 にて、リノーマライズ処理、つまり、コンテキストテーブル記憶手段 104 の記憶用データの書換処理と A レジスタ 108 及び C レジスタ 110 にラッチされた A データ及び C データの 1 ビットシフトアップ処理を行うことになる。

【0394】

この時、つまり、期間 T10 において、上記したようにシステムクロックの立ち上がりによる画素処理クロック信号の立ち上がりにて、6 番目の被復号化画素に対する算術演算の結果である A データ及び C データが A レジスタ 108 及び C レジスタ 110 に取り込まれ、ラッチされる。それとともに、画素処理クロック信号の立ち上がりを受けたコンテキスト生成手段 102 は、記憶手段 101 から 7 番目の被復号化画素に対するコンテキストを読み込み、読み込んだコンテキストをコンテキスト記憶手段 104 のリード用アドレス入力ノード AR 及びコンテキスト記憶手段 103 に出力する。

【0395】

しかし、A レジスタ 108 のリノーマライズ発生手段 182 から "正規化処理を行わせること" を意味する "1" が出力されているとともに 1 回リノーマライズ発生手段 183 から "後 1 回の正規化処理で正規化処理が終了しないこと" を意味する "0" が出力されているため、画素処理クロック信号がこの期間 T10 中 "H" レベルを維持し続ける。その結果、A レジスタ 108 及び C レジスタ 110 の記憶内容は更新されず、6 番目の被復号化画素に対する算術演算の結果である A データ及び C データが A レジスタ 108 及び C レジスタ 110 にラッチされ続ける。

【0396】

一方、制御手段 113 は、A レジスタ 108 のリノーマライズ発生手段 182 からの "正規化処理を行うこと" を意味する "1" を受けることによってリノーマライズクロック信号発生手段がセットされてシステムクロック信号に同期したリノーマライズクロック信号を出力するとともに、システムクロック信号に同期した符号シフトクロック信号を出力する。

この符号シフトクロック信号の立ち下がりを受けた入力手段 112 は、ラッチしている符号化データを 1 ビットシフトアップしてラッチし直す。

【0397】

また、リノーマライズクロック信号の立ち下がりを受けた A レジスタ 108 及び C レジスタ 110 はラッチしている A データ及び C データ、つまり、期間 T9 にて算術演算手段 107 にて演算処理された 6 番目の被復号化画素に対する A データ及び C データを 1 ビットシフトアップしてラッチし直す。

また、制御手段 113 は、A レジスタ 108 のリノーマライズ発生手段 182 からの "正規化処理を行うこと" を意味する "1" を受けているため、画素処理クロックの立ち上がりを受けて、図 17 の (g) に示すように、システムクロックに同期した書換クロック信号を出力する。

【0398】

この書換クロック信号の立ち下がりを受けたコンテキストテーブル記憶手段 104 は、ライト用アドレス入力ノード AW に受けたコンテキスト記憶手段 103 からのコンテキスト、つまり、このモード IV における 6 番目に対する被復号化画素のコンテキストに基づいた

10

20

30

40

50

アドレスのコンテキストテーブル記憶部に、上記した期間 T4と同様に記憶用データ記憶手段 114、LSZ更新論理回路 115 及びMPS更新論理回路 116 にて構成される書換データ生成手段にて生成された予測シンボルMPSUP及びLPZUPデータからなる書換データを書き込み、記憶することになる。

【0399】

この期間 T10において、Aレジスタ 108のレジスタ部 181に記憶されたAデータは、1ビットシフトアップされたことにより、10進数の0.0625未満0.03125以上の値になるものの、その最上位ビットの値は"0"であり、次のビットの値も"0"である。

従って、Aレジスタ 108のリノーマライズ発生手段 182からは"正規化処理を行うこと"を意味する"1"からなるリノーマライズ信号を出力し、制御手段 113に図 17の(e)に示すように期間 T11にて"H"レベルのリノーマライズ信号が得られる。

10

【0400】

また、Aレジスタ 108の1回リノーマライズ発生手段 183からは"後1回の正規化処理で正規化処理が終了しないこと"を意味する"0"からなる1回リノーマライズ信号を出力し、制御手段 113に図 17の(f)に示すように期間 T11にて"L"レベルの1回リノーマライズ信号が得られる。

このことは、期間 T11において、リノーマライズ処理における、Aレジスタ 108及びCレジスタ 110にラッチされたAデータ及びCデータの1ビットシフトアップ処理を行わせることを意味している。

20

【0401】

したがって、期間 T11において、制御手段 113は、Aレジスタ 108の1回リノーマライズ発生手段 183からの"後1回の正規化処理で正規化処理が終了しないこと"を意味する"0"を受けていることにより、制御手段 113のリノーマライズクロック信号発生手段がリセットされず、システムクロック信号に同期したリノーマライズクロック信号を出力するとともに、システムクロック信号に同期した符号シフトクロック信号を出力する。

【0402】

この符号シフトクロック信号の立ち下がりを受けた入力手段 112は、ラッチしている符号化データを1ビットシフトアップしてラッチし直す。

また、リノーマライズクロック信号の立ち下がりを受けたAレジスタ 108及びCレジスタ 110はラッチしているAデータ及びCデータ、つまり、期間 T10にて1ビットシフトアップされたAデータ及びCデータを、さらに1ビットシフトアップしてラッチし直す。

30

【0403】

なお、制御手段 113は、この期間 T11中、書換クロック信号を"H"レベルにしているため、コンテキストテーブル記憶手段 104の記憶内容は書き換えられることがない。

さらに、この期間 T11において、Aレジスタ 108のレジスタ部 181に記憶されたAデータは、1ビットシフトアップされたことにより、10進数の0.125未満0.0625以上の値になるものの、その最上位ビットの値は"0"であり、次のビットの値も"0"である。

従って、Aレジスタ 108のリノーマライズ発生手段 182からは"正規化処理を行うこと"を意味する"1"からなるリノーマライズ信号を出力し、制御手段 113に図 17の(e)に示すように期間 T12にて"H"レベルのリノーマライズ信号が得られる。

40

【0404】

また、Aレジスタ 108の1回リノーマライズ発生手段 183からは"後1回の正規化処理で正規化処理が終了しないこと"を意味する"0"からなる1回リノーマライズ信号を出力し、制御手段 113に図 17の(f)に示すように期間 T12にて"L"レベルの1回リノーマライズ信号が得られる。

このことは、期間 T12において、リノーマライズ処理における、Aレジスタ 108及びCレジスタ 110にラッチされたAデータ及びCデータの1ビットシフトアップ処理を行わせることを意味している。

50

## 【0405】

したがって、期間T12において、制御手段113は、Aレジスタ108の1回リノーマライズ発生手段183からの"後1回の正規化処理で正規化処理が終了しないこと"を意味する"0"を受けていることにより、制御手段113のリノーマライズクロック信号発生手段がリセットされず、システムクロック信号に同期したリノーマライズクロック信号を出力する。

なお、この期間T12において、制御手段113は、図17の(j)に示すようにCTカウンタクロック信号のカウント数が8になり、この実施の形態2では送信するための符号化データのビット数を8としているため、符号システムクロック信号はシステムクロック信号に同期せず、"H"レベルを維持し、符号入力クロック信号をシステムクロック信号に同期した信号となしている。

10

## 【0406】

この符号入力クロック信号の立ち下がりを受けた入力手段112は、送信されてくる8ビットの符号化データを取り込み、前の符号化データをこの取り込んだ符号化データに書き換え、記憶する。

また、リノーマライズクロック信号の立ち下がりを受けたAレジスタ108及びCレジスタ110はラッチしているAデータ及びCデータ、つまり、期間T11にて1ビットシフトアップされたAデータ及びCデータを、さらに1ビットシフトアップしてラッチし直す。

## 【0407】

なお、制御手段113は、この期間T12中、図17の(g)に示すように、書換クロック信号を"H"レベルとしているため、コンテキストテーブル記憶手段104の記憶内容は書き換えられることがない。

20

さらに、この期間T12において、Aレジスタ108のレジスタ部181に記憶されたAデータは、1ビットシフトアップされたことにより、10進数の0.25未満0.125以上の値になるものの、その最上位ビットの値は"0"であり、次のビットの値も"0"である。

従って、Aレジスタ108のリノーマライズ発生手段182からは"正規化処理を行うこと"を意味する"1"からなるリノーマライズ信号を出力し、制御手段113にて図17の(e)に示すように期間T13にて"H"レベルのリノーマライズ信号が得られる。

## 【0408】

また、Aレジスタ108の1回リノーマライズ発生手段183からは"後1回の正規化処理で正規化処理が終了しないこと"を意味する"0"からなる1回リノーマライズ信号を出力し、制御手段113にて図17の(f)に示すように期間T13にて"L"レベルの1回リノーマライズ信号が得られる。

30

このことは、期間T13において、リノーマライズ処理における、Aレジスタ108及びCレジスタ110にラッチされたAデータ及びCデータの1ビットシフトアップ処理を行わせることを意味している。

## 【0409】

したがって、期間T13において、制御手段113は、Aレジスタ108の1回リノーマライズ発生手段183からの"後1回の正規化処理で正規化処理が終了しないこと"を意味する"0"を受けていることにより、制御手段113のリノーマライズクロック信号発生手段がリセットされず、システムクロック信号に同期したリノーマライズクロック信号を出力するとともに、システムクロック信号に同期した符号シフトクロック信号を出力する。

40

## 【0410】

この符号シフトクロック信号の立ち下がりを受けた入力手段112は、ラッチしている符号化データを1ビットシフトアップしてラッチし直す。

このリノーマライズクロック信号の立ち下がりを受けたAレジスタ108及びCレジスタ110はラッチしているAデータ及びCデータ、つまり、期間T12にて1ビットシフトアップされたAデータ及びCデータを、さらに1ビットシフトアップしてラッチし直す。

なお、制御手段113は、この期間T13中、図17の(g)に示すように、書換クロック

50

信号を"H"レベルとしているため、コンテキストテーブル記憶手段104の記憶内容は書き換えられない。

**【0411】**

さらに、この期間T13において、Aレジスタ108のレジスタ部181に記憶されたAデータは、1ビットシフトアップされたことにより、10進数の0.5未満0.25以上の値になり、その最上位ビットの値は"0"であり、次のビットの値は"1"になる。

従って、Aレジスタ108のリノーマライズ発生手段182からは"正規化処理を行うこと"を意味する"1"からなるリノーマライズ信号を出力し、制御手段113にて図17の(e)に示すように期間T14にて"H"レベルのリノーマライズ信号が得られる。

**【0412】**

また、Aレジスタ108の1回リノーマライズ発生手段183からは"後1回の正規化処理で正規化処理が終了すること"を意味する"1"からなる1回リノーマライズ信号を出力し、制御手段113にて図17の(f)に示すように期間T14にて"H"レベルの1回リノーマライズ信号が得られる。

このことは、期間T14において、リノーマライズ処理における、Aレジスタ108及びCレジスタ110にラッチされたAデータ及びCデータの1ビットシフトアップ処理を行わせることを意味し、かつ後1回の正規化処理でこのモードVが終了することを意味している。

**【0413】**

つまり、Aレジスタ108の1回リノーマライズ発生手段183からは"後1回の正規化処理で正規化処理が終了すること"を意味する"1"が出力されることから、このリノーマライズ処理を次の被復号化画素の復号化処理を行うシステムクロックの最初のクロック、具体的には図17に示す期間T14にて行えることを意味しているものである。

つまり、期間T14におけるシステムクロックの立ち上がりを受けて、制御手段113は図17の(e)及び(f)に示すように"H"レベルのリノーマライズ信号及び1回リノーマライズ信号を得、しかも、図17の(i)に示すようにシステムクロック信号の立ち上がりを受けて立ち上がるシフトアップ選択信号を出力することになる。

**【0414】**

シフトアップ選択信号が立ち上がることにより、この"後1回の正規化処理で正規化処理が終了すること"を意味するシフトアップ選択信号を受けるAセクタ109は、Aレジスタ108からのAデータを1ビットシフトアップしたデータを選択して算術演算手段107に出力する。

同様に、シフトアップ選択信号を受けるCセクタ111は、Cレジスタ110からのCデータを1ビットシフトアップしたデータを選択して算術演算手段107に出力する。

**【0415】**

つまり、この期間T14において、モードVにおける、Aレジスタ8及びCレジスタ10にラッチされたAデータ及びCデータの1ビットシフトアップ処理と同等の処理がなされることになる。結果として、モードVにおいて、期間T10~T14で5回のリノーマライズ処理が行われることになり、Aセクタ9及びCセクタ11から出力されるAデータ及びCデータは、モードVの期間T9において6番目の被復号化画素に対する算術演算されたAデータ及びCデータを5ビットシフトアップしたAデータ及びCデータになっているものである。

**【0416】**

したがって、このモードVにおいては、リノーマライズの処理回数が5回必要なものにおいて、6番目の被復号化画素に対するコンテキストの生成から算術演算まで、システムクロックの1クロック(サイクル)で行われ、算術演算手段107によるAデータ及びCデータそれぞれがAレジスタ108及びCレジスタ110に記憶され、4回のリノーマライズ処理がシステムクロックの4クロックで行われ、最後のリノーマライズ処理が次の被復号化画素の復号化処理を行うシステムクロックの最初のクロックで行われるものである。従って、モードVにおける動作時間は実質的にシステムクロックの5クロック分ですむも

10

20

30

40

50

のである。

【0417】

なお、制御手段113は、期間T10~T13において、リノーマライズ信号を"H"レベルとしているため、CTカウントクロック信号を図17の(j)に示すようにシステムクロック信号と同じクロック信号とし、4クロック出力する。したがって、前モードまでの合計クロック数が5クロックであるため、送信するための符号化データのビット数と同じ数、この実施の形態2においては8ビットと同じ数を制御手段113がカウントすると、次のシステムクロックに同期して図17の(k)に示すように"L"レベルとなる符号入力クロック信号を制御手段113が出力する。

【0418】

期間T12の説明にて説明したように、制御手段113からの符号入力クロック信号の"L"レベルへの立ち下がりを入力手段112が受けると、この実施の形態2では送信されてくる8ビットの符号化データを一括してパラレルに入力手段112に取り込み、ラッチし直すことになる。

【0419】

以上に述べたように、このように構成されたデジタル情報復号化装置にあって、システムクロック信号の処理クロック数は次のようになる。

すなわち、リノーマライズが無い、つまり、被復号化画素に対するAデータが10進数で0.5以上を示す正規化処理を必要としない場合のモードIでは1回である。

リノーマライズが有り、つまり、被復号化画素に対するAデータが10進数で0.5未満を示す正規化処理を必要とし、かつ被復号化画素に対するコンテキストと被復号化画素の1つ後の画素のコンテキストとが同一でなく、リノーマライズの回数が1回である場合のモードIIでは1回である。

【0420】

リノーマライズが有り、かつ被復号化画素に対するコンテキストと被復号化画素の1つ後の画素のコンテキストとが同一でなく、リノーマライズの回数が1回を超える場合のモードIIIではリノーマライズの回数と同じ回数である。

リノーマライズが有り、かつ被復号化画素に対するコンテキストと被復号化画素の1つ後の画素のコンテキストとが同一で、リノーマライズの回数が1回である場合のモードIVでは2回である。

リノーマライズが有り、かつ被復号化画素に対するコンテキストと被復号化画素の1つ後の画素のコンテキストとが同一で、リノーマライズの回数が1回を超える場合のモードVではリノーマライズの回数と同じ回数である。

【0421】

すなわち、モードII、III及びVでは、最後のリノーマライズ処理を次の被復号化画素の処理に対するシステムクロックの最初のクロックにて次の被復号化画素の処理と一緒に進めるため、実質的に1クロック分削減でき、復号化に対する処理速度の高速化が図れるものである。

【0422】

そして、このように構成されたデジタル情報復号化装置にあって、復号化に対して圧縮率が最悪(圧縮率がほぼ1)の場合、ほとんどの被復号化画素に対する処理モードがモードIIになると予想される。この場合においても、モードIIの動作時間は実質的にシステムクロックの1クロック分がよく、ほとんどの被復号化画素に対する処理がシステムクロックの1クロックで処理されることになり、復号化に対する処理速度の高速化が図れるものである。しかも、この1クロック分に要する時間は、実質的にコンテキストテーブル記憶手段104のアクセス時間と、算術演算手段107のアクセス時間の和になり、システムクロックの周期を短くでき、高速化が図れるものである。

【0423】

さらに、上記実施の形態1にて説明したデジタル情報符号化装置によって符号化された符号化データを、リアルタイムで復号でき、送信されてきた符号化データを蓄積するための

10

20

30

40

50

メモリ、つまり、入力手段 112 の容量を小さくでき、結果としてデジタル情報復号化装置を組み込んだ半導体集積回路装置を小型化、低コスト化を図れるものである。

【0424】

一方、上記のように構成されたデジタル情報復号化装置においては、コンテキストテーブル記憶手段 104 のコンテキストテーブル記憶部に記憶する記憶用データとして予測シンボル MPS 及び LSZ データとしているため、コンテキストテーブル記憶手段 104 を記憶容量の小さい 2 ポート RAM にて構成できる。その結果、デジタル情報復号化装置を半導体集積回路にて形成した際、コンテキストテーブル記憶手段 104 の占める割合を小さくでき、集積化に適したデジタル情報復号化装置が得られるものである。

【0425】

しかも、コンテキストテーブル記憶手段 104 へ与える書換データを生成する書換データ生成手段を、記憶用データ記憶手段 114、LSZ 更新論理回路 115 及び MPS 更新論理回路 116 にて構成している。しかも、記憶用データ記憶手段 114 をラッチ回路にて形成し、LSZ 更新論理回路 115 を例えば P チャネル MOS トランジスタと N チャネル MOS トランジスタとによって構成される論理回路（この実施の形態 2 では約 2 K ゲートで構成されている）によって形成し、MPS 更新論理回路 116 を例えばイクスクルーシブオア回路である論理回路によって形成しているため、デジタル情報復号化装置を半導体集積回路にて形成した際、書換データ生成手段の占める割合を小さくでき、集積化に適したデジタル情報復号化装置が得られるものである。

【0426】

実施の形態 3 .

図 18 はこの発明の実施の形態 3 を示すものであり、例えば、ファクシミリに適用した場合の半導体集積回路化されたデジタル情報符号化・復号化装置を示すものである。

このデジタル情報符号化・復号化装置は、基本的には上記した実施の形態 1 にて示したデジタル情報符号化装置と実施の形態 2 にて示したデジタル情報復号化装置とを 1 つの半導体集積回路装置として組み込んだものである。

つまり、記憶手段 1、コンテキスト生成手段 2、コンテキスト記憶手段 3、コンテキストテーブル記憶手段 4、並びに記憶用データ記憶手段 114、LSZ 更新論理回路 115 及び MPS 更新論理回路 116 にて構成される書換データ生成手段を上記した実施の形態 1 と同様のものとし、符号化及び復号化に際して兼用して用いるものとしている。

【0427】

また、算術演算手段 7、A レジスタ 8、A セレクタ 9、C レジスタ 10、C セレクタ 11、出力手段 12 及び制御手段 13 によって構成される符号化カーネル部は、上記した実施の形態 1 と同様のものとしている。そして、この符号化カーネル部はエンコード/デコード切換信号によって活性・非活性状態を制御され、制御手段 13 が活性状態にされると上記実施の形態 1 と同様に動作するものである。

【0428】

算術演算手段 107、A レジスタ 108、A セレクタ 109、C レジスタ 110、C セレクタ 111、入力手段 112 及び制御手段 113 によって構成される復号化カーネル部は、上記した実施の形態 2 と同様のものとしている。そして、この復号化カーネル部はエンコード/デコード切換信号によって活性・非活性状態を制御され、制御手段 113 が活性状態にされると上記実施の形態 2 と同様に動作するものである。

【0429】

そして、記憶手段 1、コンテキスト生成手段 2、コンテキスト記憶手段 3、コンテキストテーブル記憶手段 4、並びに記憶用データ記憶手段 114、LSZ 更新論理回路 115 及び MPS 更新論理回路 116 にて構成される書換データ生成手段を、符号化又は復号化として使用するために、符号化・復号化選択手段 200 が設けられているものである。

この符号化・復号化選択手段 200 は、一方の入力端 A に算術演算手段 107 からの予測変換信号 LPS と制御手段 113 からの画素処理クロック信号及び書換クロック信号とを受け、他方の入力端 B に算術演算手段 7 からの予測変換信号 LPS と制御手段 13 からの

10

20

30

40

50

画素処理クロック信号及び書換クロック信号とを受け、入力されるエンコード/デコード切換信号に基づいて、一方の入力端Aまたは他方の入力端Bに入力された信号を選択して出力するものである。

**【0430】**

そして、入力されるエンコード/デコード切換信号がエンコードを示すと、他方の入力端Bに入力された信号を選択し、算術演算手段7からの予測変換信号LPSをLSZ更新論理回路15に、制御手段13からの画素処理クロック信号をコンテキスト生成手段2及びコンテキスト記憶手段3及び記憶用データ記憶手段14に、制御手段13からの書換クロック信号をコンテキストテーブル記憶手段4のライトイネーブル信号入力ノードWEにそれぞれ出力する。

10

**【0431】**

また、入力されるエンコード/デコード切換信号がデコードを示すと、一方の入力端Aに入力された信号を選択し、算術演算手段107からの予測変換信号LPSをLSZ更新論理回路15に、制御手段113からの画素処理クロック信号をコンテキスト生成手段2及びコンテキスト記憶手段3及び記憶用データ記憶手段14に、制御手段113からの書換クロック信号をコンテキストテーブル記憶手段4のライトイネーブル信号入力ノードWEにそれぞれ出力するものである。

**【0432】**

要するに、このように構成されたデジタル情報符号化・復号化装置は、エンコード/デコード切換信号がエンコードを示すと、記憶手段1、コンテキスト生成手段2、コンテキスト記憶手段3、コンテキストテーブル記憶手段4、並びに記憶用データ記憶手段114、LSZ更新論理回路115及びMPS更新論理回路116にて構成される書換データ生成手段、コンテキスト比較手段6、算術演算手段7、Aレジスタ8、Aセクタ9、Cレジスタ10、Cセクタ11、出力手段12、制御手段13及び符号化・復号化選択手段300によって上記した実施の形態1と同様のデジタル情報符号化装置として動作、機能する。

20

**【0433】**

エンコード/デコード切換信号がデコードを示すと、記憶手段1、コンテキスト生成手段2、コンテキスト記憶手段3、コンテキストテーブル記憶手段4、並びに記憶用データ記憶手段114、LSZ更新論理回路115及びMPS更新論理回路116にて構成される書換データ生成手段、コンテキスト比較手段6、算術演算手段107、Aレジスタ108、Aセクタ109、Cレジスタ110、Cセクタ111、入力手段112、制御手段113及び符号化・復号化選択手段300によって上記した実施の形態2と同様のデジタル情報復号化装置として動作、機能するものである。

30

**【0434】**

なお、上記したデジタル情報符号化・復号化装置にあって、エンコード/デコード切換信号の変わりに、一定の電圧、例えば電源電圧または接地電圧を印加する構成として、符号化カーネル部を常に活性状態、復号化カーネル部を常に非活性状態、符号化・復号化選択手段300を常に他方の入力端Bを選択する状態にしてデジタル情報符号化装置として使用してもよい。また、符号化カーネル部を常に非活性状態、復号化カーネル部を常に活性状態、符号化・復号化選択手段300を常に一方の入力端Aを選択する状態にしてデジタル情報復号化装置として使用してもよいものである。

40

**【0435】**

このように構成されたデジタル情報符号化・復号化装置にあっては、上記した実施の形態1及び2と同様の効果を奏する他、符号化装置及び復号化装置を1つの半導体集積回路装置として構成でき、符号化装置と復号化装置とを別々に製造しなくとも、符号化装置及び復号化装置両者、符号化装置単独、復号化装置単独のものに対して同じ半導体集積回路装置にて供給できるものである。

**【0436】****【発明の効果】**

50

本発明によれば、コンテキストテーブル記憶手段は、システムクロックの1クロック内で記憶内容の読み出しと記憶内容の書き込み（書き換え）とを行えるRAMにて構成している。このため、モードII、I II及びVでは、最後のリノーマライズ処理を次の被復号化画素の処理に対するシステムクロックの最初のクロックにて次の被復号化画素の処理と一緒にできる。符号化に対して圧縮率が最悪（圧縮率がほぼ1）の場合は、ほとんどの被復号化画素に対する処理モードがモードIIになると予想される。この場合においても、モードIIの動作時間は実質的にシステムクロックの1クロック分よく、ほとんどの被復号化画素に対する処理がシステムクロックの1クロックで処理されることになり、符号化に対する処理速度の高速化が図れる。

【図面の簡単な説明】

【図1】この発明の実施の形態1を示すブロック図。

【図2】テンプレートの一例を示す図。

【図3】コンテキストテーブル記憶手段4、104におけるコンテキストテーブルの一例を示す図。

【図4】この発明の実施の形態1ないし実施の形態3に用いられるコンテキストテーブル記憶手段4、104の一例を示すブロック図。

【図5】この発明の実施の形態1ないし実施の形態3におけるコンテキストテーブル記憶手段4、104のメモリセルMCの一例を示す回路図。

【図6】この発明の実施の形態1及び実施の形態3における算術演算手段7の一例を示すブロック図。

【図7】この発明の実施の形態1及び実施の形態3におけるAレジスタ8及びAセクタ9の一例を示すブロック図。

【図8】この発明の実施の形態1及び実施の形態3におけるCレジスタ10及びCセクタ11の一例を示すブロック図。

【図9】この発明の実施の形態1ないし実施の形態3におけるLSZ論理更新回路15、115の論理を組むための真理値表を示す図。

【図10】この発明の実施の形態1ないし実施の形態3における動作モードを示す図。

【図11】この発明の実施の形態1及び実施の形態3における主要部における信号の波形を示す波形図。

【図12】この発明の実施の形態1におけるAデータ及びCデータの概念を示す図。

【図13】この発明の実施の形態2を示すブロック図。

【図14】この発明の実施の形態2及び実施の形態3における算術演算手段107の一例を示すブロック図。

【図15】この発明の実施の形態2及び実施の形態3におけるAレジスタ108及びAセクタ109の一例を示すブロック図。

【図16】この発明の実施の形態2及び実施の形態3におけるCレジスタ110及びCセクタ111の一例を示すブロック図。

【図17】この発明の実施の形態2及び実施の形態3における主要部における信号の波形を示す波形図。

【図18】この発明の実施の形態3を示すブロック図。

【符号の説明】

1 記憶手段、2 コンテキスト生成手段、3 コンテキスト記憶手段、4 コンテキストテーブル記憶手段、6 コンテキスト比較手段、7 算術演算手段、8 Aレジスタ、9 Aセクタ、10 Cレジスタ、11 Cセクタ、12 出力手段、13 制御手段、14 記憶用データ記憶手段、15 LSZ更新論理回路、16 MPS更新論理回路、107 算術演算手段、108 Aレジスタ、109 Aセクタ、110 Cレジスタ、111 Cセクタ、112 入力手段、113 制御手段、114 記憶用データ記憶手段、115 LSZ更新論理回路、116 MPS更新論理回路、200 符号化・復号化選択手段。

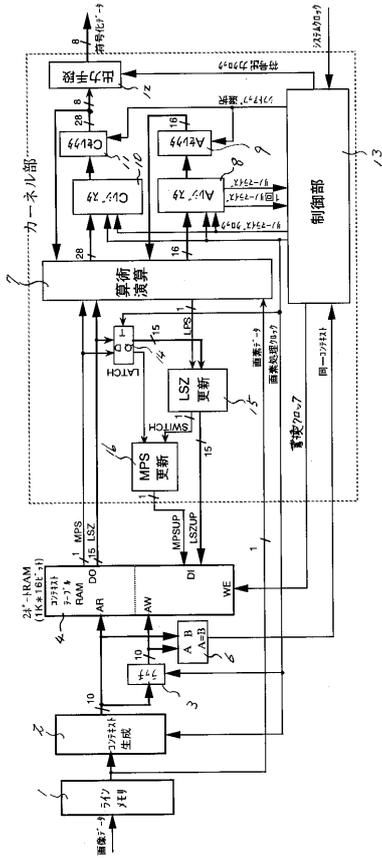
10

20

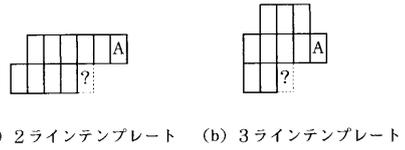
30

40

【図1】



【図2】



【図3】

アドレス	MPS	LSZ
000000000	0	5a1d
000000001	0	2586
...	...	...
000000101	0	5a7f
111111111	1	59eb

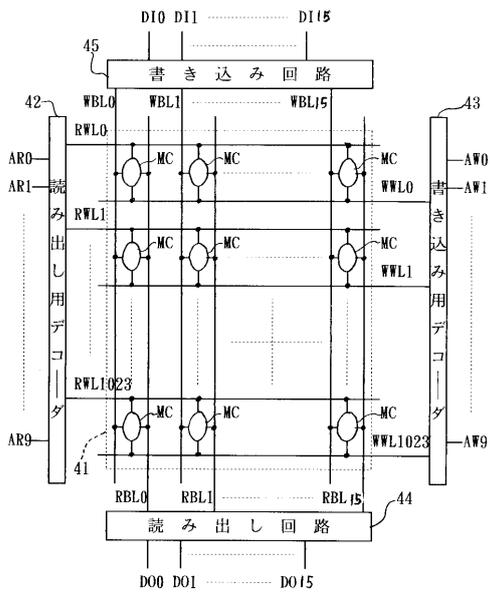
(a) コンテキストテーブル

↓

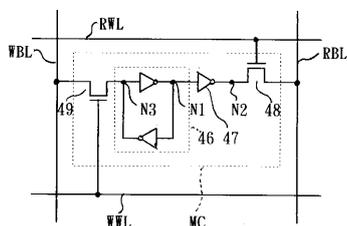
アドレス	MPS	LSZ
000000000	0	5a1d
000000001	0	2586
...	...	...
000000101	0	3f25
111111111	1	59eb

(b) 更新後のコンテキストテーブル

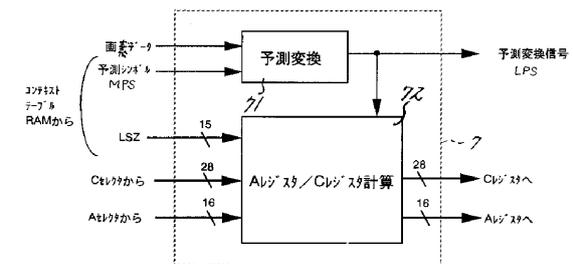
【図4】



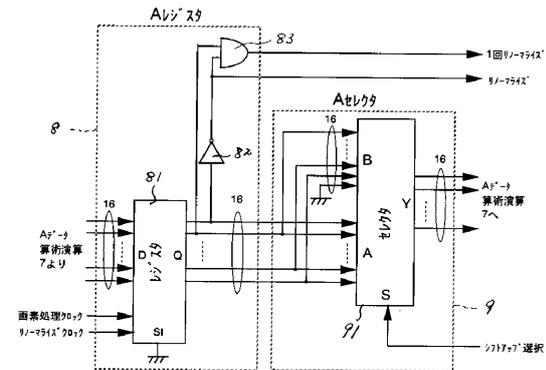
【図5】



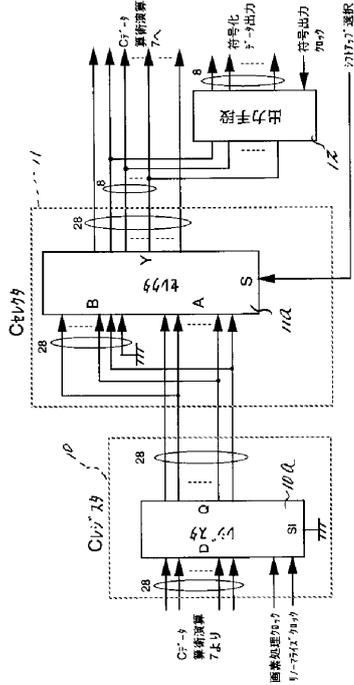
【図6】



【図7】



【 図 8 】



【 図 9 】

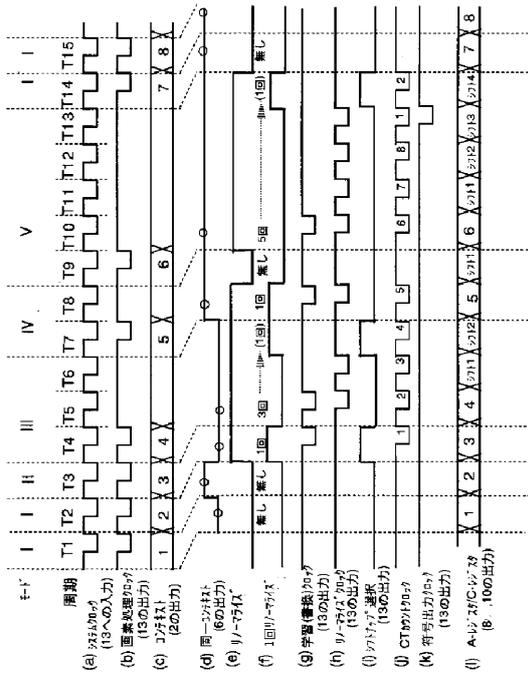
No.	入 力		出 力	
	LPS	LSZ	LSZUP	SWITCH
0	0	5a1d	2586	0
1	0	2586	1114	0
2	0	1114	080b	0
3	0	080b	03d8	0
...	...	...	...	...
14	0	5a7f	3f25	0
...	...	...	...	...
111	0	5522	504f	0
112	0	59eb	5522	0
...	...	...	...	...
113	1	5a1d	2586	1
114	1	2586	5a7f	0
115	1	1114	2cf2	0
116	1	080b	17b9	0
...	...	...	...	...
227	1	5a7f	3f25	1
...	...	...	...	...
224	1	5522	59eb	0
225	1	59eb	59eb	1

(LSZ,LSZUPは16進表示)

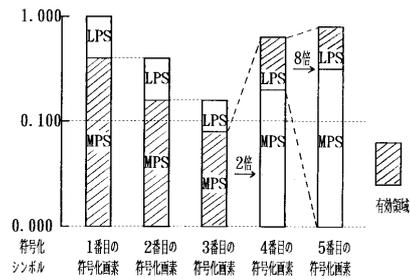
【 図 10 】

条件	モード	I	II	III	IV	V
リノーマライズ有無	無し			有		有
コンテキスト同一性	-		≠			=
リノーマライズの値 (ビット数)	0	r=1	r>1	r=1	r>1	
処理クロック数		1	1	r	2	r

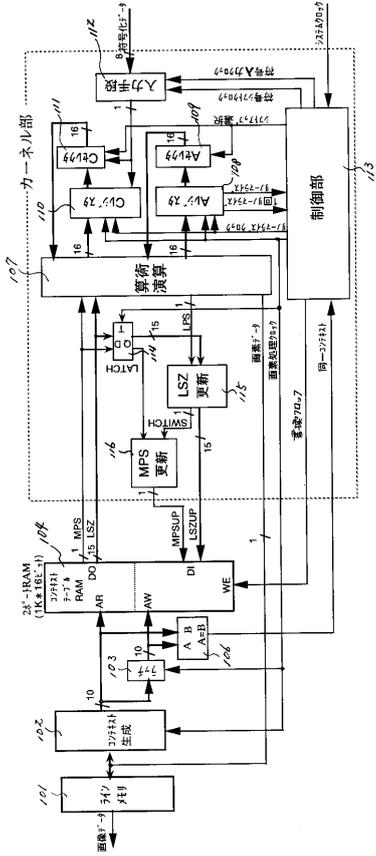
【 図 11 】



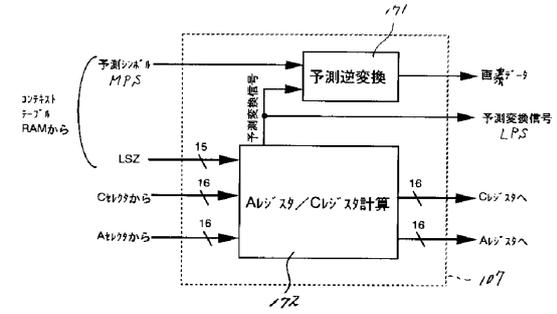
【 図 12 】



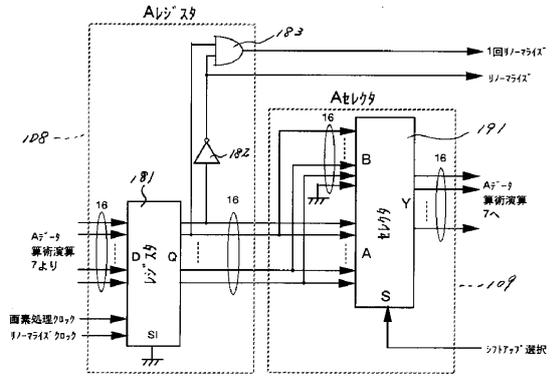
【図13】



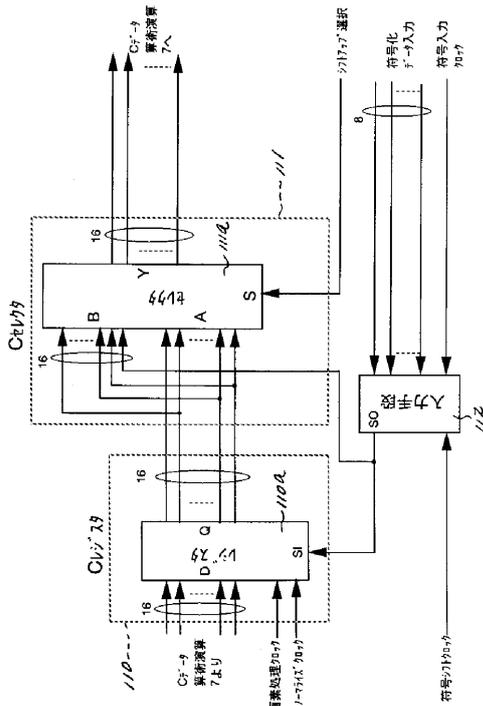
【図14】



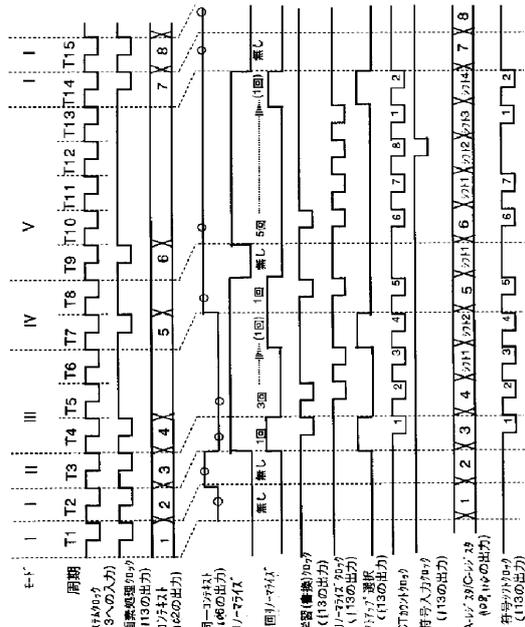
【図15】



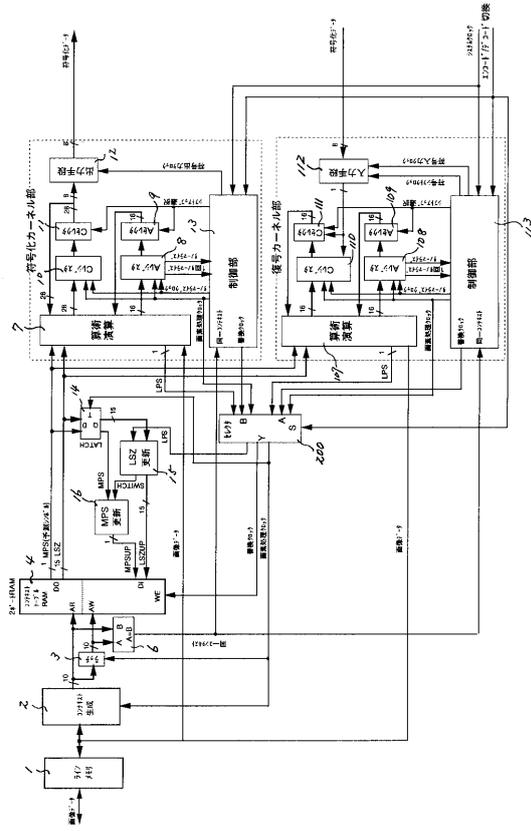
【図16】



【図17】



【図18】



---

フロントページの続き

- (56)参考文献 特開平06-311045(JP,A)  
特開平9-298668(JP,A)  
特許第3409552(JP,B2)

- (58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
H04N 1/413  
H03M 7/30