

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3847645号  
(P3847645)

(45) 発行日 平成18年11月22日(2006.11.22)

(24) 登録日 平成18年9月1日(2006.9.1)

(51) Int. Cl.		F I	
HO 1 L 27/105	(2006.01)	HO 1 L 27/10	4 4 4 B
HO 1 L 21/8246	(2006.01)	HO 1 L 27/10	4 8 1
HO 1 L 27/10	(2006.01)		

請求項の数 13 (全 33 頁)

(21) 出願番号	特願2002-77714 (P2002-77714)	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成14年3月20日 (2002.3.20)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2003-282832 (P2003-282832A)	(74) 代理人	100091672 弁理士 岡本 啓三
(43) 公開日	平成15年10月3日 (2003.10.3)	(72) 発明者	加藤 吉和 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
審査請求日	平成16年11月24日 (2004.11.24)		審査官 柴山 将隆
		(56) 参考文献	特開平11-087639 (JP, A) 特開2001-156270 (JP, A) )

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の上方に形成された絶縁膜と、

前記絶縁膜のメモリセル領域の上に順に形成された第1下部電極、第1強誘電体膜及び第1上部電極を有する第1キャパシタと、

前記絶縁膜の周辺回路領域の上に順に形成された第2下部電極、第2強誘電体膜及び第2上部電極を有する第2キャパシタとを有し、

前記第1強誘電体膜は鉛を含む複数種類の元素からなるPZT系材料から構成され、

前記第2強誘電体膜は鉛を含む複数種類の元素からなるPZT系材料から構成され、

前記第2強誘電体膜内の鉛の濃度は、前記第1強誘電体膜内の鉛の濃度よりも低いことを特徴とする半導体装置。 10

【請求項2】

半導体基板の上方に形成された絶縁膜と、

前記絶縁膜のメモリセル領域の上に順に形成された第1下部電極、第1強誘電体膜及び第1上部電極を有する第1キャパシタと、

前記絶縁膜の周辺回路領域の上に順に形成された第2下部電極、第2強誘電体膜及び第2上部電極を有する第2キャパシタとを有し、

前記第1強誘電体膜はBi又はTaを含む複数種類の元素からなるBi層状構造化合物から構成され、

前記第2強誘電体膜はBi又はTaを含む複数種類の元素からなるBi層状構造化合物 20

から構成され、

前記第 2 強誘電体膜内の B i 又は T a の濃度は、前記第 1 強誘電体膜内の B i 又は T a の濃度よりも低いことを特徴とする半導体装置。

【請求項 3】

前記第 1 キャパシタを覆い且つ前記第 2 キャパシタを露出する保護膜を有することを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

半導体基板の上方に絶縁膜を形成する工程と、

前記絶縁膜のメモリセル領域と周辺回路領域のそれぞれの上に第 1 の導電膜を形成する工程と、

鉛を含む複数種類の元素からなる P Z T 系材料で構成される強誘電体膜を前記第 1 の導電膜の上に形成する工程と、

前記 P Z T 系材料で構成される強誘電体膜の上に第 2 の導電膜を形成する工程と、

前記第 2 の導電膜をパターニングすることにより、前記メモリセル領域では第 1 キャパシタを構成する第 1 上部電極を形成するとともに前記周辺回路領域では第 2 キャパシタを構成する第 2 上部電極を形成する工程と、

前記 P Z T 系材料で構成される強誘電体膜をパターニングすることにより、前記メモリセル領域では前記第 1 キャパシタを構成する第 1 誘電体膜を形成するとともに前記周辺回路領域では前記第 2 キャパシタを構成する第 2 誘電体膜を形成する工程と、

前記第 1 の導電膜をパターニングすることにより、前記メモリセル領域では前記第 1 キャパシタを構成する第 1 下部電極を形成するとともに前記周辺回路領域では前記第 2 キャパシタを構成する第 2 下部電極を形成する工程と、

前記第 1 キャパシタを保護絶縁膜により覆いながら前記第 2 キャパシタをアニールして前記第 2 誘電体膜を構成する前記 P Z T 系材料で構成される強誘電体膜内の鉛の濃度を、前記第 1 誘電体膜を構成する前記 P Z T 系材料で構成される強誘電体膜内の鉛の濃度よりも選択的に低くする工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 5】

半導体基板の上方に絶縁膜を形成する工程と、

前記絶縁膜のメモリセル領域と周辺回路領域のそれぞれの上に第 1 の導電膜を形成する工程と、

鉛を含む複数種類の元素からなる P Z T 系材料で構成される強誘電体膜を前記第 1 の導電膜の上に形成する工程と、

前記 P Z T 系材料で構成される強誘電体膜の上に第 2 の導電膜を形成する工程と、

前記第 2 の導電膜をパターニングすることにより、前記メモリセル領域では第 1 キャパシタを構成する第 1 上部電極を形成するとともに前記周辺回路領域では第 2 キャパシタを構成する第 2 上部電極を形成する工程と、

前記第 1 上部電極及び前記 P Z T 系材料で構成される強誘電体膜を前記メモリセル領域で保護絶縁膜により覆いながら前記周辺回路領域内の前記第 2 上部電極と前記 P Z T 系材料で構成される強誘電体膜をアニールして、前記周辺回路領域内の前記 P Z T 系材料で構成される強誘電体膜内の鉛の濃度を、前記メモリセル領域内の前記 P Z T 系材料で構成される強誘電体膜内の鉛の濃度よりも選択的に低くする工程と、

前記 P Z T 系材料で構成される強誘電体膜をパターニングすることにより、前記メモリセル領域では前記第 1 キャパシタを構成する第 1 誘電体膜を形成するとともに前記周辺回路領域では前記第 2 キャパシタを構成する第 2 誘電体膜を形成する工程と、

前記第 1 の導電膜をパターニングすることにより、前記メモリセル領域では前記第 1 キャパシタを構成する第 1 下部電極を形成するとともに前記周辺回路領域では前記第 2 キャパシタを構成する第 2 下部電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 6】

10

20

30

40

50

半導体基板の上方に絶縁膜を形成する工程と、

前記絶縁膜のメモリセル領域と周辺回路領域のそれぞれの上に第1の導電膜を形成する工程と、

鉛を含む複数種類の元素からなるPZT系材料で構成される強誘電体膜を前記第1の導電膜の上に形成する工程と、

前記PZT系材料で構成される強誘電体膜の上に第2の導電膜を形成する工程と、

前記第2の導電膜をパターニングすることにより、前記メモリセル領域では第1キャパシタを構成する第1上部電極を形成するとともに前記周辺回路領域では第2キャパシタを構成する第2上部電極を形成する工程と、

前記PZT系材料で構成される強誘電体膜をパターニングすることにより、前記メモリセル領域では前記第1キャパシタを構成する第1誘電体膜を形成するとともに前記周辺回路領域では前記第2キャパシタを構成する第2誘電体膜を形成する工程と、

前記第1誘電体膜及び前記第1上部電極を前記メモリセル領域で保護絶縁膜により覆いながら前記第2上部電極と前記第2誘電体膜をアニールし、前記第2誘電体膜を構成するPZT系材料で構成される強誘電体膜内の鉛の濃度を、前記第1誘電体膜を構成する前記強誘電体膜内の鉛の濃度よりも選択的に低くする工程と、

前記第1の導電膜をパターニングすることにより、前記メモリセル領域では前記第1キャパシタを構成する第1下部電極を形成するとともに前記周辺回路領域では前記第2キャパシタを構成する第2下部電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。 20

【請求項7】

半導体基板の上方に絶縁膜を形成する工程と、

前記絶縁膜のメモリセル領域と周辺回路領域のそれぞれの上に第1の導電膜を形成する工程と、

鉛を含む複数種類の元素からなるPZT系材料で構成される強誘電体膜を前記第1の導電膜の上に形成する工程と、

前記PZT系材料で構成される強誘電体膜の上に第2の導電膜を形成する工程と、

前記第2の導電膜を前記メモリセル領域で保護絶縁膜により覆いながら前記周辺回路領域内の前記PZT系材料で構成される強誘電体膜をアニールし、前記周辺回路領域内の前記PZT系材料で構成される強誘電体膜内の鉛の濃度を、前記メモリセル領域内の前記PZT系材料で構成される強誘電体膜内の鉛の濃度よりも選択的に低くする工程と、

前記第2の導電膜をパターニングすることにより、前記メモリセル領域では第1キャパシタを構成する第1上部電極を形成するとともに前記周辺回路領域では第2キャパシタを構成する第2上部電極を形成する工程と、

前記PZT系材料で構成される強誘電体膜をパターニングすることにより、前記メモリセル領域では前記第1キャパシタを構成する第1誘電体膜を形成するとともに前記周辺回路領域では前記第2キャパシタを構成する第2誘電体膜を形成する工程と、

前記第1の導電膜をパターニングすることにより、前記メモリセル領域では前記第1キャパシタを構成する第1下部電極を形成するとともに前記周辺回路領域では前記第2キャパシタを構成する第2下部電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。 40

【請求項8】

半導体基板の上方に絶縁膜を形成する工程と、

前記絶縁膜のメモリセル領域と周辺回路領域のそれぞれの上に第1の導電膜を形成する工程と、

鉛を含む複数種類の元素からなるPZT系材料で構成される強誘電体膜を前記第1の導電膜の上に形成する工程と、

前記PZT系材料で構成される強誘電体膜を前記メモリセル領域で保護絶縁膜により覆いながら前記周辺回路領域内の前記PZT系材料で構成される強誘電体膜をアニールして、前記周辺回路領域内の前記PZT系材料で構成される強誘電体膜内の鉛の濃度を、前記

メモリセル領域内の前記 P Z T 系材料で構成される強誘電体膜内の鉛の濃度よりも選択的に低くする工程と、

前記 P Z T 系材料で構成される強誘電体膜の上に第 2 の導電膜を形成する工程と、

前記第 2 の導電膜をパターニングすることにより、前記メモリセル領域では第 1 キャパシタを構成する第 1 上部電極を形成するとともに前記周辺回路領域では第 2 キャパシタを構成する第 2 上部電極を形成する工程と、

前記 P Z T 系材料で構成される強誘電体膜をパターニングすることにより、前記メモリセル領域では前記第 1 キャパシタを構成する第 1 誘電体膜を形成するとともに前記周辺回路領域では前記第 2 キャパシタを構成する第 2 誘電体膜を形成する工程と、

前記第 1 の導電膜をパターニングすることにより、前記メモリセル領域では前記第 1 キャパシタを構成する第 1 下部電極を形成するとともに前記周辺回路領域では前記第 2 キャパシタを構成する第 2 下部電極を形成する工程と  
を有することを特徴とする半導体装置の製造方法。

【請求項 9】

半導体基板の上方に絶縁膜を形成する工程と、

前記絶縁膜のメモリセル領域と周辺回路領域のそれぞれの上に第 1 の導電膜を形成する工程と、

B i 又は T a を含む複数種類の元素からなる B i 層状構造化合物で構成される強誘電体膜を前記第 1 の導電膜の上に形成する工程と、

前記 B i 層状構造化合物で構成される強誘電体膜の上に第 2 の導電膜を形成する工程と

、  
前記第 2 の導電膜をパターニングすることにより、前記メモリセル領域では第 1 キャパシタを構成する第 1 上部電極を形成するとともに前記周辺回路領域では第 2 キャパシタを構成する第 2 上部電極を形成する工程と、

前記 B i 層状構造化合物で構成される強誘電体膜をパターニングすることにより、前記メモリセル領域では前記第 1 キャパシタを構成する第 1 誘電体膜を形成するとともに前記周辺回路領域では前記第 2 キャパシタを構成する第 2 誘電体膜を形成する工程と、

前記第 1 の導電膜をパターニングすることにより、前記メモリセル領域では前記第 1 キャパシタを構成する第 1 下部電極を形成するとともに前記周辺回路領域では前記第 2 キャパシタを構成する第 2 下部電極を形成する工程と、

前記第 1 キャパシタを保護絶縁膜により覆いながら前記第 2 キャパシタをアニールして前記第 2 誘電体膜を構成する前記 B i 層状構造化合物で構成される強誘電体膜内の B i 又は T a の濃度を、前記第 1 誘電体膜を構成する前記 B i 層状構造化合物で構成される強誘電体膜内の B i 又は T a の濃度よりも選択的に低くする工程と  
を有することを特徴とする半導体装置の製造方法。

【請求項 10】

半導体基板の上方に絶縁膜を形成する工程と、

前記絶縁膜のメモリセル領域と周辺回路領域のそれぞれの上に第 1 の導電膜を形成する工程と、

B i 又は T a を含む複数種類の元素からなる B i 層状構造化合物で構成される強誘電体膜を前記第 1 の導電膜の上に形成する工程と、

前記 B i 層状構造化合物で構成される強誘電体膜の上に第 2 の導電膜を形成する工程と

、  
前記第 2 の導電膜をパターニングすることにより、前記メモリセル領域では第 1 キャパシタを構成する第 1 上部電極を形成するとともに前記周辺回路領域では第 2 キャパシタを構成する第 2 上部電極を形成する工程と、

前記第 1 上部電極及び前記 B i 層状構造化合物で構成される強誘電体膜を前記メモリセル領域で保護絶縁膜により覆いながら前記周辺回路領域内の前記第 2 上部電極と前記 B i 層状構造化合物で構成される強誘電体膜をアニールして、前記周辺回路領域内の前記 B i 層状構造化合物で構成される強誘電体膜内の B i 又は T a の濃度を、前記メモリセル領域

10

20

30

40

50

内の前記 B i 層状構造化合物で構成される強誘電体膜内の B i 又は T a の濃度よりも選択的に低くする工程と、

前記 B i 層状構造化合物で構成される強誘電体膜をパターニングすることにより、前記メモリセル領域では前記第 1 キャパシタを構成する第 1 誘電体膜を形成するとともに前記周辺回路領域では前記第 2 キャパシタを構成する第 2 誘電体膜を形成する工程と、

前記第 1 の導電膜をパターニングすることにより、前記メモリセル領域では前記第 1 キャパシタを構成する第 1 下部電極を形成するとともに前記周辺回路領域では前記第 2 キャパシタを構成する第 2 下部電極を形成する工程と  
を有することを特徴とする半導体装置の製造方法。

**【請求項 1 1】**

半導体基板の上方に絶縁膜を形成する工程と、

前記絶縁膜のメモリセル領域と周辺回路領域のそれぞれの上に第 1 の導電膜を形成する工程と、

B i 又は T a を含む複数種類の元素からなる B i 層状構造化合物で構成される強誘電体膜を前記第 1 の導電膜の上に形成する工程と、

前記 B i 層状構造化合物で構成される強誘電体膜の上に第 2 の導電膜を形成する工程と  
、

前記第 2 の導電膜をパターニングすることにより、前記メモリセル領域では第 1 キャパシタを構成する第 1 上部電極を形成するとともに前記周辺回路領域では第 2 キャパシタを構成する第 2 上部電極を形成する工程と、

前記 B i 層状構造化合物で構成される強誘電体膜をパターニングすることにより、前記メモリセル領域では前記第 1 キャパシタを構成する第 1 誘電体膜を形成するとともに前記周辺回路領域では前記第 2 キャパシタを構成する第 2 誘電体膜を形成する工程と、

前記第 1 誘電体膜及び前記第 1 上部電極を前記メモリセル領域で保護絶縁膜により覆いながら前記第 2 上部電極と前記第 2 誘電体膜をアニールし、前記第 2 誘電体膜を構成する前記 B i 層状構造化合物で構成される強誘電体膜内の B i 又は T a の濃度を、前記第 1 誘電体膜を構成する前記強誘電体膜内の B i 又は T a の濃度よりも選択的に低くする工程と  
、

前記第 1 の導電膜をパターニングすることにより、前記メモリセル領域では前記第 1 キャパシタを構成する第 1 下部電極を形成するとともに前記周辺回路領域では前記第 2 キャパシタを構成する第 2 下部電極を形成する工程と  
を有することを特徴とする半導体装置の製造方法。

**【請求項 1 2】**

半導体基板の上方に絶縁膜を形成する工程と、

前記絶縁膜のメモリセル領域と周辺回路領域のそれぞれの上に第 1 の導電膜を形成する工程と、

B i 又は T a を含む複数種類の元素からなる B i 層状構造化合物で構成される強誘電体膜を前記第 1 の導電膜の上に形成する工程と、

前記 B i 層状構造化合物で構成される強誘電体膜の上に第 2 の導電膜を形成する工程と  
、

前記第 2 の導電膜を前記メモリセル領域で保護絶縁膜により覆いながら前記周辺回路領域内の前記 B i 層状構造化合物で構成される強誘電体膜をアニールし、前記周辺回路領域内の前記 B i 層状構造化合物で構成される強誘電体膜内の B i 又は T a の濃度を、前記メモリセル領域内の前記 B i 層状構造化合物で構成される強誘電体膜内の B i 又は T a の濃度よりも選択的に低くする工程と、

前記第 2 の導電膜をパターニングすることにより、前記メモリセル領域では第 1 キャパシタを構成する第 1 上部電極を形成するとともに前記周辺回路領域では第 2 キャパシタを構成する第 2 上部電極を形成する工程と、

前記 B i 層状構造化合物で構成される強誘電体膜をパターニングすることにより、前記メモリセル領域では前記第 1 キャパシタを構成する第 1 誘電体膜を形成するとともに前記

10

20

30

40

50

周辺回路領域では前記第 2 キャパシタを構成する第 2 誘電体膜を形成する工程と、

前記第 1 の導電膜をパターニングすることにより、前記メモリセル領域では前記第 1 キャパシタを構成する第 1 下部電極を形成するとともに前記周辺回路領域では前記第 2 キャパシタを構成する第 2 下部電極を形成する工程と  
を有することを特徴とする半導体装置の製造方法。

【請求項 13】

半導体基板の上方に絶縁膜を形成する工程と、

前記絶縁膜のメモリセル領域と周辺回路領域のそれぞれの上に第 1 の導電膜を形成する工程と、

B i 又は T a を含む複数種類の元素からなる B i 層状構造化合物で構成される強誘電体膜を前記第 1 の導電膜の上に形成する工程と、

前記 B i 層状構造化合物で構成される強誘電体膜を前記メモリセル領域で保護絶縁膜により覆いながら前記周辺回路領域内の前記 B i 層状構造化合物で構成される強誘電体膜をアニールして、前記周辺回路領域内の前記 B i 層状構造化合物で構成される強誘電体膜内の B i 又は T a の濃度を、前記メモリセル領域内の前記 B i 層状構造化合物で構成される強誘電体膜内の B i 又は T a の濃度よりも選択的に低くする工程と、

前記 B i 層状構造化合物で構成される強誘電体膜の上に第 2 の導電膜を形成する工程と

前記第 2 の導電膜をパターニングすることにより、前記メモリセル領域では第 1 キャパシタを構成する第 1 上部電極を形成するとともに前記周辺回路領域では第 2 キャパシタを構成する第 2 上部電極を形成する工程と、

前記 B i 層状構造化合物で構成される強誘電体膜をパターニングすることにより、前記メモリセル領域では前記第 1 キャパシタを構成する第 1 誘電体膜を形成するとともに前記周辺回路領域では前記第 2 キャパシタを構成する第 2 誘電体膜を形成する工程と、

前記第 1 の導電膜をパターニングすることにより、前記メモリセル領域では前記第 1 キャパシタを構成する第 1 下部電極を形成するとともに前記周辺回路領域では前記第 2 キャパシタを構成する第 2 下部電極を形成する工程と  
を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、より詳しくは、キャパシタを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、電源を切っても情報を保持でき、省電力で書き込み、読み出しのできる半導体メモリの 1 つとして、強誘電体不揮発性メモリ ( F e R A M (Ferroelectric Random Access Memory) ) が注目されている。

【0003】

F e R A M は、強誘電体のヒステリシス特性を利用して情報を記憶する構造を有している。強誘電体材料としては、チタン酸ジルコン酸鉛 ( P Z T ) などが用いられている。

【0004】

F e R A M では、メモリセル領域に形成される第 1 のキャパシタと、周辺回路領域に形成されて電源電圧を昇圧又は降圧するための第 2 のキャパシタとが存在する。

【0005】

第 1 のキャパシタは、強誘電体材料の特徴である分極反転 ( ヒステリシス ) により情報を記憶する機能を有し、疲労特性、飽和特性などの強誘電体特性に優れた強誘電体材料が要求される。疲労特性は、書き換え回数が多くなってきた場合の劣化の特徴を示している。また、飽和特性は、低い電圧で十分な能力を発揮するかの指標となる。

【0006】

10

20

30

40

50

第2のキャパシタは、特に強誘電体材料を使用する必要がなく、DRAMなどに使用されるキャパシタと同じように容量が大きく、リークが少ない材料を選択する必要がある。

【0007】

しかし、FeRAMでは、第1のキャパシタと第2のキャパシタの誘電体膜として共に強誘電体材料から構成されている。

【0008】

第2のキャパシタの誘電体膜として強誘電体材料を選択するのは、DRAMのキャパシタのように、誘電体膜を酸化シリコンから構成するよりも面積当たりの容量を大きくできるからである。強誘電体材料は、酸化シリコンに比べて大きな誘電率を持っている。例えば、酸化シリコンの誘電率が3.4であるのに対し、強誘電体材料であるPZTの誘電率は100以上である。

10

【0009】

従来FeRAM工程では、第1のキャパシタと第2のキャパシタを同じ工程で形成し、第2のキャパシタを第1のキャパシタよりも大きな面積で形成している。

【0010】

【発明が解決しようとする課題】

しかし、周辺回路領域に形成されるキャパシタの誘電体膜を強誘電体材料から構成することは、上記したように容量の大きさ、誘電率の大きさの点から有利であるが、リーク電流特性が悪いという欠点もある。即ち、第1のキャパシタの特性を向上させるほど、第2のキャパシタのリーク電流が増加するという不都合が生じる。

20

【0011】

本発明の目的は、同じ基板上に形成される複数種類のキャパシタを用途に応じた特性にすることができる半導体装置及びその製造方法を提供することにある。

【0012】

【課題を解決するための手段】

上記した課題は、半導体基板の上方に形成された絶縁膜と、前記絶縁膜のメモリセル領域の上に順に形成された第1下部電極、第1強誘電体膜及び第1上部電極を有する第1キャパシタと、前記絶縁膜の周辺回路領域の上に順に形成された第2下部電極、第2強誘電体膜及び第2上部電極を有する第2キャパシタとを有し、前記第1強誘電体膜は鉛を含む複数種類の元素からなるPZT系材料から構成され、前記第2強誘電体膜は鉛を含む複数種類の元素からなるPZT系材料から構成され、前記第2強誘電体膜内の鉛の濃度は、前記第1強誘電体膜内の鉛の濃度よりも低いことを特徴とする半導体装置によって解決される。

30

【0013】

上記した課題は、半導体基板の上方に絶縁膜を形成する工程と、前記絶縁膜のメモリセル領域と周辺回路領域のそれぞれの上に第1の導電膜を形成する工程と、鉛を含む複数種類の元素からなるPZT系材料で構成される強誘電体膜を前記第1の導電膜の上に形成する工程と、前記PZT系材料で構成される強誘電体膜の上に第2の導電膜を形成する工程と、前記第2の導電膜をパターンングすることにより、前記メモリセル領域では第1キャパシタを構成する第1上部電極を形成するとともに前記周辺回路領域では第2キャパシタを構成する第2上部電極を形成する工程と、前記PZT系材料で構成される強誘電体膜をパターンングすることにより、前記メモリセル領域では前記第1キャパシタを構成する第1誘電体膜を形成するとともに前記周辺回路領域では前記第2キャパシタを構成する第2誘電体膜を形成する工程と、前記第1の導電膜をパターンングすることにより、前記メモリセル領域では前記第1キャパシタを構成する第1下部電極を形成するとともに前記周辺回路領域では前記第2キャパシタを構成する第2下部電極を形成する工程と、前記第1キャパシタを保護絶縁膜により覆いながら前記第2キャパシタをアニールして前記第2誘電体膜を構成する前記PZT系材料で構成される強誘電体膜内の鉛の濃度を、前記第1誘電体膜を構成する前記PZT系材料で構成される強誘電体膜内の鉛の濃度よりも選択的に低くする工程とを有することを特徴とする半導体装置の製造方法によって解決される。

40

50

## 【 0 0 1 4 】

本発明によれば、用途の異なる第1キャパシタの誘電体膜と第2キャパシタの誘電体膜をそれぞれ複数の元素から構成される強誘電体材料から構成し、さらにその強誘電体材料のうち例えばリーク電流増加原因となる所定の元素濃度を第2キャパシタの誘電体膜内で選択的に低くしている。所定の元素濃度の調整は、強誘電体膜を形成した後にアニールによって行うことが可能である。

## 【 0 0 1 5 】

従って、1回の強誘電体膜の形成で用途に応じた複数種類のキャパシタの形成が可能になり、用途に応じたキャパシタを作り分けるために半導体装置の形成工程が大幅に増えることはないし、コスト高の抑制が可能になる。

10

## 【 0 0 1 6 】

例えば、強誘電体膜としてPZTを採用する場合には、構成元素である鉛の濃度をアニールによって低減させることにより、第2キャパシタのリーク電流を小さくすることが可能である。また、構成元素の抜けを防止するために第1キャパシタを保護絶縁膜によって覆えば、アニールによる第1キャパシタの飽和特性、疲労特性の劣化が避けられる。

## 【 0 0 1 7 】

## 【 発明の実施の形態 】

以下に本発明の実施形態を図面に基づいて説明する。

## ( 第 1 の 実 施 の 形 態 )

図1～図6は、本発明の第1実施形態に係る半導体記憶装置の形成工程を示す断面図である。

20

## 【 0 0 1 8 】

まず、図1に示す断面構造を形成するまでの工程を説明する。

## 【 0 0 1 9 】

図1において、p型シリコン(半導体)基板1の表面には、LOCOS(Local Oxidation of Silicon)法によって素子分離絶縁膜2が形成される。なお、素子分離絶縁膜2として、LOCOS法によって形成されたシリコン酸化膜の他、STI(Shallow Trench Isolation)構造を採用してもよい。

## 【 0 0 2 0 】

素子分離絶縁膜2を形成した後に、シリコン基板1のメモリセル領域Aと周辺回路領域Bにおける所定の活性領域(トランジスタ形成領域)にp型不純物とn型不純物を選択して導入することにより、メモリセル領域Aの活性領域にpウェル3aを形成し、周辺回路領域Bの活性領域にnウェル3bを形成する。

30

## 【 0 0 2 1 】

なお、図1には示していないが、周辺回路領域BではCMOSを形成するためにpウェル(不図示)も形成される。

## 【 0 0 2 2 】

その後、シリコン基板1の表面を熱酸化して、pウェル3aとnウェル3bの上でゲート絶縁膜4として使用されるシリコン酸化膜を形成する。

## 【 0 0 2 3 】

次に、素子分離絶縁膜2及びゲート絶縁膜4の上にアモルファスシリコン膜とタングステンシリサイド膜を順に形成する。そして、アモルファスシリコン膜及びタングステンシリサイド膜をフォトリソグラフィ法により所定の形状にパターニングして、pウェル3aの上にゲート電極5a、5bを形成し、nウェル3bの上にゲート電極5cを形成する。

40

## 【 0 0 2 4 】

メモリセル領域Aでは、pウェル3a上には2つのゲート電極5a、5bがほぼ平行に間隔をおいて形成され、これらのゲート電極5a、5bは素子分離絶縁膜2の上に延在してワード線WLとなる。

## 【 0 0 2 5 】

なお、ゲート電極5a～5cを構成するアモルファスシリコン膜の代わりにポリシリコン

50



膜を形成してもよい。

【0026】

次に、メモリセル領域Aのpウェル3aのうち、ゲート電極5a, 5bの両側にn型不純物をイオン注入して、nチャンネルMOSトランジスタ $T_1$ ,  $T_2$ のソース/ドレインとなる第1~第3のn型不純物拡散領域7a, 7b, 7cを形成する。pウェル3aの中央に位置する第2のn型不純物拡散領域7bはビット線に電氣的に接続され、また、pウェル3aの両側に位置する第1、第3のn型不純物拡散領域7a, 7cはキャパシタに電氣的に接続される。

【0027】

続いて、周辺回路領域Bのnウェル3bのうち、ゲート電極5cの両側にp型不純物をイオン注入して、pチャンネルMOSトランジスタ $T_3$ のソース/ドレインとなる第1、第2のp型不純物拡散領域8a, 8bを形成する。

10

【0028】

その後、シリコン基板1、素子分離絶縁膜2及びゲート電極5a, 5b, 5cの上に絶縁膜を形成する。そして、絶縁膜をエッチバックすることにより、ゲート電極5a~5cの両側部分に側壁絶縁膜6として残す。その絶縁膜として、例えばCVD法により形成される酸化シリコン( $SiO_2$ )を使用する。

【0029】

さらに、pウェル3a上のゲート電極5a, 5b及び側壁絶縁膜6をマスクにして、n型不純物拡散領域7a~7cにn型不純物をイオン注入することによりn型不純物拡散領域7a~7cをLDD構造にする。また、nウェル3b上のゲート電極5c及び側壁絶縁膜6をマスクにしてp型不純物拡散領域8a, 8bにp型不純物をイオン注入することによりp型不純物拡散領域8a, 8bをLDD構造にする。

20

【0030】

なお、上記したn型不純物とp型不純物の打ち分けは、図示しないレジストパターンを使用して行われる。

【0031】

これにより、第1及び第2のn型不純物拡散領域7a, 7bとゲート電極5aを有する第1のnMOSトランジスタ $T_1$ の形成と、第2及び第3のn型不純物拡散領域7b, 7cとゲート電極5bを有する第2のnMOSトランジスタ $T_2$ の形成と、第1及び第2のp型不純物拡散領域8a, 8bとゲート電極5cを有するpMOSトランジスタ $T_3$ の形成が終了する。

30

【0032】

この後に、nMOSトランジスタ $T_1$ ,  $T_2$ 及びpMOSトランジスタ $T_3$ を覆うカバー膜10をシリコン基板1上にプラズマCVD法により形成する。カバー膜10として例えば酸化シリコン( $SiON$ )膜を形成する。

【0033】

次に、TEOSガスを用いるプラズマCVD法により、酸化シリコン( $SiO_2$ )膜を約1.0 $\mu m$ の厚さに成長し、この酸化シリコン膜を第1の層間絶縁膜11として使用する。

【0034】

続いて、第1の層間絶縁膜11の緻密化処理として、常圧の窒素雰囲気中で第1の層間絶縁膜11を700の温度で30分間熱処理する。その後、第1の層間絶縁膜11の上面を化学機械研磨(CMP; Chemical Mechanical Polishing)法により研磨して平坦化する。

40

【0035】

次に、図2(a)に示す構造を形成するまでの工程を説明する。

【0036】

まず、第1の層間絶縁膜11上に、第1の導電膜14としてTi膜とプラチナ(Pt)膜を順に形成する。Ti膜とPt膜はDCスパッタ法により形成される。この場合、Ti膜の厚さを10~30nm程度、Pt膜の厚さを100~300nm程度とする。なお、第1の導電膜1

50

4として、イリジウム、ルテニウム、酸化ルテニウム、酸化イリジウム、酸化ルテニウムストロンチウム( $\text{SrRuO}_3$ )等のいずれかの導電膜を形成してもよい。

【0037】

その後、強誘電体膜15として厚さ100~300nmのチタン酸ジルコン酸鉛(PZT;  $\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)_2\text{O}_7$ )膜をRFスパッタ法により第1の導電膜14上に形成する。強誘電体層15の形成方法は、その他に、MOD(metal organic deposition)法、MOCVD(有機金属CVD)法、ゾル・ゲル法などがある。また、強誘電体層15の材料としては、PZT以外に、PLCSZT、PLZTのような他のPZT系材料や、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT、Y1)、 $\text{SrBi}_2(\text{Ta,Nb})_2\text{O}_9$ (SBTN、YZ)等のBi層状構造化合物、その他の金属酸化物強誘電体を採用してもよい。

10

【0038】

そして、強誘電体膜15を構成するPZT膜の結晶化処理として、酸素雰囲気中で温度650~850、30~120秒間の条件でRTA(Rapid Thermal Annealing)を行う。例えば、温度700で60秒間アニールする。

【0039】

続いて、強誘電体膜15の上に第2の導電膜16として酸化イリジウム( $\text{IrO}_2$ )膜をスパッタ法により100~300nmの厚さに形成する。なお、第2の導電膜16として、プラチナもしくは酸化ルテニウムストロンチウム(SRO)を用いてもよい。

【0040】

次に、図2(b)に示す構図を形成するまでの工程を説明する。

20

【0041】

まず、第2の導電膜16をパターニングすることにより、メモリセル領域Aの素子分離絶縁膜2の上方においてキャパシタ用の上部電極16aを複数成形すると同時に、周辺回路領域Bの素子分離絶縁膜2の上方においてキャパシタ用の上部電極16bを形成する。

【0042】

続いて、強誘電体膜15をパターニングすることにより、メモリセル領域Aにおいて複数の上部電極16aの下でワード線WLにほぼ平行に延在するストライプ形状のキャパシタ用の誘電体膜15aを形成するとともに、周辺回路領域Bにおいて上部電極の16bの下にキャパシタ用の誘電体膜15bを形成する。

【0043】

次に、図3(a)に示すように、第1の導電膜14をパターニングすることにより、メモリセル領域Aにおいて誘電体膜15aの下でストライプ状に延在するキャパシタ用の下部電極14aを形成するとともに、周辺回路領域Bにおいて誘電体膜15bの下にキャパシタ用の下部電極14bを形成する。

30

【0044】

これにより、メモリセル領域Aでは、下部電極14a、誘電体膜15a及び上部電極16aを有する第1のキャパシタ $Q_1$ が形成される。また、周辺回路領域Bでは、下部電極14b、誘電体膜15b及び上部電極16bを有する第2のキャパシタ $Q_2$ が形成される。

【0045】

第1のキャパシタ $Q_1$ は、例えば平面形状が $2.0\mu\text{m} \times 1.8\mu\text{m}$ 程度の大きさを有し、強誘電体膜のヒステリシス特性により情報の書き込み、読み出しが行われる。また、第2のキャパシタ $Q_2$ は、例えば平面形状が $25\mu\text{m} \times 10\mu\text{m}$ 程度の大きさを有し、電圧のブーストなどに使用される。

40

【0046】

次に、図3(b)に示すように、第1及び第2のキャパシタ $Q_1$ 、 $Q_2$ と第1の層間絶縁膜11の上に保護絶縁膜17として例えばTEOS(テトラエトキシシラン)、ヘリウム及び酸素の混合ガスを用いてCVD法により酸化シリコン膜(TEOS膜)を200nm程度の厚さに形成する。

【0047】

なお、保護絶縁膜17としては、TEOS膜の他、シラン( $\text{SiH}_4$ )と酸素( $\text{O}_2$ )を用いて

50

形成された酸化シリコン膜、又は窒化シリコン膜、又は窒化酸化シリコン膜などを適用してもよい。

【0048】

次に、図4(a)に示すように、フォトリソグラフィ法により保護絶縁膜17をパターニングして周辺回路部Bの少なくとも第2のキャパシタ $Q_2$ 上から除去する。保護絶縁膜17のパターニングは、レジストマスク(不図示)を使用し、エッチングガスとして $CF_4$ と $O_2$ の混合ガスを用いてダウンフロープラズマエッチングによって行われる。

【0049】

その後、常圧の酸素( $O_2$ )雰囲気中にシリコン基板1を置いて保護絶縁膜17に覆われていない第2のキャパシタ $Q_2$ を例えば650の温度、60分間でアニールする。

10

【0050】

これにより、周辺回路領域B内の第2のキャパシタ $Q_2$ の強誘電体膜を構成する例えばPZT膜の鉛(Pb)の抜けが促進される。この結果、第2のキャパシタ $Q_2$ のリーク電流はアニール前に比べて小さくなる。これに対して、メモリセル領域A内の第1のキャパシタ $Q_1$ は保護絶縁膜17によって覆われているので、構成原子の抜けが防止される。

【0051】

なお、第2のキャパシタ $Q_2$ のアニールは減圧雰囲気中で行ってPb抜けをさらに促進するようにしてもよい。また、第2のキャパシタ $Q_2$ のアニール温度は650以上が好ましい。さらに、アニール雰囲気に導入されるガスは酸素に限られりものはなく、酸素・アルゴン混合ガス、窒素ガスなどのいずれかを採用してもよい。これらは、以下の実施形態でも同様に適用される。

20

【0052】

次に、図4(b)に示すように、保護絶縁膜17、第1の層間絶縁膜11及び第2のキャパシタ $Q_2$ の上に、第2の層間絶縁膜18として酸化シリコン膜を約 $1\mu m$ の厚さに形成する。この酸化シリコン膜は、TEOS、ヘリウム及び酸素の混合ガスを用いて、CVD法により形成される。

【0053】

なお、シランを用いて第2の層間絶縁膜18を形成してもよく、この場合にはメモリセル領域A内における保護絶縁膜17は第1のキャパシタ $Q_1$ への還元ガスの侵入を防止する。

30

【0054】

続いて、第2の層間絶縁膜18の上面をCMP法により平坦化する。この例では、CMP後の第2層間絶縁膜18の残り膜厚は、メモリセル領域Aのキャパシタの上で保護絶縁膜17の膜厚と合わせて約300nm程度とする。

【0055】

次に、図5(a)に示すように、第2の層間絶縁膜18、保護絶縁膜17、第1層間絶縁膜11及びカバー膜10をフォトリソグラフィ法によりパターニングすることにより、第1~第3のn型不純物拡散領域7a~7cと第2のp型不純物拡散領域8bの上にそれぞれ第1~第4のコンタクトホール18a~18dを形成する。これと同時に、第2の層間絶縁膜18及び保護絶縁膜17をパターニングしてpウェル3a上の複数の第1のキャパシタ $Q_1$ の各々の上部電極15aの上にそれぞれ第5、第6のコンタクトホール18e, 18fを形成する。さらに、同じパターニング工程において、第2の層間絶縁膜18をパターニングすることにより、第2のキャパシタ $Q_2$ の上部電極15bの上に第7のコンタクトホール18gを形成する。

40

【0056】

その後、第2の層間絶縁膜18上と第1~第7のコンタクトホール18a~18g内に、膜厚20nmのTi膜と膜厚50nmのTiN膜をスパッタにより順に形成し、さらにTiN膜の上にW膜をCVD方により形成する。W膜は第1~第7のコンタクトホール18a~18g内を完全に埋め込む厚さに形成される。

【0057】

50

続いて、図5(b)に示すように、Ti膜、TiN膜及びW膜をCMP法により研磨して第2の層間絶縁膜18の上面から除去する。これにより、第1～第7のコンタクトホール18a～18g内に残されたTi膜、TiN膜及びW膜をそれぞれ第1～第7の導電性プラグ19a～19gとして使用する。

【0058】

次に、第2の層間絶縁膜18の上と第1～第7の導電性プラグ19a～19gの上に、配線用金属膜として膜厚150nmのTiN膜、膜厚5nmのTi膜、膜厚500nmのAl-Cu膜、膜厚50nmのTiN膜及び膜厚20nmのTi膜からなる5層構造の金属膜を形成した後に、配線用金属膜をフォトリソグラフィ法によりパターニングする。

【0059】

この配線用金属膜のパターニングにより、図6に示すように、メモリセル領域Aにおいて第2の層間絶縁膜18の上に第1、第2の金属配線20a、20bと導電性パッド20cを形成する一方、周辺回路領域Bにおいて第2の層間絶縁膜18の上に第3の金属配線20dを形成する。

【0060】

これにより、メモリセル領域Aのpウェル3aの上方において、一方の第1のキャパシタ $Q_1$ の上部電極16aと第1のn型不純物拡散領域7aは、第1の金属配線20aと第1、第5の導電性プラグ19a、19eを介して電氣的に接続される。また、他方の第1のキャパシタ $Q_1$ の上部電極16aと第3のn型不純物拡散領域7cは、第2の金属配線20bと第3、第6の導電性プラグ19c、19fを介して電氣的に接続される。なお、第2のn型不純物拡散領域7bは、上方に形成されるビット線(不図示)に導電性パッド20c及び第2の導電性プラグ19bを介して電氣的に接続される。

【0061】

また、周辺回路領域Bにおいて、第2のp型不純物拡散領域8bは、第3の金属配線20dと第4、第7の導電性プラグ19d、19gを介して第2のキャパシタ $Q_2$ の上部電極16bに電氣的に接続される。

【0062】

第1～第3の金属配線20a、20b、20dを形成した後に、さらに第3の層間絶縁膜を形成し、導電性プラグを形成し、さらに第3の層間絶縁膜の上にビット線などを形成するが、その詳細は省略する。

【0063】

上記した実施形態によれば、メモリセル領域A内に形成された第1のキャパシタ $Q_1$ を保護絶縁膜17により覆った状態で、周辺回路領域B内で昇圧などに使用される第2のキャパシタ $Q_2$ を露出させて選択的にアニールしている。これにより、第2のキャパシタ $Q_2$ においては、リーク電流増加要因となる原子が強誘電体膜15bから飛び出してリーク電流を減少させる。

【0064】

ところで、キャパシタの誘電体膜を構成するPZT膜に含まれる鉛(Pb)とジルコニウム(Zr)とチタン(Ti)の濃度(組成比)、即ち構成元素の濃度の違いによってキャパシタの疲労特性、飽和特性、リーク電流がどのように相違するかを調べたところ、以下のような結果が得られた。

【0065】

まず、疲労特性について、PZT膜内のPbの濃度とPZT膜の分極電荷量 $Q_{sw}$ の減少の割合の関係を調べたところ、図7に示す結果が得られ、Pbの濃度の減少にともなって分極電荷量 $Q_{sw}$ も減少することがわかる。

【0066】

また、飽和特性について、PZT膜に含まれるPbの濃度とキャパシタの分極電荷の飽和電圧の関係を調べたところ、図8に示すような結果が得られ、Pbの濃度の減少にともなって飽和電圧が高くなることがわかる。なお、図8の縦軸は、飽和電圧値の90%となる電圧(V90)を示している。

10

20

30

40

50

## 【0067】

図7、図8によれば、PZT膜中のPbの減少は強誘電体特性を劣化させるので、メモリセル領域A内の第1のキャパシタ $Q_1$ のPZT膜の組成を最適な値で形成した後にPZT膜からのPbの抜けを防止する必要がある。

## 【0068】

ところで、酸素雰囲気中において強誘電体キャパシタを650、60分で加熱した場合に、保護絶縁膜17で覆われない強誘電体キャパシタのリーク電流とPbの濃度の関係は、図9の実線のようにになる。一方、酸素雰囲気中において強誘電体キャパシタを650、60分で加熱した場合に、保護絶縁膜17で覆われた強誘電体キャパシタのリーク電流とPbの濃度の関係は、図9の破線のようにになる。

10

## 【0069】

図9によれば、Pbの濃度が低下するほど単位面積あたりのリーク電流が減ることがわかる。しかも、図9によれば、Pbの濃度が同じであっても、保護絶縁膜17で強誘電体キャパシタを覆わない方が単位面積あたりのリーク電流が小さくなることわかる。

## 【0070】

従って、上記した第1のキャパシタ $Q_1$ と第2のキャパシタ $Q_2$ に同じ電圧を印加した場合に、第2のキャパシタ $Q_2$ の単位面積あたりのリーク電流は、第1のキャパシタ $Q_1$ の単位面積あたりのリーク電流よりも小さくなる。

## 【0071】

なお、図7、図8、図9に示したPbの濃度の調整は、PZT膜の形成条件を変えて行われている。

20

## 【0072】

次に、保護絶縁膜17に覆われない強誘電体キャパシタのアニール温度とPZT膜からのPbの抜け量を調べたところ、図10に示すような結果が得られた。即ち、アニール温度が高くなるほどPZT膜からのPbの抜け量が多くなることわかる。また、アニール温度が750以上では、温度が高くなってもPbの抜ける量が急激に増えるわけではないので、アニール温度は650～750が好適である。

## 【0073】

以上のことから、第2のキャパシタ $Q_2$ を構成する強誘電体膜15については飽和特性、疲労特性は重要視されないので、酸素雰囲気中のアニールによってPbを減少させることは問題にならない一方で、昇圧のためにリーク電流を減らすことが重要であってPbを減少させる方が望ましいといえる。

30

## 【0074】

これに対して、第2のキャパシタ $Q_2$ を構成する強誘電体膜15からリーク電流増加要因となる元素を減らすためのアニールの際に、第1のキャパシタ $Q_1$ を保護絶縁膜17によって選択的に覆うようにしているので、第1のキャパシタ $Q_1$ からのPbの減少は防止され、第1のキャパシタ $Q_1$ の強誘電体膜の疲労特性、飽和特性の劣化が回避される。

## 【0075】

ところで、第1のキャパシタ $Q_1$ に用いられる強誘電体膜のPbの濃度と、第2のキャパシタ $Q_2$ に用いられる強誘電体膜とのPbの濃度を異ならせるために、それらの強誘電体膜を2工程によって作り分けることも考えられる。即ち、第1のキャパシタに用いられる強誘電体膜を疲労特性、飽和特性などに優れた材料から形成し、第2のキャパシタに用いられる強誘電体膜をリーク電流が少ない材料から形成するといった2つの成膜工程を採用することも可能である。

40

## 【0076】

しかし、1つの半導体基板上で2種類の強誘電体膜を別々に成長することは難しいし、強誘電体膜を2回形成することは、コスト高の原因ともなる。

## 【0077】

従って、上記したように、メモリセル領域Aの第1のキャパシタ $Q_1$ を保護絶縁膜で覆いながら、周辺回路領域Bの第2のキャパシタ $Q_2$ を露出させてアニールしてリーク電流を

50

減らすことが工程上重要である。

【0078】

なお、上記したように第2のキャパシタ $Q_2$ の強誘電体膜15としてPZT系強誘電体膜を用いる場合には、PZT強誘電体膜のPbの一部をアニールにより抜くことにより、第2のキャパシタ $Q_2$ のリーク電流を低減することができる。これに対して、第2のキャパシタ $Q_2$ の強誘電体膜15としてBi層状構造化合物を用いる場合には、Bi層状構造化合物中のBi,Taの一部をアニールによって抜くことにより、第2のキャパシタ $Q_2$ のリーク電流を低減することができる。Bi層状構造化合物を強誘電体膜15として採用する場合にBi層状構造化合物中のBi,Taの一部をアニールによって抜いてリーク電流を低減することについては以下の実施形態でも同様に採用される。

10

(第2の実施の形態)

第2のキャパシタ $Q_2$ のアニールのタイミングは、以下に説明するように、強誘電体膜のパターニング後であって且つ第1の導電膜のパターニング前に行ってもよい。

【0079】

図11~図13は、本発明の第2実施形態を示す半導体装置の製造工程を示す断面図である。

【0080】

まず、図1に示したように、シリコン基板1のメモリセル領域AにnMOSトランジスタ $T_1$ 、 $T_2$ などを形成し、シリコン基板1の周辺回路領域BにpMOSトランジスタ $T_3$ などを形成し、さらにカバー真 $j$ く10、第1の層間絶縁膜11を形成する。続いて、図2(a)に示したように、第1層間絶縁膜11の上に第1の導電膜14、強誘電体膜15及び第2の導電膜16を順に形成する。さらに、図2(b)に示したように、第2の導電膜16をパターニングしてキャパシタ $Q_1$ 、 $Q_2$ の上部電極16a、16bを形成し、ついで強誘電体膜15をパターニングしてキャパシタ $Q_1$ 、 $Q_2$ の誘電体膜15a、15bを形成する。

20

【0081】

以上の構成は、第1実施形態に示した工程に従って形成される。

【0082】

次に、図11(a)に示すように、上部電極16a、16bと誘電体膜15a、15b及び第1の導電膜14の上に保護絶縁膜17を形成する。保護絶縁膜17として例えばTEOS、ヘリウム及び酸素の混合ガスを用いてCVD法により厚さ200nm程度の酸化シリコン膜(TEOS膜)を形成する。

30

【0083】

なお、保護絶縁膜17として、TEOS膜の他、 $SiH_4$ と $O_2$ を用いて形成された酸化シリコン膜、又は、窒化シリコン膜、窒化酸化シリコン膜などを適用してもよい。

【0084】

続いて、図11(b)に示すように、保護絶縁膜17をフォトリソグラフィ法によりパターニングして周辺回路領域Bの第2のキャパシタ $Q_2$ を露出させる。

【0085】

その後、常圧の $O_2$ 雰囲気中にシリコン基板1を置いて例えば650の温度で60分間でアニールする。

40

【0086】

これにより、周辺回路領域B内の第2のキャパシタ $Q_2$ の誘電体膜15bを構成する例えばPZT膜からPbの抜けが促進される。この結果、第2のキャパシタ $Q_2$ のリーク電流はアニール前に比べて小さくなる。これに対して、メモリセル領域A内の第1のキャパシタ $Q_1$ は保護絶縁膜17によって覆われているので、Pbの抜けが防止される。なお、第2のキャパシタ $Q_2$ のアニールは減圧雰囲気中に行ってPb抜けをさらに促進するようにしてもよい。また、第2のキャパシタ $Q_2$ のアニール温度は650以上が好ましい。

【0087】

次に、図12(a)に示すように、メモリセル領域A内の保護絶縁膜17及び第1の導電膜

50

14と周辺回路領域B内の第1の導電膜14とをそれぞれフォトリソグラフィー法によりパターンングすることにより、誘電体膜15a, 15bの下に下部電極14a, 14bを形成する。

【0088】

これにより、メモリセル領域Aでは、下部電極14a、誘電体膜15a及び上部電極16aを有する第1のキャパシタ $Q_1$ が形成される。また、周辺回路領域Bでは、下部電極14b、誘電体膜15b及び上部電極16bを有する第2のキャパシタ $Q_2$ が形成される。

【0089】

その後、図12(b)に示すように、保護絶縁膜17、第1の層間絶縁膜11及び第2のキャパシタ $Q_2$ の上に、第2の層間絶縁膜18を形成する。

10

【0090】

次に、図13に示すように、第2の層間絶縁膜18、第1の層間絶縁膜11及びカバー膜10のうち、第1～第3のn型不純物拡散領域7a～7cの上に第1～第3の導電性プラグ19a～19cを形成し、第2のp型不純物拡散領域8bの上に第4の導電性プラグ19dを形成する。また、メモリセル領域Aにおいて第2の層間絶縁膜18及び保護絶縁膜17のうち、pウェル3aの近傍の2つの第1のキャパシタ $Q_1$ の上にそれぞれ第5、第6の導電性プラグ19e, 19fを形成する。さらに、周辺回路領域Bにおいて、第2の層間絶縁膜18のうち第2のキャパシタ $Q_2$ の上に第7の導電性プラグ19gを形成する。続いて、第2の層間絶縁膜の上に第1～第3の金属配線20a, 20b, 20dと導電性パッド20bを形成する。

20

【0091】

導電性プラグ19a～19gと第1～第3の金属配線20a, 20b, 20dと導電性パッド20bは、それぞれ第1実施形態に示した工程に従って形成される。

【0092】

以上のように本実施形態では、第1の導電膜14をパターンングする前に、メモリセル領域Aの誘電体膜15aと上部電極16aを保護絶縁膜17で覆う一方、周辺回路領域Bの誘電体膜15bと上部電極16bを保護絶縁膜17から露出した状態にし、この状態で周辺回路領域Bの誘電体膜15b及び上部電極16bを酸素雰囲気中でアニールするようにした。

【0093】

従って、第1のキャパシタ $Q_1$ の誘電体膜15aを構成するPZT膜からのPbの抜けが防止され、且つ第2のキャパシタ $Q_2$ の誘電体膜15bを構成するPZT膜からPbの抜けが促進される。

30

【0094】

これにより、第1実施形態で説明したと同様に、メモリセル領域Aでは第1のキャパシタ $Q_1$ からのPbの抜けが防止されて疲労特性、飽和特性の劣化が防止される。また、周辺回路領域Bでは第2のキャパシタ $Q_2$ からのPbの抜けが促進されて第2のキャパシタ $Q_2$ の疲労特性、飽和特性は劣化するが、第2のキャパシタ $Q_2$ のリーク電流は第1のキャパシタ $Q_1$ のリーク電流よりも小さくなる。

【0095】

従って、強誘電体膜の1回の形成によって、用途に適合した特性の異なる複数種類のキャパシタの形成が可能になる。

40

【0096】

ところで、図11(a)では、強誘電体膜15をパターンングした後に保護絶縁膜17を形成している。しかし、上部電極16a, 16bを形成した後であって強誘電体膜15をパターンングする前に、上部電極16a, 16bと強誘電体膜15の上に保護絶縁膜17を形成してもよい。この場合にも、保護絶縁膜17をパターンングして周辺回路領域Bの上部電極16b及びその周辺から除去した後に、酸素雰囲気中でアニールすることにより周辺回路領域B内の強誘電体膜15から所定の元素、即ちPbの一部を抜くようにする。その後、強誘電体膜15と第1の導電膜14をパターンングしてキャパシタ $Q_1$ ,  $Q_2$ を形

50

成する。

【0097】

なお、シランを用いて第2の層間絶縁膜18を形成する場合には、メモリセル領域A内における保護絶縁膜17は第1のキャパシタ $Q_1$ への還元ガスの侵入を防止する。

(第3の実施の形態)

第2のキャパシタ $Q_2$ を構成する強誘電体膜15のアニールのタイミングは、以下に説明するように、第1の導電膜14のパターニングの前に行ってもよい。

【0098】

図14、図15は、本発明の第3実施形態を示す半導体装置の製造工程を示す断面図である。

10

【0099】

まず、図1に示したように、シリコン基板1のメモリセル領域AにnMOSトランジスタ $T_1$ 、 $T_2$ などを形成し、シリコン基板1の周辺回路領域BにpMOSトランジスタ $T_3$ などを形成し、カバー膜10、第1の層間絶縁膜11を形成する。続いて、図2(a)に示したように、第1の層間絶縁膜11の上に第1の導電膜14、強誘電体膜15及び第2の導電膜16を順に形成する。以上の構成は、第1実施形態に示した工程に従って形成される。

【0100】

次に、図14(a)に示すように、第2の導電膜16上に保護絶縁膜17を形成する。保護絶縁膜17として例えばTEOS、ヘリウム及び酸素の混合ガスを用いてCVD法により厚さ200nm程度の酸化シリコン膜(TEOS膜)を形成する。なお、保護絶縁膜17として、TEOS膜の他、 $SiH_4$ と $O_2$ を用いて形成された酸化シリコン膜、又は、窒化シリコン膜、窒化酸化シリコン膜などを適用してもよい。

20

【0101】

さらに、周辺回路領域Bにある保護絶縁膜17をエッチングして除去し、これにより第2の導電膜16を露出させる。

【0102】

その後、常圧の $O_2$ 雰囲気中にシリコン基板1を置いて例えば650の温度で60分間でアニールする。なお、アニールは減圧雰囲気中に行ってPbの抜けを促進するようにしてもよい。また、アニール温度は650以上が好ましい。

30

【0103】

これにより、周辺回路領域B内で強誘電体膜15を構成するPZT膜からPbの抜けが促進される一方、メモリセル領域A内で強誘電体膜15を構成するPZT膜からのPbの抜けが保護絶縁膜17によって防止される。

【0104】

次に、図14(b)に示すように、保護絶縁膜17、第2の導電膜16、強誘電体膜15及び第1の導電膜14を第1実施形態のようにパターニングすることにより、メモリセル領域Aには第1のキャパシタ $Q_1$ を形成し、周辺回路領域Bには第2のキャパシタ $Q_2$ を形成する。

【0105】

なお、保護絶縁膜17は、第2の導電膜16とともにパターニングしてもよいし、第2の導電膜16のパターニングの前に除去してもよい。保護絶縁膜17を除去する場合には、キャパシタ $Q_1$ 、 $Q_2$ をアルミナなどからなる別の保護絶縁膜で覆うのが好ましい。

40

【0106】

第1のキャパシタ $Q_1$ は、第1の導電膜14からなる下部電極14aと、強誘電体膜15からなる誘電体膜15aと、第2の導電膜16からなる上部電極16aとから構成される。また、第2のキャパシタ $Q_2$ は、第1の導電膜14からなる下部電極14bと、強誘電体膜15からなる誘電体膜15bと、第2の導電膜16からなる上部電極16bとから構成される。

【0107】

50



ところで、周辺回路領域 B 内の第 2 のキャパシタ  $Q_2$  を構成する P Z T 膜は保護絶縁膜 17 に覆われない状態でアニールされているので、Pb の減少によってリーク電流はアニール前に比べて小さくなる。これに対して、メモリセル領域 A 内の第 1 のキャパシタ  $Q_1$  はアニールの際に保護絶縁膜 17 によって Pb の抜けが防止されて飽和特性、疲労特性が劣化しない。

#### 【0108】

次に、図 15 に示すように、第 2 の層間絶縁膜 18、第 1 の層間絶縁膜 11 及びカバー膜 10 のうち、第 1 ~ 第 3 の n 型不純物拡散領域 7a ~ 7c の上に第 1 ~ 第 3 の導電性プラグ 19a ~ 19c を形成し、第 2 の p 型不純物拡散領域 8b の上に第 4 の導電性プラグ 19d を形成する。また、メモリセル領域 A において第 2 の層間絶縁膜 18 及び保護絶縁膜 17 のうち、p ウェル 3a の近傍の 2 つの第 1 のキャパシタ  $Q_1$  の上にそれぞれ第 5、第 6 の導電性プラグ 19e、19f を形成する。さらに、周辺回路領域 B において、第 2 の層間絶縁膜 18 のうち第 2 のキャパシタ  $Q_2$  の上に第 7 の導電性プラグ 19g を形成する。続いて、第 2 の層間絶縁膜の上に第 1 ~ 第 3 の金属配線 20a、20b、20d と導電性パッド 20b を形成する。

10

#### 【0109】

導電性プラグ 19a ~ 19g と第 1 ~ 第 3 の金属配線 20a、20b、20d と導電性パッド 20b は、それぞれ第 1 実施形態に示した工程に従って形成される。

#### 【0110】

以上のように本実施形態では、キャパシタ  $Q_1$ 、 $Q_2$  形成のためのパターニングの前に、メモリセル領域 A の第 2 の導電膜 16 を保護絶縁膜 17 で覆う一方、周辺回路領域 B の第 2 の導電膜 16 を露出した状態にし、この状態で周辺回路領域 B の強誘電体膜 15 及び第 2 の導電膜 16 を酸素雰囲気中でアニールするようにした。

20

#### 【0111】

従って、第 1 の導電膜 14、強誘電体膜 15 及び第 2 の導電膜 16 パターニングによって形成された第 1 のキャパシタ  $Q_1$  の誘電体膜 15a となる P Z T 膜からの Pb の抜けが防止され、且つ第 2 のキャパシタ  $Q_2$  の誘電体膜 15b となる P Z T 膜から Pb が抜けが促進される。

#### 【0112】

これにより、第 1 実施形態で説明したと同様に、メモリセル領域 A では第 1 のキャパシタ  $Q_1$  からの Pb の抜けが防止されて疲労特性、飽和特性の劣化が防止される。また、周辺回路領域 B では第 2 のキャパシタ  $Q_2$  からの Pb の抜けが促進されて第 2 のキャパシタ  $Q_2$  の疲労特性、飽和特性は劣化するが、第 2 のキャパシタ  $Q_2$  のリーク電流は第 1 のキャパシタ  $Q_1$  のリーク電流よりも小さくなる。

30

#### 【0113】

従って、強誘電体膜の 1 回の形成によって、用途にあった特性の異なる複数種類のキャパシタの形成が可能になる。

#### (第 4 の実施の形態)

第 2 のキャパシタ  $Q_2$  を構成する強誘電体膜 15 のアニールのタイミングは、以下に説明するように、強誘電体膜の形成後で且つ第 2 の導電膜の形成前に行ってもよい。

40

#### 【0114】

図 16 ~ 図 18 は、本発明の第 4 実施形態を示す半導体装置の製造工程を示す断面図である。

#### 【0115】

まず、図 1 に示したように、シリコン基板 1 のメモリセル領域 A に n M O S トランジスタ  $T_1$ 、 $T_2$  などを形成し、シリコン基板 1 の周辺回路領域 B に p M O S トランジスタ  $T_3$  などを形成した後に、カバー膜 10、第 1 の層間絶縁膜 11 を形成する。以上の構成は、第 1 実施形態に示した工程に従って形成される。

#### 【0116】

次に、図 16 (a) に示す構造を形成するまでの工程を説明する。

50

## 【0117】

まず、第1の層間絶縁膜11上に、第1の導電膜14としてTi膜とプラチナ(Pt)膜を順に形成する。Ti膜とPt膜はDCスパッタ法により形成される。この場合、Ti膜の厚さを10~30nm程度、Pt膜の厚さを100~300nm程度とする。なお、第1の導電膜14として、イリジウム、ルテニウム、酸化ルテニウム、酸化イリジウム、酸化ルテニウムストロンチウム( $\text{SrRuO}_3$ )等の膜を形成してもよい。

## 【0118】

その後、強誘電体膜16として厚さ100~300nmのPZT膜をRFスパッタ法により第1の導電膜15上に形成する。強誘電体層15の形成方法は、MOD法、MOCVD法、ゾル・ゲル法であってもよい。また、強誘電体層15の材料としては、第1実施形態に示した他のPZT系材料や、Bi層状構造化合物、その他の金属酸化物強誘電体を採用してもよい。

10

## 【0119】

続いて、強誘電体膜15の上に保護絶縁膜17を形成する。保護絶縁膜17として例えばTEOS、ヘリウム及び酸素の混合ガスを用いてCVD法により厚さ200nm程度の酸化シリコン膜(TEOS膜)を形成する。なお、保護絶縁膜17として、TEOS膜の他、 $\text{SiH}_4$ と $\text{O}_2$ を用いて形成された酸化シリコン膜、又は、窒化シリコン膜、窒化酸化シリコン膜などを適用してもよい。

## 【0120】

その後、常圧の $\text{O}_2$ 雰囲気中にシリコン基板1を置いて例えば650の温度で60分間で強誘電体膜15をアニールすることにより、周辺回路領域Bから露出した強誘電体膜15を構成するPZT膜からPbを放出させる。

20

## 【0121】

なお、減圧雰囲気中のアニールによってPbの抜けを促進させてもよい。また、アニール温度は650以上が好ましい。

## 【0122】

これにより、周辺回路領域B内で強誘電体膜15を構成するPZT膜からPbの抜けが促進される一方、メモリセル領域A内で強誘電体膜15を構成するPZT膜からのPbの抜けは保護絶縁膜17によって防止される。従って、周辺回路領域Bの強誘電体膜15のPb組成比は、メモリセル領域Aの強誘電体膜15のPb組成比よりも小さくなる。

30

## 【0123】

その後、 $\text{CF}_4$ と $\text{O}_2$ のプラズマを用いて保護絶縁膜17をドラインエッチングにより除去する。

## 【0124】

次に、図16(b)に示すように、強誘電体膜15の上に第2の導電膜16として酸化イリジウム膜をスパッタにより100~300nmの厚さに形成する。なお、第2の導電膜16としてプラチナ若しくは酸化ルテニウムを用いてもよい。

## 【0125】

次に、図17(a)に示す構図を形成するまでの工程を説明する。

## 【0126】

まず、第2の導電膜16をパターニングすることにより、メモリセル領域Aにおいてキャパシタ用の上部電極16aを複数成形すると同時に、周辺回路領域Bにおいてキャパシタ用の上部電極16bを形成する。

40

## 【0127】

続いて、強誘電体膜15をパターニングすることにより、メモリセル領域Aにおいて複数の上部電極16aの下でワード線WLとほぼ平行に延在するストライプ状のキャパシタ用の誘電体膜15aを形成するとともに、周辺回路領域Bにおいて上部電極の16bの下にキャパシタ用の誘電体膜15bを形成する。

## 【0128】

さらに、第1の導電膜14をパターニングすることにより、メモリセル領域Aにおいて誘

50

電体膜 15 a の下でストライプ状に延在するキャパシタ用の下部電極 14 a を形成するとともに、周辺回路領域 B において誘電体膜 15 b の下にキャパシタ用の下部電極 14 b を形成する。

【0129】

これにより、メモリセル領域 A では、下部電極 14 a、誘電体膜 15 a 及び上部電極 16 a を有する第 1 のキャパシタ  $Q_1$  が形成される。また、周辺回路領域 B では、下部電極 14 b、誘電体膜 15 b 及び上部電極 16 b を有する第 2 のキャパシタ  $Q_2$  が形成される。周辺回路領域 B 内の第 2 のキャパシタ  $Q_2$  を構成する P Z T 膜は保護絶縁膜 17 に覆われない状態でアニールされたので、そのリーク電流はアニール前に比べて小さくなる。これに対して、メモリセル領域 A 内の第 1 のキャパシタ  $Q_1$  はアニールの際に保護絶縁膜 17 によって Pb の抜けが防止されるので飽和特性、疲労特性が劣化しない。

10

【0130】

その後、図 17 (b) に示すように、キャパシタ  $Q_1$ 、 $Q_2$  の上と第 1 の層間絶縁膜 11 の上にキャパシタ保護絶縁膜 21 として厚さ 200 nm 程度のアルミナ膜をスパッタにより形成する。キャパシタ保護絶縁膜 21 はその後の工程からのキャパシタ  $Q_1$ 、 $Q_2$  への還元ガスの侵入を防止する。

【0131】

その後、図 18 に示すように、キャパシタ保護絶縁膜 21 の上に第 2 の層間絶縁膜 18 を形成し、第 1 ~ 第 7 の導電性プラグ 19 a ~ 19 g を形成し、さらに第 2 の層間絶縁膜の上に第 1 ~ 第 3 の金属配線 20 a、20 b、20 d と導電性パッド 20 c を形成する。それらの構成は、第 1 実施形態に示した工程に従って形成される。

20

【0132】

以上のように本実施形態では、第 1 の導電膜 14、強誘電体膜 15 を形成した後であって第 2 の導電膜 16 を形成する前に、メモリセル領域 A の強誘電体膜 15 を保護絶縁膜 17 で覆う一方、周辺回路領域 B の強誘電体膜 15 を露出させ、このような状態で周辺回路領域 B の強誘電体膜 15 を酸素雰囲気中でアニールするようにした。

【0133】

従って、メモリセル領域 A の強誘電体膜 15 からの Pb の抜けが防止され、且つ周辺回路領域 B からの Pb の抜けが促進される。

【0134】

これにより、第 1 実施形態で説明したと同様に、メモリセル領域 A では第 1 のキャパシタ  $Q_1$  からの Pb の抜けが防止されて疲労特性、飽和特性の劣化が防止される。また、周辺回路領域 B では第 2 のキャパシタ  $Q_2$  からの Pb の抜けが促進されて第 2 のキャパシタ  $Q_2$  の疲労特性、飽和特性は劣化するが、第 2 のキャパシタ  $Q_2$  のリーク電流は第 1 のキャパシタ  $Q$  のリーク電流よりも小さくなる。

30

(第 5 の実施の形態)

シリコン基板 1 に形成される第 1 ~ 第 3 の n 型不純物拡散領域 7 a ~ 7 c と第 2 の p 型不純物拡散領域 8 b のそれぞれの上に形成される導電性プラグを 2 段から構成してもよく、そのような導電性プラグを有する F e R A M 及びその形成工程を以下に説明する。

【0135】

まず、第 1 実施形態に示した工程に従って、第 1 の n M O S トランジスタ  $T_1$ 、第 2 の n M O S トランジスタ  $T_2$  及び p M O S トランジスタ  $T_3$  をシリコン基板 1 に形成する。

40

【0136】

次に、図 19 に示すように、n M O S トランジスタ  $T_1$ 、 $T_2$  及び p M O S トランジスタ  $T_3$  を覆うカバー膜 10 をシリコン基板 1 上にプラズマ C V D 法により形成する。カバー膜 10 として例えば酸化シリコン (SiON) 膜を形成する。

【0137】

次に、T E O S ガスを用いるプラズマ C V D 法により、酸化シリコン (SiO<sub>2</sub>) 膜を約 1 . 0 μ m の厚さに成長し、この酸化シリコン膜を第 1 の層間絶縁膜 11 として使用する。

【0138】

50

続いて、第1の層間絶縁膜11の緻密化处理として、常圧の窒素雰囲気中で第1の層間絶縁膜11を700の温度で30分間熱処理する。その後、第1の層間絶縁膜11の上面をCMP法により研磨して平坦化する。

【0139】

次に、第1の層間絶縁膜11をフォトリソグラフィ法によりパターニングすることにより、第1～第3のn型不純物拡散領域7a～7c及び第2のp型不純物拡散領域8bのそれぞれの上に第1～第4のコンタクトホール11a～11dを形成する。

【0140】

その後、第1の層間絶縁膜11の上面と第1～第4のコンタクトホール11a～11dの内面にグルー膜として厚さ20nmのチタン(Ti)膜と厚さ50nmのTiN(チタンナイトライド)膜をスパッタ法により順に形成する。さらに、ホール11a～11dを完全に埋め込む厚さのタングステン(W)膜をCVD法によりグルー膜上に成長する。

10

【0141】

その後、第1の層間絶縁膜11上面が露出するまでタングステン膜及びグルー膜をCMP法により順次研磨する。これにより、第1～第4のホール11a～11d内に残されたタングステン膜及びグルー膜は、それぞれ第1～第4の導電性プラグ12a～12dとして使用される。

【0142】

メモリセル領域Aのpウェル3aにおいて、2つのゲート電極5a, 5bに挟まれる第2のn型不純物拡散領域7b上の第2の導電性プラグ12bはビット線に接続され、さらに、その両側方の第1、第3の導電性プラグ12a, 12cは後述するキャパシタの上部電極に接続される。

20

【0143】

なお、ホール11a～11dを形成した後に、コンタクト補償のために不純物拡散領域7a～7c、8a, 8bに不純物をイオン注入してもよい。

【0144】

次に、第1の層間絶縁膜11上と導電性プラグ12a～12d上に、下地絶縁膜13として、厚さ100nm程度のSiON膜と厚さ150nm程度のSiO<sub>2</sub>膜をCVD法により順に形成する。SiON膜は導電性プラグ12a～12dの酸化を防止するために形成され、また、SiO<sub>2</sub>膜は後述するキャパシタの下部電極の結晶性を改善するために形成される。なお、下地絶縁膜13を構成するSiO<sub>2</sub>膜はソースガスとしてTEOSを用いて形成される。

30

【0145】

次に、図20(a)に示す構造を形成するまでの工程を説明する。

【0146】

まず、下地絶縁膜13上に、第1の導電膜14としてTi膜とPt膜を順に形成する。Ti膜とPt膜はDCスパッタ法により形成される。この場合、Ti膜の厚さを10～30nm程度、Pt膜の厚さを100～300nm程度とする。なお、第1の導電膜14として、イリジウム、ルテニウム、酸化ルテニウム、酸化イリジウム、酸化ルテニウムストロンチウム等の導電膜を形成してもよい。

【0147】

その後、強誘電体膜15として厚さ100～300nmのPZT膜をRFスパッタ法により第1の導電膜14上に形成する。強誘電体層15の形成方法は、その他に、MOD法、MOCVD法、ゾル・ゲル法などがある。また、強誘電体層15の材料としては、PZT以外に、第1実施形態で示したPZT系材料又はBi層状構造化合物、その他の金属酸化物強誘電体を採用してもよい。

40

【0148】

そして、強誘電体膜15を構成するPZT膜の結晶化处理として、酸素雰囲気中で温度650～850、30～120秒間の条件でRTA(Rapid Thermal Annealing)を行う。例えば、温度700で60秒間アニールする。

【0149】

50

続いて、強誘電体膜 15 の上に第 2 の導電膜 16 として酸化イリジウム膜をスパッタ法により 100 ~ 300 nm の厚さに形成する。なお、第 2 の導電膜 16 として、プラチナもしくは酸化ルテニウムストロンチウムを用いてもよい。

【0150】

次に、図 20 (b) に示す構図を形成するまでの工程を説明する。

【0151】

まず、第 2 の導電膜 16 をパターニングすることにより、メモリセル領域 A においてキャパシタ用の上部電極 16 a を複数成形すると同時に、周辺回路領域 B においてキャパシタ用の上部電極 16 b を形成する。

【0152】

続いて、強誘電体膜 15 をパターニングすることにより、メモリセル領域 A において複数の上部電極 16 a の下でワード線 WL 延在方向に沿ったストライプ形状のキャパシタ用の誘電体膜 15 a を形成するとともに、周辺回路領域 B において上部電極の 16 b の下にキャパシタ用の誘電体膜 15 b を形成する。

【0153】

次に、図 21 (a) に示すように、第 1 の導電膜 14 をパターニングすることにより、メモリセル領域 A において誘電体膜 15 a の下でストライプ状に延在するキャパシタ用の下部電極 14 a を形成するとともに、周辺回路領域 B において誘電体膜 15 b の下にキャパシタ用の下部電極 14 b を形成する。

【0154】

これにより、メモリセル領域 A では、下部電極 14 a、誘電体膜 15 a 及び上部電極 16 a を有する第 1 のキャパシタ  $Q_1$  が形成される。また、周辺回路領域 B では、下部電極 14 b、誘電体膜 15 b 及び上部電極 16 b を有する第 2 のキャパシタ  $Q_2$  が形成される。

【0155】

第 1 のキャパシタ  $Q_1$  は、強誘電体膜のヒステリシス特性により情報の書き込み、読み出しが行われる。また、第 2 のキャパシタ  $Q_2$  は、電圧のブーストなどに使用される。

【0156】

次に、図 21 (b) に示すように、第 1 及び第 2 のキャパシタ  $Q_1$ 、 $Q_2$  と下地絶縁膜 13 の上に保護絶縁膜 17 として例えば TEOS、ヘリウム及び酸素の混合ガスを用いて CVD 法により酸化シリコン膜 (TEOS 膜) を 200 nm 程度の厚さに形成する。

【0157】

なお、保護絶縁膜 17 としては、TEOS 膜の他、 $\text{SiH}_4$  と  $\text{O}_2$  を用いて形成された酸化シリコン膜、又は窒化シリコン膜、又は窒化酸化シリコン膜などを適用してもよい。

【0158】

次に、図 22 (a) に示すように、フォトリソグラフィ法により保護絶縁膜 17 をパターニングして周辺回路部 B の少なくとも第 2 のキャパシタ  $Q_2$  上から除去する。保護絶縁膜 17 のパターニングは、レジストマスク (不図示) を使用し、エッチングガスとして  $\text{CF}_4$  と  $\text{O}_2$  の混合ガスを用いてダウンフロープラズマエッチングによって行われる。

【0159】

その後、常圧の酸素雰囲気中にシリコン基板 1 を置いて保護絶縁膜 17 に覆われていない第 2 のキャパシタ  $Q_2$  を例えば 650 の温度、60 分間でアニールする。

【0160】

これにより、周辺回路領域 B 内の第 2 のキャパシタ  $Q_2$  の強誘電体膜を構成する例えば PZT 膜の Pb の抜けが促進される。この結果、第 2 のキャパシタ  $Q_2$  のリーク電流はアニール前に比べて小さくなる。これに対して、メモリセル領域 A 内の第 1 のキャパシタ  $Q_1$  は保護絶縁膜 17 によって覆われているので、構成原子の抜けが防止される。

【0161】

なお、第 2 のキャパシタ  $Q_2$  のアニールは減圧雰囲気中に行って Pb 抜けをさらに促進するようにしてもよい。また、第 2 のキャパシタ  $Q_2$  のアニール温度は 650 以上が好ましい。さらに、アニール雰囲気に導入されるガスは酸素に限られりものではなく、酸素・アル

10

20

30

40

50

ゴン混合ガス、窒素ガスなどを採用してもよい。これらは、以下の実施形態でも同様に適用される。

【0162】

次に、図22(b)に示すように、保護絶縁膜17、下地絶縁膜13及び第2のキャパシタ $Q_2$ の上に、第2の層間絶縁膜18として酸化シリコン膜を約1 $\mu$ mの厚さに形成する。この酸化シリコン膜は、TEOS、ヘリウム及び酸素の混合ガスを用いて、CVD法により形成される。

【0163】

なお、シランを用いて第2の層間絶縁膜18を形成してもよく、この場合にはメモリセル領域A内における保護絶縁膜17は第1のキャパシタ $Q_1$ への還元ガスの侵入を防止する。

10

【0164】

続いて、第2の層間絶縁膜18の上面をCMP法により平坦化する。この例では、CMP後の第2層間絶縁膜18の残り膜厚は、メモリセル領域Aのキャパシタの上で保護絶縁膜17の膜厚と合わせて約300nm程度とする。

【0165】

次に、図23(a)に示すように、第2の層間絶縁膜18、保護絶縁膜17及び下地絶縁膜13をフォトリソグラフィ法によりパターンニングして、第1～第4の導電性プラグ12a～12dの上にそれぞれ第5～第8のコンタクトホール22a～22dを形成するとともに、pウェル3a近傍の素子分離絶縁膜2上方の2つの第1のキャパシタ $Q_1$ の上部電極15aの上にそれぞれ第9、第10のコンタクトホール22e、22fを形成し、第2のキャパシタ $Q_2$ の上部電極15bの上に第11のコンタクトホール22gを形成する。

20

【0166】

その後、第2の層間絶縁膜18上と第5～第11のコンタクトホール22a～22g内に、膜厚50nm程度のTiN膜をスパッタにより形成し、さらにTiN膜の上にW膜を形成する。W膜は第5～第11のコンタクトホール22a～22g内を完全に埋め込む厚さに形成される。

【0167】

続いて、図23(b)に示すように、TiN膜とW膜をCMP法により研磨して第2の層間絶縁膜18の上面から除去する。これにより、第5～第11のコンタクトホール22a～22g内に残されたTiN膜とW膜をそれぞれ第5～第11の導電性プラグ23a～23gとして使用する。

30

【0168】

次に、第2の層間絶縁膜18の上と第5～第11の導電性プラグ23a～23gの上に、配線用金属膜として膜厚150nmのTiN膜、膜厚5nmのTi膜、膜厚500nmのAl-Cu膜、膜厚50nmのTiN膜及び膜厚20nmのTi膜からなる5層構造の金属膜を形成した後、配線用金属膜をフォトリソグラフィ法によりパターンニングする。

【0169】

この配線用金属膜のパターンニングにより、図24に示すように、メモリセル領域Aにおいて第2の層間絶縁膜18の上に第1、第2の金属配線20a、20bと導電性パッド20cを形成する一方、周辺回路領域Bにおいて第2の層間絶縁膜18の上に第3の金属配線20dを形成する。

40

【0170】

メモリセル領域Aにおいて、第1の金属配線20aは、第1の導電性プラグ12a上の第5の導電性プラグ23aと上部電極16a上の第9の導電性プラグ23eに接続される。第2の金属配線20bは、第3の導電性プラグ12c上の第7の導電性プラグ23cと別の上部電極16a上の第10の導電性プラグ23fに接続される。また、導電性パッド20cは第2の導電性プラグ23bの上に形成される。

【0171】

周辺回路領域Bにおいて、第3の金属配線20dは、第4の導電性プラグ12d上の第8

50

の導電性プラグ23dと上部電極16b上の第11の導電性プラグ23gに接続される。

【0172】

これにより、メモリセル領域Aにおいて、第1のn型不純物拡散領域7aと第1のキャパシタ $Q_1$ の上部電極16aは、第1の金属配線20aと第1、第5、第9の導電性プラグ12a、23a、23eを介して電氣的に接続される。また、第3のn型不純物拡散領域7cと別の第1のキャパシタ $Q_1$ の上部電極16aは、第2の金属配線20bと第3、第7、第10の導電性プラグ12c、23c、23fを介して電氣的に接続される。なお、第2のn型不純物拡散領域7bは、導電性パッド20cと第2、第6の導電性プラグ12b、23bを介して上方のビット線（不図示）に電氣的に接続される。

【0173】

また、周辺回路領域Bにおいて、第2のp型不純物拡散領域8bは、第3の金属配線20dと第4、第8、第11の導電性プラグ12d、23d、23gを介してキャパシタ $Q_2$ の上部電極16bに電氣的に接続される。

【0174】

第1～第3の金属配線20a、20b、20dを形成した後に、さらに第3の層間絶縁膜を形成し、導電性プラグを形成し、さらに第3の層間絶縁膜の上にビット線などを形成するが、その詳細は省略する。

【0175】

上記した実施形態によれば、メモリセル領域A内に形成された第1のキャパシタ $Q_1$ を保護絶縁膜17により覆った状態で、周辺回路領域B内で昇圧などに使用される第2のキャパシタ $Q_2$ を選択的にアニールしている。これにより、第2のキャパシタ $Q_2$ においては、リーク電流増加要因となる原子が強誘電体膜15bから飛び出してリーク電流を減少させる。

【0176】

また、本実施形態では、不純物拡散領域と金属配線を接続するためにplug-to-plug構造を採用したので、上記した他の実施形態に比べて導電性プラグを構成するための埋込が容易になる。

【0177】

なお、plug-to-plug構造を採用する場合でも、第2～第4実施形態と同様なキャパシタの形成工程に従って第1のキャパシタ $Q_1$ と第2のキャパシタ $Q_2$ を形成してもよい。

（第6の実施の形態）

第1、第2、第6の実施形態で示した第2のキャパシタ $Q_2$ を構成する下部電極14b及び誘電体膜15bの平面形状を四角にする場合に、上部電極16bの平面形状を、図19(a)に示すようにチェッカー形状にしたり、図19(b)に示すように孔22を有する形状にしてもよい。これにより、上部電極16bには強誘電体膜15から所定の元素が抜けやすくするための強誘電体露出領域が形成されることになる。

【0178】

これによれば、上部電極16bの下の強誘電体膜15の露出面積が増えて、アニールによる強誘電体膜15からPb又はBiが抜け易くなる。

【0179】

なお、上記した各実施形態は、プレーナ型のキャパシタについて説明したが、第1層間絶縁膜11内の導電性プラグをキャパシタ下部電極の下面に直に接続する構造のスタック型キャパシタに適用してもよい。

（付記1）半導体基板の上方に形成された絶縁膜と、  
前記絶縁膜の第1領域の上に順に形成された第1下部電極、第1強誘電体膜及び第1上部電極を有する第1キャパシタと、  
前記絶縁膜の第2領域の上に順に形成された第2下部電極、第2強誘電体膜及び第2上部電極を有する第2キャパシタとを有し、  
前記第1強誘電体膜は第1の元素を含む複数種類の元素からなる第1の強誘電体材料から構成され、

10

20

30

40

50

前記第 2 強誘電体膜は前記第 1 の元素を含む複数種類の元素からなる第 2 の強誘電体材料から構成され、

前記第 2 強誘電体膜内の前記第 1 の元素の濃度は、前記第 1 強誘電体膜内の前記第 1 の元素の濃度よりも低いことを特徴とする半導体装置。

(付記 2) 前記第 1 キャパシタを覆い且つ前記第 2 キャパシタを露出する保護膜を有することを特徴とする請求項 1 に記載の半導体装置。

(付記 3) 前記保護絶縁膜は、少なくとも第 1 キャパシタの前記第 1 上部電極の上に形成されていることを特徴とする付記 2 に記載の半導体装置。

(付記 4) 前記保護絶縁膜は、酸化シリコン、窒化シリコン、窒化酸化シリコン、窒化シリコンのいずれかから構成されることを特徴とする付記 2 又は付記 3 に記載の半導体装置

10

。 (付記 5) 前記第 1 の強誘電体材料は P Z T 系材料であり、前記第 2 の強誘電体材料は P Z T 系材料であり、前記第 1 元素は鉛であることを特徴とする付記 1 乃至付記 4 のいずれかに記載の半導体装置。

(付記 6) 前記第 2 キャパシタの面積は、前記第 1 キャパシタの面積よりも大きいことを特徴とする付記 1 乃至付記 5 のいずれかに記載の半導体装置。

(付記 7) 前記第 1 領域はメモリセル領域であり、前記第 2 領域は周辺回路領域であることを特徴とする付記 1 乃至付記 6 のいずれかに記載の半導体装置。

(付記 8) 半導体基板の上方に絶縁膜を形成する工程と、  
前記絶縁膜の第 1 領域と第 2 領域のそれぞれの上に第 1 の導電膜を形成する工程と、  
第 1 の元素を含む複数種類の元素からなる強誘電体膜を前記第 1 の導電膜の上に形成する工程と、

20

前記強誘電体膜の上に第 2 の導電膜を形成する工程と、  
前記第 2 の導電膜をパターンングすることにより、前記第 1 領域では第 1 キャパシタを構成する第 1 上部電極を形成するとともに前記第 2 領域では第 2 キャパシタを構成する第 2 上部電極を形成する工程と、

前記強誘電体膜をパターンングすることにより、前記第 1 領域では前記第 1 キャパシタを構成する第 1 誘電体膜を形成するとともに前記第 2 領域では前記第 2 キャパシタを構成する第 2 誘電体膜を形成する工程と、

前記第 1 の導電膜をパターンングすることにより、前記第 1 領域では前記第 1 キャパシタを構成する第 1 下部電極を形成するとともに前記第 2 領域では前記第 2 キャパシタを構成する第 2 下部電極を形成する工程とを有し、

30

前記第 2 誘電体膜を構成する前記強誘電体膜内の前記第 1 元素の濃度を、前記第 1 誘電体膜を構成する前記強誘電体膜内の前記第 1 元素の濃度よりも選択的に低くする工程をさらに有することを特徴とする半導体装置の製造方法。

(付記 9) 前記第 2 誘電体膜を構成する前記強誘電体膜内の前記第 1 元素の濃度を選択的に低くする工程は、

前記第 1 の導電膜をパターンングして前記第 1 下部電極及び前記第 2 下部電極を形成した後に、前記第 1 キャパシタを保護絶縁膜により覆いながら前記第 2 キャパシタをアニールする工程である

40

ことを特徴とする付記 8 に記載の半導体装置の製造方法。

(付記 10) 前記第 2 誘電体膜を構成する前記強誘電体膜内の前記第 1 元素の濃度を選択的に低くする工程は、

前記第 2 の導電膜をパターンングして前記第 1 上部電極と前記第 2 上部電極を形成した後に、前記第 1 上部電極及び前記強誘電体膜を前記第 1 領域で保護絶縁膜により覆いながら前記第 2 領域内の前記第 2 上部電極と前記強誘電体膜をアニールする工程である

ことを特徴とする付記 8 に記載の半導体装置の製造方法。

(付記 11) 前記第 2 誘電体膜を構成する前記強誘電体膜内の前記第 1 元素の濃度を選択的に低くする工程は、

前記第 2 の導電膜をパターンングして前記第 1 上部電極と前記第 2 上部電極を形成し、さ

50



らに前記強誘電体膜をパターンニングして前記第 1 誘電体膜と前記第 2 誘電体膜を形成した後に、前記第 1 誘電体膜及び前記第 1 上部電極を前記第 1 領域で保護絶縁膜により覆いながら前記第 2 上部電極と前記第 2 誘電体膜をアニールする工程である

ことを特徴とする付記 8 に記載の半導体装置の製造方法。

(付記 1 2) 前記第 2 上部電極には、前記第 2 領域のキャパシタ形成領域で前記強誘電体膜を露出するための露出部を形成することを特徴とする付記 8 乃至付記 1 1 のいずれかに記載の半導体装置の製造方法。

(付記 1 3) 前記第 2 誘電体膜を構成する前記強誘電体膜内の前記第 1 元素の濃度を選択的に低くする工程は、

前記第 2 の導電膜を形成した後に、前記第 2 の導電膜を前記第 1 領域で保護絶縁膜により覆いながら前記第 2 領域内の前記強誘電体膜をアニールする工程であることを特徴とする付記 8 に記載の半導体装置の製造方法。

(付記 1 4) 前記第 2 誘電体膜を構成する前記強誘電体膜内の前記第 1 元素の濃度を選択的に低くする工程は、

前記強誘電体膜を形成した後に、前記強誘電体膜を前記第 1 領域で保護絶縁膜により覆いながら前記第 2 領域内の前記強誘電体膜をアニールする工程である

ことを特徴とする付記 8 に記載の半導体装置の製造方法。

(付記 1 5) 前記保護絶縁膜は、前記第 2 の導電膜を形成する前に除去されることを特徴とする付記 1 4 に記載の半導体装置の製造方法。

(付記 1 6) 前記保護絶縁膜は、基板全面に形成された後にパターンニングされて前記第 2 領域から除去され且つ前記第 1 領域に残されることを特徴とする付記 9 乃至付記 1 4 のいずれかに記載の半導体装置の製造方法。

(付記 1 7) 前記保護絶縁膜は、酸化シリコン、窒化シリコン、窒化酸化シリコン、窒化シリコンのいずれかから構成されることを特徴とする付記 9 乃至付記 1 6 のいずれかに記載の半導体装置。

(付記 1 8) 前記アニールは、酸素、酸素・アルゴン混合ガス、又は窒素ガスを含む雰囲気中においてなされることを特徴とする付記 8 乃至付記 1 7 のいずれかに記載の半導体装置の製造方法。

(付記 1 9) 前記アニールは、650 以上の温度でなされることを特徴とする付記 8 乃至付記 1 8 のいずれかに記載の半導体装置の製造方法。

(付記 2 0) 前記アニールは、減圧雰囲気中に前記半導体基板を置いてなされることを特徴とする付記 8 乃至付記 1 9 のいずれかに記載の半導体装置。

【0180】

【発明の効果】

以上述べたように本発明によれば、用途の異なる第 1 キャパシタと第 2 キャパシタのそれぞれの誘電体膜を複数元素を有する強誘電体材料から構成し、さらに強誘電体材料のうち所定の元素について第 1 キャパシタの誘電体膜よりも第 2 キャパシタの誘電体膜の方をアニールにより低くしているため、1 回の強誘電体膜の形成で用途に応じた複数種類のキャパシタの形成が可能になり、半導体装置の形成工程が大幅に増えることを防止し、コスト高の抑制が可能になる。

【図面の簡単な説明】

【図 1】図 1 は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図(その 1)である。

【図 2】図 2 (a), (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図(その 2)である。

【図 3】図 3 (a), (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図(その 3)である。

【図 4】図 4 (a), (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図(その 4)である。

【図 5】図 5 (a), (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面

10

20

30

40

50

図(その5)である。

【図6】図6は、本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その6)である。

【図7】図7は、本発明の実施形態に係る半導体装置のキャパシタに用いられるPZT膜中の鉛濃度と疲労による分極電荷損失率の関係を示す図である。

【図8】図8は、本発明の実施形態に係る半導体装置のキャパシタに用いられるPZT膜中の鉛濃度と飽和電圧の関係を示す図である。

【図9】図9は、本発明の実施形態に係る半導体装置のキャパシタに用いられるPZT膜中の鉛濃度とリーク電流の関係を示す図である。

【図10】図10は、本発明の実施形態に係る半導体装置のキャパシタに用いられるPZT膜のアニール温度と鉛抜け量の関係を示す図である。 10

【図11】図11(a),(b)は、本発明の第2実施形態に係る半導体装置の製造工程を示す断面図(その1)である。

【図12】図12(a),(b)は、本発明の第2実施形態に係る半導体装置の製造工程を示す断面図(その2)である。

【図13】図13は、本発明の第2実施形態に係る半導体装置の製造工程を示す断面図(その3)である。

【図14】図14(a),(b)は、本発明の第3実施形態に係る半導体装置の製造工程を示す断面図(その1)である。

【図15】図15は、本発明の第3実施形態に係る半導体装置の製造工程を示す断面図(その2)である。 20

【図16】図16(a),(b)は、本発明の第4実施形態に係る半導体装置の製造工程を示す断面図(その1)である。

【図17】図17(a),(b)は、本発明の第4実施形態に係る半導体装置の製造工程を示す断面図(その2)である。

【図18】図18は、本発明の第4実施形態に係る半導体装置の製造工程を示す断面図(その3)である。

【図19】図19は、本発明の第5実施形態に係る半導体装置の製造工程を示す断面図(その1)である。

【図20】図20(a),(b)は、本発明の第5実施形態に係る半導体装置の製造工程を示す断面図(その2)である。 30

【図21】図21(a),(b)は、本発明の第5実施形態に係る半導体装置の製造工程を示す断面図(その3)である。

【図22】図22(a),(b)は、本発明の第5実施形態に係る半導体装置の製造工程を示す断面図(その4)である。

【図23】図23(a),(b)は、本発明の第5実施形態に係る半導体装置の製造工程を示す断面図(その5)である。

【図24】図24は、本発明の第5実施形態に係る半導体装置の製造工程を示す断面図(その6)である。

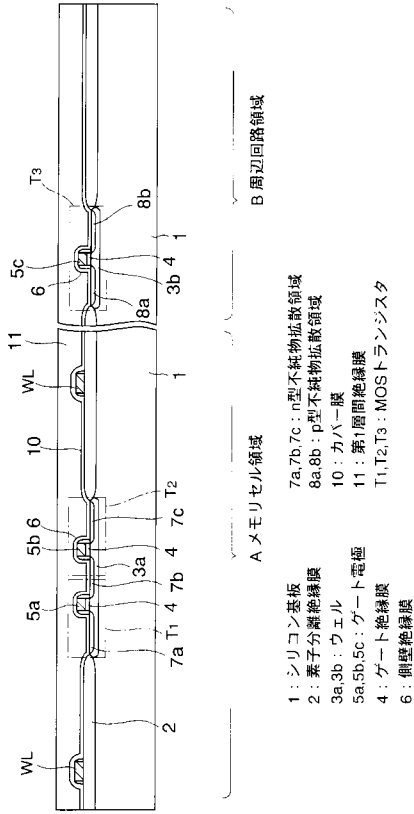
【図25】図25は、本発明の第6実施形態に係る半導体装置のキャパシタを示す上面図である。 40

【符号の説明】

1...シリコン(半導体)基板、2...素子分離絶縁膜、3a, 3b...活性領域、4...ゲート電極、5a~5c...ゲート電極、6...側壁絶縁膜、7a~7c...n型不純物拡散領域、8a, 8b...p型不純物拡散領域、10...カバー膜、11...第1層間絶縁膜、12a~12d...導電性プラグ、13...下地絶縁膜、14...第1の導電膜、14a, 14b...下部電極、15...強誘電体膜、15a, 15b...誘電体膜、16...第2の導電膜、16a, 16b...上部電極、17...保護絶縁膜、19a~19g...導電性プラグ、23a~23g...導電性プラグ、Q<sub>1</sub>, Q<sub>2</sub>...キャパシタ。

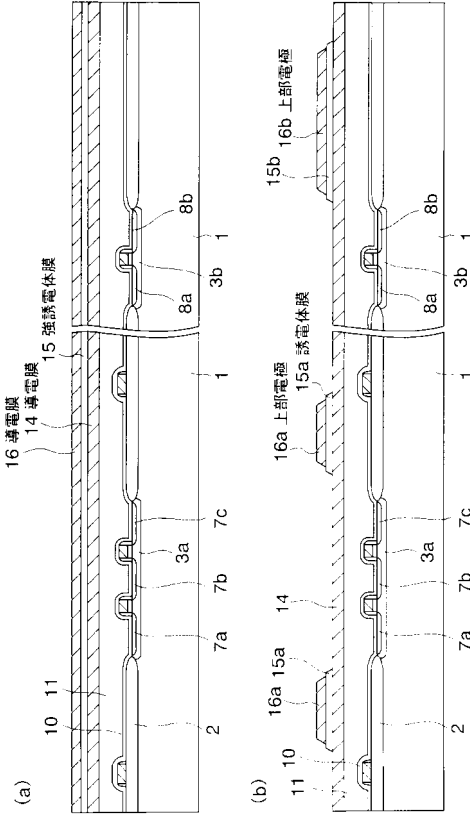
【図1】

本発明の第1実施形態 (1)



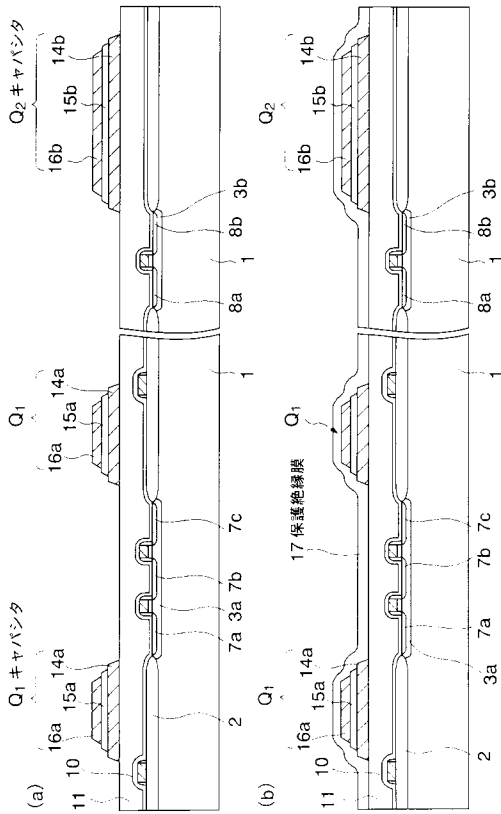
【図2】

本発明の第1実施形態 (2)



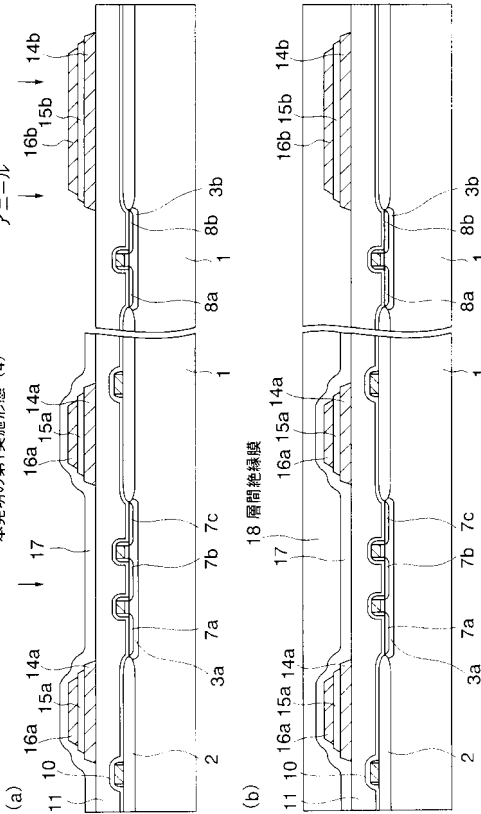
【図3】

本発明の第1実施形態 (3)

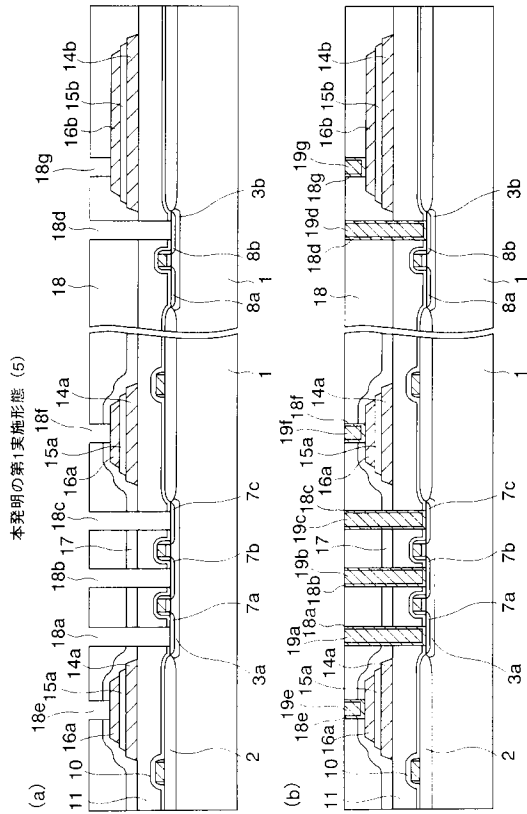


【図4】

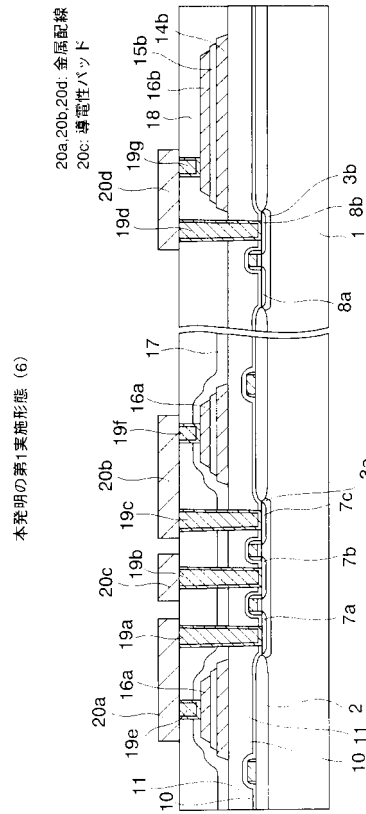
本発明の第1実施形態 (4)



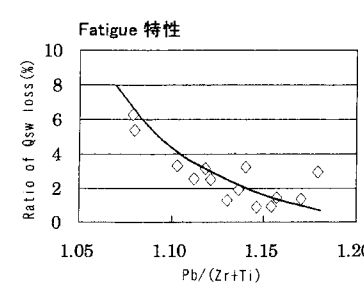
【 図 5 】



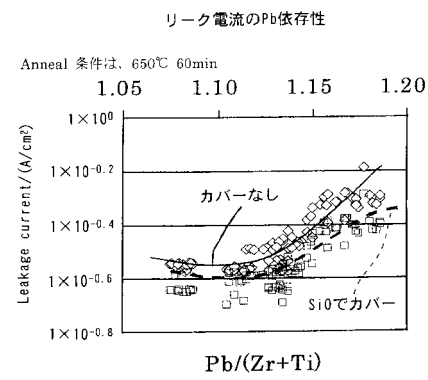
【 図 6 】



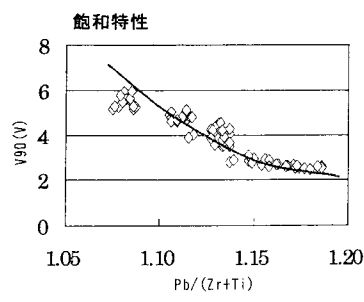
【 図 7 】



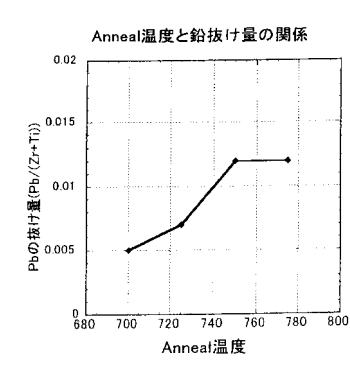
【 図 9 】



【 図 8 】



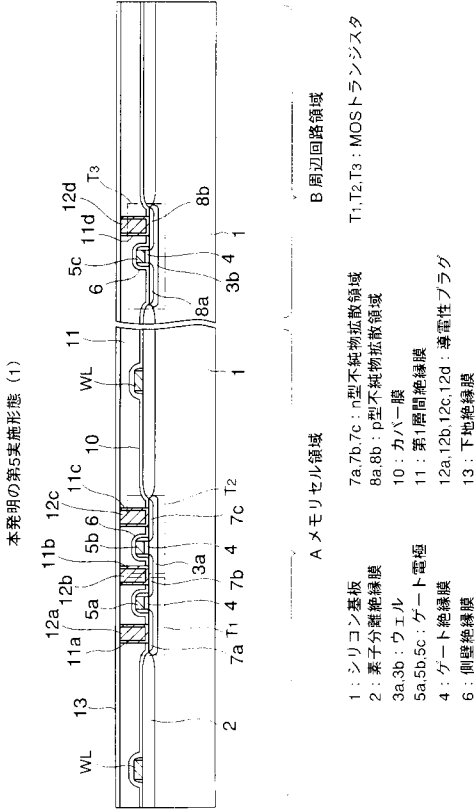
【 図 10 】



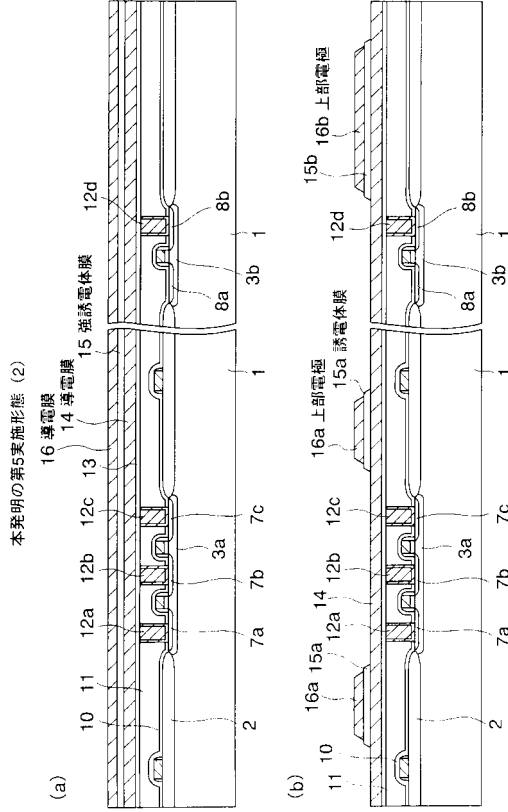




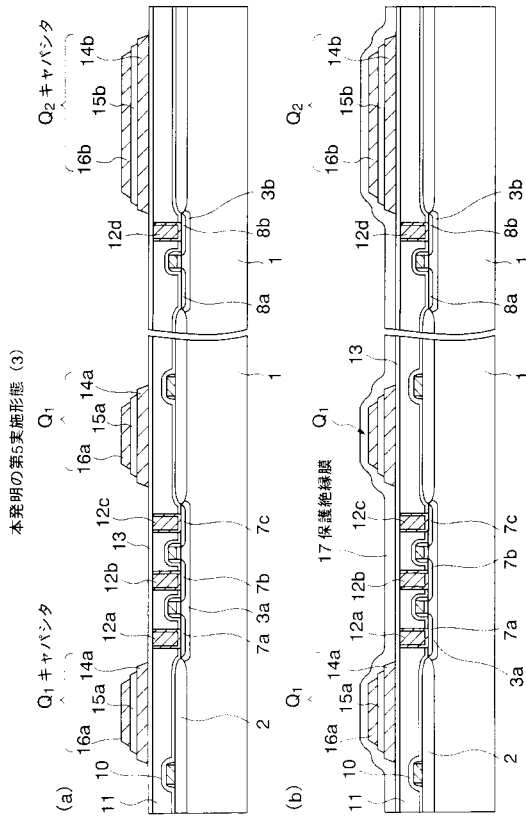
【図19】



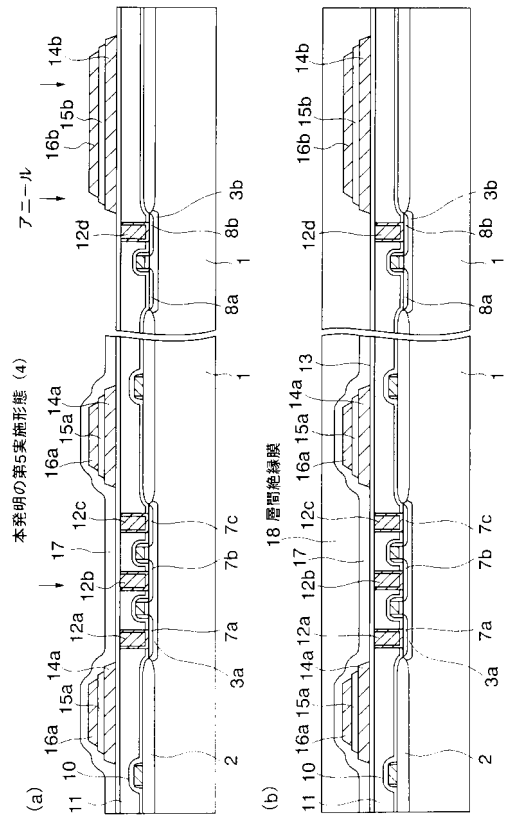
【図20】



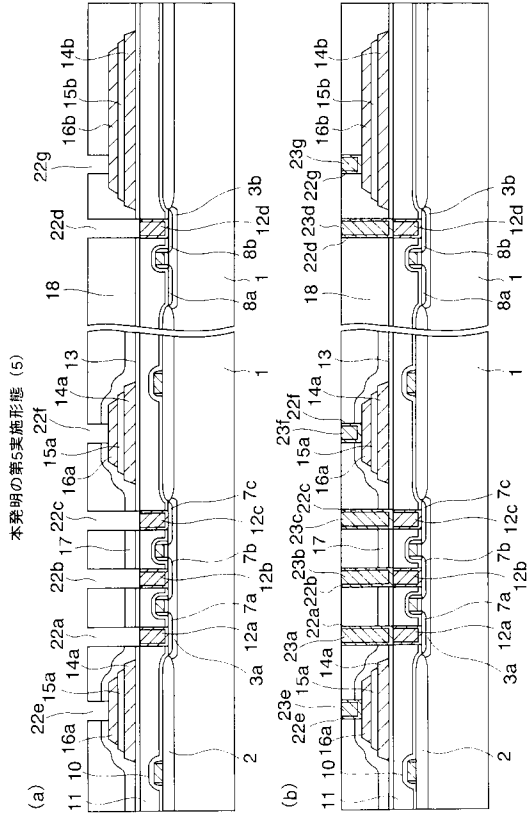
【図21】



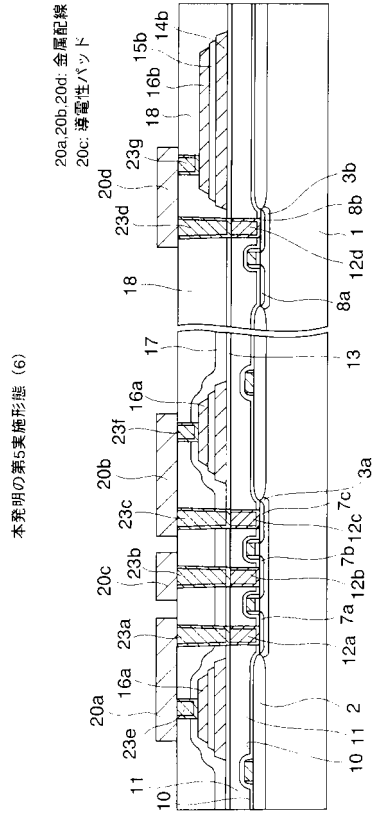
【図22】



【 図 2 3 】

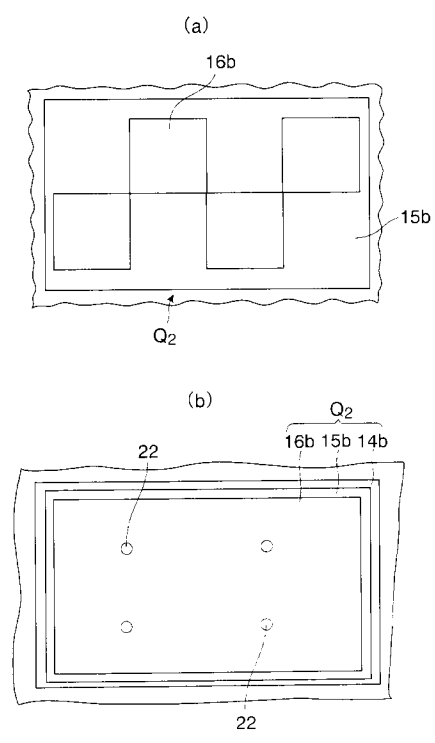


【 図 2 4 】



【 図 2 5 】

本発明の第6実施形態





フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H01L 21/8246

H01L 27/10

H01L 27/105