



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0128661
(43) 공개일자 2021년10월27일

- | | |
|--|--|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 21/8234 (2006.01) H01L 21/762 (2006.01)
H01L 29/06 (2006.01) H01L 29/66 (2006.01)
H01L 29/78 (2006.01) H01L 29/786 (2006.01)</p> <p>(52) CPC특허분류
H01L 21/823481 (2013.01)
H01L 21/76224 (2013.01)</p> <p>(21) 출원번호 10-2020-0046578
(22) 출원일자 2020년04월17일
심사청구일자 없음</p> | <p>(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)</p> <p>(72) 발명자
김주연
경기도 수원시 영통구 영통로154번길 56, 104동 302호(망포동, 한양수자인 에듀파크)</p> <p>강상정
경기도 수원시 영통구 영통로154번길 116, 1101동 502호(망포동, 영통 마젤란21 아파트(2단지))
(뒷면에 계속)</p> <p>(74) 대리인
특허법인가산</p> |
|--|--|

전체 청구항 수 : 총 10 항

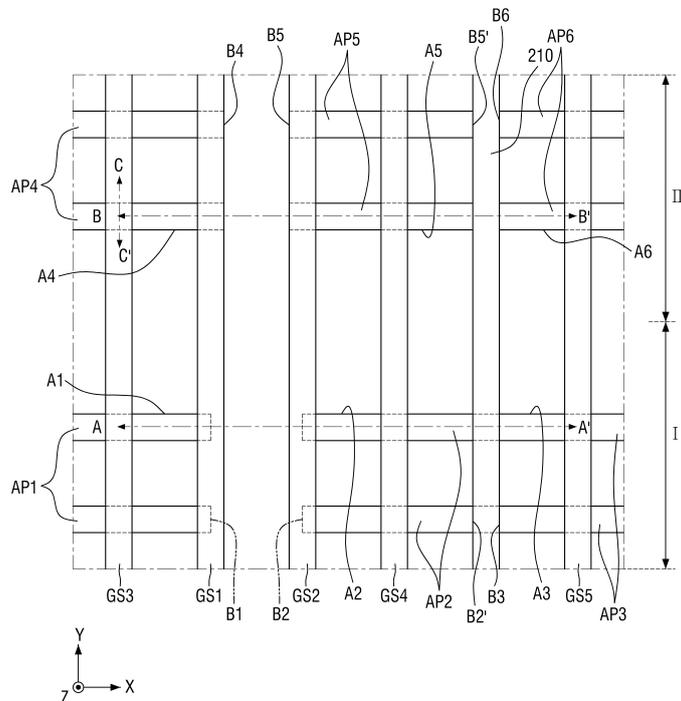
(54) 발명의 명칭 반도체 장치

(57) 요약

반도체 장치가 제공된다. 반도체 장치는, 제1 방향으로 연장되는 제1 활성 패턴, 제1 방향으로 연장되고, 제1 활성 패턴과 제1 방향으로 이격된 제2 활성 패턴, 제1 방향으로 연장되고, 제2 활성 패턴과 제1 방향으로 이격된 제3 활성 패턴, 제1 방향으로 연장되고, 제1 활성 패턴과 제2 방향으로 이격된 제4 활성 패턴, 제1 방향으로 연

(뒷면에 계속)

대표도 - 도1



장되고, 제4 활성 패턴과 제1 방향으로 이격된 제5 활성 패턴, 제1 방향으로 연장되고 제5 활성 패턴과 제1 방향으로 이격된 제6 활성 패턴, 제1 활성 패턴과 제2 활성 패턴 사이의 필드 절연막으로, 필드 절연막의 상면은 제1 활성 패턴의 상면과 제2 활성 패턴의 상면보다 낮은 필드 절연막, 필드 절연막과 제1 활성 패턴 상에 형성되고, 제2 방향으로 연장되어 제4 활성 패턴과 교차하는 제1 게이트 구조체, 필드 절연막과 제2 활성 패턴 상에 형성되고, 제2 방향으로 연장되어 제5 활성 패턴과 교차하는 제2 게이트 구조체, 제2 활성 패턴과 제3 활성 패턴 사이, 및 제5 활성 패턴과 제6 활성 패턴 사이에서 제2 방향으로 연장되는 제1 분리 트렌치를 채우는 제1 소자 분리막, 및 제1 게이트 구조체 및 제2 게이트 구조체 사이에서 제2 방향으로 연장되는 제2 분리 트렌치를 채우는 제2 소자 분리막을 포함하고, 제1 분리 트렌치의 최하면은 제2 분리 트렌치의 최하면보다 높다.

(52) CPC특허분류

H01L 21/823412 (2013.01)

H01L 21/823431 (2013.01)

H01L 29/0673 (2013.01)

H01L 29/66772 (2013.01)

H01L 29/66795 (2013.01)

H01L 29/785 (2013.01)

H01L 29/78654 (2013.01)

H01L 29/78696 (2013.01)

(72) 발명자

강지수

서울특별시 강서구 곰달래로35길 109, 301호(화곡동, 신안빌라)

신윤상

경기도 수원시 영통구 덕영대로1499번길 66, 301호(망포동)

명세서

청구범위

청구항 1

제1 방향으로 연장되는 제1 활성 패턴;

상기 제1 방향으로 연장되고, 상기 제1 활성 패턴과 상기 제1 방향으로 이격된 제2 활성 패턴;

상기 제1 방향으로 연장되고, 상기 제2 활성 패턴과 상기 제1 방향으로 이격된 제3 활성 패턴;

상기 제1 방향으로 연장되고, 상기 제1 활성 패턴과 제2 방향으로 이격된 제4 활성 패턴;

상기 제1 방향으로 연장되고, 상기 제4 활성 패턴과 상기 제1 방향으로 이격된 제5 활성 패턴;

상기 제1 방향으로 연장되고 상기 제5 활성 패턴과 상기 제1 방향으로 이격된 제6 활성 패턴;

상기 제1 활성 패턴과 상기 제2 활성 패턴 사이의 필드 절연막으로, 상기 필드 절연막의 상면은 상기 제1 활성 패턴의 상면과 상기 제2 활성 패턴의 상면보다 낮은 필드 절연막;

상기 필드 절연막과 상기 제1 활성 패턴 상에 형성되고, 상기 제2 방향으로 연장되어 상기 제4 활성 패턴과 교차하는 제1 게이트 구조체;

상기 필드 절연막과 상기 제2 활성 패턴 상에 형성되고, 상기 제2 방향으로 연장되어 상기 제5 활성 패턴과 교차하는 제2 게이트 구조체;

상기 제2 활성 패턴과 상기 제3 활성 패턴 사이, 및 상기 제5 활성 패턴과 상기 제6 활성 패턴 사이에서 상기 제2 방향으로 연장되는 제1 분리 트렌치를 채우는 제1 소자 분리막; 및

상기 제1 게이트 구조체 및 상기 제2 게이트 구조체 사이에서 상기 제2 방향으로 연장되는 제2 분리 트렌치를 채우는 제2 소자 분리막을 포함하고,

상기 제1 분리 트렌치의 최하면은 상기 제2 분리 트렌치의 최하면보다 높은 반도체 장치.

청구항 2

제 1항에 있어서,

상기 제2 분리 트렌치는 상기 제1 게이트 구조체의 상면의 적어도 일부와 상기 제2 게이트 구조체의 상면의 적어도 일부를 노출시키는 반도체 장치.

청구항 3

제 2항에 있어서,

상기 제2 소자 분리막과 상기 제1 게이트 구조체 및/또는 제2 게이트 구조체가 접하는 면은 곡선인 반도체 장치.

청구항 4

제 1항에 있어서,

상기 제1 게이트 구조체는 제1 캡핑 패턴을 포함하고, 상기 제2 게이트 구조체는 제2 캡핑 패턴을 포함하고,

상기 제1 캡핑 패턴 및 상기 제2 캡핑 패턴은 상기 제2 분리 트렌치의 적어도 일부를 정의하는 반도체 장치.

청구항 5

제 1항에 있어서,

상기 제4 활성 패턴과 상기 제5 활성 패턴 사이에 상기 제1 방향으로 연장되는 제7 활성 패턴과,

상기 제7 활성 패턴과 상기 필드 절연막 상에 상기 제2 방향으로 연장되는 제3 게이트 구조체를 더 포함하고,
 상기 제2 분리 트렌치는, 상기 제4 활성 패턴과 상기 제7 활성 패턴을 분리하는 제3 분리 트렌치와 상기 제7 활성 패턴과 상기 제5 활성 패턴을 분리하는 제4 분리 트렌치를 포함하고,
 상기 제3 분리 트렌치의 상부는 상기 제7 활성 패턴 상에서 상기 제4 분리 트렌치의 상부와 연결되는 반도체 장치.

청구항 6

제1 분리 트렌치에 의해 분리되고, 제1 방향으로 각각 연장되는 제1 활성 패턴 및 제2 활성 패턴;
 상기 제1 활성 패턴과 제2 방향으로 이격되고, 상기 제1 방향으로 연장되는 제3 활성 패턴;
 상기 제2 활성 패턴과 상기 제2 방향으로 이격되고, 상기 제1 방향으로 연장되는 제4 활성 패턴;
 상기 제1 활성 패턴 상에 상기 제1 활성 패턴과 제3 방향으로 이격되고 상기 제1 활성 패턴과 일부가 중첩되는 제1 와이어 패턴;
 상기 제2 활성 패턴 상에 상기 제2 활성 패턴과 상기 제3 방향으로 이격되고 상기 제2 활성 패턴과 일부가 중첩되는 제2 와이어 패턴;
 상기 제3 활성 패턴 상에 상기 제3 활성 패턴과 상기 제3 방향으로 이격되는 제3 와이어 패턴;
 상기 제4 활성 패턴 상에 상기 제4 활성 패턴과 상기 제3 방향으로 이격되는 제4 와이어 패턴;
 상기 제1 와이어 패턴 및 상기 제3 와이어 패턴을 감싸고, 상기 제2 방향으로 연장되는 제1 게이트 구조체; 및
 상기 제2 와이어 패턴 및 상기 제4 와이어 패턴을 감싸고, 상기 제2 방향으로 연장되는 제2 게이트 구조체를 포함하고,
 상기 제3 활성 패턴과 상기 제4 활성 패턴은 제2 분리 트렌치에 의해 분리되고,
 상기 제1 분리 트렌치의 상기 제1 방향으로의 폭은 상기 제2 분리 트렌치의 상기 제1 방향으로의 폭보다 큰 반도체 장치.

청구항 7

제 6항에 있어서,
 상기 제2 분리 트렌치를 채우는 소자 분리막을 더 포함하고,
 상기 소자 분리막은 상기 제1 게이트 구조체 및 상기 제2 게이트 구조체의 상면의 적어도 일부를 덮는 반도체 장치.

청구항 8

제 6항에 있어서,
 상기 제2 분리 트렌치는 서로 마주보는 상기 제3 와이어 패턴의 측벽 및 상기 제4 와이어 패턴의 측벽에 의해 정의되는 반도체 장치.

청구항 9

제 6항에 있어서,
 상기 제2 분리 트렌치의 상기 제2 방향으로의 폭은 상기 제1 게이트 구조체의 하면으로부터 멀어짐에 따라 증가하는 반도체 장치.

청구항 10

제 6항에 있어서,
 상기 제1 방향으로 연장되는 제5 활성 패턴과,

상기 제5 활성 패턴과 상기 제2 방향으로 이격되는 제6 활성 패턴과

상기 제2 활성 패턴과 상기 제5 활성 패턴을 분리하고, 상기 제4 활성 패턴과 상기 제6 활성 패턴을 분리하는 소자 분리막을 더 포함하고,

상기 소자 분리막의 상기 제2 방향으로의 깊이는 상기 제2 분리 트렌치의 상기 제2 방향으로의 깊이보다 깊은 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것이다.

배경 기술

[0002] 반도체 장치의 밀도를 높이기 위한 스케일링(scaling) 기술 중 하나로서, 기판 상에 핀(fin) 또는 나노와이어(nanowire) 형상의 다채널 액티브 패턴(또는 실리콘 바디)을 형성하고 다채널 액티브 패턴의 표면 위에 게이트를 형성하는 멀티 게이트 트랜지스터(multi gate transistor)가 제안되었다.

[0003] 이러한 멀티 게이트 트랜지스터는 3차원의 채널을 이용하기 때문에, 스케일링하는 것이 용이하다. 또한, 멀티 게이트 트랜지스터의 게이트 길이를 증가시키지 않아도, 전류 제어 능력을 향상시킬 수 있다. 뿐만 아니라, 드레인 전압에 의해 채널 영역의 전위가 영향을 받는 SCE(short channel effect)를 효과적으로 억제할 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 기술적 과제는 소자의 집적도, 신뢰성 및 성능이 향상된 반도체 장치를 제공하는 것이다.

[0005] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예에 따른 반도체 장치는, 제1 방향으로 연장되는 제1 활성 패턴, 제1 방향으로 연장되고, 제1 활성 패턴과 제1 방향으로 이격된 제2 활성 패턴, 제1 방향으로 연장되고, 제2 활성 패턴과 제1 방향으로 이격된 제3 활성 패턴, 제1 방향으로 연장되고, 제1 활성 패턴과 제2 방향으로 이격된 제4 활성 패턴, 제1 방향으로 연장되고, 제4 활성 패턴과 제1 방향으로 이격된 제5 활성 패턴, 제1 방향으로 연장되고 제5 활성 패턴과 제1 방향으로 이격된 제6 활성 패턴, 제1 활성 패턴과 제2 활성 패턴 사이의 필드 절연막으로, 필드 절연막의 상면은 제1 활성 패턴의 상면과 제2 활성 패턴의 상면보다 낮은 필드 절연막, 필드 절연막과 제1 활성 패턴 상에 형성되고, 제2 방향으로 연장되어 제4 활성 패턴과 교차하는 제1 게이트 구조체, 필드 절연막과 제2 활성 패턴 상에 형성되고, 제2 방향으로 연장되어 제5 활성 패턴과 교차하는 제2 게이트 구조체, 제2 활성 패턴과 제3 활성 패턴 사이, 및 제5 활성 패턴과 제6 활성 패턴 사이에서 제2 방향으로 연장되는 제1 분리 트렌치를 채우는 제1 소자 분리막, 및 제1 게이트 구조체 및 제2 게이트 구조체 사이에서 제2 방향으로 연장되는 제2 분리 트렌치를 채우는 제2 소자 분리막을 포함하고, 제1 분리 트렌치의 최하면은 제2 분리 트렌치의 최하면보다 높다.

[0007] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예에 따른 반도체 장치는, 제1 분리 트렌치에 의해 분리되고, 제1 방향으로 각각 연장되는 제1 활성 패턴 및 제2 활성 패턴, 제1 활성 패턴과 제2 방향으로 이격되고, 제1 방향으로 연장되는 제3 활성 패턴, 제2 활성 패턴과 제2 방향으로 이격되고, 제1 방향으로 연장되는 제4 활성 패턴, 제1 활성 패턴 상에 제1 활성 패턴과 제3 방향으로 이격되고 제1 활성 패턴과 일부가 중첩되는 제1 와이어 패턴, 제2 활성 패턴 상에 제2 활성 패턴과 제3 방향으로 이격되고 제2 활성 패턴과 일부가 중첩되는 제2 와이어 패턴, 제3 활성 패턴 상에 제3 활성 패턴과 제3 방향으로 이격되는 제3 와이어 패턴, 제4 활성 패턴 상에 제4 활성 패턴과 제3 방향으로 이격되는 제4 와이어 패턴, 제1 와이어 패턴 및 제3 와이어 패턴을 감싸고, 제2 방향으로 연장되는 제1 게이트 구조체, 및 제2 와이어 패턴 및 제4 와이어 패턴을 감싸고, 제2 방향으로 연

장되는 제2 게이트 구조체를 포함하고, 제3 활성 패턴과 제4 활성 패턴은 제2 분리 트렌치에 의해 분리되고, 제1 분리 트렌치의 제1 방향으로의 폭은 제2 분리 트렌치의 제1 방향으로의 폭보다 크다.

[0008] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예에 따른 반도체 장치는, 기관의 제1 영역에, 제1 방향으로 연장되고, 제2 방향으로 이격된 제1 활성 패턴과 제2 활성 패턴, 기관의 제1 영역에, 제1 방향으로 연장되고 제1 소자 분리막에 의해 제2 활성 패턴과 분리되는 제3 활성 패턴, 기관의 제2 영역에, 제1 방향으로 연장되고 제1 활성 패턴과 제2 방향으로 이격되는 제4 활성 패턴, 기관의 제2 영역에, 제1 방향으로 연장되고 제2 소자 분리막에 의해 제4 활성 패턴과 분리되는 제5 활성 패턴, 기관의 제2 영역에, 제1 방향으로 연장되고 제1 소자 분리막에 의해 제5 활성 패턴과 분리되는 제6 활성 패턴, 제2 방향으로 연장되고, 제1 활성 패턴의 종단과 중첩되고 제4 활성 패턴과 교차하는 제1 게이트 구조체, 제2 방향으로 연장되고, 제2 활성 패턴의 종단과 중첩되고 제3 활성 패턴과 교차하는 제2 게이트 구조체, 제1 내지 제6 활성 패턴 상의 소오스/드레인, 제1 게이트 구조체의 상면 및 제2 게이트 구조체의 상면 상의 제1 층간 절연막, 제1 층간 절연막 내에 배치되고, 소오스/드레인과 연결된 콘택, 제1 층간 절연막 및 콘택 상의 제2 층간 절연막, 및 제2 층간 절연막 내에 콘택과 연결되는 배선 구조체를 포함하고, 제2 소자 분리막은 제1 게이트 구조체와 제2 게이트 구조체 사이에 배치되고, 제1 소자 분리막의 상면 및/또는 제2 소자 분리막의 상면은 콘택의 상면보다 낮고, 제1 소자 분리막의 하면 및/또는 제2 소자 분리막의 하면은 소오스/드레인의 하면보다 낮고, 제1 소자 분리막의 제3 방향으로의 깊이는 제2 소자 분리막의 제3 방향으로의 깊이보다 얇다.

[0009] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 몇몇 실시예들에 따른 반도체 장치를 설명하기 위한 개략적인 레이아웃도이다.
 도 2는 도 1의 A-A'를 따라 절단한 단면도이다.
 도 3은 도 1의 B-B'를 따라 절단한 단면도이다.
 도 4는 도 1의 C-C'을 따라 절단한 단면도이다.
 도 5는 본 발명의 몇몇 다른 실시예들에 따른 반도체 장치를 설명하기 위한 개략적인 레이아웃도이다.
 도 6은 도 5의 A-A'를 따라 절단한 단면도이다.
 도 7은 도 5의 B-B'를 따라 절단한 단면도이다.
 도 8은 본 발명의 몇몇 다른 실시예들에 따른 반도체 장치를 설명하기 위한 개략적인 레이아웃도이다.
 도 9는 도 8의 A-A'를 따라 절단한 단면도이다.
 도 10은 도 8의 B-B'를 따라 절단한 단면도이다.
 도 11은 도 8의 D-D'을 따라 절단한 단면도이다.
 도 12 내지 도 17은 본 발명의 몇몇 실시예들에 따른 반도체 장치의 제조 방법을 설명하기 위한 중간 단계 도면들이다.
 도 18 내지 도 20은 본 발명의 몇몇 실시예들에 따른 반도체 장치의 다른 제조 방법을 설명하기 위한 중간 단계 도면들이다.

발명을 실시하기 위한 구체적인 내용

[0011] 본 발명의 몇몇 실시예에 따른 반도체 장치에 관한 도면에서는, 예시적으로, 핀형 패턴 형상의 채널 영역을 포함하는 핀형 트랜지스터(FinFET)와 나노 와이어 형상 또는 나노 시트 형상의 채널 영역을 포함하는 멀티 브리지 채널 트랜지스터(MBCFET; multi-bridge-channel FET)를 도시되었으나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 예를 들어, 본 발명의 몇몇 실시예들에 따른 반도체 장치는 터널링 트랜지스터(tunneling FET), 게이트 올 어라운드 트랜지스터(GAAFET; gate-all around FET), 또는 3차원(3D) 트랜지스터를 포함할 수 있음은 물론이다. 또한, 예를 들어, 본 발명의 기술적 사상의 몇몇 실시예에 따른 반도체 장치는 양극성 접합(bipolar junction) 트랜지스터, 횡형 이중 확산 트랜지스터(LDMOS) 등을 포함할 수도 있다.

[0012] 도 1은 본 발명의 몇몇 실시예들에 따른 반도체 장치를 설명하기 위한 개략적인 레이아웃도이다. 도 2는 도 1의

A-A'를 따라 절단한 단면도이다. 도 3은 도 1의 B-B'를 따라 절단한 단면도이다. 도 4는 도 1의 C-C'을 따라 절단한 단면도이다. 설명의 편의를 위해, 도 1에서 제1 층간 절연막(191) 및 제2 층간 절연막(192)의 도시는 생략한다.

- [0013] 도 1 내지 도 4를 참조하면, 본 발명의 몇몇 실시예들에 따른 반도체 장치는 제1 내지 제6 활성 패턴(AP1, AP2, AP3, AP4, AP5, AP6), 필드 절연막(110), 제1 내지 제5 게이트 구조체(GS1, GS2, GS3, GS4, GS5), 제1 소자 분리막(210), 제2 소자 분리막(220), 제1 층간 절연막(191) 및 제2 층간 절연막(192)을 포함할 수 있다.
- [0014] 기판(100)은 벌크 실리콘 또는 SOI(silicon-on-insulator)일 수 있다. 이와 달리, 기판(100)은 실리콘 기판일 수도 있고, 또는 다른 물질, 예를 들어, 실리콘게르마늄, SGOI(silicon germanium on insulator), 안티몬화 인듐, 납 텔루르 화합물, 인듐 비소, 인듐 인화물, 갈륨 비소 또는 안티몬화 갈륨을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0015] 기판(100)은 제1 영역(I) 및 제2 영역(II)을 포함할 수 있다. 제1 영역(I)과 제2 영역(II)은 서로 이격된 영역일 수도 있고, 서로 연결된 영역일 수도 있다. 제1 영역(I) 및 제2 영역(II)에는, 서로 동일한 도전형의 반도체 소자가 형성될 수도 있고, 서로 다른 도전형의 반도체 소자가 형성될 수도 있다. 이하에서, 제1 영역(I)은 NMOS 영역이고, 제2 영역(II)은 PMOS 영역인 것으로 설명한다.
- [0016] 제1 내지 제6 활성 패턴(AP1, AP2, AP3, AP4, AP5, AP6)은 각각 기판(100)으로부터 돌출되어 있을 수 있다. 제1 내지 제6 활성 패턴(AP1, AP2, AP3, AP4, AP5, AP6)은 각각 기판(100) 상에, 제1 방향(X)으로 연장될 수 있다. 예를 들어, 제1 내지 제6 활성 패턴(AP1, AP2, AP3, AP4, AP5, AP6)은 각각 제1 방향(X)으로 연장되는 장변과, 제2 방향(Y)으로 연장되는 단변을 포함할 수 있다. 또한, 제1 내지 제6 활성 패턴(AP1, AP2, AP3, AP4, AP5, AP6)의 장변(A1, A2, A3, A4, A5, A6)은 각각 핀 트렌치(FT)에 의해 정의될 수 있다. 예를 들어, 도 4에 도시된 것처럼, 제1 및 제2 활성 패턴(AP1, AP2)은 각각 핀 트렌치(FT)에 의해 정의될 수 있다.
- [0017] 제1 내지 제3 활성 패턴(AF1, AF2, AF3)은 기판(100)의 제1 영역(I)에 배치될 수 있다. 제1 내지 제3 활성 패턴(AF1, AF2, AF3)은 길이 방향인 제1 방향(X)으로 정렬될 수 있다. 제1 활성 패턴(AF1)은 제2 활성 패턴(AF2)과 제1 방향(X)으로 이격될 수 있다. 제1 활성 패턴(AF1)의 단변(B1) 및 제2 활성 패턴(AF2)의 단변(B2)은 서로 마주볼 수 있다. 제1 활성 패턴(AF1)과 제2 활성 패턴(AF2)은 핀 컷 트렌치(FCT)에 의해 분리될 수 있다. 제1 활성 패턴(AF1)의 단변(B1) 및 제2 활성 패턴(AF2)의 단변(B2)은 핀 컷 트렌치(FCT)에 의해 정의될 수 있다.
- [0018] 제2 활성 패턴(AF2)은 제3 활성 패턴(AF3)과 제1 방향(X)으로 이격될 수 있다. 제2 활성 패턴(AF2)의 단변(B2') 및 제3 활성 패턴(AF3)의 단변(B3)은 서로 마주볼 수 있다. 제2 활성 패턴(AF2)과 제3 활성 패턴(AF3)은 제1 분리 트렌치(210t)에 의해 분리될 수 있다. 제2 활성 패턴(AF2)의 단변(B2') 및 제3 활성 패턴(AF3)의 단변(B3)은 핀 컷 트렌치(FCT)에 의해 정의될 수 있다.
- [0019] 예를 들어, 제1 분리 트렌치(210t)의 제1 방향(X)으로의 폭(W1)은 핀 컷 트렌치(FCT)의 제1 방향(X)으로의 폭(W0)보다 작을 수 있다.
- [0020] 제4 내지 제6 활성 패턴(AF4, AF5, AF6)은 제1 내지 제3 활성 패턴(AF1, AF2, AF3)와 각각 제2 방향(Y)으로 이격될 수 있다. 제4 활성 패턴(AF4)의 장변(A4)은 제1 활성 패턴(AF1)의 장변(A1)과 마주볼 수 있고, 제5 활성 패턴(AF5)의 장변(A5)은 제2 활성 패턴(AF2)의 장변(A2)과 마주볼 수 있고 제6 활성 패턴(AF6)의 장변(A6)은 제3 활성 패턴(AF3)의 장변(A3)과 마주볼 수 있다. 각각의 제1 내지 제6 활성 패턴(AF1, AF2, AF3, AF4, AF5, AF6)이 복수개인 것으로 도시하였지만, 이에 제한되는 것은 아니다.
- [0021] 제4 내지 제6 활성 패턴(AF4, AF5, AF6)은 기판(100)의 제2 영역(II)에 배치될 수 있다. 제4 내지 제6 활성 패턴(AF4, AF5, AF6)은 제1 방향(X)으로 정렬될 수 있다. 제4 활성 패턴(AF4)은 제5 활성 패턴(AF5)과 제1 방향(X)으로 이격될 수 있다. 제4 활성 패턴(AF4)의 단변(B4) 및 제5 활성 패턴(AF5)의 단변(B5)은 서로 마주볼 수 있다. 제4 활성 패턴(AF4)과 제5 활성 패턴(AF5)은 제2 분리 트렌치(220t)에 의해 분리될 수 있다. 제4 활성 패턴(AF4)의 단변(B4) 및 제5 활성 패턴(AF5)의 단변(B5)은 제2 분리 트렌치(220t)에 의해 정의될 수 있다.
- [0022] 제5 활성 패턴(AF5)은 제6 활성 패턴(AF6)과 제1 방향(X)으로 이격될 수 있다. 제5 활성 패턴(AF5)의 단변(B5') 및 제6 활성 패턴(AF6)의 단변(B6)은 서로 마주볼 수 있다. 제5 활성 패턴(AF5)과 제6 활성 패턴(AF6)은 제1 분리 트렌치(210t)에 의해 분리될 수 있다. 제5 활성 패턴(AF5)의 단변(B5') 및 제6 활성 패턴(AF6)의 단변(B6)은 제2 분리 트렌치(220t)에 의해 정의될 수 있다.
- [0023] 예를 들어, 제2 분리 트렌치(220t)의 제1 방향(X)으로의 폭(W2)은 제1 분리 트렌치(210t)의 제1 방향(X)으로의

폭(W1)보다 클 수 있다.

- [0024] 제1 내지 제6 활성 패턴(AP1, AP2, AP3, AP4, AP5, AP6)은 기판(100)의 일부일 수도 있고, 기판(100)으로부터 성장된 에피층(epitaxial layer)을 포함할 수도 있다. 제1 내지 제6 활성 패턴(AP1, AP2, AP3, AP4, AP5, AP6)은 각각 원소 반도체 물질인 실리콘 또는 게르마늄을 포함할 수 있다. 또한, 제1 내지 제6 활성 패턴(AP1, AP2, AP3, AP4, AP5, AP6)은 화합물 반도체를 포함할 수 있고, 예를 들어, IV-IV족 화합물 반도체 또는 III-V족 화합물 반도체를 포함할 수 있다.
- [0025] 필드 절연막(110)은 기판(100) 상에 형성될 수 있다. 필드 절연막(110)은 핀 트렌치(FT) 및 핀 컷 트렌치(FCT)의 적어도 일부를 채울 수 있다. 예를 들어, 필드 절연막(110)은 제1 및 제2 활성 패턴(AF1, AF2) 사이에 개재될 수 있다.
- [0026] 필드 절연막(110)은 각각의 제1 내지 제6 활성 패턴(AP1, AP2, AP3, AP4, AP5, AP6)의 측벽 일부 상에 배치될 수 있다. 예를 들어, 필드 절연막(110)은 제1 및 제2 활성 패턴(AF1, AF2)의 단변(B1, B2)의 측벽의 일부 상에 형성될 수 있다.
- [0027] 제1 내지 제6 활성 패턴(AP1, AP2, AP3, AP4, AP5, AP6)의 상면은 필드 절연막(110)의 상면보다 위로 돌출되어 있을 수 있다. 필드 절연막(110)은 예를 들어, 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막 중 적어도 하나를 포함할 수 있다. 본 발명의 몇몇 실시예들에 따른 반도체 장치에서, 필드 절연막(110)은 핀 컷 트렌치(FCT)의 일부를 채울 수 있다.
- [0028] 제1 내지 제5 게이트 구조체(GS1, GS2, GS3, GS4, GS5) 각각은 활성 패턴(AP1, AP2, AP3, AP4, AP5, AP6) 및 필드 절연막(110) 상에서 제2 방향(Y)으로 연장될 수 있다. 예를 들어, 제1 내지 제5 게이트 구조체(GS1, GS2, GS3, GS4, GS5) 각각은 제2 방향(Y)으로 연장되는 장변과 제1 방향(X)으로 연장되는 단변을 포함할 수 있다.
- [0029] 제1 게이트 구조체(GS1)는 제1 활성 패턴(AF1) 및 제4 활성 패턴(AF4) 상에서, 제1 활성 패턴(AF1) 및 제4 활성 패턴(AF4)과 교차할 수 있다. 제1 게이트 구조체(GS1)는 제1 활성 패턴(AF1)의 단변(B1)을 포함하는 제1 활성 패턴(AF1)의 종단과 중첩될 수 있다. 제1 게이트 구조체(GS1)의 일부는 제1 활성 패턴(AF1)의 상면을 따라 연장될 수 있다. 또한 제1 게이트 구조체(GS1)의 일부는 필드 절연막(110)의 상면을 따라 연장될 수 있다.
- [0030] 제2 게이트 구조체(GS2)는 제2 활성 패턴(AF2) 및 제5 활성 패턴(AF5) 상에서, 제2 활성 패턴(AF2) 및 제5 활성 패턴(AF5)과 교차할 수 있다. 제2 게이트 구조체(GS2)는 제2 활성 패턴(AF2)의 단변(B2)을 포함하는 제2 활성 패턴(AF2)의 종단과 중첩될 수 있다. 제2 게이트 구조체(GS2)의 일부는 제2 활성 패턴(AF2)의 상면을 따라 연장될 수 있다. 또한 제2 게이트 구조체(GS2)의 일부는 필드 절연막(110)의 상면을 따라 연장될 수 있다.
- [0031] 제3 게이트 구조체(GS3)는 제1 활성 패턴(AP1) 및 제4 활성 패턴(AP4) 상에서, 제1 활성 패턴(AP1) 및 제4 활성 패턴(AP4)과 교차할 수 있다. 제4 게이트 구조체(GS4)는 제2 활성 패턴(AP2) 및 제5 활성 패턴(AP5) 상에서, 제2 활성 패턴(AP2) 및 제5 활성 패턴(AP5)과 교차할 수 있다. 제5 게이트 구조체(GS5)는 제3 활성 패턴(AP3) 및 제6 활성 패턴(AP6) 상에서, 제3 활성 패턴(AP3) 및 제6 활성 패턴(AP6)과 교차할 수 있다. 제3 내지 제5 게이트 구조체(GS3, GS4, GS5)는 제1 내지 제6 활성 패턴(AP1, AP2, AP3, AP4, AP5, AP6)의 종단과 중첩되지 않을 수 있다.
- [0032] 본 발명의 몇몇 실시예들에 따른 반도체 장치에서, 제1 게이트 구조체(GS1)는 제1 활성 패턴(AF1)의 종단을 감싸고, 제2 게이트 구조체(GS2)는 제2 활성 패턴(AF2)의 종단을 감쌀 수 있다. 제1 게이트 구조체(GS1)는 제1 활성 패턴(AF1)의 단변(B1)을 정의하는 제1 활성 패턴(AF1)의 측벽을 덮을 수 있다. 제2 게이트 구조체(GS2)는 제2 활성 패턴(AF2)의 단변(B2)을 정의하는 제2 활성 패턴(AF2)의 측벽을 덮을 수 있다.
- [0033] 제1 내지 제5 게이트 구조체(GS1, GS2, GS3, GS4, GS5) 각각은 게이트 절연막(120, 220, 320, 420, 520)과, 게이트 전극(130, 230, 330, 430, 530)과, 게이트 스페이서(140, 240, 340, 440, 540)와, 게이트 스페이서(140, 240, 340, 440, 540)에 의해 정의되는 게이트 트렌치(140t, 240t, 340t, 440t, 540t)와, 캡핑 패턴(155, 255, 355, 455, 555)을 포함할 수 있다.
- [0034] 제1 내지 제5 게이트 절연막(120, 220, 320, 420, 520)은, 제1 내지 제6 활성 패턴(AP1, AP2, AP3, AP4, AP5, AP6)과 각각의 게이트 전극(130, 230, 330, 430, 530) 사이에 각각 개재될 수 있다. 제1 내지 제5 게이트 절연막(120, 220, 320, 420, 520)은 각각의 게이트 트렌치(140t, 240t, 340t, 440t, 540t)의 측벽 및 바닥면을 따라 연장될 수 있다.
- [0035] 제1 내지 제5 게이트 절연막(120, 220, 320, 420, 520)은 예를 들어, 고유전을 절연막을 포함할 수 있다. 상기

고유전율 절연막은 실리콘 산화막보다 높은 유전 상수를 갖는 고유전체 물질을 포함할 수 있다.

- [0036] 제1 내지 제5 게이트 전극(130, 230, 330, 430, 530)은 각각의 게이트 절연막(120, 220, 320, 420, 520) 상에 배치될 수 있다. 제1 내지 제5 게이트 전극(130, 230, 330, 430, 530)은 각각 게이트 트렌치(140t, 240t, 340t, 440t, 540t)의 적어도 일부를 채울 수 있다.
- [0037] 제1 내지 제5 게이트 전극(130, 230, 330, 430, 530)은 예를 들어, Ti, Ta, W, Al, Co 및 이들의 조합 중 적어도 하나를 포함할 수 있다. 또한 예를 들어, 제1 내지 제5 게이트 전극(130, 230, 330, 430, 530)은 은 금속이 아닌, 실리콘 또는 실리콘 게르마늄 등으로 이루어질 수도 있다.
- [0038] 제1 내지 제5 게이트 스페이서(140, 240, 340, 440, 540)는 각각의 제1 내지 제5 게이트 전극(130, 230, 330, 430, 530)의 측벽 상에 각각 형성될 수 있다.
- [0039] 제1 내지 제5 게이트 스페이서(140, 240, 340, 440, 540)는 예를 들어, 실리콘 질화물(SiN), 실리콘 산질화물(SiON), 실리콘 산화물(SiO₂), 및 실리콘 산탄질화물(SiOCN) 중 적어도 하나를 포함할 수 있다.
- [0040] 제1 내지 제5 캡핑 패턴(155, 255, 355, 455, 555)은 각각의 제1 내지 제5 게이트 스페이서(140, 240, 340, 440, 540)의 상면, 각각의 제1 내지 제5 게이트 절연막(120, 220, 320, 420, 520)의 최상면 및 각각의 제1 내지 제5 게이트 전극(130, 230, 330, 430, 530)의 상면을 따라 연장될 수 있다.
- [0041] 하지만, 본 발명은 이에 제한되는 것은 아니고, 제1 내지 제5 게이트 스페이서(140, 240, 340, 440, 540)는 각각의 제1 내지 제5 게이트 전극(130, 230, 330, 430, 530)의 측벽 및 각각의 제1 내지 제5 캡핑 패턴(155, 255, 355, 455, 555)의 측벽 상에 형성될 수 있다.
- [0042] 제1 내지 제5 캡핑 패턴(155, 255, 355, 455, 555)은 예를 들어, 실리콘 산화물(SiO₂), 실리콘 질화물(SiN), 실리콘 산질화물(SiON), 실리콘 탄질화물(SiCN) 및 실리콘 산탄질화물(SiOCN) 중 적어도 하나를 포함할 수 있다.
- [0043] 그러나, 몇몇 실시예에서, 제1 내지 제5 캡핑 패턴(155, 255, 355, 455, 555)의 일부는 생략될 수도 있다.
- [0044] 제1 소오스/드레인(150)은 제1 활성 패턴(AP1) 상에 형성될 수 있다. 예를 들어, 제1 소오스/드레인(150)은 제1 게이트 구조체(GS1)와 제2 게이트 구조체(GS2) 사이의 제1 활성 패턴(AP1) 상에 형성될 수 있다. 제2 소오스/드레인(160)은 제2 활성 패턴(AP2) 상에 형성될 수 있다. 제3 소오스/드레인(170)은 제3 활성 패턴(AP3) 상에 형성될 수 있다. 제4 소오스/드레인(180)은 제4 활성 패턴(AP4) 상에 형성될 수 있다. 제5 소오스/드레인(190)은 제5 활성 패턴(AP5) 상에 형성될 수 있다. 제6 소오스/드레인(200)은 제6 활성 패턴(AP6) 상에 형성될 수 있다.
- [0045] 제1 내지 제6 소오스/드레인(150, 160, 170, 180, 190, 200) 각각은 제1 내지 제6 활성 패턴(AP1, AP2, AP3, AP4, AP5, AP6) 각각을 채널 영역으로 사용하는 트랜지스터의 소오스/드레인에 포함될 수 있다.
- [0046] 제1 소자 분리막(210)은 제2 활성 패턴(AF2) 및 제3 활성 패턴(AF3) 사이에 배치될 수 있다. 제1 소자 분리막(210)은 제2 활성 패턴(AF2)의 단변(B2) 및 제3 활성 패턴(AF3)의 단변(B3) 사이에 배치될 수 있다. 제1 소자 분리막(210)은 제2 활성 패턴(AF2) 및 제3 활성 패턴(AF3)을 분리시킬 수 있다. 제1 소자 분리막(210)은 제4 게이트 구조체(GS4) 및 제5 게이트 구조체(GS5) 사이에 배치될 수 있다.
- [0047] 제1 층간 절연막(191)은 필드 절연막(110) 및 제1 내지 제6 소오스/드레인(150, 160, 170, 180, 190, 200) 상에 형성될 수 있다. 제1 층간 절연막(191)은 제1 내지 제5 게이트 구조체(GS1, GS2, GS3, GS4, GS5)의 측벽을 덮을 수 있다. 제1 층간 절연막(191)의 상면은 제1 내지 제5 캡핑 패턴(155, 255, 355, 455, 555)의 상면과 실질적으로 동일 평면 상에 배치될 수 있다.
- [0048] 도시되지는 않았지만, 제1 층간 절연막(191)은 제1 내지 제6 소오스/드레인(150, 160, 170, 180, 190, 200)의 상면을 따라 연장되는 식각 방지막을 더 포함할 수 있다.
- [0049] 제1 소자 분리막(210)은 필드 절연막(110)에 포함된 제1 분리 트렌치(210t) 내에 배치될 수 있다. 제1 소자 분리막(210)은 제1 분리 트렌치(210t)를 채울 수 있다. 제1 분리 트렌치(210t)는 제5 소오스/드레인(190)과 제6 소오스/드레인(200) 사이에 형성될 수 있다. 제1 분리 트렌치(210t)는 제2 방향(Y)으로 연장될 수 있다. 또한 제1 소자 분리막(210)은 제2 방향(Y)으로 연장될 수 있다.
- [0050] 제1 소자 분리막(210)의 상면의 높이는 제2 및 제3 활성 패턴(AF2, AF3)의 상면의 높이보다 높을 수 있다. 본 도면에 도시된 바와 같이, 제1 소자 분리막(210)의 상면은 제1 층간 절연막(191)의 상면과 실질적으로 동일 평면 상에 배치될 수 있다. 제1 소자 분리막(210)의 상면은 제1 내지 제5 게이트 구조체(GS1, GS2, GS3, GS4,

GS5)의 상면과 실질적으로 동일 평면 상에 배치될 수 있다. 여기서, "동일"이란, 완전히 동일한 것뿐만 아니라 공정 상의 마진 등으로 인해 발생할 수 있는 미세한 차이를 포함하는 의미일 수 있다.

- [0051] 하지만, 본 발명은 이에 제한되는 것은 아니며 제1 소자 분리막(210)의 상면은 제1 층간 절연막(191)의 상면보다 높고 제2 층간 절연막(192)의 상면보다 낮을 수 있다. 즉, 제1 소자 분리막(210)의 상면은 제2 층간 절연막(192) 내에 배치될 수 있다.
- [0052] 본 도면에서는, 제2 및 제3 활성 패턴(AF2, AF3)에 의해 정의되는 제1 분리 트렌치(210t)의 측벽 사이의 폭은 기판(100)에서 멀어짐에 따라 증가하는 것으로 도시하였지만, 이에 제한되는 것은 아니다.
- [0053] 제1 분리 트렌치(210t)의 바닥면은 필드 절연막(110), 기판(100) 및 남은 활성 패턴(미도시)에 의해 정의될 수 있다. 남은 활성 패턴은 제1 분리 트렌치(210t)를 형성하는 식각 공정에서 활성 패턴 부분이 제거되고, 남은 부분일 수 있다. 또는 남은 활성 패턴이 없는 경우, 제1 분리 트렌치(210t)의 바닥면은 필드 절연막(110) 및 기판(100)에 의해 정의될 수 있다.
- [0054] 제1 분리 트렌치(210t)의 측벽은 더미 스페이서(40), 더미 캡핑 패턴(55), 필드 절연막(110), 제2 활성 패턴(AF2) 및 제3 활성 패턴(AF3)에 의해 정의될 수 있다. 제1 분리 트렌치(210t)는 제2 활성 패턴(AF2)과 제3 활성 패턴(AF3)을 제1 방향(X)으로 이격시킬 수 있다.
- [0055] 더미 스페이서(40)는 게이트 스페이서(140, 240, 340, 440, 540)와 동일한 물질을 포함할 수 있다. 도시된 것과 달리, 제1 소자 분리막(210)의 측벽 상에, 더미 스페이서(40)가 배치되지 않을 수도 있다.
- [0056] 더미 캡핑 패턴(55)은 더미 스페이서(40) 상에 배치될 수 있다. 제1 소자 분리막(210)은 더미 캡핑 패턴(55) 내부로 만입될 수 있다. 더미 캡핑 패턴(55)과 제1 소자 분리막(210)이 접하는 면은 예를 들어 곡선을 이룰 수 있다. 또는 더미 캡핑 패턴(55)과 제1 소자 분리막(210)이 접하는 면은 경사진 면을 이룰 수 있다.
- [0057] 또는 도시된 것과 달리, 제1 소자 분리막(210)의 측벽 상에, 더미 캡핑 패턴(55)이 배치되지 않을 수도 있고, 제1 소자 분리막(210)은 더미 스페이서(40)를 덮을 수 있다. 더미 캡핑 패턴(55)은 캡핑 패턴(155, 255, 355, 455, 555)과 동일한 물질을 포함할 수 있다.
- [0058] 제1 층간 절연막(191)의 상면으로부터 제1 소자 분리막(210)의 최하면까지의 거리(D1)는 제1 층간 절연막(191)의 상면으로부터 핀 컷 트렌치(FCT)의 하면까지의 거리(D0)보다 작을 수 있다. 즉, 제1 소자 분리막(210)의 최하면은 핀 컷 트렌치(FCT)의 바닥면보다 높을 수 있다. 다르게 표현하면, 제1 소자 분리막(210)의 최상면으로부터 제1 소자 분리막(210)의 최하면까지의 거리(D1), 즉 제1 소자 분리막(210)의 제3 방향(Z)으로의 깊이는 제1 층간 절연막(191)의 상면으로부터 핀 컷 트렌치(FCT)의 하면까지의 거리(D0)보다 작을 수 있다.
- [0059] 제1 소자 분리막(210)은 예를 들어, 실리콘 질화물, 실리콘 산화물, 실리콘 탄화물, 실리콘 탄질화물, 실리콘 산탄화물, 실리콘 산질화물 및 실리콘 산탄질화물 및 알루미늄 산화물 중 적어도 하나를 포함할 수 있다. 제1 소자 분리막(210)은 단일막인 것으로 도시하였지만, 설명의 편의를 위한 것일 뿐, 이에 제한되는 것은 아니다.
- [0060] 제2 소자 분리막(220)은 제4 활성 패턴(AF4) 및 제5 활성 패턴(AF5) 사이에 배치될 수 있다. 제2 소자 분리막(220)은 제4 활성 패턴(AF4)의 단변(B4) 및 제5 활성 패턴(AF5)의 단변(B5) 사이에 배치될 수 있다. 제2 소자 분리막(220)은 제4 활성 패턴(AF4) 및 제5 활성 패턴(AF5)을 분리시킬 수 있다. 제2 소자 분리막(220)은 제1 게이트 구조체(GS1)와 제2 게이트 구조체(GS2) 사이에 배치될 수 있다.
- [0061] 제2 소자 분리막(220)은 제2 분리 트렌치(220t)를 채울 수 있다. 제2 분리 트렌치(220t)는 제1 게이트 구조체(GS1) 및 제2 게이트 구조체(GS2) 사이에 형성될 수 있다. 제2 분리 트렌치(220t)는 제2 방향(Y)을 연장될 수 있다. 제2 소자 분리막(220)은 제2 방향(Y)으로 연장될 수 있다.
- [0062] 제2 소자 분리막(220)의 상면의 높이는 제4 및 제5 활성 패턴(AF4, AF5)의 상면의 높이보다 높을 수 있다. 본 도면에 도시된 바와 같이, 제2 소자 분리막(220)의 상면은 제1 층간 절연막(191)의 상면과 실질적으로 동일 평면 상에 배치될 수 있다. 제2 소자 분리막(220)의 상면은 제1 내지 제5 게이트 구조체(GS1, GS2, GS3, GS4, GS5)의 상면과 실질적으로 동일 평면 상에 배치될 수 있다.
- [0063] 하지만, 본 발명은 이에 제한되는 것은 아니며, 제2 소자 분리막(220)의 상면은 제1 층간 절연막(191)의 상면보다 높고 제2 층간 절연막(192)의 상면보다 낮을 수 있다. 즉, 제2 소자 분리막(220)의 상면은 제2 층간 절연막(192) 내에 배치될 수 있다.
- [0064] 본 도면에서는, 제4 및 제5 활성 패턴(AF4, AF5)에 의해 정의되는 제2 분리 트렌치(220t)의 측벽 사이의 폭은

기관(100)에서 멀어짐에 따라 증가하는 것으로 도시하였지만, 이에 제한되는 것은 아니다.

- [0065] 제2 분리 트렌치(220t)의 측벽은 제1 게이트 구조체(GS1), 제2 게이트 구조체(GS2), 제4 활성 패턴(AF4) 및 제5 활성 패턴(AF5)에 측벽에 의해 정의될 수 있다. 제2 분리 트렌치(220t)는 제1 게이트 구조체(GS1) 및/또는 제2 게이트 구조체(GS2)의 상면의 적어도 일부를 노출시킬 수 있다. 예를 들어, 제2 분리 트렌치(220t)는 제1 캡핑 패턴(155)의 상면의 일부 또는 제1 캡핑 패턴(155)의 전부와 제2 캡핑 패턴(255)의 상면의 일부 또는 제1 캡핑 패턴(155)의 전부를 노출시킬 수 있다.
- [0066] 제2 소자 분리막(220)은 제1 캡핑 패턴(155)과 제2 캡핑 패턴(255)의 내부로 만입될 수 있다. 제2 소자 분리막(220)은 노출된 제1 캡핑 패턴(155)의 상면과 제2 캡핑 패턴(255)의 상면을 덮을 수 있다. 도시된 바와 달리, 제2 소자 분리막(220)은 제1 및 제2 게이트 전극(130, 230), 제1 및 제2 게이트 절연막(120, 220) 및 제1 및 제2 게이트 스페이서(230, 240)의 상면을 모두 덮을 수 있음은 물론이다.
- [0067] 본 도면에서는, 제1 게이트 구조체(GS1)의 제1 캡핑 패턴(155)과 제2 게이트 구조체(GS2)의 제2 캡핑 패턴(255)이 일부 제거되는 것으로 도시되었으나, 본 발명은 이에 제한되는 것은 아니다. 예를 들어, 제1 캡핑 패턴(155)과 제2 캡핑 패턴(255)이 전부 제거될 수도 있다.
- [0068] 제2 소자 분리막(220)과 제1 캡핑 패턴(155) 및/또는 제2 캡핑 패턴(255)이 접하는 면은 곡선을 이룰 수 있다. 또는 제2 소자 분리막(220)과 제1 캡핑 패턴(155) 및/또는 제2 캡핑 패턴(255)이 접하는 면은 경사진 면을 이룰 수 있다.
- [0069] 또한 제2 분리 트렌치(220t)는 제2 소자 분리막(220)을 바라보는 제1 게이트 스페이서(140)와 제2 게이트 스페이서(240)의 일부를 노출시킬 수 있다. 예를 들어, 제2 분리 트렌치(220t)는 제1 게이트 스페이서(140)의 상부의 일부와 제2 게이트 스페이서(240)의 상부의 일부를 노출시킬 수 있다.
- [0070] 제1 층간 절연막(191)의 상면으로부터 제2 소자 분리막(220)의 최하면까지의 거리(D2)는 제1 층간 절연막(191)의 상면으로부터 제1 소자 분리막(210)의 최하면까지의 거리(D1)보다 클 수 있다. 즉, 제2 소자 분리막(220)의 최하면은 제1 소자 분리막(210)의 최하면보다 높을 수 있다. 다르게 표현하면, 제2 소자 분리막(220)의 최상면으로부터 제2 소자 분리막(220)의 최하면까지의 거리(D2), 즉 제2 소자 분리막(220)의 제3 방향(Z)으로의 깊이는 제1 소자 분리막(210)의 제3 방향(Z)으로의 깊이(D1)보다 클 수 있다.
- [0071] 제1 분리 트렌치(210t)는 제2 소오스/드레인(160) 및 제3 소오스/드레인(170), 또는 제5 소오스/드레인(190) 및 제6 소오스/드레인(200)과 인접하여 배치될 수 있다. 제1 분리 트렌치(210t)는 제1 방향(X) 및 제3 방향(Z)으로 식각되기 때문에, 제1 분리 트렌치(210t)의 깊이가 깊어질수록 제1 분리 트렌치(210t)에 인접한 소오스/드레인(160, 170, 190, 200)에 손상을 가할 위험이 있다. 이에 반해, 제2 분리 트렌치(220t)는 제1 게이트 구조체(GS1)는 제2 게이트 구조체(GS2) 사이에서 식각되기 때문에, 제4 소오스/드레인(180) 및 제5 소오스/드레인(190)과 제1 방향(X)으로 이격되어 있을 수 있다. 따라서 제1 분리 트렌치(210t)의 깊이(D1)는 제2 분리 트렌치(220t)의 깊이(D2)보다 깊을 수 있다.
- [0072] 제2 소자 분리막(220)은 예를 들어, 실리콘 질화물, 실리콘 산화물, 실리콘 탄화물, 실리콘 탄질화물, 실리콘 산탄화물, 실리콘 산질화물 및 실리콘 산탄질화물 및 알루미늄 산화물 중 적어도 하나를 포함할 수 있다. 제2 소자 분리막(220)은 단일막인 것으로 도시하였지만, 설명의 편의를 위한 것일 뿐, 이에 제한되는 것은 아니다.
- [0073] 제2 층간 절연막(192)은 제1 층간 절연막(191) 상에 형성될 수 있다. 제2 층간 절연막(192)은 제1 내지 제5 게이트 구조체(GS1, GS2, GS3, GS4, GS5) 및 제1 및 제2 소자 분리막(210, 220)을 덮을 수 있다. 제2 층간 절연막(192)은 예를 들어, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 중 적어도 하나를 포함할 수 있다.
- [0074] 콘택(195)은 제1 층간 절연막(191) 및 제2 층간 절연막(192)을 관통하여 제1 내지 제6 소오스/드레인(150, 160, 170, 180, 190, 200)과 접촉될 수 있다. 콘택(195)은 제1 내지 제5 게이트 구조체(GS1, GS2, GS3, GS4, GS5)와 접촉하지 않는 것으로 도시되었으나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 예를 들어, 콘택(195)은 제1 내지 제5 게이트 구조체(GS1, GS2, GS3, GS4, GS5)의 측벽과 접촉할 수도 있다. 이러한 콘택(195)은 예를 들어, 자기 정렬 콘택(SAC; self-aligned contact) 공정에 의해 형성될 수 있다.
- [0075] 콘택(195)의 상면은 제1 소자 분리막(210) 및 제2 소자 분리막(220)의 상면보다 높을 수 있다. 콘택(195)의 상면은 제2 층간 절연막(192)의 상면과 동일 평면 상에 배치될 수 있다.
- [0076] 콘택(195)은 하나의 구조체로 이루어진 것으로 도시되었으나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 예를 들어, 콘택(195)은 기관(100)의 두께 방향으로 배열된 복수의 구조체를 포함할 수도 있다. 또한, 도

시된 것과 달리, 컨택(195)과 제1 및 제2 소오스/드레인(150, 160) 사이에, 실리사이드막(silicide layer)이 형성될 수도 있다.

- [0077] 컨택(195)은 예를 들어, 탄탈륨(Ta), 탄탈륨 질화물(TaN), 티타늄(Ti), 티타늄 질화물(TiN), 텅스텐 질화물(WN), 텅스텐 탄질화물(WCN), 텅스텐(W), 코발트(Co), 루테튬(Ru), 몰리브덴(Mo), 니켈(Ni), 알루미늄(Al), 구리(Cu), 도핑된 폴리 실리콘 및 이들의 조합 중 적어도 하나를 포함할 수 있다.
- [0078] 제3 층간 절연막(193)은 컨택(195) 및 제2 층간 절연막(192) 상에 형성될 수 있다. 제3 층간 절연막(193)은 예를 들어, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 중 적어도 하나를 포함할 수 있다.
- [0079] 배선 구조체(185)는 제3 층간 절연막(193) 내에 형성될 수 있다. 배선 구조체(185)는 BEOL(Back-End-Of-Line) 공정에서 형성될 수 있다. 배선 구조체(185)는 컨택(195)과 연결될 수 있다. 배선 구조체(185)는 비아 패턴(181)과 배선 패턴(182)을 포함할 수 있다. 배선 구조체(185)는 단일 막인 것으로 도시되었지만, 설명의 편의를 위한 것일 뿐, 이에 제한되는 것은 아니다.
- [0080] 도 5는 본 발명의 몇몇 다른 실시예들에 따른 반도체 장치를 설명하기 위한 개략적인 레이아웃도이다. 도 6은 도 5의 A-A'를 따라 절단한 단면도이다. 도 7은 도 5의 B-B'를 따라 절단한 단면도이다. 설명의 편의를 위해, 도 1 내지 도 4를 이용하여 설명한 것과 중복되는 부분은 간략히 설명하거나 생략한다.
- [0081] 도 5 내지 도 7을 참조하면, 본 발명의 몇몇 다른 실시예들에 따른 반도체 장치는 제7 활성 패턴(AF7), 제8 활성 패턴(AF8), 제6 게이트 구조체(GS6) 및 제7 게이트 구조체(GS7)를 더 포함할 수 있다.
- [0082] 제7 활성 패턴(AF7) 및 제8 활성 패턴(AF8)은 기판(100)의 제1 영역(I)에 배치될 수 있다. 제7 활성 패턴(AF7) 및 제8 활성 패턴(AF8)은 제4 활성 패턴(AF4)과 제5 활성 패턴(AF5) 사이에서 제1 방향(X)으로 연장되고, 제1 방향(X)으로 각각 이격될 수 있다.
- [0083] 제7 활성 패턴(AF7)의 단변(B7)은 제4 활성 패턴(AF4)의 단변(B4)과 서로 마주볼 수 있다. 제7 활성 패턴(AF7)과 제4 활성 패턴(AF4)은 제3 분리 트렌치(230t)에 의해 분리될 수 있다. 제7 활성 패턴(AF7)의 단변(B7)은 제4 활성 패턴(AF4)의 단변(B4)은 제3 분리 트렌치(230t)에 의해 정의될 수 있다.
- [0084] 제8 활성 패턴(AF8)의 단변(B8)은 제7 활성 패턴(AF7)의 단변(B7')과 서로 마주볼 수 있다. 제8 활성 패턴(AF8)과 제7 활성 패턴(AF7)은 제4 분리 트렌치(240t)에 의해 분리될 수 있다. 제8 활성 패턴(AF8)의 단변(B8)은 제7 활성 패턴(AF7)의 단변(B7')은 제4 분리 트렌치(240t)에 의해 정의될 수 있다.
- [0085] 제8 활성 패턴(AF8)의 단변(B8')은 제5 활성 패턴(AF5)의 단변(B5)과 서로 마주볼 수 있다. 제8 활성 패턴(AF8)과 제5 활성 패턴(AF5)은 제5 분리 트렌치(250t)에 의해 분리될 수 있다. 제8 활성 패턴(AF8)의 단변(B8')은 제5 활성 패턴(AF5)의 단변(B5)은 제5 분리 트렌치(250t)에 의해 정의될 수 있다.
- [0086] 예를 들어, 제3 분리 트렌치(230t)의 제1 방향(X)으로의 폭은 제4 분리 트렌치(240t)의 제1 방향(X)으로의 폭 및 제5 분리 트렌치(250t)의 제1 방향으로의 폭과 서로 실질적으로 동일할 수 있다. 또는 제3 분리 트렌치(230t)의 제3 방향(Z)으로의 깊이는 제4 분리 트렌치(240t)의 제3 방향(Z)으로의 깊이 및 제5 분리 트렌치(250t)의 제3 방향(Z)으로의 깊이와 서로 실질적으로 동일할 수 있다.
- [0087] 제3 분리 트렌치(230t)의 측벽은 제1 게이트 구조체(GS1) 및 제6 게이트 구조체(GS6)의 측벽에 의해 정의될 수 있다. 제4 분리 트렌치(240t)의 측벽은 제6 게이트 구조체(GS6) 및 제7 게이트 구조체(GS7)의 측벽에 의해 정의될 수 있다. 제5 분리 트렌치(250t)의 측벽은 제7 게이트 구조체(GS7) 및 제2 게이트 구조체(GS2)의 측벽에 의해 정의될 수 있다. 제3 내지 제5 분리 트렌치(230t, 240t, 250t)의 상부는 서로 연결될 수 있다.
- [0088] 제2 소자 분리막(220)은 제3 내지 제5 분리 트렌치(230t, 240t, 250t)를 채울 수 있다. 3 내지 제5 분리 트렌치(230t, 240t, 250t)는 제2 방향(Y)을 연장될 수 있다. 제2 소자 분리막(220)은 제2 방향(Y)으로 연장될 수 있다.
- [0089] 제6 및 제7 게이트 구조체(GS6, GS7) 각각은 활성 패턴(AP7, AP8) 및 필드 절연막(110) 상에서 제2 방향(Y)으로 연장될 수 있다. 예를 들어, 제6 및 제7 게이트 구조체(GS6, GS7) 각각은 제2 방향(Y)으로 연장되는 장변과 제1 방향(X)으로 연장되는 단변을 포함할 수 있다.
- [0090] 제6 게이트 구조체(GS6)는 제7 활성 패턴(AF7) 상에서, 제7 활성 패턴(AF7)과 교차할 수 있다. 제7 게이트 구조체(GS7)는 제8 활성 패턴(AF8) 상에서, 제8 활성 패턴(AF8)과 교차할 수 있다.

- [0091] 제6 및 제7 게이트 구조체(GS6, GS7) 각각은 게이트 절연막(620, 720)과, 게이트 전극(630, 730)과, 게이트 스페이서(640, 740)와, 게이트 스페이서(640, 740)에 의해 정의되는 게이트 트렌치(640t, 740t)와, 캡핑 패턴(655, 755)을 포함할 수 있다.
- [0092] 제6 및 제7 게이트 절연막(620, 720)은 제7 및 제8 활성 패턴(AF7, AF8), 과 각각의 게이트 전극(630, 730) 사이에 각각 개재될 수 있다. 제6 및 제7 게이트 절연막(620, 720)은 각각의 게이트 트렌치(640t, 740t)의 측벽 및 바닥면을 따라 연장될 수 있다.
- [0093] 제3 분리 트렌치(230t)는 제1 게이트 구조체(GS1)의 상면의 적어도 일부를 노출시킬 수 있다. 제3 분리 트렌치(230t)는 제1 캡핑 패턴(155)의 적어도 일부를 노출시킬 수 있다. 제5 분리 트렌치(250t)는 제2 게이트 구조체(GS2)의 상면의 적어도 일부를 노출시킬 수 있다. 제5 분리 트렌치(250t)는 제2 캡핑 패턴(255)의 적어도 일부를 노출시킬 수 있다.
- [0094] 제3 내지 제5 분리 트렌치(230t, 240t, 250t)는 캡핑 패턴(155, 255, 655, 755)이 배치되는 위치에서 서로 연결될 수 있다. 제3 내지 제5 분리 트렌치(230t, 240t, 250t)는 제7 및 제8 게이트 전극(730, 830), 제7 및 제8 게이트 절연막(720, 820) 및 제7 및 제8 게이트 스페이서(740, 840)의 상면을 노출시킬 수 있다.
- [0095] 제3 내지 제5 소자 분리막(223, 224, 225) 각각은 제3 내지 제5 분리 트렌치(230t, 240t, 250t)를 각각 채울 수 있다. 제3 내지 제5 소자 분리막(223, 224, 225)은 제1, 제2, 제7 및 제8 게이트 구조체(GS1, GS2, GS7, GS8)의 상면을 덮을 수 있다. 제3 내지 제5 소자 분리막(223, 224, 225)의 상면은 제3 및 제4 게이트 구조체(GS3, GS4)의 상면과 실질적으로 동일 평면 상에 배치될 수 있다. 하지만, 본 발명은 이에 제한되는 것은 아니며, 제3 내지 제5 소자 분리막(223, 224, 225)의 상면은 제1 층간 절연막(191)의 상면보다 높고 제2 층간 절연막(192)의 상면보다 낮을 수 있다. 즉, 제3 내지 제5 소자 분리막(223, 224, 225)의 상면은 제2 층간 절연막(192) 내에 배치될 수 있다.
- [0096] 제3 내지 제5 소자 분리막(223, 224, 225)은 서로 연결될 수 있다. 제3 소자 분리막(232) 및 제4 소자 분리막(242)은 제6 게이트 구조체(GS6)의 상면 상에서 서로 연결될 수 있다. 제4 소자 분리막(242) 및 제5 소자 분리막(252)은 제7 게이트 구조체(GS7)의 상면 상에서 서로 연결될 수 있다. 이는 제3 내지 제5 분리 트렌치(230t, 240t, 250t)를 형성하기 위한 식각 공정에 기인할 수 있다.
- [0097] 본 도면에서는 제7 게이트 구조체(GS7)의 제7 캡핑 패턴(755)과 제8 게이트 구조체(GS8)의 제8 캡핑 패턴(855)이 모두 제거되는 것으로 도시되었으나, 본 발명은 이에 제한되는 것은 아니다. 예를 들어, 제7 캡핑 패턴(755)과 제8 캡핑 패턴(855)의 일부가 남을 수도 있다.
- [0098] 본 도면에서는 제1 게이트 구조체(GS1)와 제2 게이트 구조체(GS2) 사이에는 제7 게이트 구조체(GS7)와 제8 게이트 구조체(GS8)가 배치되는 것으로 도시되었지만, 본 발명은 이에 제한되는 것은 아니며, 제1 게이트 구조체(GS1)와 제2 게이트 구조체(GS2) 사이에는 3개 이상의 게이트 구조체가 더 배치될 수 있음은 물론이다.
- [0099] 도 8은 본 발명의 몇몇 다른 실시예들에 따른 반도체 장치를 설명하기 위한 개략적인 레이아웃도이다. 도 9는 도 8의 A-A'를 따라 절단한 단면도이다. 도 10은 도 8의 B-B'를 따라 절단한 단면도이다. 도 11은 도 8의 D-D'을 따라 절단한 단면도이다. 설명의 편의를 위해, 도 1 내지 도 4를 이용하여 설명한 것과 중복되는 부분은 간략히 설명하거나 생략한다.
- [0100] 제1 내지 제6 활성 패턴(AF1, AF2, AF3, AF4, AF5, AF6)은 와이어 패턴(103, 203, 303, 403, 503, 603) 및 핀 컷 와이어 패턴(101, 201)을 더 포함할 수 있다.
- [0101] 제1 와이어 패턴(103) 및 제1 핀 컷 와이어 패턴(101)은 제1 활성 패턴(AF1)과 제3 방향(Z)으로 이격되어 제1 활성 패턴(AF1) 상에 배치될 수 있다. 제1 와이어 패턴(103) 및 제1 핀 컷 와이어 패턴(101) 각각은 복수일 수 있으며, 제3 방향(Z)으로 이격되어 적층될 수 있다.
- [0102] 제1 와이어 패턴(103)은 제1 방향(X)으로 양측에 배치된 제1 소오스/드레인(150)과 연결될 수 있다. 제1 핀 컷 와이어 패턴(101)은 하나의 제1 소오스/드레인(150)과 연결될 수 있다. 제1 핀 컷 와이어 패턴(101)은 핀 컷 트렌치(FT)에 의해 정의된 제1 활성 패턴(AF1)의 중단에 배치될 수 있다.
- [0103] 제2 와이어 패턴(203) 및 제2 핀 컷 와이어 패턴(201)은 제2 활성 패턴(AF2)과 제3 방향(Z)으로 이격되어 제2 활성 패턴(AF2) 상에 배치될 수 있다. 제2 와이어 패턴(203) 및 제2 핀 컷 와이어 패턴(201) 각각은 복수일 수 있으며, 제3 방향(Z)으로 이격되어 적층될 수 있다.

- [0104] 제2 와이어 패턴(203)은 제1 방향(X)으로 양측에 배치된 제2 소오스/드레인(160)과 연결될 수 있다. 제2 핀 컷 와이어 패턴(201)은 하나의 제2 소오스/드레인(160)과 연결될 수 있다. 제2 핀 컷 와이어 패턴(201)은 핀 컷 트랜치(FT)에 의해 정의된 제2 활성 패턴(AF2)의 종단에 배치될 수 있다.
- [0105] 제3 와이어 패턴(303)은 제3 활성 패턴(AF3)과 제3 방향(Z)으로 이격되어 제3 활성 패턴(AF3) 상에 배치될 수 있다. 제3 와이어 패턴(303)은 복수일 수 있으며, 제3 방향(Z)으로 이격되어 적층될 수 있다. 제3 와이어 패턴(303)은 제1 방향(X)으로 양측에 배치된 제3 소오스/드레인(170)과 연결될 수 있다.
- [0106] 제4 와이어 패턴(403)은 제4 활성 패턴(AF4)과 제3 방향(Z)으로 이격되어 제4 활성 패턴(AF4) 상에 배치될 수 있다. 제4 와이어 패턴(403)은 복수일 수 있으며, 제3 방향(Z)으로 이격되어 적층될 수 있다. 제4 와이어 패턴(403)은 제1 방향(X)으로 양측에 배치된 제4 소오스/드레인(180)과 연결될 수 있다.
- [0107] 제5 와이어 패턴(503)은 제5 활성 패턴(AF5)과 제3 방향(Z)으로 이격되어 제5 활성 패턴(AF5) 상에 배치될 수 있다. 제5 와이어 패턴(503)은 복수일 수 있으며, 제3 방향(Z)으로 이격되어 적층될 수 있다. 제5 와이어 패턴(503)은 제1 방향(X)으로 양측에 배치된 제5 소오스/드레인(190)과 연결될 수 있다.
- [0108] 제6 와이어 패턴(603)은 제6 활성 패턴(AF6)과 제3 방향(Z)으로 이격되어 제6 활성 패턴(AF6) 상에 배치될 수 있다. 제6 와이어 패턴(603)은 복수일 수 있으며, 제3 방향(Z)으로 이격되어 적층될 수 있다. 제6 와이어 패턴(603)은 제1 방향(X)으로 양측에 배치된 제6 소오스/드레인(200)과 연결될 수 있다.
- [0109] 제1 내지 제6 와이어 패턴(103, 203, 303, 403, 503, 603) 및 제1 및 제2 핀 컷 와이어 패턴(101, 201)은 각각 원소 반도체 물질인 실리콘 또는 게르마늄을 포함하거나, 화합물 반도체를 포함할 수 있고, 예를 들어, IV-IV족 화합물 반도체 또는 III-V족 화합물 반도체를 포함할 수 있다.
- [0110] 제1 내지 제6 와이어 패턴(103, 203, 303, 403, 503, 603)은 예를 들어, 동일한 도전형을 갖는 트랜지스터의 채널 영역으로 사용될 수 있다.
- [0111] 제1 내지 제6 와이어 패턴(103, 203, 303, 403, 503, 603) 및 제1 및 제2 핀 컷 와이어 패턴(101, 201) 각각의 바닥면은 제1 내지 제6 소오스/드레인(150, 160, 170, 180, 190, 200)의 바닥면보다 높을 수 있다.
- [0112] 제1 게이트 구조체(GS1)는 제1 핀 컷 와이어 패턴(101)을 감쌀 수 있다. 제1 게이트 구조체(GS1)는 제1 활성 패턴(AF1)의 종단을 전체적으로 감쌀 수 있다. 또한 제1 게이트 구조체(GS1)는 제4 와이어 패턴(403)을 감쌀 수 있다.
- [0113] 제2 게이트 구조체(GS2)는 제2 핀 컷 와이어 패턴(201)을 감쌀 수 있다. 제2 게이트 구조체(GS2)는 제2 활성 패턴(AF2)의 종단을 전체적으로 감쌀 수 있다. 또한 제2 게이트 구조체(GS2)는 제5 와이어 패턴(503)을 감쌀 수 있다.
- [0114] 제3 게이트 구조체(GS3)는 제1 와이어 패턴(103)과 제4 와이어 패턴(403)을 감쌀 수 있다. 제4 게이트 구조체(GS4)는 제2 와이어 패턴(203)과 제5 와이어 패턴(503)을 감쌀 수 있다. 제5 게이트 구조체(GS5)는 제3 와이어 패턴(303)과 제6 와이어 패턴(603)을 감쌀 수 있다.
- [0115] 본 도면에서는 제1 내지 제6 와이어 패턴(103, 203, 303, 403, 503, 603) 및 제1 및 제2 핀 컷 와이어 패턴(101, 201) 각각이 3개인 것으로 도시하였지만, 이에 제한되는 것은 아니다.
- [0116] 제2 분리 트렌치(220t)의 측벽은 제1 게이트 구조체(GS1), 제2 게이트 구조체(GS2), 제4 활성 패턴(AF4), 제5 활성 패턴(AF5), 제1 핀 컷 와이어 패턴(101) 및 제2 핀 컷 와이어 패턴(201)에 측벽에 의해 정의될 수 있다.
- [0117] 제2 소자 분리막(220)은 제2 분리 트렌치(220t)를 채울 수 있다. 제2 소자 분리막(220)의 제1 방향(X)으로의 폭은 서로 마주보는 제1 핀 컷 와이어 패턴(101)의 측벽과 제2 핀 컷 와이어 패턴(201)의 측벽 사이의 거리와 동일할 수 있다. 또는 제2 소자 분리막(220)의 제1 방향(X)으로의 폭은 서로 마주보는 제1 게이트 스페이서(140)와 제2 게이트 스페이서(240) 사이의 거리와 동일할 수 있다.
- [0118] 도 12 내지 도 17은 본 발명의 몇몇 실시예들에 따른 반도체 장치의 제조 방법을 설명하기 위한 중간 단계 도면들이다. 설명의 편의를 위해, 도 1 내지 도 4를 이용하여 설명한 것과 중복되는 부분은 간략히 설명하거나 생략한다.
- [0119] 도 12를 참조하면, 기판(100) 상에 제4 활성 패턴(AF4), 제4 내지 제6 소오스/드레인(180, 190, 200), 복수의 게이트 구조체(GS1, GS2, GS3, GS4, GS5) 및 더미 게이트 구조체(DB)를 형성할 수 있다. 복수의 게이트 구조체

(GS1, GS2, GS3, GS4, GS5) 각각은 게이트 절연막(120, 220, 320, 420, 520), 게이트 전극(130, 230, 330, 430, 530), 게이트 스페이서(140, 240, 340, 440, 540) 및 캡핑 패턴(155, 255, 355, 455, 555)을 포함할 수 있다. 더미 게이트 구조체(DB)는 더미 게이트 절연막(20), 더미 게이트 전극(30), 더미 게이트 스페이서(40) 및 더미 캡핑 패턴(55)을 포함할 수 있다.

- [0120] 제4 활성 패턴(AF4)은 기판(100)으로부터 돌출되도록 형성될 수 있다. 예를 들어, 제4 활성 패턴(AF4)은 제1 방향(X)으로 연장될 수 있다. 제1 활성 패턴(AP1)은 기판(100)의 일부일 수도 있고, 기판(100)으로부터 성장된 에피층(epitaxial layer)을 포함할 수도 있다.
- [0121] 제4 내지 제6 소오스/드레인(180, 190, 200)은 제4 활성 패턴(AF4) 내에 형성될 수 있다. 제4 내지 제6 소오스/드레인(180, 190, 200)은 예를 들어, 에피택셜 성장(epitaxial growth) 공정에 의해 형성될 수 있으나, 이에 제한되는 것은 아니다.
- [0122] 제4 내지 제6 소오스/드레인(180, 190, 200), 복수의 게이트 구조체(GS1, GS2, GS3, GS4, GS5) 및 더미 게이트 구조체(DB) 상에 제1 층간 절연막(191)이 형성될 수 있다. 평탄화 공정에 의해 제1 층간 절연막(191), 복수의 게이트 구조체(GS1, GS2, GS3, GS4, GS5) 및 더미 게이트 구조체(DB)의 상면은 동일 평면 상에 배치될 수 있다.
- [0123] 제1 층간 절연막(191), 복수의 게이트 구조체(GS1, GS2, GS3, GS4, GS5) 및 더미 게이트 구조체(DB) 상에 서브 절연막(802)이 형성될 수 있다. 서브 절연막(802) 상에 제1 개구부(O1)를 포함하는 제1 마스크 패턴(804)이 형성될 수 있다. 제1 개구부(O1)는 더미 게이트 구조체(DG) 상의 서브 절연막(802)을 노출시킬 수 있다. 제1 개구부(O1)는 예를 들어, 제3 방향(도 1의 Y)으로 연장될 수 있다.
- [0124] 제1 마스크 패턴(804)을 식각 마스크로 이용하여, 더미 게이트 구조체(DG)가 식각될 수 있다. 이에 따라, 더미 캡핑 패턴(555)이 식각되어 제1 서브 트렌치(211t)가 형성될 수 있다. 더미 게이트 전극(30), 더미 게이트 절연막(20) 및 더미 게이트 스페이서(40)의 일부가 제1 서브 트렌치(211t)에 의해 노출될 수 있다. 그 후, 제1 마스크 패턴(804)이 제거될 수 있다.
- [0125] 도 13을 참조하면, 제1 서브 트렌치(211t) 상에 제1 라이너(806)가 형성될 수 있다. 제1 라이너(806)는 제1 서브 트렌치(211t)를 따라 컨포멀하게 형성될 수 있다. 이어서, 더미 게이트 전극(30) 및 더미 게이트 절연막(20) 상의 제1 라이너(806)는 제거될 수 있다.
- [0126] 이어서, 제1 라이너(806)가 제거된 더미 게이트 전극(30)과 더미 게이트 절연막(20)이 제거될 수 있고, 제2 서브 트렌치(222t)가 형성될 수 있다. 제4 활성 패턴(AF4)의 상면이 제2 서브 트렌치(222t)에 의해 노출될 수 있다.
- [0127] 제1 라이너(806)는 예를 들어, 제1 더미 캡핑 패턴(55)과 동일한 물질을 포함할 수 있다.
- [0128] 도 14를 참조하면, 제2 서브 트렌치(222t) 상에 제2 라이너(807)가 형성될 수 있다. 제2 라이너(807)는 제2 서브 트렌치(222t)를 따라 컨포멀하게 형성될 수 있다. 이어서, 제4 활성 패턴(AF4) 상의 제2 라이너(807)는 제거될 수 있다. 제2 라이너(807)가 제거된 제4 활성 패턴(AF4)이 식각될 수 있다. 이에 따라 제1 분리 트렌치(210t)가 형성될 수 있다. 제4 활성 패턴(AF4)은 제1 분리 트렌치(210t)에 의해 제6 활성 패턴(AF6)과 분리될 수 있다.
- [0129] 제2 라이너(807)는 예를 들어, 제1 및 제2 소자 분리막(220)과 동일한 물질을 포함할 수 있다.
- [0130] 도 15를 참조하면, 제1 분리 트렌치(210t) 및 서브 절연막(802) 상에 제1 소자 분리막(210)이 형성된 후, 평탄화 공정이 수행될 수 있다. 이에 따라, 제1 분리 트렌치(210t)에 제1 소자 분리막(210)이 채워질 수 있고, 제1 소자 분리막(210)의 상면과 서브 절연막(802)의 상면이 동일 평면 상에 배치될 수 있다.
- [0131] 이어서, 제1 소자 분리막(210)과 서브 절연막(802) 상에 제2 층간 절연막(192)이 형성될 수 있다. 제2 층간 절연막(192) 상에 제2 개구부(O2)를 갖는 제2 마스크 패턴(808)이 형성될 수 있다. 제2 개구부(O2)는 제1 게이트 구조체(GS1), 제2 게이트 구조체(GS2) 및 제1 게이트 구조체(GS1)와 제2 게이트 구조체(GS2) 사이에 배치된 제5 소오스/드레인(190) 상의 서브 절연막(802)을 노출시킬 수 있다. 제2 개구부(O2)는 예를 들어, 제3 방향(도 1의 Y)으로 연장될 수 있다.
- [0132] 도 16을 참조하면, 제2 마스크 패턴(808)을 식각 마스크로 이용하여, 제1 게이트 구조체(GS1)의 상면, 제2 게이트 구조체(GS2)의 상면 및 제1 게이트 구조체(GS1)와 제2 게이트 구조체(GS2) 사이의 제5 소오스/드레인(190)이 식각될 수 있다. 이에 따라, 제2 분리 트렌치(220t)가 형성될 수 있다. 이 때, 제2 분리 트렌치(220t)의 바닥면

은 제1 분리 트렌치(210t)의 바닥면보다 하면에 배치될 수 있다.

- [0133] 또한 제1 캡핑 패턴(155)의 일부와 제2 캡핑 패턴(255)의 일부가 제거될 수 있다. 이에 따라 제2 분리 트렌치(220t)의 제1 방향(X)으로의 폭은 기관(100)으로부터 제3 방향(Z)으로 갈수록 증가할 수 있다. 또한 제1 및 제2 캡핑 패턴(155, 255)과 접하는 제2 분리 트렌치(220t)는 곡선을 이룰 수 있다.
- [0134] 이어서, 제2 마스크 패턴(808)이 제거될 수 있다.
- [0135] 도 17을 참조하면, 제2 분리 트렌치(220t) 및 서브 절연막(802) 상에 제2 소자 분리막(220)이 형성된 후, 평탄화 공정이 수행될 수 있다. 이에 따라, 제1 분리 트렌치(210t)에 제1 소자 분리막(210)이 채워질 수 있고, 제1 소자 분리막(210)의 상면과 서브 절연막(802)의 상면 및 제2 소자 분리막(220)의 상면이 동일 평면 상에 배치될 수 있다.
- [0136] 본 도면에서는, 서브 절연막(802)이 잔존하는 것으로 도시되었지만, 평탄화 공정에 의해 서브 절연막(802)이 모두 제거될 수 있음을 물론이다. 즉, 제1 및 제2 소자 분리막(220)과 제1 내지 제5 게이트 구조체(GS1, GS2, GS3, GS4, GS5)의 상면이 동일 평면 상에 배치될 수 있다.
- [0137] 이어서, 서브 절연막(802) 및 제1 및 제2 소자 분리막(220) 상에 제2 층간 절연막(192)이 형성될 수 있다. 도 1 내지 도 4를 참조하면, 컨택(195), 제3 층간 절연막(193) 및 배선 구조체(185)가 형성될 수 있다.
- [0138] 도 18 내지 도 20은 본 발명의 몇몇 실시예들에 따른 반도체 장치의 다른 제조 방법을 설명하기 위한 중간 단계 도면들이다. 도 18은 도 14 이후의 도면이다. 설명의 편의를 위해, 도 12 내지 도 17를 이용하여 설명한 것과 중복되는 부분은 간략히 설명하거나 생략한다.
- [0139] 도 18을 참조하면, 제1 분리 트렌치(210t) 및 서브 절연막(802) 상에 보호막(809)이 형성될 수 있다. 보호막(809)은 제1 분리 트렌치(210t)를 채울 수 있다. 이어서, 보호막(809) 상에 제2 개구부(02)를 포함하는 제2 마스크 패턴(808)이 형성될 수 있다. 제2 개구부(02)는 제1 게이트 구조체(GS1) 및 제2 게이트 구조체(GS2) 상의 서브 절연막(802)을 노출시킬 수 있다. 제2 개구부(02)는 예를 들어, 제3 방향(도 1의 Y)으로 연장될 수 있다.
- [0140] 도 19를 참조하면, 제2 마스크 패턴(808)을 식각 마스크로 이용하여, 제2 분리 트렌치(220t)가 형성될 수 있다. 그 후, 제2 마스크 패턴(808)이 제거될 수 있다.
- [0141] 도 20을 참조하면, 제2 분리 트렌치(220t)와 서브 절연막(802) 상에 제2 소자 분리막(220)이 형성된 후, 평탄화 공정이 수행될 수 있다. 이 때 제2 분리 트렌치(220t)의 하면은 제1 분리 트렌치(210t)의 하면보다 하면에 배치될 수 있다. 이에 따라, 제2 분리 트렌치(220t)에 제2 소자 분리막(220)이 채워질 수 있고, 제2 소자 분리막(220)의 상면과 서브 절연막(802)의 상면 및 제1 소자 분리막(210)의 상면이 동일 평면 상에 배치될 수 있다. 앞서 설명한 바와 같이, 제1 및 제2 소자 분리막(220)과 제1 내지 제5 게이트 구조체(GS1, GS2, GS3, GS4, GS5)의 상면이 동일 평면 상에 배치될 수 있음을 물론이다.
- [0142] 이어서, 서브 절연막(802) 및 제1 및 제2 소자 분리막(220) 상에 제2 층간 절연막(192)이 형성될 수 있다. 도 1 내지 도 4를 참조하면, 컨택(195), 제3 층간 절연막(193) 및 배선 구조체(185)가 형성될 수 있다.
- [0143] 도 12 내지 도 20에서 제1 마스크 패턴(804)을 이용하여 제1 분리 트렌치(210t)를 형성하고, 제2 마스크 패턴(808)을 이용하여 제2 분리 트렌치(220t)를 형성하는 것으로 도시되었으나, 제1 분리 트렌치(210t)와 제2 분리 트렌치(220t)는 하나의 마스크 패턴을 이용하여 형성될 수도 있다. 이 경우 제1 분리 트렌치(210t)와 제2 분리 트렌치(220t)의 바닥면 각각은 제1 마스크 패턴(804)과 제2 마스크 패턴(808)을 이용하여 형성된 제1 분리 트렌치(210t)와 제2 분리 트렌치(220t)의 바닥면보다 높게 배치될 수 있다. 하지만, 제1 분리 트렌치(210t)의 바닥면은 제2 분리 트렌치(220t)의 바닥면보다 상면에 배치될 수 있다.
- [0144] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

- [0145] 100: 기관 110: 필드 절연막

AF1, AF2, AF3, AF4, AF5, AF6, AF7, AF8: 활성 패턴

GS1, GS2, GS3, GS4, GS5, GS6, GS7: 게이트 구조체

120, 220, 320, 420, 520, 620, 720: 게이트 절연막

130, 230, 330, 430, 530, 630, 730: 게이트 전극

140, 240, 340, 440, 540, 640, 740: 게이트 스페이서

155, 255, 355, 455, 555, 655, 755: 캡핑 패턴

150, 160, 170, 180, 190, 200: 소오스/드레인

210, 220, 223, 224, 225: 소자 분리막

103, 203, 303, 403, 503, 603: 와이어 패턴

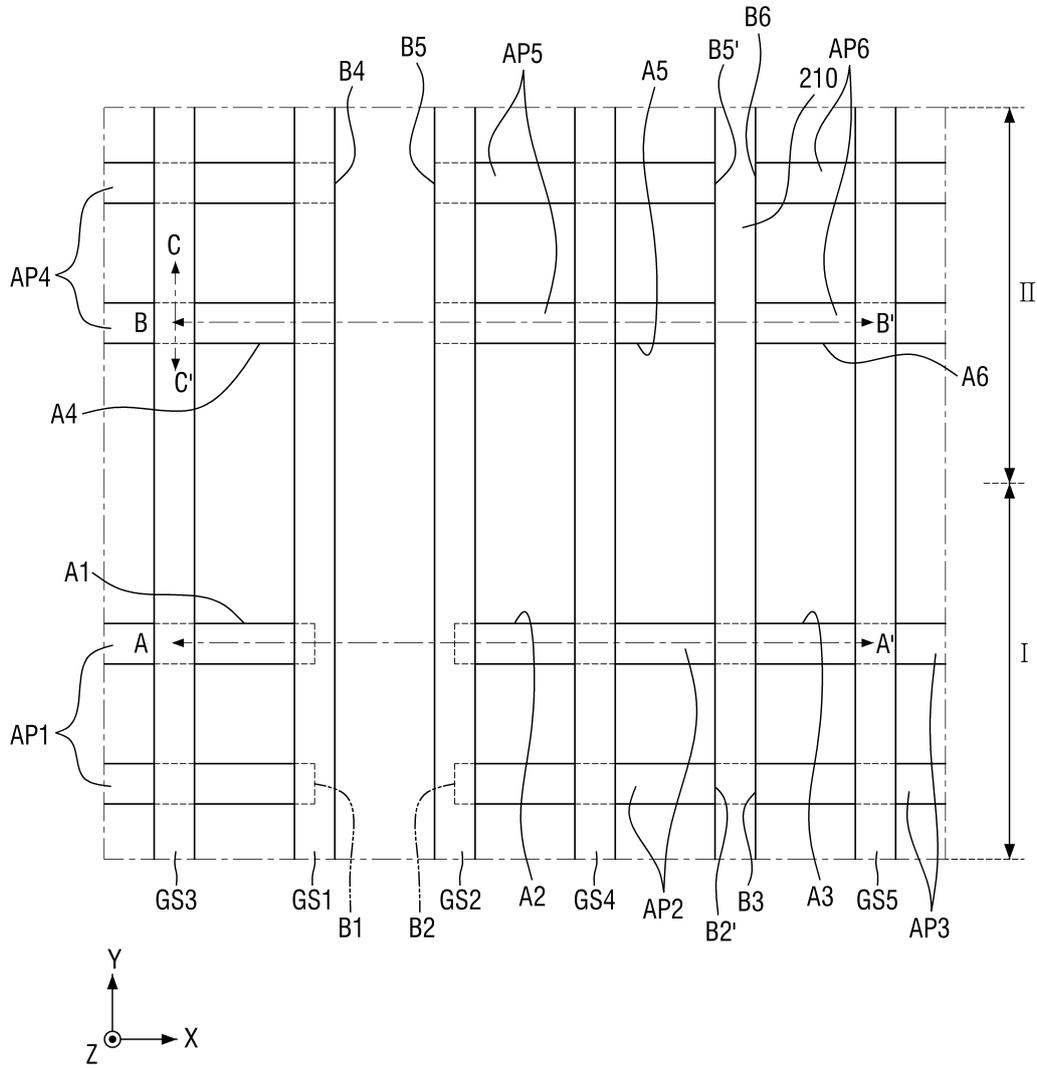
101, 201: 핀 컷 와이어 패턴 195: 컨택

181: 비아 배선 182: 배선 패턴

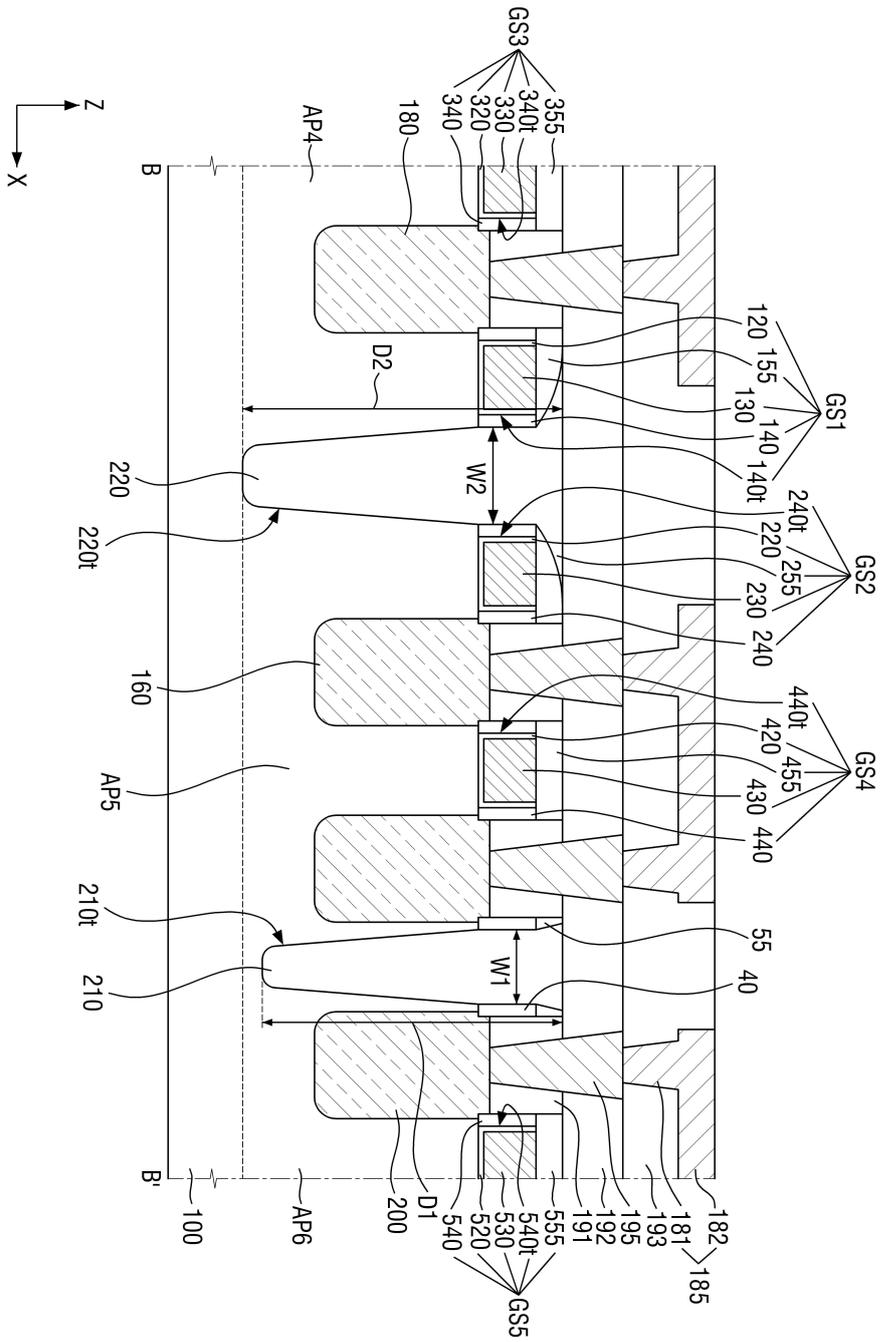
191, 192, 193: 층간 절연막

도면

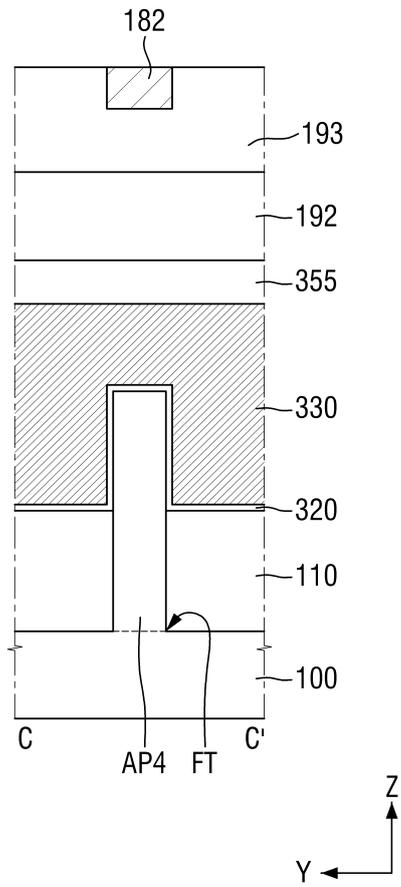
도면1



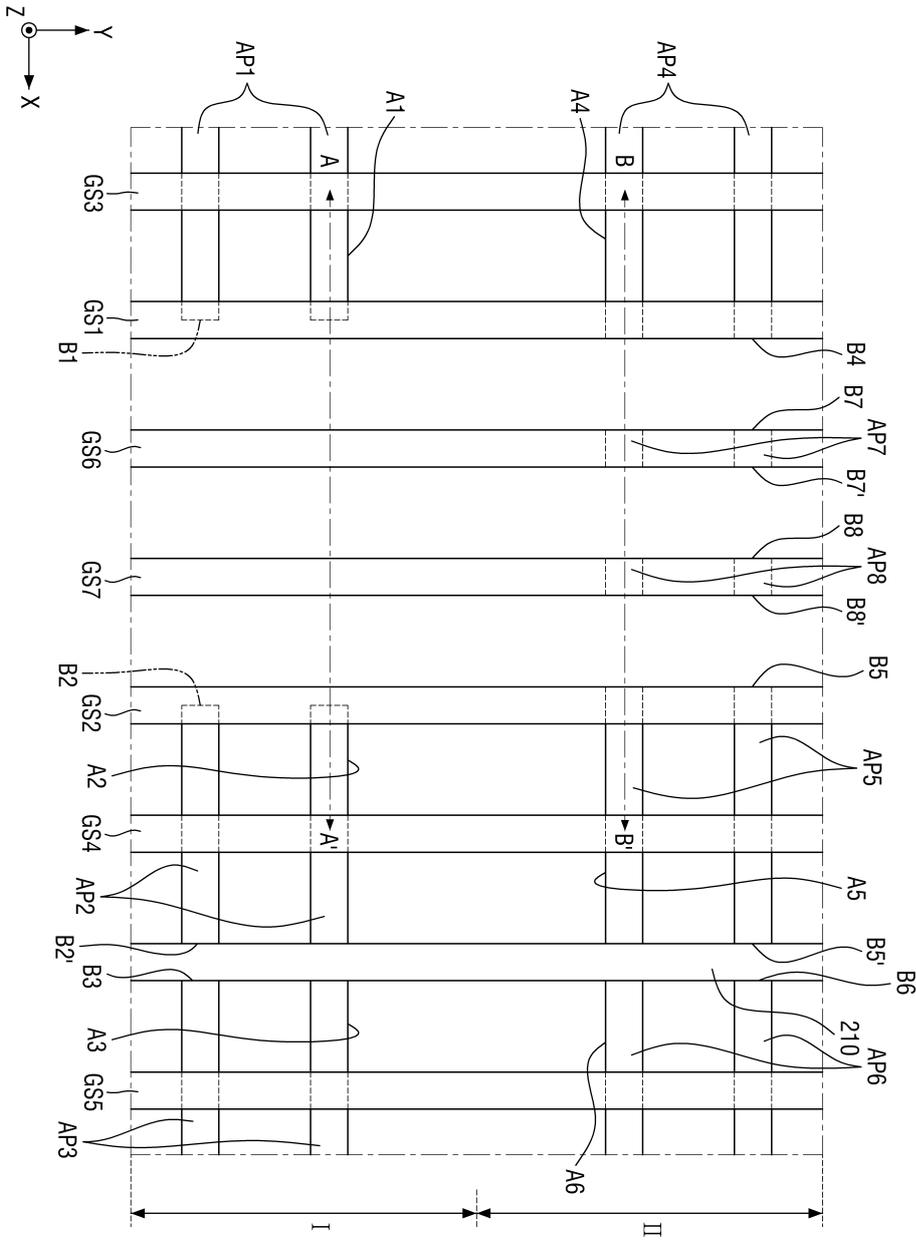
도면3



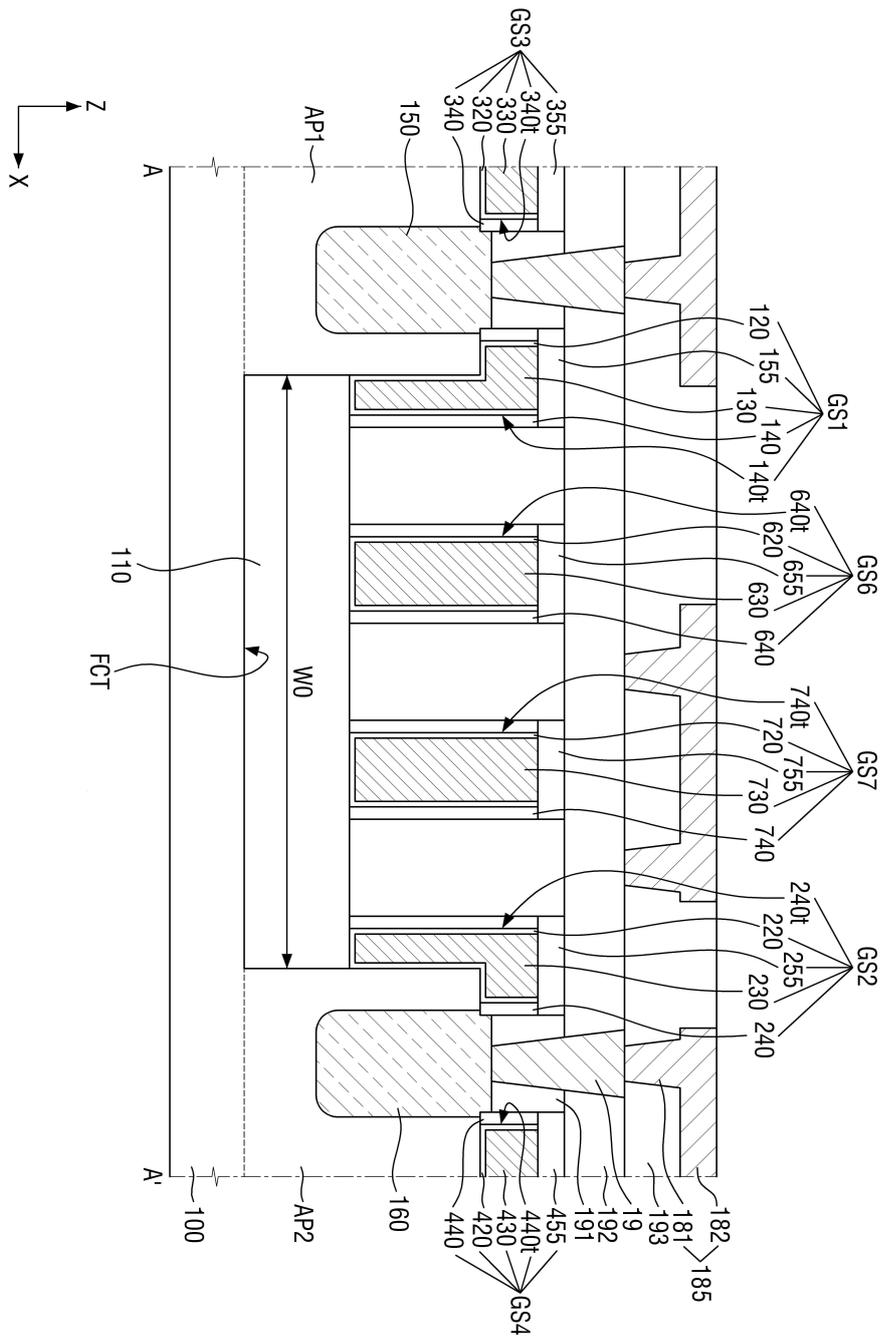
도면4



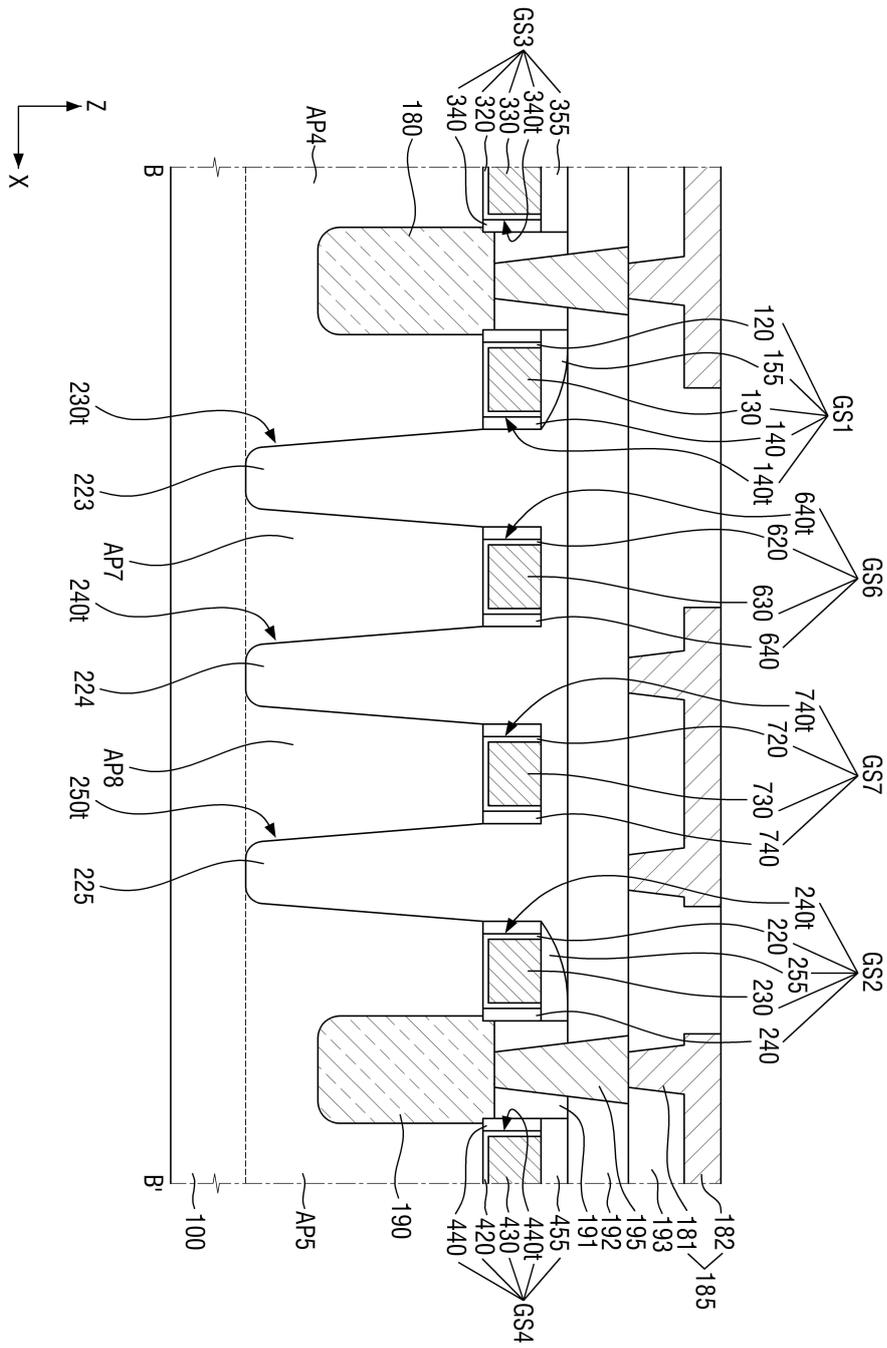
도면5



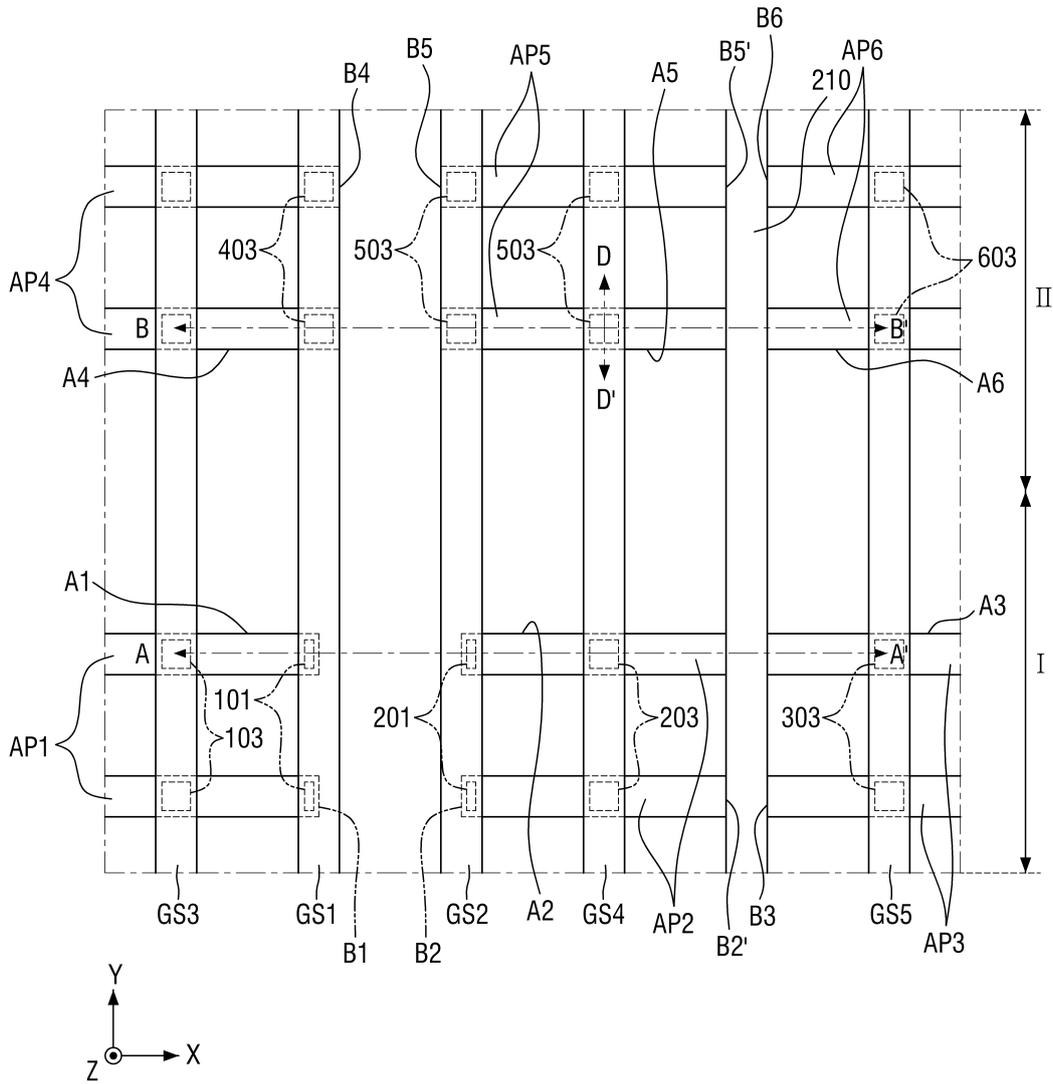
도면6



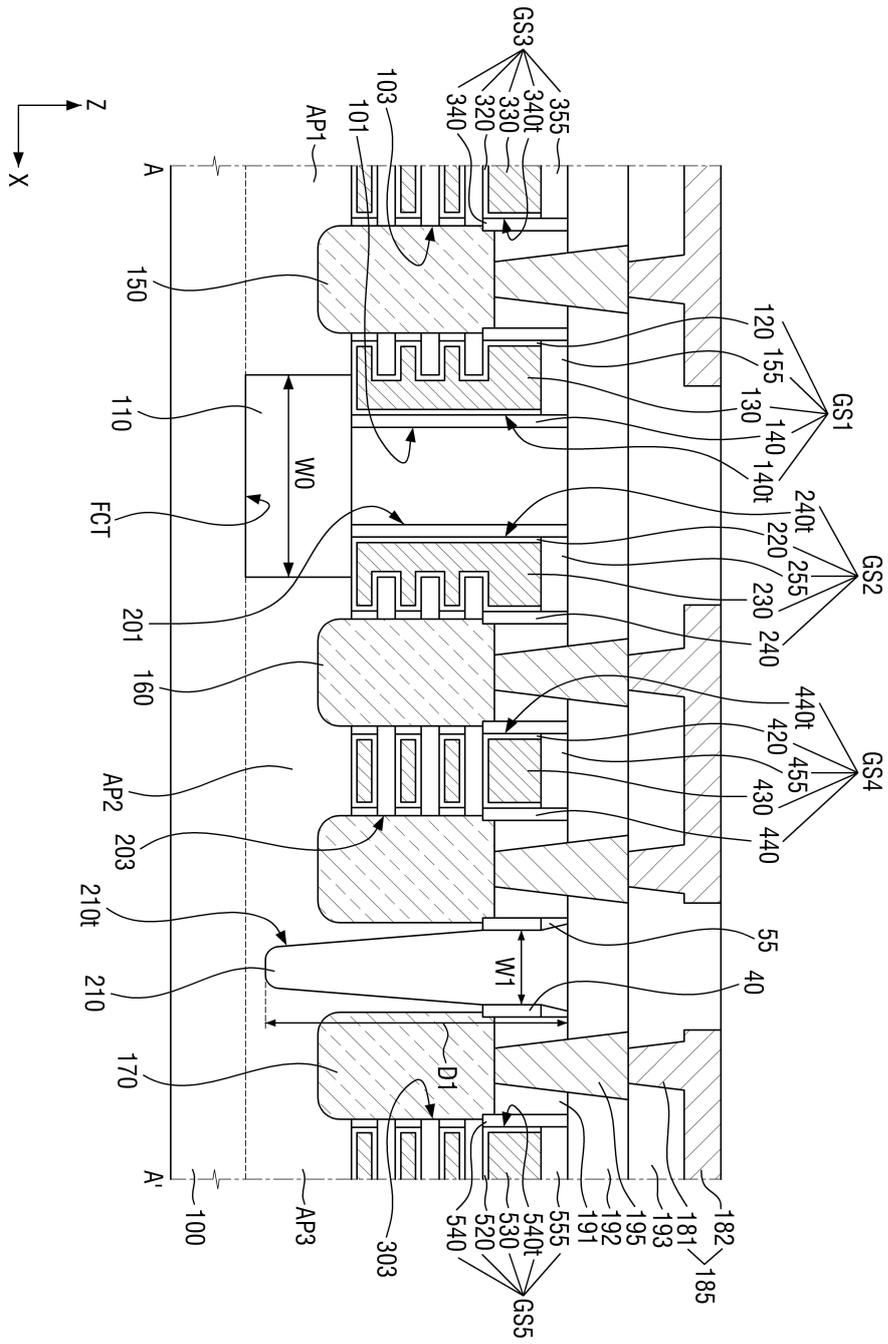
도면7



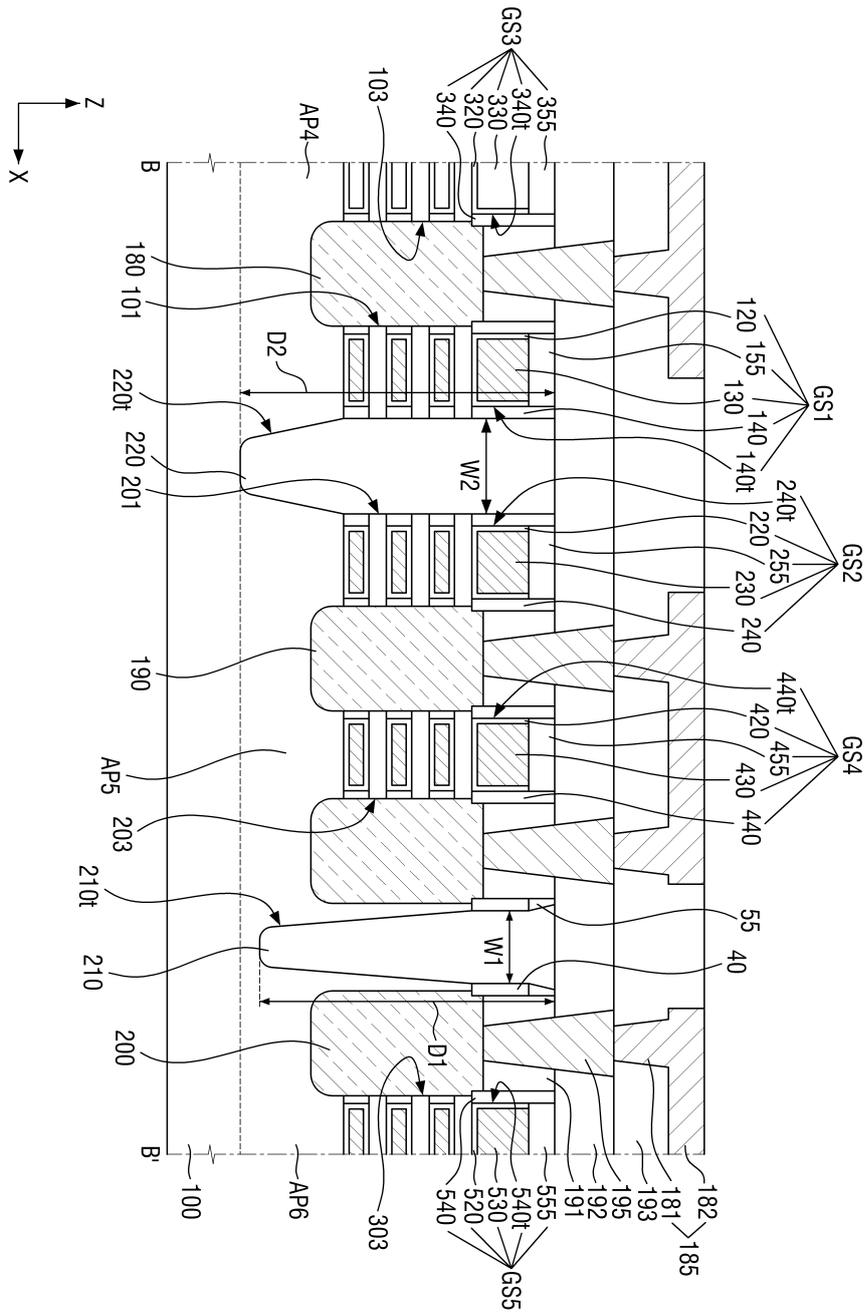
도면8



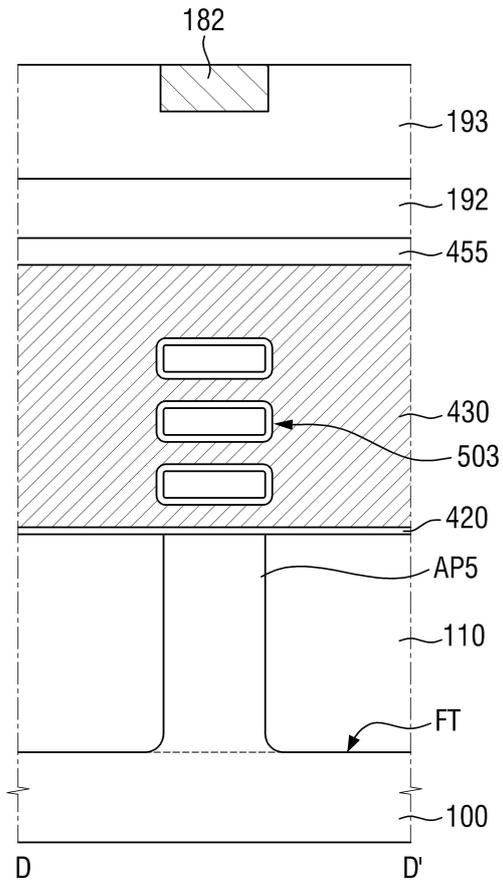
도면9



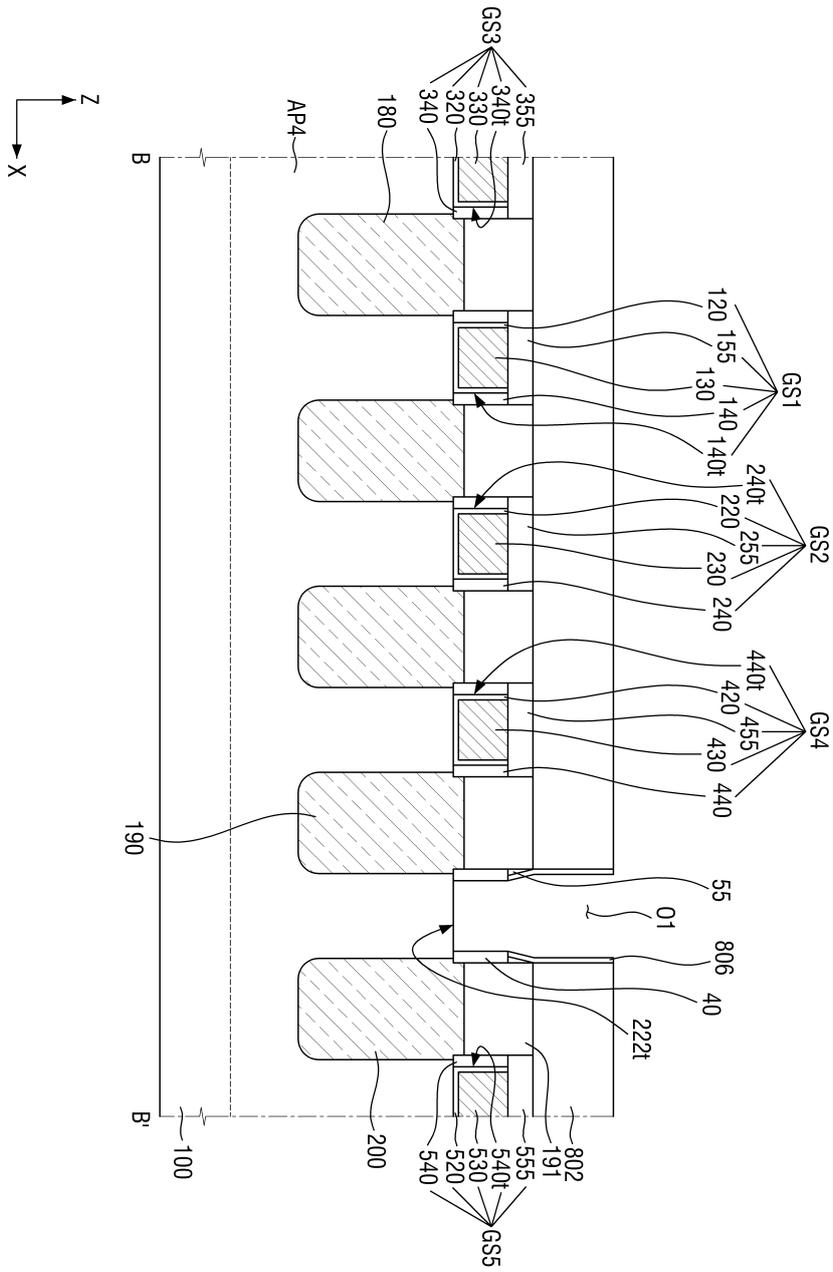
도면10



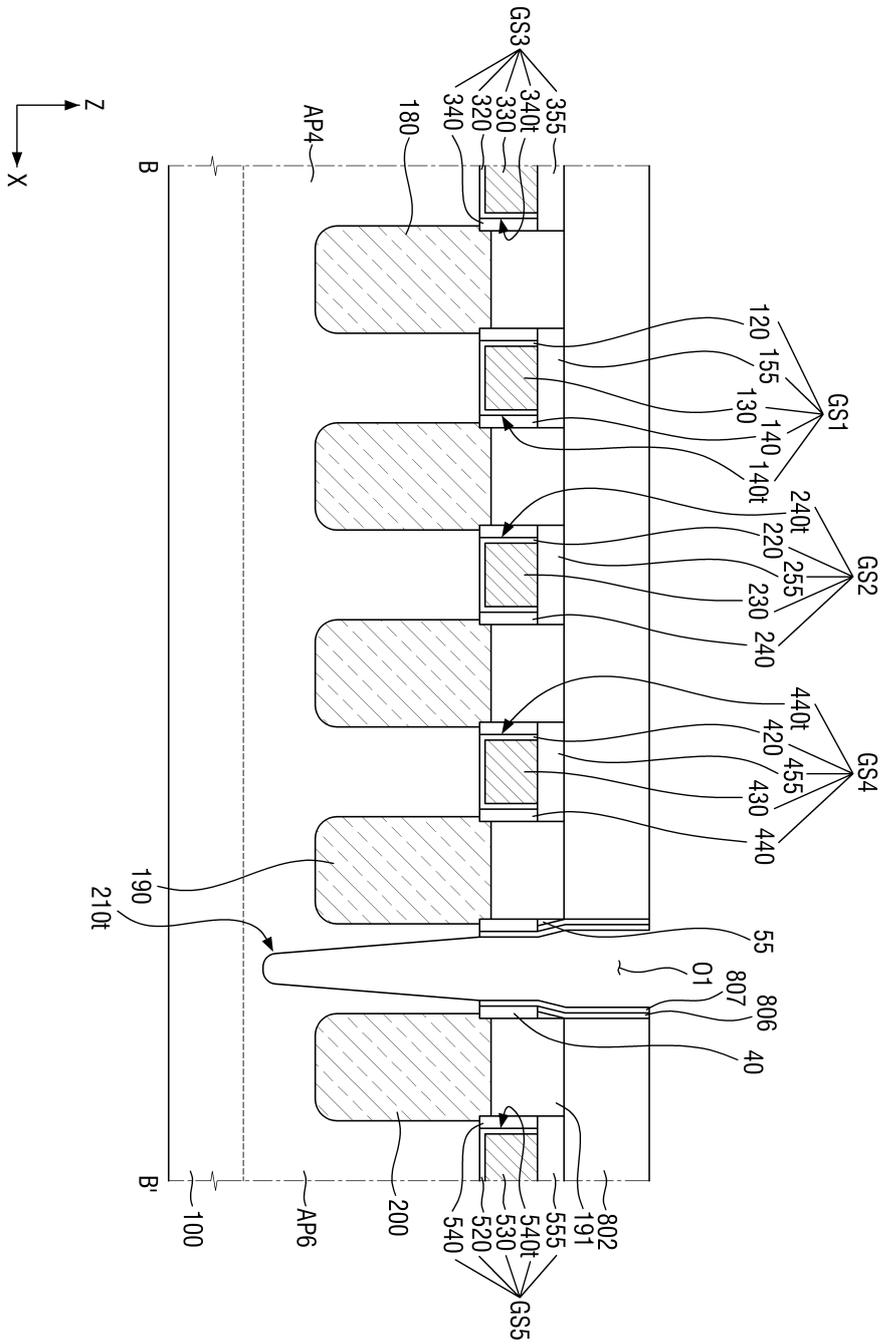
도면11



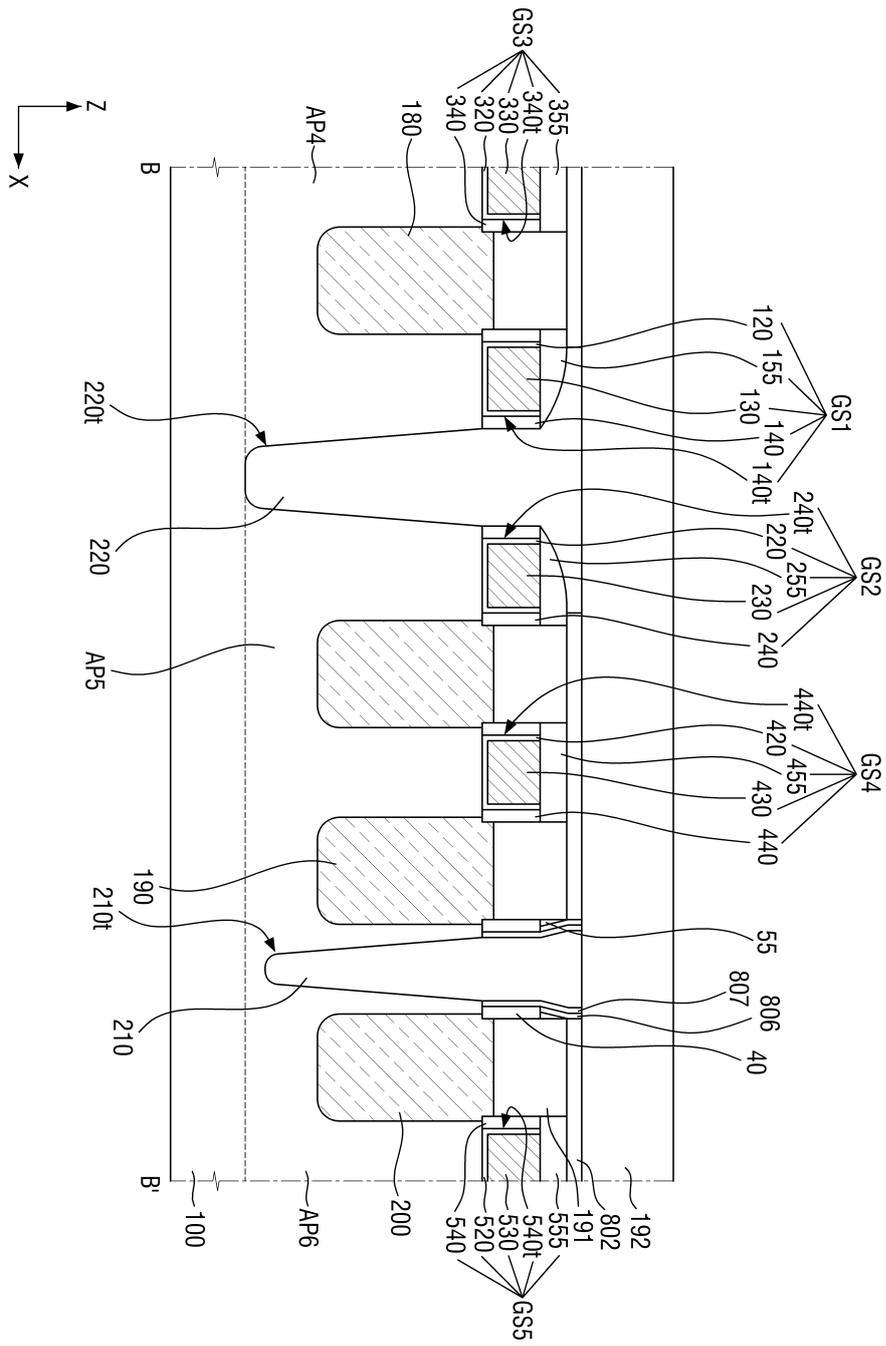
도면13



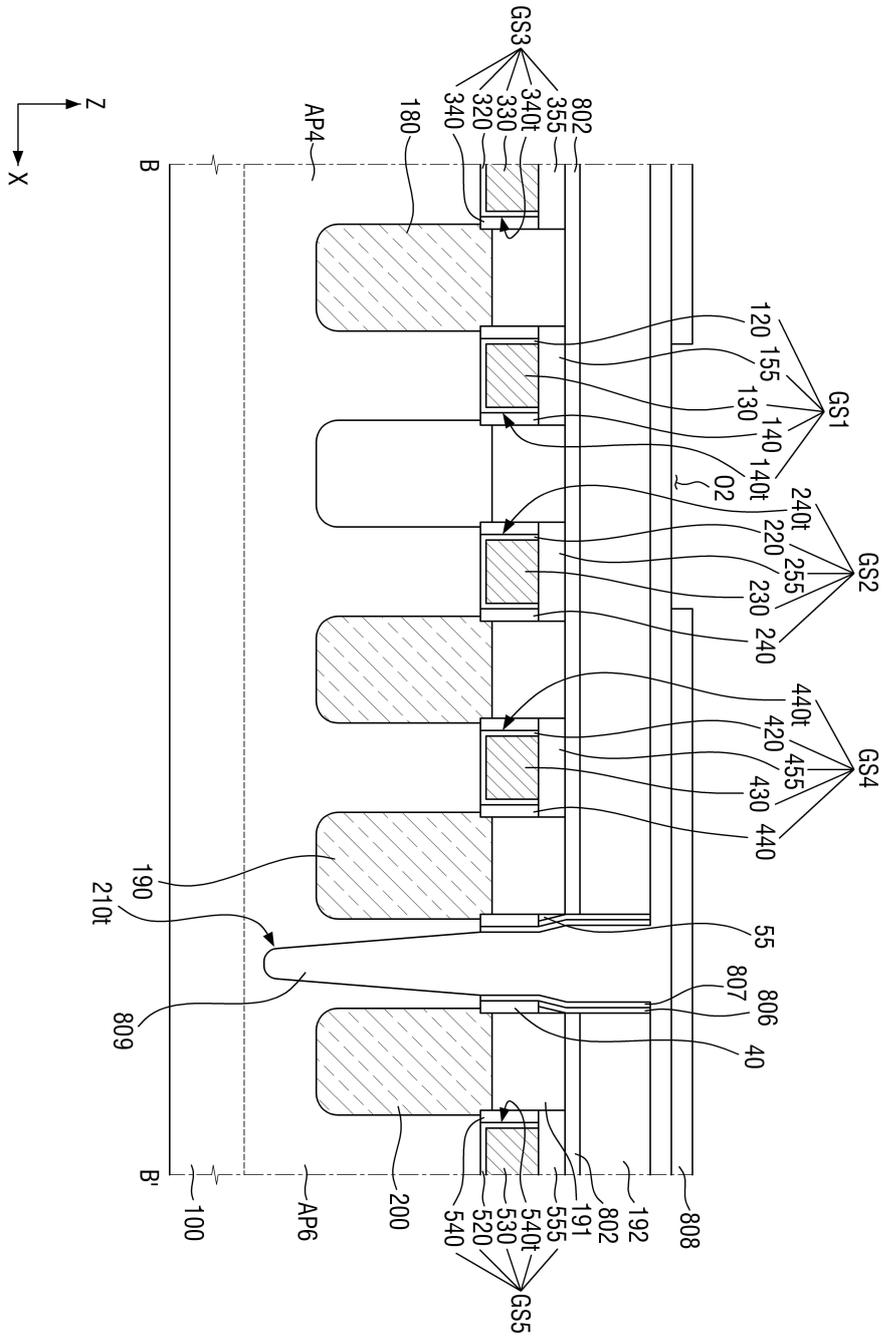
도면14



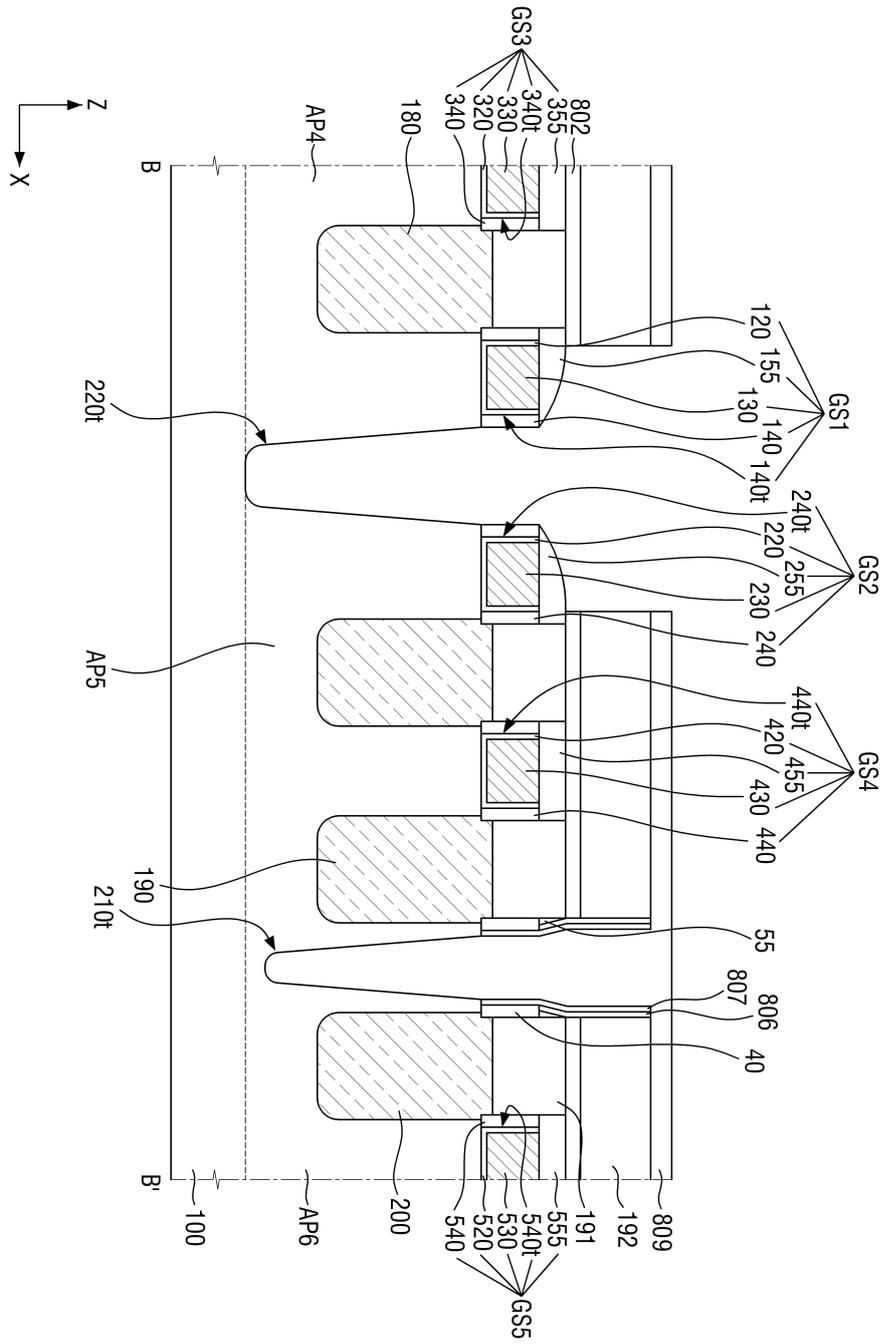
도면17



도면18



도면19



도면20

