



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2019년12월09일  
(11) 등록번호 10-2053762  
(24) 등록일자 2019년12월03일

(51) 국제특허분류(Int. Cl.)  
H01L 29/786 (2006.01) H01L 21/336 (2006.01)  
(21) 출원번호 10-2013-0043200  
(22) 출원일자 2013년04월18일  
심사청구일자 2018년04월03일  
(65) 공개번호 10-2013-0121723  
(43) 공개일자 2013년11월06일  
(30) 우선권주장  
JP-P-2012-103551 2012년04월27일 일본(JP)  
JP-P-2013-052035 2013년03월14일 일본(JP)  
(56) 선행기술조사문헌  
JP2009071289 A\*  
US20100072468 A1\*  
US20090090916 A1  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
가부시키가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
야마자키 순페이  
일본국 243-0036 가나가와켄 아쓰기시 하세 398  
가부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
마츠바야시 다이스케  
일본국 243-0036 가나가와켄 아쓰기시 하세 398  
가부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
무라야마 케이스케  
일본국 253-0082 가나가와켄 치가사키시 카가와  
7-3-46 그랑카사II 103  
(74) 대리인  
황의만

전체 청구항 수 : 총 17 항

심사관 : 백형열

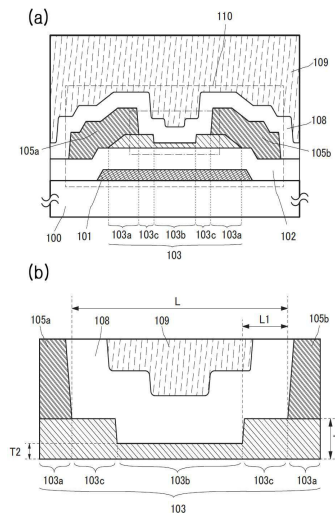
(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은 문턱 전압이 음이 되는 것이 저감되고 산화물 반도체막이 사용된 트랜지스터를 제공한다. 상기 산화물 반도체막이 사용된 트랜지스터를 갖는 고품질 반도체 장치를 제공한다.

제 1 영역 내지 제 3 영역을 갖는 산화물 반도체막을 트랜지스터에 사용한다. 제 1 영역에서의 산화물 반도체막의 상면은 소스 전극 또는 드레인 전극과 접하고, 제 2 영역에서의 산화물 반도체막의 상면은 보호 절연막과 접한다. 또한, 제 2 영역에서의 산화물 반도체막의 막 두께는 제 1 영역에서의 최대 막 두께보다 작고 대략 균일하다. 또한, 제 3 영역에서의 산화물 반도체막의 상면 및 측면이 보호 절연막과 접하는 구성으로 한다.

대표도 - 도1



## 명세서

### 청구범위

#### 청구항 1

반도체 장치에 있어서,  
절연 표면을 갖는 기판 위의 게이트 전극과;  
상기 게이트 전극 위의 제 1 절연막과;  
적어도 상기 게이트 전극의 일부에 중첩되는, 상기 제 1 절연막 위의 제 1 산화물 반도체막과;  
상기 제 1 산화물 반도체막 위의 소스 전극 및 드레인 전극과;  
상기 제 1 산화물 반도체막, 상기 소스 전극, 및 상기 드레인 전극 위의 제 2 절연막을 포함하고,  
상기 제 1 산화물 반도체막은 단층 구조이고,  
상기 제 1 산화물 반도체막은 한 쌍의 제 1 영역과, 제 2 영역과, 한 쌍의 제 3 영역을 포함하고,  
상기 한 쌍의 제 1 영역에서의 상기 제 1 산화물 반도체막의 상면은 상기 소스 전극 또는 상기 드레인 전극과 접하고,  
상기 제 2 영역에서의 상기 제 1 산화물 반도체막의 상면은 상기 제 2 절연막과 접하고,  
상기 제 2 영역에서의 상기 제 1 산화물 반도체막의 막 두께는 상기 한 쌍의 제 1 영역에서의 상기 제 1 산화물 반도체막의 최대 막 두께보다 작고,  
상기 한 쌍의 제 3 영역에서의 상기 제 1 산화물 반도체막의 상면 및 측면은 상기 제 2 절연막과 접하고,  
상기 제 2 영역과 상기 한 쌍의 제 3 영역은 채널 형성 영역을 포함하는, 반도체 장치.

#### 청구항 2

제 1 항에 있어서,  
상기 제 1 산화물 반도체막은 상기 한 쌍의 제 3 영역의 일부와 상기 제 2 영역 내에 오목부를 포함하고,  
상기 한 쌍의 제 3 영역에서의 상기 제 1 산화물 반도체막의 상기 측면은 상기 오목부의 내벽을 포함하는, 반도체 장치.

#### 청구항 3

삭제

#### 청구항 4

제 1 항에 있어서,  
상기 한 쌍의 제 3 영역에서의 상기 제 1 산화물 반도체막은 제 1 테이퍼 형상부를 포함하는, 반도체 장치.

#### 청구항 5

삭제

#### 청구항 6

제 4 항에 있어서,  
상기 한 쌍의 제 1 영역에서의 상기 제 1 산화물 반도체막은 제 2 테이퍼 형상부를 포함하고,  
상기 제 1 테이퍼 형상부의 각은 상기 제 2 테이퍼 형상부의 각보다 큰, 반도체 장치.

**청구항 7**

제 1 항에 있어서,

채널 길이 방향에 있어서 상기 게이트 전극의 단부는 상기 제 1 산화물 반도체막의 단부보다 외측에 위치하는, 반도체 장치.

**청구항 8**

제 1 항에 있어서,

상기 제 2 절연막은 적어도 산소를 포함하는, 반도체 장치.

**청구항 9**

제 1 항에 있어서,

상기 제 2 영역은 상기 한 쌍의 제 3 영역 사이에 위치하는, 반도체 장치.

**청구항 10**

제 1 항에 있어서,

상기 제 2 영역에서의 상기 제 1 산화물 반도체막의 상기 막 두께는 상기 한 쌍의 제 3 영역에서의 상기 제 1 산화물 반도체막의 최대 막 두께보다 작은, 반도체 장치.

**청구항 11**

제 1 항에 있어서,

용량 소자를 더 포함하고,

상기 용량 소자는,

제 1 전극과;

상기 제 1 절연막을 개재하여 상기 제 1 전극 위에 있는 제 2 산화물 반도체막과;

상기 제 2 산화물 반도체막 위의 제 2 전극을 포함하고,

상기 제 2 전극의 단부는 상기 제 2 산화물 반도체막의 단부보다 내측에 위치하고,

상기 제 1 산화물 반도체막 및 상기 제 2 산화물 반도체막은 동일한 재료를 포함하는, 반도체 장치.

**청구항 12**

제 1 항에 있어서,

상기 제 1 산화물 반도체막은 IGZO막인, 반도체 장치.

**청구항 13**

반도체 장치에 있어서,

절연 표면을 갖는 기판 위의 게이트 전극과;

상기 게이트 전극 위의 게이트 절연막과;

적어도 상기 게이트 전극의 일부에 중첩되는, 상기 게이트 절연막 위의 산화물 반도체막과;

상기 산화물 반도체막 위의 소스 전극 및 드레인 전극과;

상기 산화물 반도체막, 상기 소스 전극, 및 상기 드레인 전극 위의 절연막을 포함하고,

상기 산화물 반도체막은 단층 구조이고,

상기 산화물 반도체막은 한 쌍의 제 1 영역과, 제 2 영역과, 한 쌍의 제 3 영역을 포함하고,

상기 한 쌍의 제 1 영역에서의 상기 산화물 반도체막의 상면은 상기 소스 전극 또는 상기 드레인 전극과 접하고,

상기 제 2 영역에서의 상기 산화물 반도체막의 상면은 상기 절연막과 접하고,

상기 제 2 영역에서의 상기 산화물 반도체막의 막 두께는 균일하며 상기 한 쌍의 제 1 영역에서의 상기 산화물 반도체막의 최대 막 두께 및 상기 한 쌍의 제 3 영역에서의 상기 산화물 반도체막의 최대 막 두께 각각보다 작고,

상기 한 쌍의 제 3 영역에서의 상기 산화물 반도체막은 곡면을 포함하고,

상기 제 2 영역과 상기 한 쌍의 제 3 영역은 채널 형성 영역을 포함하는, 반도체 장치.

**청구항 14**

제 1 항 또는 제 13 항에 있어서,

상기 한 쌍의 제 1 영역 중 하나와 상기 제 2 영역 사이의 거리는 상기 소스 전극과 상기 드레인 전극 사이의 거리의 0.059배 이상 0.5배 미만인, 반도체 장치.

**청구항 15**

삭제

**청구항 16**

제 13 항에 있어서,

상기 절연막은 적어도 산소를 포함하는, 반도체 장치.

**청구항 17**

제 13 항에 있어서,

상기 한 쌍의 제 3 영역 중 하나는 상기 제 2 영역과 상기 한 쌍의 제 1 영역 중 하나 사이에 위치하는, 반도체 장치.

**청구항 18**

제 13 항에 있어서,

상기 곡면의 곡률 중심은 기판 측에 위치하는, 반도체 장치.

**청구항 19**

제 13 항에 있어서,

상기 곡면의 곡률 중심은 절연막 측에 위치하는, 반도체 장치.

**청구항 20**

제 13 항에 있어서,

상기 산화물 반도체막은 IGZO막인, 반도체 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 산화물 반도체를 이용한 반도체 장치에 관한 것이다.

[0002] 또한, 본 명세서에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 말하며 전

기 광학 장치, 반도체 회로, 및 전자 기기는 모두 반도체 장치의 범주에 포함된다.

**배경 기술**

[0003] 절연 표면을 갖는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터를 구성하는 기술이 주목을 받고 있다. 상기 트랜지스터는 집적 회로(IC)나 화상 표시 장치(단순히 표시 장치라고도 표기함)와 같은 전자 디바이스에 폭넓게 응용되고 있다. 트랜지스터에 적용될 수 있는 반도체 박막으로서 실리콘계 반도체 재료가 널리 알려져 있지만 이 외 재료로서 산화물 반도체가 주목을 받고 있다.

[0004] 예를 들어 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함한 비정질 산화물(In-Ga-Zn-O계 비정질 산화물)로 이루어진 반도체 박막이 사용된 트랜지스터가 특허문헌 1에 개시(開示)되어 있다. 또한, 이와 같은 트랜지스터를 제작하여 표시 장치의 화소의 스위칭 소자 등으로서 사용하는 기술이 특허문헌 2에 개시되어 있다.

**선행기술문헌**

**특허문헌**

[0005] (특허문헌 0001) 일본국 특개2006-165529호 공보  
 (특허문헌 0002) 일본국 특개2006-165528호 공보

**발명의 내용**

**해결하려는 과제**

[0006] 표시 장치 등의 반도체 장치의 회로에 사용되는 트랜지스터는 게이트 전압이 0V에 가능한 한 가까운 양의 값으로 채널이 형성되는 것이 바람직하다. 이것은, 트랜지스터의 문턱 전압이 음이면 게이트 전압이 0V이더라도 소스 전극과 드레인 전극 사이에 전류가 흐르는 소위 노멀리-온이 되기 쉽고, 문턱 전압이 음인 노멀리-온 트랜지스터로 구성된 회로는 제어가 매우 어렵기 때문이다.

[0007] 상술한 점을 감안하여, 개시된 발명의 일 형태에서는 문턱 전압이 음이 되는 것이 저감되고 산화물 반도체막이 사용된 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또한, 문턱 전압이 음이 되는 것이 저감되고 소위 노멀리-오프이며 산화물 반도체막이 사용된 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또한, 상기 산화물 반도체막이 사용된 트랜지스터를 갖는 고품질 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

**과제의 해결 수단**

[0008] 산화물 반도체막이 사용된 보텀 게이트형 트랜지스터에 있어서 상술한 바와 같이 문턱 전압이 음이 되는 요인의 하나로서는 상기 산화물 반도체막과 보호 절연막의 계면 근방에서의 전계 집중을 들 수 있다. 이것은, 산화물 반도체막 상면에 접하는 소스 전극 또는 드레인 전극의 측면 단부에 전계가 극단적으로 집중됨으로써 양의 전하를 갖는 가동 이온 등이 보호 절연막과 산화물 반도체막의 계면 근방에 끌리고, 상기 양의 전하에 산화물 반도체막 내의 음의 전하가 끌리게 되어 의사적인 채널(이하 기생 채널이라고도 함)이 형성됨에 기인하는 것으로 생각된다.

[0009] 개시된 발명에서는 제 1 영역 내지 제 3 영역을 갖는 산화물 반도체막을 사용한다. 제 1 영역에서의 산화물 반도체막의 상면은 소스 전극 또는 드레인 전극과 접하고, 제 2 영역에서의 산화물 반도체막의 상면은 보호 절연막과 접한다. 또한, 제 2 영역에서의 산화물 반도체막의 막 두께는 제 1 영역에서의 최대 막 두께보다 작고 대략 균일하다. 또한, 제 3 영역에서의 산화물 반도체막의 상면 및 측면이 보호 절연막과 접하는 구성으로 한다. 즉, 산화물 반도체막은 소스 전극 및 드레인 전극과 중첩되며 막 두께가 큰 한 쌍의 제 1 영역과, 상기 한 쌍의 제 1 영역에 끼워져 제공된 한 쌍의 제 3 영역과, 상기 한 쌍의 제 3 영역에 끼워져 제공되며 한 쌍의 제 1 영역보다 막 두께가 작은 제 2 영역을 갖는다.

[0010] 또한, 본 명세서 등에서 산화물 반도체막은 제 3 영역의 일부와 제 2 영역 내에 오목부를 갖고, 그 오목부의 내벽을 제 3 영역에서의 산화물 반도체막의 측면이라고 기재한다.

[0011] 이와 같은 구성으로 함으로써 적어도 제 2 영역 근방에서는 전계를 완화시킬 수 있다. 따라서, 산화물 반도체

막과 보호 절연막의 계면 근방에서의 전계 집중을 완화시켜 상기 트랜지스터의 문턱 전압이 음이 되는 것의 저감을 도모할 수 있다. 보다 구체적으로는 예를 들어, 이하와 같은 형태로 할 수 있다.

- [0012] 게시된 발명의 일 형태는 절연 표면을 갖는 기판 위의 게이트 전극과, 게이트 전극 위의 게이트 절연막과, 적어도 게이트 전극의 일부에 증착되는, 게이트 절연막 위의 산화물 반도체막과, 산화물 반도체막 위의 소스 전극 및 드레인 전극과, 산화물 반도체막, 소스 전극, 및 드레인 전극 위의 보호 절연막을 갖는다. 산화물 반도체막은 제 1 영역, 채널 형성 영역인 제 2 영역 및 제 3 영역을 갖고, 제 1 영역에서의 산화물 반도체막의 상면은 소스 전극 또는 드레인 전극과 접하고, 제 2 영역에서의 산화물 반도체막의 상면은 보호 절연막과 접한다. 또한, 제 2 영역에서의 산화물 반도체막의 막 두께는 제 1 영역에서의 최대 막 두께보다 작고 대략 균일하다. 또한, 제 3 영역에서의 산화물 반도체막의 상면 및 측면이 보호 절연막과 접하는 반도체 장치이다.
- [0013] 또한, 상기에 있어서 제 1 영역과 제 2 영역 사이의 거리는 소스 전극과 드레인 전극 사이의 거리의 0.059배 이상 0.5배 미만인 것이 바람직하다.
- [0014] 또한, 제 3 영역에서의 산화물 반도체막은 테이퍼 형상부를 가져도 좋다.
- [0015] 또한, 보호 절연막은 적어도 산소를 포함한 절연막인 것이 바람직하다.
- [0016] 또한, 본 명세서 등에 있어서 '대략 균일'하다는 용어는 엄밀하게 균일할 필요는 없다는 의미로 사용한다. 예를 들어, '대략 균일한 막 두께'라는 표현은 한 층을 에칭하여 얻어지는 막 두께 균일도를 그 범주에 포함한다.
- [0017] 또한, 본 명세서 등에 있어서 '전극'이나 '배선'이라는 용어는 이들의 구성 요소의 기능을 한정하는 것은 아니다. 예를 들어, '전극'은 '배선'의 일부로서 사용될 수 있고 그 반대도 마찬가지이다. 또한, '전극'이나 '배선'이라는 용어는 복수의 '전극'이나 '배선'이 일체가 되어 형성된 경우 등도 포함한다.
- [0018] 또한, '소스'나 '드레인'의 기능은 극성이 다른 트랜지스터를 채용하는 경우나 회로 동작에 있어서 전류의 방향이 달라지는 경우 등에는 서로 바뀔 수 있다. 그러므로, 본 명세서에서는 '소스'나 '드레인'이라는 용어는 바뀌 사용할 수 있는 것으로 한다.
- [0019] 또한, 본 명세서 등에 있어서 '전기적으로 접속'이라는 표현은 '어떠한 전기적 작용을 갖는 것'을 통하여 접속되는 경우를 그 범주에 포함한다. 여기서, '어떠한 전기적 작용을 갖는 것'은 접속 대상간에서의 전기 신호 수수(授受)를 가능하게 하는 것이면 특별히 제한되지 않는다. 예를 들어, '어떠한 전기적 작용을 갖는 것'에는 전극이나 배선을 비롯하여 트랜지스터 등의 스위칭 소자, 저항 소자, 인덕터, 용량 소자, 이 외 각종 기능을 갖는 소자 등이 포함된다.

**발명의 효과**

- [0020] 문턱 전압이 음이 되는 것이 저감되고 산화물 반도체막이 사용된 트랜지스터를 제공할 수 있다. 또한, 문턱 전압이 음이 되는 것이 저감되고 소위 노멀리-오프이며 산화물 반도체막이 사용된 트랜지스터를 제공할 수 있다. 또한, 상기 산화물 반도체막이 사용된 트랜지스터를 갖는 고품질 반도체 장치를 제공할 수 있다.

**도면의 간단한 설명**

- [0021] 도 1a 및 도 1b는 반도체 장치의 일 형태에 대하여 설명하는 단면도.
- 도 2a 내지 도 2c는 반도체 장치의 제작 방법의 일 형태에 대하여 설명하는 단면도.
- 도 3a 및 도 3b는 반도체 장치의 제작 방법의 일 형태에 대하여 설명하는 단면도.
- 도 4a 내지 도 4c는 반도체 장치의 일 형태에 대하여 설명하는 단면도.
- 도 5a 내지 도 5c는 반도체 장치의 일 형태에 대하여 설명하는 평면도.
- 도 6a는 반도체 장치의 일 형태에 대하여 설명하는 평면도이고, 도 6b는 반도체 장치의 일 형태에 대하여 설명하는 단면도.
- 도 7a 및 도 7b는 반도체 장치의 일 형태를 도시한 단면도.
- 도 8a는 반도체 장치의 일 형태를 도시한 회로도이고, 도 8b는 반도체 장치의 일 형태를 도시한 단면도.
- 도 9a 내지 도 9c는 전자 기기를 도시한 도면.

도 10a 내지 도 10c는 전자 기기를 도시한 도면.

도 11은 계산에 사용한 트랜지스터의 모델을 도시한 도면.

도 12는 계산으로 얻어진 전계 강도를 나타낸 그래프.

**발명을 실시하기 위한 구체적인 내용**

- [0022] 이하에서는 본 명세서에 개시된 발명의 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 명세서에 개시된 발명은 이하의 설명에 한정되지 아니하며 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 당업자이면 용이하게 이해할 수 있다. 또한, 본 명세서에 개시된 발명은 이하에 기재된 실시형태의 내용에 한정하여 해석되는 것은 아니다. 또한, '제 1', '제 2'라고 부여된 서수사는 편의상 사용한 것에 불과하고 공정 순서 또는 적층 순서를 나타내는 것은 아니다. 또한, 본 명세서에서 발명을 특정하기 위한 사항으로서 고유 명칭을 나타내는 것은 아니다.
- [0023] (실시형태 1)
- [0024] 본 실시형태에서는 산화물 반도체막이 사용된 반도체 장치, 및 상기 반도체 장치의 제작 방법의 일 형태에 대하여 도 1a 내지 도 4c를 사용하여 설명한다.
- [0025] 도 1a 및 도 1b에 도시된 트랜지스터(110)는 보텀 게이트 구조의 일 형태이며, 역 스테거형 트랜지스터라고도 하는 트랜지스터의 일례이다. 또한, 도 1a는 트랜지스터(110)의 단면도이고, 도 1b는 도 1a에 도시된 트랜지스터(110)의 산화물 반도체막(103) 근방을 확대한 도면이다.
- [0026] 도 1a 및 도 1b에 도시된 트랜지스터(110)는 절연 표면을 갖는 기판(100) 위에 제공된 게이트 전극(101)과, 게이트 전극(101) 위에 제공된 게이트 절연막(102)과, 적어도 게이트 전극(101)의 일부에 중첩하여 게이트 절연막(102) 위에 제공된 산화물 반도체막(103)과, 산화물 반도체막(103) 위에 제공된 소스 전극(105a) 및 드레인 전극(105b)과, 산화물 반도체막(103), 소스 전극(105a), 및 드레인 전극(105b) 위에 제공된 보호 절연막(108)을 갖는다. 또한, 보호 절연막(108) 위에 제공된 평탄화 절연막(109)이 트랜지스터(110)의 구성 요소에 포함되어도 좋다. 또한, 산화물 반도체막(103)은 단층 구조이어도 좋고 적층 구조이어도 좋다. 또한, 채널 길이 방향에 있어서 게이트 전극(101)의 단부가 산화물 반도체막(103)의 단부의 외측에 위치하여도 좋다.
- [0027] 도 1a 및 도 1b에 도시된 바와 같이, 산화물 반도체막(103)은 제 1 영역(103a), 제 2 영역(103b), 및 제 3 영역(103c)을 갖는다. 제 1 영역(103a)에서의 산화물 반도체막(103)의 상면은 소스 전극(105a) 또는 드레인 전극(105b)과 접하고, 제 2 영역(103b)에서의 산화물 반도체막(103)의 상면은 보호 절연막(108)과 접한다. 또한, 제 2 영역(103b)에서의 산화물 반도체막(103)의 막 두께는 제 1 영역(103a)에서의 최대 막 두께 및 제 3 영역(103c)에서의 최대 막 두께보다 작고 대략 균일하다. 또한, 제 3 영역(103c)에서의 산화물 반도체막(103)의 상면 및 측면이 보호 절연막(108)과 접한다.
- [0028] 여기서, 제 1 영역(103a) 및 제 3 영역(103c)은 소스 전극(105a) 측과 드레인 전극(105b) 측에 각각 형성되어 있다. 즉, 한 쌍의 제 1 영역(103a)은 제 2 영역(103b) 및 한 쌍의 제 3 영역(103c)을 끼우도록 제공되고 한 쌍의 제 3 영역(103c)은 제 2 영역(103b)을 끼우도록 형성되어 있다.
- [0029] 또한, 도 1a 및 도 1b에서는 한 쌍의 제 1 영역(103a) 및 한 쌍의 제 3 영역(103c)이 소스 전극(105a) 측과 드레인 전극(105b) 측에서 각각 대칭이지만, 반드시 대칭일 필요는 없다.
- [0030] 또한, 도 1b에 도시된 바와 같이, 제 1 영역(103a)의 막 두께는 T1이고, 제 2 영역(103b)의 막 두께는 T2이며, 막 두께 T2는 막 두께 T1보다 작다. 예를 들어, 막 두께 T1은 20nm 이상 300nm 이하로 할 수 있고, 막 두께 T2는 5nm 이상 50nm 이하로 할 수 있다. 여기서, 제 2 영역(103b)의 막 두께는 막 두께 T2로 대략 균일하다. 또한, 도 1a에 도시된 바와 같이, 제 1 영역(103a)의 단부를 테이퍼 형상으로 하는 경우에는 상기 테이퍼 형상부의 막 두께는 막 두께 T1보다 작게 된다.
- [0031] 또한, 산화물 반도체막(103)은 막 두께 T1의 제 1 영역(103a)과 막 두께 T2의 제 2 영역(103b) 사이에 높이 차를 갖고, 이 높이 차는 제 3 영역(103c)에 포함된다. 제 3 영역(103c)에서의 산화물 반도체막(103)의 상면과 측면은 보호 절연막(108)과 접한다. 바꿔 말하면, 산화물 반도체막(103)은 제 3 영역(103c)의 일부와 제 2 영역(103b) 내에 오목부를 갖는다. 제 3 영역의 일부와 제 2 영역 내의 산화물 반도체막(103)의 오목부는 보호 절연막(108)과 접한다.



- [0032] 또한, 제 2 영역(103b) 및 한 쌍의 제 3 영역(103c)은 트랜지스터(110)의 채널 형성 영역으로서 기능한다. 도 1b에 도시된 바와 같이, 소스 전극(105a)과 드레인 전극(105b) 사이의 거리, 환언하면 제 2 영역(103b)과 한 쌍의 제 3 영역(103c)의 채널 길이 방향의 길이가 채널 길이 L이 된다. 제 1 영역(103a)과 제 2 영역(103b) 사이의 거리 L1은 채널 길이 L의 0.059배 이상 0.5배 미만으로 하는 것이 바람직하다.
- [0033] 또한, 산화물 반도체막(103)에 사용하는 산화물 반도체는 적어도 인듐(In), 아연(Zn), 및 주석(Sn) 중 어느 것을 포함한다. 특히, In과 Zn 양쪽 모두를 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체가 사용된 트랜지스터의 전기 특성의 편차를 줄이기 위한 스테빌라이저로서 이들에 더하여 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 hafnium(Hf)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 지르코늄(Zr)을 갖는 것이 바람직하다.
- [0034] 또한, 다른 스테빌라이저로서, 란타노이드인 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유퀴륨(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀름(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 하나 또는 복수를 가져도 좋다.
- [0035] 예를 들어, 산화물 반도체로서 산화 인듐, 산화 주석, 산화 아연, 2원계 금속 산화물인 In-Zn계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Sn-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Sn-Hf-Zn계 산화물을 사용할 수 있다.
- [0036] 또한, 여기서는 예를 들어, In-Ga-Zn계 산화물이란, In과 Ga와 Zn을 주성분으로서 갖는 산화물을 말하며 In과 Ga와 Zn의 비율은 불분한다. 또한, In과 Ga와 Zn 이외의 금속 원소가 들어 있어도 좋다.
- [0037] In-Ga-Zn계 산화물로서는 예를 들어, 원자수비가 In:Ga:Zn=1:1:1, In:Ga:Zn=1:3:2, In:Ga:Zn=3:1:2, 또는 In:Ga:Zn=2:1:3인 산화물, 또는 이 조성 근방의 산화물을 사용하면 좋다.
- [0038] 또한, 산화물 반도체로서  $InMO_3(ZnO)_m$  ( $m>0$ , 또  $m$ 은 정수가 아님)으로 표기되는 재료를 사용하여도 좋다. 또한, M은 Ga, Fe, Mn, 및 Co 중에서 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다.
- [0039] 그러나, 산화물 반도체는 이들에 한정되지 않고 필요한 반도체 특성(이동도, 문턱 전압, 편차 등)에 따라 적절한 조성을 갖는 것을 사용하면 좋다. 또한, 필요한 반도체 특성을 얻기 위하여 캐리어 농도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.
- [0040] 산화물 반도체막(103)은 수소 등 불순물이 충분히 제거됨으로써, 또는 산소가 충분히 공급되어 산소 과포화 상태가 됨으로써 고순도화되는 것이 바람직하다. 구체적으로는, 산화물 반도체막(103)의 수소 농도는  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 이하, 바람직하게는  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 더 바람직하게는  $5 \times 10^{17}$  atoms/cm<sup>3</sup> 이하로 한다. 또한, 상술한 산화물 반도체막(103) 내의 수소 농도는 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 측정된 경우의 것이다.
- [0041] 또한, 산화물 반도체막(103)은 성막 직후에 있어서 화학량론적 조성보다 산소가 많은 과포화 상태인 것이 바람직하다. 여기서, 산소가 충분히 공급되어 산소 과포화 상태로 하기 위하여, 산화물 반도체막(103)을 싸듯이 산소를 과잉으로 포함한 절연막(SiO<sub>x</sub> 등)을 접하도록 제공하는 것이 바람직하고, 본 실시형태에서는 게이트 절연막(102) 및 보호 절연막(108)이 산소를 과잉으로 포함하는 것이 바람직하다.
- [0042] 산화물 반도체막(103)은 단결정, 다결정(폴리 크리스탈이라고도 함) 또는 비정질 등의 상태를 취한다.
- [0043] 산화물 반도체막(103)은 예를 들어, 비단결정을 가져도 좋다. 비단결정은 예를 들어, CAAC(C Axis Aligned Crystal), 다결정, 미결정, 비정질부를 갖는다. 비정질부는 미결정이나 CAAC보다 결함 준위 밀도가 높다. 또한, 미결정은 CAAC보다 결함 준위 밀도가 높다. 또한, CAAC를 갖는 산화물 반도체를 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)라고 부른다.
- [0044] 산화물 반도체막(103)은 예를 들어, CAAC-OS를 가져도 좋다. CAAC-OS는 예를 들어, c축이 배향되고 a축 또는/및 b축은 거시적으로 보아 정렬되어 있지 않다. 바람직하게는 산화물 반도체막(103)은 CAAC-OS막으로 한다.
- [0045] 산화물 반도체막(103)은 예를 들어, 미결정을 가져도 좋다. 또한, 미결정을 갖는 산화물 반도체(미결정 산화물



반도체라고도 함)막은 예를 들어, 1nm 이상 10nm 미만의 크기의 미결정(나노 결정이라고도 함)을 막 내에 포함한다.

- [0046] 산화물 반도체막(103)은 예를 들어, 비정질부를 가져도 좋다. 또한, 비정질부를 갖는 산화물 반도체(비정질 산화물 반도체라고도 함)막은 예를 들어, 원자 배열이 무질서하며 결정 성분을 갖지 않는다. 또는, 비정질 산화물 반도체막은 예를 들어, 완전한 비정질이고 결정부를 갖지 않는다.
- [0047] 또한, 산화물 반도체막이 CAAC-OS와, 미결정 산화물 반도체와, 비정질 산화물 반도체의 혼합막이어도 좋다. 혼합막은 예를 들어, 비정질 산화물 반도체 영역과, 미결정 산화물 반도체 영역과, CAAC-OS 영역을 갖는다. 또한, 혼합막은 예를 들어, 비정질 산화물 반도체 영역과, 미결정 산화물 반도체 영역과, CAAC-OS 영역의 적층 구조를 가져도 좋다.
- [0048] 또한, 산화물 반도체막은 예를 들어, 단결정을 가져도 좋다.
- [0049] 산화물 반도체막은 복수의 결정부를 갖고, 상기 결정부의 c축이 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되어 있는 것이 바람직하다. 또한, 다른 결정부들간에서 각각 a축 및 b축의 방향이 달라도 좋다. 이와 같은 산화물 반도체막의 일례로서는 CAAC-OS막이 있다.
- [0050] CAAC-OS막에 포함되는 결정부는 하나의 변이 100nm 미만인 입방체 내에 들어가는 크기인 경우가 많다. 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는 CAAC-OS막에 포함되는 결정부들끼리의 경계는 명확하지 않다. 또한, TEM에 의하여 CAAC-OS막에는 명확한 입계(그레인 바운더리(grain boundary)라고도 함)는 확인되지 않는다. 그러므로, CAAC-OS막에서는 입계에 기인하는 전자 이동도의 저하가 억제된다.
- [0051] CAAC-OS막에 포함되는 결정부는 예를 들어, c축이 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 되도록 정렬되고, 또 ab면에 수직인 방향으로부터 보아 금속 원자가 삼각형 또는 육각형으로 배열되고, c축에 수직인 방향으로부터 보아 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한, 다른 결정부들간에서 각각 a축 및 b축의 방향이 달라도 좋다. 본 명세서에서 단순히 '수직'이라고 기재된 경우는 80° 이상 100° 이하, 바람직하게는 85° 이상 95° 이하의 범위도 그 범주에 포함되는 것으로 한다. 또한, 단순히 '평행'이라고 기재된 경우는 -10° 이상 10° 이하, 바람직하게는 -5° 이상 5° 이하의 범위도 그 범주에 포함되는 것으로 한다.
- [0052] 또한, CAAC-OS막에서 결정부의 분포가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 형성 과정에서 산화물 반도체막의 표면 측에서부터 결정을 성장시키는 경우에는, 피형성면 근방보다 표면 근방에서 결정부가 차지하는 비율이 높은 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가함으로써 상기 불순물 첨가 영역에서 결정부의 결정성이 저하되는 경우도 있다.
- [0053] CAAC-OS막에 포함되는 결정부의 c축은 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 되도록 정렬되기 때문에, CAAC-OS막의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 다른 방향을 향할 수 있다. 또한, 결정부는 성막하였을 때, 또는 성막 후에 가열 처리 등의 결정화 처리를 수행하였을 때 형성된다. 따라서, 결정부의 c축은 CAAC-OS막이 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 되도록 정렬된다.
- [0054] CAAC-OS막이 사용된 트랜지스터는 가시광이나 자외광의 조사로 인한 전기 특성의 변동이 작다. 따라서, 상기 트랜지스터는 신뢰성이 높다.
- [0055] 또한, 산화물 반도체막을 구성하는 산소의 일부는 질소로 치환되어도 좋다.
- [0056] 또한, CAAC-OS와 같이 결정부를 갖는 산화물 반도체에서는, 벌크 내 결함을 더 저감시킬 수 있고, 표면의 평탄성을 높이면 비정질 상태의 산화물 반도체 이상의 이동도를 얻을 수 있다. 표면의 평탄성을 높이기 위해서는 평탄한 표면 위에 산화물 반도체를 형성하는 것이 바람직하고, 구체적으로는 평균 면 거칠기(Ra)가 1nm 이하, 바람직하게는 0.3nm 이하, 더 바람직하게는 0.1nm 이하의 표면 위에 형성하는 것이 좋다.
- [0057] 또한, Ra는 JIS B 0601:2001(ISO4287:1997)로 정의된 산술 평균 거칠기를 곡면에 대하여 적용할 수 있도록 3차원으로 확장한 것이며, '기준면으로부터 지정면까지의 편차의 절대값을 평균한 값'으로 표현할 수 있고, 이하의 수학적 식 1로 정의된다.

[0058] [수학식 1]

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

[0059]

[0060]

여기서, 지정면이란, 거칠기 측정의 대상이 되는 면이며, 좌표 $(x_1, y_1, f(x_1, y_1))$ ,  $(x_1, y_2, f(x_1, y_2))$ ,  $(x_2, y_1, f(x_2, y_1))$ ,  $(x_2, y_2, f(x_2, y_2))$ 의 4점으로 연결된 사각형의 영역이고, 지정면을 xy 평면에 투영한 직사각형의 면적을  $S_0$ , 기준면의 높이(지정면의 평균의 높이)를  $Z_0$ 으로 한다. Ra는 원자간력 현미경(AFM: Atomic Force Microscope)으로 측정이 가능하다.

[0061]

다만, 본 실시형태에서 설명하는 트랜지스터(110)는 보텀 게이트형이기 때문에 산화물 반도체막(103) 하방에는 기판(100)과 게이트 전극(101)과 게이트 절연막(102)이 존재한다. 따라서, 상기 평탄한 표면을 얻기 위하여 게이트 전극(101) 및 게이트 절연막(102)을 형성한 후에 CMP 처리 등의 평탄화 처리를 수행하여도 좋다.

[0062]

그런데, 산화물 반도체막이 사용된 보텀 게이트 구조의 역 스테거형 트랜지스터에 있어서는 문턱 전압이 음이 되는 것과 그에 수반하는 트랜지스터의 노멀리-온화는 큰 문제이다.

[0063]

이와 같이 문턱 전압이 음이 되는 것의 한 요인으로서, 산화물 반도체막과 보호 절연막의 계면 근방에서의 전계 집중을 들 수 있다. 이것은, 산화물 반도체막 상면에 접하는 소스 전극 또는 드레인 전극의 측면 단부에 전계가 극단적으로 집중됨으로써 양의 전하를 갖는 가동 이온 등이 보호 절연막과 산화물 반도체막의 계면 근방에 끌리고, 상기 양의 전하에 산화물 반도체막 내의 음의 전하가 끌리게 되어 게이트 전압이 음이더라도 기생 채널이 형성되는 것에 기인하는 것으로 생각된다.

[0064]

그래서, 본 실시형태의 반도체 장치에서는 상술한 바와 같이 제 1 영역(103a) 내지 제 3 영역(103c)을 갖는 산화물 반도체막(103)을 사용함으로써 적어도 채널 형성 영역으로서 기능하는 제 2 영역(103b) 근방에서 전계 집중이 완화되는 것을 모델을 사용한 계산에 의하여 검증한 결과에 대하여 설명한다. 구체적으로는 도 1a 및 도 1b에 도시된 트랜지스터(110)와 같은 모델을 사용하여 게이트 바이어스 인가시의 드레인 전극 근방에서의 전위 분포를 계산하였다. 계산에는 Silvaco, Inc. 제의 시뮬레이션 소프트웨어(Atlas)를 사용하였다.

[0065]

여기서, 제 1 영역(103a) 내지 제 3 영역(103c)을 갖는 산화물 반도체막(103)을 트랜지스터에 사용함으로써 적어도 채널 형성 영역으로서 기능하는 제 2 영역(103b) 근방에서 전계 집중이 완화되는 것을 모델을 사용한 계산에 의하여 검증한 결과에 대하여 설명한다. 구체적으로는 도 1a 및 도 1b에 도시된 트랜지스터(110)와 같은 모델을 사용하여 게이트 바이어스 인가시의 드레인 전극 근방에서의 전위 분포를 계산하였다. 계산에는 Silvaco, Inc. 제의 시뮬레이션 소프트웨어(Atlas)를 사용하였다.

[0066]

도 11은 실제로 계산에 사용한 트랜지스터의 모델을 도시한 것이다. 또한, 도 11에 도시된 트랜지스터의 모델의 각 구성은 도 1a 및 도 1b의 트랜지스터(110)의 그것과 같은 부호를 사용하여 도시하였다.

[0067]

도 11에 도시된 트랜지스터의 모델은 게이트 전극(101) 위에 제공된 게이트 절연막(102)과; 게이트 절연막(102) 위에 제공되고 제 1 영역(103a) 내지 제 3 영역(103c)을 갖는 산화물 반도체막(103)과; 제 1 영역(103a) 위에 제공된 소스 전극(105a) 및 드레인 전극(105b)과; 제 2 영역(103b) 및 제 3 영역(103c) 위에 제공된 보호 절연막(108)을 갖는다.

[0068]

도 11에 도시된 트랜지스터의 모델의 각 구성의 조건을 이하에 기재한다. 게이트 전극(101)의 일함수는 5.0eV, 소스 전극(105a) 및 드레인 전극(105b)의 일함수는 4.6eV로 하였다. 게이트 절연막(102)의 막 두께는 250nm로 하였다. 산화물 반도체막(103)은 밴드 갭을 3.15eV, 전자 친화력을 4.6eV, 비유전율을 15, 전자 이동도를  $10\text{cm}^2/\text{Vs}$ , 도너 밀도를  $1 \times 10^{16}\text{cm}^{-3}$ 로 하였다. 보호 절연막(108)은 막 두께를 300nm로 하였다. 또한, 제 1 영역(103a)의 막 두께 T1을 35nm로 하고, 제 2 영역(103b)의 막 두께 T2를 10nm로 하고, 제 3 영역(103c)에 제공된 높이 차의 각  $\theta$ (도 4a 참조)는  $90^\circ$ 로 하였다. 또한, 제 2 영역(103b)의 채널 길이 방향의 길이 L2를  $3\mu\text{m}$ 로 하였다.

[0069]

상기에 있어서 제 1 영역(103a)과 제 2 영역(103b) 사이의 거리 L1을  $0\mu\text{m}$ ,  $0.2\mu\text{m}$ ,  $0.4\mu\text{m}$ ,  $0.6\mu\text{m}$ ,  $0.8\mu\text{m}$ ,  $1.0\mu\text{m}$ 로 설정하였다.

[0070]

각 모델에 있어서 게이트 전압 -30V, 드레인 전압 0V, 소스 전압 0V로 하여 전위 분포를 계산하고, 제 2 영역(103b)과 제 3 영역(103c)의 경계에 위치하는 점 A 및 점 B에서의 전계 강도를 계산하였다. 도 12는 각 모델의 점 A 및 점 B에서의 전계 강도의 계산 결과를 나타낸 것이다. 도 12에 나타낸 그래프는 가로 축이 거리 L1[ $\mu$

m]을 나타내고 세로 축이 전계 강도[V/cm]를 나타낸다.

- [0071] 도 12에 도시된 바와 같이, 제 1 영역(103a)과 제 2 영역(103b) 사이의 거리 L1이 길수록 점 A 및 점 B에서의 전계 강도가 완화되는 것을 확인할 수 있다. 특히 L1=0 μm, 즉 제 3 영역이 제공되지 않은 트랜지스터에 비하여 본 실시형태에 따른 L1이 0.2 μm 이상인 트랜지스터는 점 A에서의 전계 강도가 5분의 1 이하로, 점 B에서의 전계 강도가 2분의 1 이하로 저감되는 것을 알 수 있다.
- [0072] 여기서, L1이 0.2 μm일 때 채널 길이 L은 3.4 μm이 되기 때문에 제 1 영역(103a)과 제 2 영역(103b) 사이의 거리 L1이 채널 길이 L의 0.059배 이상이면 점 A 및 점 B에서의 전계를 충분히 완화시킬 수 있다고 할 수 있다. 점 A 및 점 B는 제 2 영역(103b)과 제 3 영역(103c)의 경계에 위치하므로 제 2 영역(103b) 근방에서도 전계는 충분히 완화된다고 할 수 있다.
- [0073] 상술한 바와 같이, 소스 전극(105a) 및 드레인 전극(105b)과 중첩되는 막 두께가 큰 한 쌍의 제 1 영역(103a)과, 상기 한 쌍의 제 1 영역(103a)에 끼워져 제공된 한 쌍의 제 3 영역(103c)과, 상기 한 쌍의 제 3 영역(103c)에 끼워져 제공되고 한 쌍의 제 1 영역(103a)보다 막 두께가 작은 제 2 영역(103b)을 갖는 산화물 반도체막(103)을 사용하여 트랜지스터를 형성함으로써 적어도 제 2 영역(103b) 근방에서 전계가 완화되는 것이 나타났다.
- [0074] 트랜지스터(110)에 있어서 제 2 영역(103b)은 채널 형성 영역 중앙에 위치하므로, 상기 영역에서의 전계 집중을 완화시켜 기생 채널의 형성을 억제함으로써 트랜지스터(110)의 문턱 전압이 음이 되는 것을 저감시킬 수 있다.
- [0075] 이와 같이 하여, 문턱 전압이 음이 되는 것이 저감되고 산화물 반도체막이 사용된 트랜지스터를 제공할 수 있다. 또한, 문턱 전압이 음이 되는 것이 저감되고 소위 노멀리-오프이며 산화물 반도체막이 사용된 트랜지스터를 제공할 수 있다. 또한, 상기 산화물 반도체막이 사용된 트랜지스터를 갖는 고품질 반도체 장치를 제공할 수 있다.
- [0076] 다음에, 도 1a 및 도 1b에 도시된 트랜지스터(110)의 제작 방법의 일례에 대하여 도 2a 내지 도 2c, 도 3a 및 도 3b에 도시된 단면도를 사용하여 설명한다.
- [0077] 우선, 절연 표면을 갖는 기판(100) 위에 도전막을 성막하고, 상기 도전막을 에칭하여 게이트 전극(101)(이것과 동일한 층으로 형성되는 배선을 포함함)을 형성한다. 도전막의 에칭은 드라이 에칭이어도 좋고 웨트 에칭이어도 좋으며 양쪽을 사용하여도 좋다.
- [0078] 절연 표면을 갖는 기판(100)으로서 사용하는 기판에 큰 제한은 없지만, 적어도 나중에 수행되는 가열 처리에 견딜 수 있을 정도의 내열성을 가질 필요가 있다. 예를 들어, 바륨 보로실리케이트 유리나 알루미늄 보로실리케이트 유리 등의 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 사용할 수 있다. 또한, 실리콘이나 탄소화 실리콘 등으로 이루어진 단결정 반도체 기판이나 다결정 반도체 기판, 실리콘 게르마늄 등으로 이루어진 화합물 반도체 기판, SOI 기판 등을 적용할 수도 있고, 이들 중 어느 기판 위에 반도체 소자가 제공된 것을 기판(100)으로서 사용하여도 좋다.
- [0079] 또한, 기판(100)으로서 가요성 기판을 사용하여 반도체 장치를 제작하여도 좋다. 가요성을 갖는 반도체 장치를 제작하기 위해서는 가요성 기판 위에 산화물 반도체막(103)을 포함한 트랜지스터(110)를 직접 제작하여도 좋고, 다른 제작 기판에 산화물 반도체막(103)을 포함한 트랜지스터(110)를 제작한 후에 제작 기판으로부터 박리하고 가요성 기판에 전치(轉置)하여도 좋다. 또한, 제작 기판으로부터 트랜지스터를 박리하고 가요성 기판에 전치하기 위하여, 제작 기판과 산화물 반도체막을 포함한 트랜지스터(110) 사이에 박리층을 제공하면 좋다.
- [0080] 게이트 전극(101)의 재료로서는 몰리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 크롬, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용할 수 있다. 또한, 게이트 전극(101)으로서 인 등의 불순물 원소가 도핑된 다결정 실리콘막으로 대표되는 반도체막, 니켈 실리사이드 등의 실리사이드막을 사용하여도 좋다. 게이트 전극(101)은 단층 구조로 하여도 좋고, 적층 구조로 하여도 좋다.
- [0081] 또한, 게이트 전극(101)의 재료에는 산화 인듐 산화 주석, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 산화 인듐 산화 아연, 산화 실리콘이 첨가된 인듐 주석 산화물 등의 도전성 재료를 적용할 수도 있다. 또한, 상기 도전성 재료와, 상기 금속 재료의 적층 구조로 할 수도 있다.
- [0082] 또한, 게이트 전극(101)으로서 질소를 포함한 금속 산화물막, 구체적으로는 질소를 포함한 In-Ga-Zn-O막이나, 질소를 포함한 In-Sn-O막이나, 질소를 포함한 In-Ga-O막이나, 질소를 포함한 In-Zn-O막이나, 질소를 포함한 Sn-

O막이나, 질소를 포함한 In-O막이나, 금속 질화막(InN, SnN 등)을 사용할 수 있다. 게이트 전극(101)이 적층 구조를 갖는 경우에는 특히 게이트 절연막(102)과 접하는 층에 사용하는 것이 바람직하다. 이들 막은 5eV(전자 볼트) 이상, 바람직하게는 5.5eV(전자 볼트) 이상의 일함수를 갖고, 게이트 전극으로서 사용한 경우에는 트랜지스터의 문턱 전압을 양 측에 가깝게 할 수 있어 노멀리-오프의 스위칭 소자를 실현할 수 있다.

- [0083] 또한, 기판(100) 위에 하지 절연막을 성막하고 그 위에 게이트 전극(101)을 형성하여도 좋다. 하지 절연막으로서 플라즈마 CVD법 또는 스퍼터링법 등에 의하여 산화 실리콘, 산화 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 산화 하프늄, 산화 갈륨 등의 절연성을 갖는 산화물, 질화 실리콘, 질화 산화 실리콘, 질화 알루미늄, 질화 산화 알루미늄 등의 절연성을 갖는 질화물, 또는 이들의 혼합 재료를 사용하여 형성할 수 있다. 또한, 본 명세서 등에 있어서 산화 질화 실리콘이란, 그 조성으로서 질소보다 산소의 함유량이 많은 것을 가리키고, 질화 산화 실리콘이란, 그 조성으로서 산소보다 질소의 함유량이 많은 것을 가리키는 것으로 한다.
- [0084] 다음에, 게이트 전극(101) 위에 게이트 절연막(102)을 형성한다.
- [0085] 게이트 절연막(102)은 스퍼터링법, MBE(Molecular Beam Epitaxy)법, CVD법, 펄스 레이저 퇴적법, ALD(Atomic Layer Deposition)법 등을 적절히 사용할 수 있다. 또한, 게이트 절연막(102)은 스퍼터링 타겟 표면에 대하여 대략 수직으로 복수의 기판 표면이 고정된 상태에서 성막하는 스퍼터링 장치를 사용하여 성막하여도 좋다.
- [0086] 게이트 절연막(102)은 산화 실리콘막, 산화 갈륨막, 산화 알루미늄막, 질화 실리콘막, 산화 질화 실리콘막, 산화 질화 알루미늄막, 질화 산화 실리콘막, 또는 Ga-Zn계 산화물막 등을 사용할 수 있다. 여기서, 게이트 절연막(102)은 단층 구조로 하여도 좋고 적층 구조로 하여도 좋다.
- [0087] 게이트 절연막(102)으로서 산화 갈륨막을 사용하는 경우에는 예를 들어, 유기 금속 기상 성장(MOCVD: Metal Organic Chemical Vapor Deposition)법을 사용하여 성막할 수 있다. 원료 가스로서는 트라이메틸갈륨 또는 트라이에틸갈륨 등을 사용할 수 있다. 이와 같이 MOCVD법을 사용함으로써 분말상 물질을 발생시키지 않고 산화 갈륨막을 성막할 수 있다.
- [0088] 예를 들어, 게이트 절연막(102)을 질화 실리콘막 위에 산화 갈륨막이 적층된 구조로 하면 좋다. 특히, 하지 절연막을 제공하지 않는 경우에는 이와 같이 게이트 절연막(102)으로서 질소를 많이 포함한 막을 제공함으로써 기판(100)으로부터 불순물이 확산되는 것을 방지할 수 있다. 특히, 기판(100)으로서 유리 기판을 사용하는 경우에는 수분이나 금속 원소 등의 불순물의 확산이 현저하므로, 이와 같이 게이트 절연막(102)으로서 질소를 많이 포함한 막을 제공하는 것이 적합하다. 또한, 게이트 전극(101)으로서 구리와 같이 확산성이 높은 금속 원소를 포함한 막을 사용하는 경우에, 이와 같이 게이트 절연막(102)으로서 질소를 많이 포함한 막을 제공함으로써, 상기 금속 원소를 차단할 수 있어 적합하다.
- [0089] 또한, 게이트 절연막(102)의 재료로서 산화 하프늄, 산화 이트륨, 하프늄 실리케이트( $\text{HfSi}_x\text{O}_y(x>0, y>0)$ ), 질소가 첨가된 하프늄 실리케이트( $\text{HfSi}_x\text{O}_y\text{N}_z(x>0, y>0)$ ), 하프늄 알루미늄이트( $\text{HfAl}_x\text{O}_y(x>0, y>0)$ ), 산화 탄탄 등의 high-k 재료를 사용함으로써 게이트 누설 전류를 저감시킬 수 있다.
- [0090] 또한, 게이트 절연막(102)은 산화물 반도체막(103)과 접하는 부분에서 산소를 포함하는 것이 바람직하다. 특히, 게이트 절연막(102)은 막 내(벌크 내)에 적어도 화학량론적 조성을 넘는 양의 산소가 존재하는 것이 바람직하다. 여기서, 게이트 절연막(102)에 산소를 도입하는 방법로서는 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법(plasma immersion ion implantation method), 플라즈마 처리 등을 사용할 수 있다.
- [0091] 산소의 공급원이 되는 산소를 많이(과잉으로) 포함한 게이트 절연막(102)을 산화물 반도체막(103)과 접하도록 제공함으로써, 상기 게이트 절연막(102)으로부터 산화물 반도체막(103)에 산소를 공급할 수 있다. 산화물 반도체막(103)에 게이트 절연막(102)의 적어도 일부가 접한 상태에서 가열 처리를 수행함으로써 산화물 반도체막(103)에 산소를 공급하는 것이 바람직하다.
- [0092] 산화물 반도체막(103)에 산소를 공급함으로써, 막 내의 산소 결손을 보전할 수 있다. 또한, 게이트 절연막(102)은 제작하고자 하는 트랜지스터의 크기나 게이트 절연막(102)의 단차 피복성을 고려하여 형성하는 것이 바람직하다.
- [0093] 다음에, 게이트 절연막(102) 위에 산화물 반도체막을 성막한다.
- [0094] 산화물 반도체막의 성막 공정에 있어서 산화물 반도체막에 수소 또는 물이 가능한 한 포함되지 않도록 하기 위하여, 산화물 반도체막의 성막 전처리로서 스퍼터링 장치의 예비 가열실에서 게이트 절연막(102)이 형성된 기판



을 예비 가열하여, 기판 및 게이트 절연막(102)에 흡착된 수소, 수분 등의 불순물을 탈리시켜 배기하는 것이 바람직하다. 또한, 예비 가열실에 제공하는 배기 수단은 크라이오 펌프(cryo pump)가 바람직하다.

- [0095] 게이트 절연막(102)에 있어서 후술하는 섬 형상 산화물 반도체막(103)이 접하여 형성되는 영역에, 평탄화 처리를 수행하여도 좋다. 평탄화 처리로서는 특별히 한정되지 않지만, 연마 처리(예를 들어, 화학적 기계적 연마법(Chemical Mechanical Polishing: CMP)), 드라이 에칭 처리, 플라즈마 처리를 사용할 수 있다.
- [0096] 플라즈마 처리로서는 예를 들어, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역 스퍼터링을 수행할 수 있다. 역 스퍼터링이란, 아르곤 분위기하에서 기판 측에 RF 전원을 사용하여 전압을 인가함으로써 기판 근방에 플라즈마를 형성하여 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨, 산소 분위기 등을 사용하여도 좋다. 역 스퍼터링을 수행하면, 게이트 절연막(102) 표면에 부착되어 있는 분말상 물질(파티클, 먼지라고도 함)을 제거할 수 있다.
- [0097] 평탄화 처리로서 연마 처리, 드라이 에칭 처리, 플라즈마 처리는 여러 번 수행하여도 좋고, 이들을 조합하여 수행하여도 좋다. 또한, 이들을 조합하여 수행하는 경우, 공정 순서는 특별히 한정되지 않고 게이트 절연막(102) 표면의 요철 상태에 맞추어 적절히 설정하면 좋다.
- [0098] 산화물 반도체막은 스퍼터링법, MBE법, CVD법, 펄스 레이저 퇴적법, ALD법 등을 적절히 사용하여 성막할 수 있다. 또한, 산화물 반도체막은 스퍼터링 타깃 표면에 대하여 대략 수직으로 복수의 기판 표면이 고정된 상태에서 성막하는 스퍼터링 장치를 사용하여 성막하여도 좋다.
- [0099] 산화물 반도체막은 막 두께가 20nm 이상 300nm 이하가 되도록 성막하는 것이 바람직하다.
- [0100] 또한, 산화물 반도체막은 성막시에 산소가 많이 포함되는 조건(예를 들어, 산소 100%의 분위기하에서 스퍼터링법으로 성막하는 등)으로 성막하여, 산소를 많이 포함하는(바람직하게는 산화물 반도체의 결정 상태에서의 화학량론적 조성에 대하여 산소의 함유량이 과잉인 영역을 포함하는) 막으로 하는 것이 바람직하다.
- [0101] 산화물 반도체막을 성막할 때 사용하는 스퍼터링 가스로서는 수소, 물, 수산기, 또는 수소화물 등의 불순물이 제거된 고순도 가스를 사용하는 것이 바람직하다.
- [0102] 감압 상태로 유지된 성막실 내에 기판을 유지한다. 그리고, 성막실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 상술한 산화물 반도체막(103)에 사용될 수 있는 재료를 포함한 타깃을 사용하여 게이트 절연막(102) 위에 산화물 반도체막을 성막한다. 성막실 내의 잔류 수분을 제거하기 위해서는 흡착형의 진공 펌프 예를 들어, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단으로서 터보 분자 펌프에 콜드 트랩(cold trap)을 제공한 것이어도 좋다. 크라이오 펌프를 사용하여 성막실을 배기하면 예를 들어, 수소 원자, 물(H<sub>2</sub>O) 등의 수소 원자를 포함한 화합물(더 바람직하게는, 탄소 원자를 포함한 화합물도) 등이 배기되므로, 상기 성막실에서 성막한 산화물 반도체막에 포함되는 불순물의 농도를 저감시킬 수 있다.
- [0103] 또한, 산화물 반도체막을 스퍼터링법으로 성막하는 경우, 성막에 사용하는 금속 산화물 타깃의 상대 밀도(충진율)는 90% 이상 100% 이하, 바람직하게는 95% 이상 100% 이하로 한다. 상대 밀도가 높은 금속 산화물 타깃을 사용함으로써, 성막된 산화물 반도체막은 치밀한 막이 된다.
- [0104] 또한, 기판(100)을 고온으로 유지한 상태에서 산화물 반도체막을 형성하는 것도 산화물 반도체막 내에 포함될 수 있는 불순물 농도를 저감시키는 데 유효적이다. 기판(100)을 가열하는 온도로서는 150℃ 이상 450℃ 이하로 하면 좋고 바람직하게는 200℃ 이상 350℃ 이하로 하면 좋다. 또한, 성막시에 기판을 고온으로 가열함으로써 결정성 산화물 반도체막을 형성할 수 있다.
- [0105] 또한, 게이트 절연막(102)을 대기에 개방시킴이 없이 게이트 절연막(102)과 산화물 반도체막을 연속적으로 형성하는 것이 바람직하다. 게이트 절연막(102)을 대기에 폭로시킴이 없이 게이트 절연막(102)과 산화물 반도체막을 연속적으로 형성하면 게이트 절연막(102) 표면에 수소나 수분 등 불순물이 흡착되는 것을 방지할 수 있다.
- [0106] 또한, 산화물 반도체막은 성막 직후에 있어서 화학량론적 조성보다 산소가 많은 과포화 상태인 것이 바람직하다. 예를 들어, 스퍼터링법으로 산화물 반도체막을 성막하는 경우, 성막 가스에서 산소가 차지하는 비율이 많은 조건으로 성막하는 것이 바람직하고 산소 분위기(산소 가스 100%)에서 성막하는 것이 특히 바람직하다. 성막 가스에서 산소가 차지하는 비율이 많은 조건, 특히 산소 가스 100%의 분위기에서 성막하면 예를 들어, 성막 온도를 300℃ 이상으로 하더라도 막 내에서 Zn이 방출되는 것을 억제할 수 있다.

- [0107] 산화물 반도체막으로서 CAAC-OS막을 적용하는 경우, 상기 CAAC-OS막을 얻는 방법으로서 세 가지 방법을 들 수 있다. 첫 번째 방법은 성막 온도를 200℃ 이상 450℃ 이하로 하여 산화물 반도체막을 성막하여, 표면에 대략 수직으로 c축을 배향시키는 방법이다. 두 번째 방법은 산화물 반도체막을 작은 막 두께로 성막한 후, 200℃ 이상 700℃ 이하의 가열 처리를 수행하여 표면에 대략 수직으로 c축을 배향시키는 방법이다. 세 번째 방법은 막 두께가 얇은 첫 번째 층을 성막한 후, 200℃ 이상 700℃ 이하의 가열 처리를 행하고, 두 번째 층을 성막하여 표면에 대략 수직으로 c축을 배향시키는 방법이다.
- [0108] 또한, 산화물 반도체막에, 과잉 수소(물이나 수산기를 포함함)를 제거(탈수화 또는 탈수소화)하기 위한 가열 처리를 수행하여도 좋다. 가열 처리의 온도는 300℃ 이상 700℃ 이하, 또는 기판의 변형점 미만으로 한다. 가열 처리는 감압하 또는 질소 분위기하 등에서 수행할 수 있다.
- [0109] 또한, 산화물 반도체막으로서 결정성 산화물 반도체막을 사용하는 경우, 결정화를 위한 가열 처리를 수행하여도 좋다.
- [0110] 본 실시형태에서는 가열 처리 장치의 하나인 전기로에 기판을 도입하여 산화물 반도체막에 대하여 질소 분위기 하에서 450℃로 1시간 동안 가열 처리를 수행하고, 질소 및 산소 분위기하에서 450℃로 1시간 동안의 가열 처리를 더 행한다.
- [0111] 또한, 가열 처리 장치는 전기로에 한정되지 않고 저항 발열체 등의 발열체에 의한 열 전도 또는 열 복사를 이용하여 피처리물을 가열하는 장치를 사용하여도 좋다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는 할로겐 램프, 메탈할라이드 램프, 크세논아크 램프, 카본아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 빛(전자기파)의 복사에 의하여 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 사용하여 가열 처리를 수행하는 장치이다. 고온의 가스로서는, 아르곤 등의 희가스, 또는 질소와 같은, 가열 처리에 의하여 피처리물과 반응하지 않는 불활성 가스가 사용된다.
- [0112] 예를 들어, 가열 처리로서 650℃ 내지 700℃의 고온으로 가열된 불활성 가스 중에 기판을 넣고, 몇 분 동안 가열한 후에 기판을 불활성 가스 중으로부터 꺼내는 GRTA를 수행하여도 좋다.
- [0113] 또한, 가열 처리에 있어서는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에 물, 수소 등이 포함되지 않은 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.
- [0114] 또한, 가열 처리로 산화물 반도체막을 가열한 후, 동일한 노(爐)에 고순도의 산소 가스, 고순도의 일산화 이질소 가스, 또는 초건조 에어(CRDS(캐비티 링 다운 레이저 분광법) 방식의 이슬점 측정기를 사용하여 측정된 경우의 수분량이 20ppm(이슬점 환산으로 -55℃) 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하의 공기를 도입하여도 좋다. 산소 가스 또는 일산화 이질소 가스에 물, 수소 등이 포함되지 않은 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 산소 가스 또는 일산화 이질소 가스의 순도를 6N 이상, 바람직하게는 7N 이상(즉, 산소 가스 또는 일산화 이질소 가스 중의 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다. 산소 가스 또는 일산화 이질소 가스의 작용에 의하여, 탈수화 또는 탈수소화 처리에 의한 불순물 배제 공정으로 동시에 감소되는 산화물 반도체를 구성하는 주성분 재료인 산소를 공급함으로써, 산화물 반도체막을 고순도화 및 i형(진성)화할 수 있다.
- [0115] 또한, 탈수화 또는 탈수소화를 위한 가열 처리는 막 형태의 산화물 반도체막을 성막한 후에 수행하여도 좋고, 후술하는 섬 형상의 산화물 반도체막(103)을 형성한 후에 수행하여도 좋다.
- [0116] 또한, 탈수화 또는 탈수소화를 위한 가열 처리는, 여러 번 수행하여도 좋고, 다른 가열 처리와 겸하여도 좋다.
- [0117] 탈수화 또는 탈수소화를 위한 가열 처리를 산화물 반도체막(103)으로서 섬 형상으로 가공되기 전에 막 형태의 산화물 반도체막이 게이트 절연막(102)을 덮은 상태에서 수행하면, 게이트 절연막(102)에 포함되는 산소가 가열 처리에 의하여 방출되는 것을 방지할 수 있어 바람직하다.
- [0118] 또한, 탈수화 또는 탈수소화 처리가 수행된 산화물 반도체막에 산소(적어도 산소 라디칼, 산소 원자, 산소 이온 중 어느 하나를 포함함)를 도입하여 막 내에 산소를 공급하여도 좋다. 여기서, 산화물 반도체막에 산소를 도입하는 방법으로서서는 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법, 플라즈마 처리 등을 사용할 수 있다.



- [0119] 산화물 반도체막에 산소를 도입하는 것은 탈수화 또는 탈수소화 처리를 수행한 후가 바람직하지만, 특별히 한정되지 않는다. 또한, 상기 탈수화 또는 탈수소화 처리가 수행된 산화물 반도체막에 산소를 여러 번 도입하여도 좋다.
- [0120] 바람직하게는, 트랜지스터에 제공되는 산화물 반도체막은 결정 상태의 산화물 반도체의 화학량론적 조성에 비하여 산소의 함유량이 과잉인 영역이 포함된 막으로 하면 좋다. 이 경우, 산소의 함유량을 산화물 반도체의 화학량론적 조성을 넘을 정도로 한다. 또는, 산소의 함유량을 산화물 반도체가 단결정인 경우의 산소의 양을 넘을 정도로 한다. 산화물 반도체의 격자간에 산소가 존재하는 경우도 있다.
- [0121] 상술한 바와 같이, 산화물 반도체막은 수소 등 불순물이 충분히 제거됨으로써, 또는 산소가 충분히 공급되어 산소 과포화 상태가 됨으로써 고순도화되는 것이 바람직하다. 구체적으로는, 산화물 반도체막의 수소 농도는  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 이하, 바람직하게는  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 더 바람직하게는  $5 \times 10^{17}$  atoms/cm<sup>3</sup> 이하로 한다.
- [0122] 수소 또는 수분을 산화물 반도체로부터 제거하고, 불순물이 가능한 한 포함되지 않도록 고순도화하고, 산소를 공급하여 산소 결손을 보전함으로써 i형(진성)의 산화물 반도체, 또는 i형(진성)에 매우 가까운 산화물 반도체로 할 수 있다. 이로써, 산화물 반도체의 페르미 준위(Ef)를 진성 페르미 준위(Ei)와 같은 수준까지 할 수 있다. 따라서, 상기 산화물 반도체막을 트랜지스터에 사용함으로써 산소 결손에 기인하는 트랜지스터의 문턱 전압(Vth)의 편차, 문턱 전압의 시프트( $\Delta V_{th}$ )를 저감시킬 수 있다.
- [0123] 다음에, 상기 산화물 반도체막을 포토리소그래피 공정에 의하여 섬 형상 산화물 반도체막(113)으로 가공하여 형성한다(도 2a 참조). 여기서, 섬 형상 산화물 반도체막(113)은 측면 단부를 테이퍼 형상으로 하여도 좋다. 테이퍼 각은 적절히 설정할 수 있다. 예를 들어, 테이퍼 각을 20° 이상 50° 이하로 할 수 있다. 또한, 테이퍼 각이란, 테이퍼 형상을 갖는 막(예를 들어, 산화물 반도체막(113))을 그 단면(기판 표면과 직교하는 면)에 수직인 방향으로부터 볼 때 상기 막의 측면과 저면, 또는 상기 막이 제공된 기판 면이 이루는 경사각을 말한다.
- [0124] 또한, 섬 형상 산화물 반도체막(113)을 형성하기 위한 레지스트마스크를 잉크젯법으로 형성하여도 좋다. 레지스트마스크를 잉크젯법으로 형성하는 경우에는 포토마스크를 사용하지 않으므로 제조 비용을 저감시킬 수 있다.
- [0125] 산화물 반도체막의 에칭은 드라이 에칭이어도 좋고 웨트 에칭이어도 좋으며 양쪽을 사용하여도 좋다. 예를 들어, 산화물 반도체막의 웨트 에칭에 사용하는 에칭액으로는 인산과 초산과 질산을 혼합한 용액 등을 사용할 수 있다. 또한, ITO-07N(KANTO CHEMICAL Co., Inc. 제)을 사용하여도 좋다. 또한, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법에 의한 드라이 에칭으로 에칭 가공하여도 좋다.
- [0126] 다음에, 게이트 전극(101), 게이트 절연막(102), 및 산화물 반도체막(113) 위에 소스 전극 및 드레인 전극(이와 동일한 층으로 형성되는 배선을 포함함)이 되는 도전막(115)을 성막한다.
- [0127] 소스 전극 및 드레인 전극으로서 사용하는 도전막(115)에는 나중의 가열 처리에 견딜 수 있는 재료를 사용한다. 예를 들어, 알루미늄(Al), 크롬(Cr), 구리(Cu), 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W) 중에서 선택된 원소를 포함한 금속막, 또는 상술한 원소를 성분으로 하는 금속 질화물막(질화 티타늄막, 질화 몰리브덴막, 질화 텅스텐막) 등을 사용할 수 있다. 또한, Al, Cu 등의 금속막의 하층 또는 상층의 한쪽 또는 양쪽 모두에 Ti, Mo, W 등의 고용점 금속막 또는 이들의 금속 질화물막(질화 티타늄막, 질화 몰리브덴막, 질화 텅스텐막)을 적층한 구성으로 하여도 좋다. 또한, 소스 전극 및 드레인 전극에 사용하는 도전막(115)은 도전성 금속 산화물로 형성하여도 좋다. 도전성 금속 산화물로서는 산화 인듐(In<sub>2</sub>O<sub>3</sub>), 산화 주석(SnO<sub>2</sub>), 산화 아연(ZnO), 산화 인듐 산화 주석(In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>, ITO라고 약기함), 산화 인듐 산화 아연(In<sub>2</sub>O<sub>3</sub>-ZnO), 또는 이들 금속 산화물 재료에 산화 실리콘을 포함시킨 것을 사용할 수 있다.
- [0128] 다음에, 도전막(115) 위에 포토리소그래피 공정으로 레지스트마스크(116a) 및 레지스트마스크(116b)를 형성한다(도 2b 참조).
- [0129] 레지스트마스크 형성시의 노광에는 자외선이나 KrF 레이저 광이나 ArF 레이저 광을 이용하면 좋다. 산화물 반도체막(103) 위에서 대향하는 소스 전극(105a)의 하단부와 드레인 전극(105b)의 하단부 사이의 간격 폭에 의하여 나중 형성되는 트랜지스터(110)의 채널 길이 L이 결정된다. 또한, 채널 길이 L=25nm 미만의 노광을 수행하는 경우에는, 수nm 내지 수십nm로 매우 파장이 짧은 극자외선(Extreme Ultraviolet)을 사용하여, 레지스트마스크 형성시의 노광을 수행하면 좋다. 극자외선에 의한 노광은 해상도가 높고 초점 심도도 크다. 따라서, 나중 형성되는 트랜지스터의 채널 길이 L을 10nm 이상 1000nm 이하로 하는 것도 가능하고, 회로의 동작을 고속

화할 수 있다.

- [0130] 다음에, 레지스트마스크(116a) 및 레지스트마스크(116b)를 사용하여 도전막(115)을 선택적으로 에칭하여, 소스 전극 및 드레인 전극에 사용하는 도전막(115a) 및 도전막(115b)을 형성한다(도 2c 참조). 이 때 산화물 반도체막(113)의 일부도 동시에 에칭되므로 중앙에 오목부가 형성된 산화물 반도체막(103)이 된다.
- [0131] 상기 에칭 공정은 드라이 에칭으로 수행하는 것이 바람직하고 예를 들어, 할로젠을 포함한 가스를 에칭 가스로서 사용할 수 있다. 예를 들어, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 사용할 수 있다. 원하는 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형 전극에 인가되는 전력량, 기판 측의 전극에 인가되는 전력량, 기판 측의 전극 온도 등)을 적절히 조절한다.
- [0132] 할로젠을 포함한 가스로서는, 염소를 포함한 가스, 예를 들어 염소( $Cl_2$ ), 삼염화 붕소( $BCl_3$ ), 사염화 실리콘( $SiCl_4$ ), 사염화 탄소( $CCl_4$ ) 등을 포함한 가스를 사용할 수 있다. 또는, 할로젠을 포함한 가스로서, 불소를 포함한 가스, 예를 들어 사불화 탄소( $CF_4$ ), 육불화 황( $SF_6$ ), 삼불화 질소( $NF_3$ ), 트라이플루오로메탄( $CHF_3$ ), 옥타플루오로사이클로부탄( $C_4F_8$ ) 등을 포함한 가스를 사용할 수 있다. 또한, 이들 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스가 첨가된 가스 등을 사용할 수 있다.
- [0133] 다음에, 도전막(115a) 및 도전막(115b)을 에칭하여, 측면 단부가 상기 산화물 반도체막(103)의 오목부와 중첩되지 않는 형상의 소스 전극(105a) 및 드레인 전극(105b)을 형성한다(도 3a 참조).
- [0134] 상기 에칭 공정은, 웨트 에칭으로 수행함으로써 도전막(115a) 및 도전막(115b)을 측면에서부터 에칭할 수 있어 도 2c에 도시된 공정으로 사용한 레지스트마스크(116a) 및 레지스트마스크(116b)를 그대로 이용하여 수행할 수 있다. 이 때 웨트 에칭에 사용하는 에천트는 산화물 반도체막(103)에 대한 도전막(115a) 및 도전막(115b)의 선택비가 충분히 높게 되도록 적절히 선택하면 좋다.
- [0135] 또한, 소스 전극(105a) 및 드레인 전극(105b)을 형성하기 위한 에칭은 반드시 웨트 에칭에 한정되는 것은 아니다. 예를 들어, 레지스트마스크(116a) 및 레지스트마스크(116b)를 제거하고 소스 전극(105a) 및 드레인 전극(105b)의 크기에 맞는 레지스트마스크를 새로 형성하여 드라이 에칭을 수행하여도 좋다. 또한, 레지스트마스크(116a) 및 레지스트마스크(116b)를 애싱(ashing)에 의하여 축소시키고 드라이 에칭을 수행하여도 좋다.
- [0136] 이와 같이, 측면 단부가 상기 산화물 반도체막(103)의 오목부와 중첩되지 않는 형상의 소스 전극(105a) 및 드레인 전극(105b)을 형성하고, 후술하는 보호 절연막(108)을 성막함으로써, 상기 소스 전극(105a) 및 드레인 전극(105b)과 중첩되고 막 두께가 큰 한 쌍의 제 1 영역(103a)과, 상기 한 쌍의 제 1 영역(103a)에 끼워져 제공된 한 쌍의 제 3 영역(103c)과, 상기 한 쌍의 제 3 영역(103c)에 끼워져 제공되고 한 쌍의 제 1 영역(103a)보다 막 두께가 작은 제 2 영역(103b)을 갖는 산화물 반도체막(103)을 형성할 수 있다.
- [0137] 산화물 반도체막(103)을 이와 같은 형상으로 함으로써 적어도 제 2 영역(103b) 근방에서 전계를 완화시켜 기생 채널의 형성을 억제할 수 있으므로, 트랜지스터(110)의 문턱 전압이 음이 되는 것을 저감시킬 수 있다.
- [0138] 다음에, 산화물 반도체막(103), 소스 전극(105a), 및 드레인 전극(105b)을 덮도록 보호 절연막(108)을 성막한다(도 3b 참조).
- [0139] 보호 절연막(108)은 CVD법, 스퍼터링법 등을 사용하여 성막할 수 있다. 보호 절연막(108)으로서 대표적으로는 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막, 산화 질화 알루미늄막, 산화 하프늄막, 산화 갈륨막, 질화 실리콘막, 질화 알루미늄막, 질화 산화 실리콘막, 질화 산화 알루미늄막, 또는 Ga-Zn계 산화물막 등의 무기 절연막을 단층 구조 또는 적층 구조로 사용할 수 있다.
- [0140] 보호 절연막(108)을 적층 구조로 하는 경우에는, 산화물 반도체막(103)과 접하는 하층 층을 산화 실리콘막, 산화 질화 실리콘막, 산화 하프늄막, 산화 갈륨막, 또는 Ga-Zn계 산화물막 등 산소를 포함한 절연막으로 하는 것이 바람직하다. 이와 같은 산소를 포함한 절연막을 사용함으로써 산화물 반도체막(103)에 산소를 공급할 수 있다.
- [0141] 또한, 이와 같은 산소를 포함한 절연막에 산소 첨가 처리를 수행하여 산소(적어도 산소 라디칼, 산소 원자, 산소 이온 중 어느 하나를 포함함)를 공급하여도 좋다. 산소 첨가 처리에는 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법, 플라즈마 처리 등을 사용할 수 있다. 또한, 이온 주입법에서는 가스 클러스터 이온 빔을 사용하여도 좋다. 산소 첨가 처리는 기판 전체 면에 대하여 한 번에 수행하여도 좋고, 선상(線狀)의 이온 빔 등

을 이동(스캔)시키면서 수행하여도 좋다.

- [0142] 또한, 보호 절연막(108)을 적층 구조로 하는 경우에는 상기 산소를 포함한 절연막 위에 산화 알루미늄막, 산화 질화 알루미늄막, 질화 알루미늄막, 질화 산화 알루미늄막, 질화 실리콘막, 질화 산화 실리콘막 등 치밀성이 높은 절연막을 제공하는 것이 바람직하다. 이와 같은 치밀성이 높은 절연막을 제공함으로써, 수소, 수분 등 불순물 등이 산화물 반도체막(103)에 혼입되는 것을 방지할 수 있다.
- [0143] 상술한 공정에 의하여 본 실시형태에 기재된 트랜지스터(110)가 제작된다(도 3b 참조).
- [0144] 또한, 트랜지스터(110)에 기인한 표면 요철을 저감시키기 위하여 평탄화 절연막(109)을 형성하여도 좋다. 평탄화 절연막(109)으로서는 폴리이미드 수지, 아크릴 수지, 벤조사이클로부텐계 수지 등의 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 외에 저유전율 재료(low-k 재료) 등을 사용할 수 있다. 또한, 이들 재료로 형성되는 절연막을 복수로 적층시켜 평탄화 절연막(109)을 형성하여도 좋다.
- [0145] 예를 들어, 평탄화 절연막(109)으로서 막 두께 1500nm의 아크릴 수지막을 형성하면 좋다. 아크릴 수지막은 도포법에 의하여 아크릴 수지를 도포한 후에 소성(예를 들어 질소 분위기하에서 250℃로 1시간 동안)하여 형성할 수 있다.
- [0146] 평탄화 절연막(109)을 형성한 후에 가열 처리를 수행하여도 좋다. 이와 같이 트랜지스터(110)를 형성한 후, 가열 처리를 수행하여도 좋다. 또한, 가열 처리는 여러 번 수행하여도 좋다.
- [0147] 상술한 바와 같이 하여, 문턱 전압이 음이 되는 것이 저감되고 산화물 반도체막이 사용된 트랜지스터를 제공할 수 있다. 또한, 문턱 전압이 음이 되는 것이 저감되고 소위 노멀리-오프이며 산화물 반도체막이 사용된 트랜지스터를 제공할 수 있다. 또한, 상기 산화물 반도체막이 사용된 트랜지스터를 갖는 고품질 반도체 장치를 제공할 수 있다.
- [0148] 또한, 도 1a 및 도 1b에 도시된 트랜지스터(110)에서는 제 3 영역(103c)에서의 산화물 반도체막(103) 측면에 경사가 거의 제공되어 있지 않지만 본 실시형태는 이에 한정되는 것은 아니다. 예를 들어, 도 3a에 도시된 제작 공정에서의 산화물 반도체막(103)에 대한 도전막(115a) 및 도전막(115b)의 웨트 에칭 선택비에 따라서는 도 4a에 도시된 바와 같이 제 3 영역(103c)에서의 산화물 반도체막(103)은 테이퍼 형상부를 가질 수도 있다.
- [0149] 여기서, 도 4a에 도시된 테이퍼 각  $\theta$ 는 예를 들어, 30° 이상 60° 이하가 바람직하고, 테이퍼 각을 이와 같은 각도로 함으로써 산화물 반도체막(103)에 대한 보호 절연막(108)의 피복성을 향상시킬 수 있고 보호 절연막(108)으로부터 산화물 반도체막(103)으로의 산소 공급 능력의 향상을 도모할 수 있다. 산화물 반도체막(103) 측면 단부가 테이퍼 형상을 갖는 경우, 테이퍼 각  $\theta$ 은 산화물 반도체막(103) 측면 단부의 테이퍼 각보다 크게 할 수 있다.
- [0150] 또한, 제 3 영역(103c)에 형성되는 테이퍼 형상부는 반드시 도 4a에 도시된 바와 같은 직선 형상이 아니라도 좋다. 예를 들어, 곡률 중심이 기관(100) 측이 되는 곡면이 형성되어 있어도 좋고 곡률 중심이 보호 절연막(108) 측이 되는 곡면이 형성되어 있어도 좋다.
- [0151] 또한, 산화물 반도체막(103)은 소스 전극(105a) 및 드레인 전극(105b)과 중첩되는 제 1 영역(103a)과, 상기 제 1 영역(103a)에서의 최대 막 두께보다 작고 대략 균일한 막 두께를 갖는 제 2 영역(103b)에 끼워진 제 3 영역(103c)에 있어서 곡면을 갖고 있어도 좋고, 상기 제 3 영역(103c)에서의 최대 막 두께는 상기 제 2 영역(103b)에서의 막 두께보다 커도 좋다.
- [0152] 예를 들어, 도 4b에 도시된 바와 같이, 제 3 영역(103c)의 제 2 영역(103b) 측에는 직선 형상의 테이퍼 형상부가 형성되고, 제 3 영역(103c)의 제 1 영역(103a) 측에는 곡률 중심이 기관(100) 측이 되는 곡면을 갖는 테이퍼 형상부가 형성되는 구성으로 하여도 좋다.
- [0153] 또한, 도 4c에 도시된 바와 같이, 곡률 중심이 보호 절연막(108) 측이 되는 곡면을 갖는 테이퍼 형상부가 계단 형태로 형성되는 구성으로 하여도 좋다.
- [0154] 본 실시형태에 기재된 구성, 방법 등은 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0155] (실시형태 2)
- [0156] 실시형태 1에 기재된 트랜지스터를 사용하여 표시 기능을 갖는 반도체 장치(표시 장치라고도 함)를 제작할 수

있다. 또한, 트랜지스터를 포함한 구동 회로의 일부 또는 전체를 화소부와 동일한 기판 위에 일체로 형성하여 시스템 온 패널을 형성할 수 있다.

- [0157] 도 5a에 있어서 제 1 기판(4001) 위의 화소부(4002)는 화소부(4002)를 둘러싸는 실재(4005), 제 1 기판(4001), 및 제 2 기판(4006)에 의하여 밀봉되어 있다. 도 5a에서는 제 1 기판(4001) 위에 있어서 실재(4005)로 둘러싸인 영역과는 다른 영역에, 별도로 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 주사선 구동 회로(4004), 신호선 구동 회로(4003)가 실장되어 있다. 또한, 별도로 형성된 신호선 구동 회로(4003)와 주사선 구동 회로(4004), 또는 화소부(4002)에 공급되는 각종 신호 및 전위는 FPC(flexible printed circuit)(4018a), FPC(4018b)로부터 공급된다.
- [0158] 도 5b 및 도 5c에 있어서 제 1 기판(4001) 위에 제공된 화소부(4002)와 주사선 구동 회로(4004)를 둘러싸도록 실재(4005)가 제공되어 있다. 또한, 화소부(4002)와 주사선 구동 회로(4004) 위에 제 2 기판(4006)이 제공되어 있다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는 제 1 기판(4001)과 실재(4005)와 제 2 기판(4006)에 의하여 표시 소자와 함께 밀봉되어 있다. 도 5b 및 도 5c에서는 제 1 기판(4001) 위의 실재(4005)로 둘러싸인 영역과는 다른 영역에, 별도로 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장되어 있다. 도 5b 및 도 5c에 있어서, 별도로 형성된 신호선 구동 회로(4003)와 주사선 구동 회로(4004), 또는 화소부(4002)에 공급되는 각종 신호 및 전위는 FPC(4018)로부터 공급된다.
- [0159] 또한, 도 5b 및 도 5c는 신호선 구동 회로(4003)를 별도로 형성하고 제 1 기판(4001)에 실장하는 예를 도시한 것이지만, 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도로 형성하여 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도로 형성하여 실장하여도 좋다.
- [0160] 또한, 별도로 형성한 구동 회로의 접속 방법은 특별히 한정되지 않고, COG(Chip On Glass) 방법, 와이어 본딩 방법, 또는 TAB(Tape Automated Bonding) 방법 등을 사용할 수 있다. 도 5a는 COG 방법으로 신호선 구동 회로(4003), 주사선 구동 회로(4004)를 실장하는 예를 도시한 것이고, 도 5b는 COG 방법으로 신호선 구동 회로(4003)를 실장하는 예를 도시한 것이고, 도 5c는 TAB 방법으로 신호선 구동 회로(4003)를 실장하는 예를 도시한 것이다.
- [0161] 또한, 표시 장치는 표시 소자가 밀봉된 상태의 패널과, 상기 패널에 컨트롤러를 포함하는 IC 등이 실장된 상태의 모듈을 그 범주에 포함한다.
- [0162] 또한, 본 명세서에서 표시 장치란, 화상 표시 디바이스, 표시 디바이스, 또는 광원(조명 장치를 포함함)을 말한다. 또한, 커넥터, 예를 들어 FPC 또는 TCP가 장착된 모듈, TCP 끝에 프린트 배선판이 제공된 모듈, 또는 표시 소자에 COG 방식으로 IC(집적 회로)가 직접 실장된 모듈도 모두 표시 장치의 범주에 포함하는 것으로 한다.
- [0163] 또한, 제 1 기판 위에 제공된 화소부 및 주사선 구동 회로는 트랜지스터를 복수로 갖고, 이 트랜지스터들로서 실시형태 1에 기재된 트랜지스터가 적용될 수 있다.
- [0164] 표시 장치에 제공되는 표시 소자로서는 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함)를 사용할 수 있다. 발광 소자는 전류 또는 전압에 의하여 회도가 제어되는 소자를 그 범주에 포함하고, 구체적으로는 무기 EL(Electro Luminescence) 소자, 유기 EL 소자 등이 그 범주에 포함된다. 또한, 전자 잉크 등, 전기적 작용에 의하여 콘트라스트가 변화되는 표시 매체를 적용할 수도 있다.
- [0165] 또한, 반도체 장치의 일 형태에 대하여 도 5a 내지 도 7b를 사용하여 설명한다. 또한, 도 7a 및 도 7b는 도 5b를 선 M-N에서 절단한 단면도에 상당한다.
- [0166] 도 5a 내지 도 5c, 도 7a 및 도 7b에 도시된 바와 같이, 반도체 장치는 접속 단자 전극(4015) 및 단자 전극(4016)을 갖고, 접속 단자 전극(4015)과 단자 전극(4016)은 이방성 도전막(4019)을 통하여 FPC(4018)가 갖는 단자와 전기적으로 접속되어 있다.
- [0167] 접속 단자 전극(4015)은 제 1 전극(4030)과 동일한 도전막으로 형성되고, 단자 전극(4016)은 트랜지스터(4010), 트랜지스터(4011)의 소스 전극 및 드레인 전극과 동일한 도전막으로 형성되어 있다.
- [0168] 또한 제 1 기판(4001) 위에 제공된 화소부(4002)와 주사선 구동 회로(4004)는 트랜지스터를 복수로 갖고 있으며, 도 7a 및 도 7b에서는 화소부(4002)에 포함된 트랜지스터(4010)와, 주사선 구동 회로(4004)에 포함된 트랜지스터(4011)를 예로서 도시하였다. 도 7a에서 트랜지스터(4010), 트랜지스터(4011) 위에는 제 1 보호 절연막(4020) 및 제 2 보호 절연막(4021)이 제공되고, 도 7b에서는 제 2 보호 절연막(4021) 위에 절연막(4022)이



더 제공되어 있다.

- [0169] 트랜지스터(4010), 트랜지스터(4011)로서는, 실시형태 1에 기재된 트랜지스터를 적용할 수 있다. 본 실시형태에서는 실시형태 1에 기재된 트랜지스터(110)와 같은 구조를 갖는 트랜지스터를 적용하는 예를 나타낸다. 트랜지스터(4010), 트랜지스터(4011)는 보텀 게이트 구조의 역 스테거형 트랜지스터이다.
- [0170] 실시형태 1에 기재된 트랜지스터(110)와 같은 제작 방법으로 얻어지고 같은 구조를 갖는 트랜지스터(4010), 트랜지스터(4011)는 문턱 전압이 음이 되는 것이 저감된다.
- [0171] 그래서, 본 실시형태에서 도 5a 내지 도 5c, 도 7a 및 도 7b에 도시된 반도체 장치를, 산화물 반도체막이 사용된 노멀리-오프의 트랜지스터(4010), 트랜지스터(4011)를 포함한 신뢰성이 높은 반도체 장치로서 제공할 수 있다.
- [0172] 또한, 구동 회로용의 트랜지스터(4011)의 산화물 반도체막의 채널 형성 영역과 중첩되는 위치에 도전층을 더 제공하여도 좋다. 도전층을 산화물 반도체막의 채널 형성 영역과 중첩되는 위치에 제공함으로써, 바이어스-열 스트레스 시험(BT 시험) 전후에 있어서의 트랜지스터(4011)의 문턱 전압의 변화량을 더 저감시킬 수 있다. 또한, 도전층의 전위는 트랜지스터(4011)의 게이트 전극의 전위와 동일하여도 좋고 달라도 좋다. 상기 도전층은 제 2 게이트 전극으로서 기능시킬 수도 있다. 또한, 도전층의 전위가 GND, 0V, 또는 플로팅 상태이어도 좋다.
- [0173] 또한, 상기 도전층은 외부의 전기장을 차폐하는 기능, 즉 외부의 전기장이 내부(트랜지스터를 포함하는 회로부)에 작용하지 않도록 하는 기능(특히 정전기에 대한 정전 차폐 기능)도 갖는다. 도전층의 차폐 기능에 의하여, 정전기 등 외부의 전기장의 영향을 받아 트랜지스터의 전기적 특성이 변동되는 것을 방지할 수 있다.
- [0174] 화소부(4002)에 제공된 트랜지스터(4010)는 표시 소자와 전기적으로 접속되어, 표시 패널을 구성한다. 표시 소자는 표시를 수행할 수 있으면 특별히 한정되지 않고 다양한 표시 소자를 사용할 수 있다.
- [0175] 도 7a는 표시 소자로서 액정 소자가 사용된 액정 표시 장치의 예를 도시한 것이다. 도 7a에 있어서 표시 소자인 액정 소자(4013)는 제 1 전극(4030), 제 2 전극(4031), 및 액정층(4008)을 포함한다. 또한, 배향막으로서 기능하는 절연막(4032) 및 절연막(4033)이 액정층(4008)을 사이에 끼워 제공된다. 제 2 전극(4031)은 제 2 기판(4006) 측에 제공되고, 제 1 전극(4030)과 제 2 전극(4031)이 액정층(4008)을 개재(介在)하여 적층되는 구성이다.
- [0176] 또한 스페이서(4035)는 절연막을 선택적으로 에칭하여 얻어지는 기둥 형상의 스페이서이며 액정층(4008)의 막 두께(셀 갭)를 제어하기 위하여 제공되어 있다. 또한 구(球)상 스페이서를 사용하여도 좋다.
- [0177] 표시 소자로서 액정 소자를 사용하는 경우에는 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 이들 액정 재료(액정 조성물)는 조건에 따라 콜레스테릭(cholesteric)상, 스멕틱상, 큐빅상, 키랄 네마틱상, 등방상 등을 나타낸다.
- [0178] 또한, 배향막을 필요로 하지 않는 블루상을 발현하는 액정 조성물을 액정층(4008)에 사용하여도 좋다. 이 경우, 액정층(4008)과, 제 1 전극(4030) 및 제 2 전극(4031)이 접하는 구조로 한다. 블루상은 액정상의 하나이며 콜레스테릭 액정을 계속적으로 승온시킬 때 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현하는 상이다. 블루상은, 액정과 키랄제를 혼합시킨 액정 조성물을 사용하여 발현시킬 수 있다. 또한, 블루상이 발현되는 온도 범위를 넓히기 위하여, 블루상을 발현하는 액정 조성물에 중합성 모노머 및 중합 개시제 등을 첨가하여 고분자 안정화시키는 처리를 수행하여 액정층을 형성할 수도 있다. 블루상을 발현하는 액정 조성물은 응답 속도가 빠르고 광학적 등방성을 갖기 때문에 배향 처리가 불필요하며 시야각 의존성이 작다. 또한, 배향막을 제공할 필요가 없어 러빙 처리도 불필요하게 되기 때문에 러빙 처리로 인한 정전 파괴를 방지할 수 있고, 제작 공정 중에 생기는 액정 표시 장치의 불량이나 파손을 경감시킬 수 있다. 따라서, 액정 표시 장치의 생산성을 향상시킬 수 있게 된다. 산화물 반도체막이 사용된 트랜지스터는 정전기의 영향으로 인하여 트랜지스터의 전기적 특성이 현저히 변동되어 설계 범위를 벗어날 우려가 있다. 따라서, 산화물 반도체막이 사용된 트랜지스터를 갖는 액정 표시 장치에 블루상을 발현하는 액정 조성물을 사용하는 것은 보다 효과적이다.
- [0179] 또한, 액정 재료의 고유 저항은  $1 \times 10^9 \Omega \cdot \text{cm}$  이상이고, 바람직하게는  $1 \times 10^{11} \Omega \cdot \text{cm}$  이상, 더욱 바람직하게는  $1 \times 10^{12} \Omega \cdot \text{cm}$  이상이다. 또한, 본 명세서에 있어서의 고유 저항의 값은 20℃에서 측정된 값이다.
- [0180] 액정 표시 장치에 제공되는 유지 용량의 크기는 화소부에 배치되는 트랜지스터의 누설 전류 등을 고려하여 소정의 기간 동안 전하가 유지될 수 있도록 설정된다. 유지 용량의 크기는 트랜지스터의 오프 전류 등을 고려하여

설정하면 좋다.

- [0181] 본 명세서에 개시된 산화물 반도체막이 사용된 트랜지스터는 오프 상태에 있어서의 전류값(오프 전류값)을 낮게 제어할 수 있다. 따라서, 화상 신호 등 전기 신호의 유지 시간을 길게 할 수 있고 전원 온 상태에서는 기록 간격도 길게 설정할 수 있다. 그러므로, 리프레시 동작의 빈도를 줄일 수 있어 소비 전력을 억제하는 효과가 나타난다.
- [0182] 또한, 본 명세서에 개시된 산화물 반도체막이 사용된 트랜지스터에서는 비교적 높은 전계 효과 이동도가 얻어지기 때문에 고속 구동이 가능하다. 예를 들어, 이와 같은 고속 구동이 가능한 트랜지스터를 액정 표시 장치에 사용함으로써, 화소부의 스위칭 트랜지스터와, 구동 회로부에 사용되는 드라이버 트랜지스터를 동일한 기판 위에 형성할 수 있다. 즉, 실리콘 웨이퍼 등으로 별도로 형성된 반도체 장치를 구동 회로로서 사용할 필요가 없기 때문에 반도체 장치의 부품 점수를 삭감시킬 수 있다. 또한, 화소부에도 고속 구동이 가능한 트랜지스터를 사용함으로써 고화질 화상을 제공할 수 있다.
- [0183] 액정 표시 장치에는 TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 사용할 수 있다.
- [0184] 또한, 노멀리-블랙(normally black)형 액정 표시 장치, 예를 들어 수직 배향(VA) 모드를 채용한 투과형 액정 표시 장치로 하여도 좋다. 수직 배향 모드로서는, 몇 개의 예를 들 수 있지만 예를 들어, MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드 등을 사용할 수 있다. 또한, VA형 액정 표시 장치에도 적용할 수 있다. VA형 액정 표시 장치란, 액정 표시 패널의 액정 분자의 배열을 제어하는 방식의 일종이다. VA형 액정 표시 장치는, 전압이 인가되지 않을 때 액정 분자가 패널 면에 대하여 수직 방향을 향하는 방식이다. 또한, 화소(픽셀)를 몇 개의 영역(서브 픽셀)으로 나누고 각각 다른 방향으로 분자가 배향되도록 궁리된 멀티 도메인화 또는 멀티 도메인 설계라고 불리는 방법을 사용할 수 있다.
- [0185] 또한, 표시 장치에 블랙 매트릭스(차광층), 편광부재, 위상차부재, 반사 방지부재 등 광학 부재(광학 기판) 등을 적절히 제공한다. 예를 들어, 편광 기판 및 위상차 기판에 의한 원 편광을 이용하여도 좋다. 또한, 광원으로서는 백 라이트, 사이드 라이트 등을 사용하여도 좋다.
- [0186] 또한, 화소부에서의 표시 방식은 프로그레시브 방식이나 인터레이스 방식 등을 사용할 수 있다. 또한, 컬러 표시하는 데 화소에서 제어하는 색 요소는 RGB(R은 적색, G는 녹색, B는 청색임)의 세 가지 색에 한정되지 않는다. 예를 들어, RGBW(W는 백색임), 또는 RGB에 옐로(yellow)(황색), 시안(cyan), 마젠타(magenta) 등을 하나 이상 추가한 것을 들 수 있다. 또한, 색 요소의 도트마다 그 표시 영역의 크기가 달라도 좋다. 다만, 개시된 발명은 컬러 표시하는 표시 장치에 한정되지 않고 흑백 표시하는 표시 장치에 적용될 수도 있다.
- [0187] 또한, 표시 장치에 포함되는 표시 소자로서 일렉트로루미네선스를 이용한 발광 소자를 적용할 수 있다. 일렉트로루미네선스를 이용한 발광 소자는 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 구별되고, 일반적으로는 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 불린다.
- [0188] 유기 EL 소자는 발광 소자에 전압을 인가함으로써 한 쌍의 전극으로부터 전자 및 정공이 발광성 유기 화합물을 포함한 층에 각각 주입되어 전류가 흐른다. 그리고, 이들 캐리어(전자 및 정공)가 재결합함으로써 발광성 유기 화합물이 여기 상태를 형성하고 그 여기 상태가 기저 상태로 되돌아올 때 발광한다. 이러한 메커니즘 때문에, 이와 같은 발광 소자는 전류 여기형 발광 소자라고 불린다. 본 실시형태에서는 발광 소자로서 유기 EL 소자를 사용한 예를 기재한다.
- [0189] 무기 EL 소자는 그 소자 구성에 따라 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자가 바인더 내에 분산된 발광층을 갖고, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층들 사이에 끼우고, 그것을 전극들 사이에 끼운 구조를 갖고 발광 메커니즘은 금속 이온의 내각(內殼) 전자 전이(轉移)를 이용하는 국재(局在)형 발광이다. 또한, 여기서는 발광 소자로서 유기 EL 소자를 사용하여 설명한다.
- [0190] 발광 소자는 발광을 추출하기 위하여 적어도 한 쌍의 전극 중 한쪽이 투광성을 가지면 좋다. 기판 위에 트랜지스터 및 발광 소자를 형성한다. 발광 소자의 구조에는 기판과는 반대 측의 면으로부터 발광을 추출하는 전면 발광(top emission)이나, 기판 측의 면으로부터 발광을 추출하는 배면 발광(bottom emission)이나, 기판 측의



면 및 기판과는 반대 측의 면 양쪽으로부터 발광을 추출하는 양면 발광(dual emission) 구조의 발광 소자가 있지만, 어느 구조의 발광 소자로 할 수도 있다.

- [0191] 도 6a, 도 6b, 및 도 7b에 표시 소자로서 발광 소자가 사용된 발광 장치의 예를 도시하였다.
- [0192] 도 6a는 발광 장치의 평면도를 도시한 것이고, 도 6a를 일점 쇄선 V1-W1, V2-W2, 및 V3-W3에서 절단한 단면이 도 6b에 상당한다. 또한, 도 6a의 평면도에서는 전계 발광층(542) 및 제 2 전극(543) 등을 생략하여 도시하였다.
- [0193] 도 6a 및 도 6b에 도시된 발광 장치는 기판(500) 위에 트랜지스터(510)와, 용량 소자(520)와, 배선층 교차부(530)를 갖고, 트랜지스터(510)는 발광 소자(540)와 전기적으로 접속되어 있다. 또한, 도 6a 및 도 6b는 발광 소자(540)로부터의 빛이 기판(500)을 통과하여 추출되는 배면 발광 구조를 갖는 발광 장치이다.
- [0194] 트랜지스터(510)로서는, 실시형태 1에 기재된 트랜지스터를 적용할 수 있다. 본 실시형태에서는 실시형태 1에 기재된 트랜지스터(110)와 같은 구조를 갖는 트랜지스터를 적용하는 예를 나타낸다. 트랜지스터(510)는 보텀 게이트 구조의 역 스테거형 트랜지스터이다.
- [0195] 트랜지스터(510)는 게이트 전극(511a)과, 게이트 전극(511b)과, 게이트 절연막(502)과, 산화물 반도체막(512)과, 소스 전극 또는 드레인 전극으로서 기능하는 도전층(513a), 도전층(513b)을 포함한다.
- [0196] 실시형태 1에 기재된 트랜지스터(110)와 같은 제작 방법으로 얻어지고 같은 구조를 갖는 트랜지스터(510)는 문턱 전압이 음이 되는 것이 저감된다.
- [0197] 그래서, 본 실시형태에서 도 6a 및 도 6b에 도시된 반도체 장치를, 산화물 반도체막이 사용된 노멀리-오프의 트랜지스터(510)를 포함한 고품질 반도체 장치로서 제공할 수 있다.
- [0198] 용량 소자(520)는 도전층(521a) 및 도전층(521b)과, 게이트 절연막(502)과, 산화물 반도체막(522)과, 도전층(523)을 포함하고, 게이트 절연막(502) 및 산화물 반도체막(522)을 도전층(521a) 및 도전층(521b)과 도전층(523)과의 사이에 끼우는 구성으로 함으로써 용량을 형성한다. 또한, 도 6a 및 도 6b에 도시된 바와 같이 트랜지스터(510)의 채널 폭 방향에 있어서 도전층(521a), 도전층(521b), 및 도전층(523)의 단부가 산화물 반도체막(522)의 단부보다 내측에 위치하는 구성으로 하여도 좋다.
- [0199] 배선층 교차부(530)는 게이트 전극(511a) 및 게이트 전극(511b)과 도전층(533)과의 교차부이며, 게이트 전극(511a) 및 게이트 전극(511b)과 도전층(533)은 게이트 절연막(502) 및 절연층(553)을 사이에 개재하여 교차한다. 본 실시형태에 기재된 구조를 가지면, 배선층 교차부(530)는 게이트 전극(511a) 및 게이트 전극(511b)과 도전층(533)과의 사이에 게이트 절연막(502)뿐만 아니라 절연층(553)도 배치할 수 있어, 게이트 전극(511a) 및 게이트 전극(511b)과 도전층(533)과의 사이에 생기는 기생 용량을 저감시킬 수 있다.
- [0200] 본 실시형태에서는 게이트 전극(511a) 및 도전층(521a)으로서 막 두께 30nm의 티타늄막을 사용하고, 게이트 전극(511b) 및 도전층(521b)으로서 막 두께 200nm의 구리 박막을 사용한다. 따라서, 게이트 전극은 티타늄막과 구리 박막의 적층 구조를 갖는다.
- [0201] 산화물 반도체막(512) 및 산화물 반도체막(522)으로서는 막 두께 25nm의 IGZO막을 사용한다.
- [0202] 트랜지스터(510), 용량 소자(520), 및 배선층 교차부(530) 위에는 제 1 보호 절연막(514) 및 제 2 보호 절연막(515)이 형성되고, 제 1 보호 절연막(514) 및 제 2 보호 절연막(515) 위에서 발광 소자(540)와 중첩되는 영역에 컬러 필터층(505)이 제공되어 있다. 제 1 보호 절연막(514), 제 2 보호 절연막(515), 및 컬러 필터층(505) 위에는 평탄화 절연막으로서 기능하는 절연막(506)이 제공되어 있다.
- [0203] 절연막(506) 위에 제 1 전극(541), 전계 발광층(542), 제 2 전극(543)이 차례로 적층된 적층 구조를 포함한 발광 소자(540)가 제공되어 있다. 도전층(513a)에까지 이르는 절연막(506), 제 1 보호 절연막(514), 및 제 2 보호 절연막(515)에 형성된 개구에 있어서 제 1 전극(541)과 도전층(513a)이 접함으로써 발광 소자(540)와 트랜지스터(510)는 전기적으로 접속되어 있다. 또한, 제 1 전극(541)의 일부 및 상기 개구를 덮도록 격벽(507)이 제공되어 있다.
- [0204] 예를 들어, 제 1 보호 절연막(514)으로서는 플라즈마 CVD법으로 형성된 막 두께 200nm 이상 600nm 이하의 산화 질화 실리콘막을 사용할 수 있다. 또한, 제 2 보호 절연막(515)으로서는 스퍼터링법으로 형성된 산화 알루미늄막을 사용할 수 있다. 또한, 절연막(506)으로서는 막 두께 1500nm의 감광성 아크릴막, 격벽(507)에는 막 두께 1500nm의 감광성 폴리이미드막을 사용할 수 있다.

- [0205] 컬러 필터층(505)으로서는 예를 들어, 유채색의 투광성 수지를 사용할 수 있다. 유채색의 투광성 수지로서는 감광성, 비감광성의 유기 수지를 사용할 수 있지만, 감광성 유기 수지층을 사용하면 레지스트마스크의 개수를 삭감할 수 있어 공정이 간략화되므로 바람직하다.
- [0206] 유채색이란, 흑색, 회색, 백색 등의 무채색을 제외한 색들을 말하며, 컬러 필터층은 착색된 유채색의 빛만을 투과시키는 재료로 형성된다. 유채색으로서는, 적색, 녹색, 청색 등을 사용할 수 있다. 또한, 시안, 마젠타, 옐로 등을 사용하여도 좋다. 착색된 유채색의 빛만을 투과시킨다는 것은, 컬러 필터층에서의 투과광이 그 유채색의 빛의 파장에 피크를 가짐을 말한다. 컬러 필터층의 막 두께는 포함시키는 착색 재료의 농도와 빛의 투과율의 관계를 고려하여, 최적으로 적절히 제어하면 좋다. 예를 들어, 컬러 필터층(505)의 막 두께는 1500nm 이상 2000nm 이하로 하면 좋다.
- [0207] 도 7b에 도시된 발광 장치에서는 표시 소자인 발광 소자(4513)는 화소부(4002)에 제공된 트랜지스터(4010)와 전기적으로 접속되어 있다. 또한, 발광 소자(4513)의 구성은 제 1 전극(4030)과 전계 발광층(4511)과 제 2 전극(4031)의 적층 구조이지만, 도면에 도시된 구성에 한정되는 것은 아니다. 발광 소자(4513)로부터 추출하는 빛의 방향 등에 맞추어 발광 소자(4513)의 구성을 적절히 바꿀 수 있다.
- [0208] 격벽(4510) 및 격벽(507)은 유기 절연 재료, 또는 무기 절연 재료를 사용하여 형성한다. 특히 감광성 수지 재료를 사용하여 격벽을 형성하는 것이 바람직하고, 제 1 전극(4030) 및 제 1 전극(541) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속된 곡률을 갖는 경사면이 되도록 형성하는 것이 바람직하다.
- [0209] 전계 발광층(4511) 및 전계 발광층(542)은 단일 층으로 구성되어도 좋고, 복수의 층이 적층되어 구성되어도 좋다.
- [0210] 발광 소자(4513) 및 발광 소자(540)에 산소, 수소, 수분, 이산화탄소 등이 침입되지 않도록 제 2 전극(4031), 제 2 전극(543), 격벽(4510), 및 격벽(507) 위에 보호막을 형성하여도 좋다. 보호막으로서는, 질화 실리콘막, 질화 산화 실리콘막, DLC막 등을 형성할 수 있다.
- [0211] 또한, 발광 소자(4513) 및 발광 소자(540)에 산소, 수소, 수분, 이산화탄소 등이 침입되지 않게 하기 위하여, 발광 소자(4513) 및 발광 소자(540)를 덮는 유기 화합물을 포함한 층을 증착법으로 형성하여도 좋다.
- [0212] 또한, 제 1 기판(4001), 제 2 기판(4006), 및 실재(4005)로 밀봉된 공간은 충전재(4514)가 제공되고 밀봉되어 있다. 이와 같이 외기에 폭로되지 않도록 기밀성이 높고 탈가스가 적은 보호 필름(접합 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(봉입)하는 것이 바람직하다.
- [0213] 충전재(4514)로서는 질소나 아르곤 등의 불활성 기체 외에, 자외선 경화 수지 또는 열 경화 수지를 사용할 수 있고, PVC(폴리비닐클로라이드), 아크릴 수지, 폴리이미드 수지, 에폭시 수지, 실리콘(silicone) 수지, PVB(폴리비닐부티랄), 또는 EVA(에틸렌 비닐 아세테이트)를 사용할 수 있다. 예를 들어, 충전재로서 질소를 사용하면 좋다.
- [0214] 또한, 필요에 따라 발광 소자의 사출면에 편광판, 또는 원형 편광판(타원 편광판을 포함함), 위상차판( $\lambda/4$  파장판,  $\lambda/2$  파장판), 컬러 필터 등의 광학 필름을 적절히 제공하여도 좋다. 또한, 편광판 또는 원형 편광판에 반사 방지막을 제공하여도 좋다. 예를 들어, 표면의 요철에 의하여 반사광을 확산시켜 반사를 저감시킬 수 있게 하는 눈부심 방지(anti-glare) 처리를 실시할 수 있다.
- [0215] 또한, 표시 장치로서 전자 잉크를 구동시키는 전자 종이를 제공하는 것도 가능하다. 전자 종이는 전기 영동 표시 장치(전기 영동 디스플레이)라고도 불리며, 종이와 같이 읽기 쉽다는 장점, 다른 표시 장치에 비하여 소비 전력이 낮고, 얇고 가벼운 형상으로 할 수 있다는 장점을 갖는다.
- [0216] 전기 영동 표시 장치로서는 다양한 형태를 생각할 수 있지만, 양의 전하를 갖는 제 1 입자와, 음의 전하를 갖는 제 2 입자를 포함한 마이크로 캡슐이 용매 또는 용질에 복수 분산된 것이며, 마이크로 캡슐에 전계를 인가함으로써 마이크로 캡슐 내의 입자를 서로 반대 방향으로 이동시켜 한쪽에 집합한 입자의 색만을 표시하는 것이다. 또한, 제 1 입자 또는 제 2 입자는 염료를 포함하고, 전계가 없이는 이동하지 않는다. 또한, 제 1 입자의 색과 제 2 입자의 색은 다른 것(무색을 포함함)으로 한다.
- [0217] 이와 같이, 전기 영동 표시 장치는 유전 상수가 높은 물질이 높은 전계 영역으로 이동하는, 소위 유전 영동적 효과를 이용한 디스플레이이다.
- [0218] 상기 마이크로 캡슐을 용매 내에 분산시킨 것이 전자 잉크라고 불리는 것이며, 이 전자 잉크는 유리, 플라스틱,

직물, 종이 등의 표면에 인쇄될 수 있다. 또한, 컬러 필터나 색소를 갖는 입자를 사용함으로써 컬러 표시도 가능하다.

- [0219] 또한, 마이크로 캡슐 내의 제 1 입자 및 제 2 입자는 도전체 재료, 절연체 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 전계 발광 재료(electroluminescent material), 일렉트로크로믹 재료, 자기 영동 재료 중에서 선택된 하나의 재료, 또는 이들의 복합 재료를 사용하면 좋다.
- [0220] 또한, 트위스트 볼 표시 방식을 이용한 표시 장치도 전자 종이로서 사용할 수 있다. 트위스트 볼 표시 방법이란, 백색과 흑색으로 구분하여 채색된 구형 입자들을 표시 소자에 사용되는 제 1 전극과 제 2 전극 사이에 배치하고, 제 1 전극 및 제 2 전극에 전위차를 발생시켜 구형 입자들의 방향을 제어함으로써 표시하는 방식을 말한다.
- [0221] 또한, 도 5a 내지 도 7b에서 제 1 기판(4001), 제 1 기판(500), 및 제 2 기판(4006)으로서는 유리 기판 외에, 가요성을 갖는 기판을 사용할 수도 있고 예를 들어, 투광성을 갖는 플라스틱 기판 등을 사용할 수 있다. 플라스틱으로서는 FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐플루오라이드) 필름, 폴리에스테르 필름, 또는 아크릴 수지 필름을 사용할 수 있다. 또한, 투광성이 필요하지 않으면, 알루미늄이나 스테인리스 등의 금속 기판(금속 필름)을 사용하여도 좋다. 예를 들어, 알루미늄 포일을 PVF 필름이나 폴리에스테르 필름 사이에 끼운 구조의 시트를 사용할 수도 있다.
- [0222] 본 실시형태에서는 제 1 보호 절연막(4020)으로서 플라즈마 CVD법으로 형성된 산화 질화 실리콘막을, 제 2 보호 절연막(4021)으로서 스퍼터링법으로 형성된 산화 알루미늄막을 사용한다.
- [0223] 산화물 반도체막 위에 제 2 보호 절연막(4021)으로서 제공된 산화 알루미늄막은 수소나 수분 등의 불순물과 산소의 양쪽 모두에 대하여 막을 투과시키지 않는 차단 효과(블록 효과)가 높다.
- [0224] 따라서, 산화 알루미늄막은 제작 공정 중 및 제작 후에 있어서 특성의 변동 요인이 되는 수소, 수분 등의 불순물이 산화물 반도체막에 혼입되는 것, 및 산화물 반도체를 구성하는 주성분 재료인 산소가 산화물 반도체막으로부터 방출되는 것을 방지하는 보호막으로서 기능한다.
- [0225] 또한, 평탄화 절연막으로서 기능하는 절연막(4022), 절연막(506)으로서는 아크릴 수지, 폴리이미드 수지, 벤조사이클로부텐계 수지, 폴리이미드 수지, 에폭시 수지 등 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 외에 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 사용할 수 있다. 또한, 이들 재료로 형성되는 절연막을 복수로 적층시켜 절연막을 형성하여도 좋다.
- [0226] 절연막(4022), 절연막(506)의 형성 방법은 특별히 한정되지 않고, 그 재료에 따라 스퍼터링법, SOG법, 스핀 코팅, 딥, 스프레이 도포, 액적 토출법(잉크젯법 등), 인쇄법(스크린 인쇄, 오프셋 인쇄 등) 등의 방법, 닥터 나이프, 롤코터, 커튼 코터, 나이프 코터 등의 도구(설비)를 사용할 수 있다.
- [0227] 표시 장치는 광원 또는 표시 소자로부터의 빛을 투과시켜 표시를 행한다. 따라서, 빛이 투과하는 화소부에 제공되는 기판, 절연막, 도전막 등의 박막은 모두 가시광의 파장 영역의 빛에 대한 투광성을 갖도록 한다.
- [0228] 표시 소자에 전압을 인가하는 제 1 전극 및 제 2 전극(화소 전극, 공통 전극, 대향 전극 등이라고도 함)에 있어서는, 추출하는 빛의 방향, 전극이 제공되는 장소, 및 전극의 패턴 구조에 따라 투광성, 반사성을 선택하면 좋다.
- [0229] 제 1 전극(4030), 제 1 전극(541), 제 2 전극(4031), 제 2 전극(543)은 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 함), 인듐 아연 산화물, 산화 실리콘이 첨가된 인듐 주석 산화물, 그래핀 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.
- [0230] 또한, 제 1 전극(4030), 제 1 전극(541), 제 2 전극(4031), 제 2 전극(543)은 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오븀(Nb), 탄탈(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag) 등의 금속, 또는 그 합금, 또는 그 금속 질화물 중에서 하나 또는 복수 종류를 사용하여 형성할 수 있다.
- [0231] 본 실시형태에서 도 6a 및 도 6b에 도시된 발광 장치는 배면 발광형이기 때문에 제 1 전극(541)은 투광성, 제 2 전극(543)은 반사성을 갖는다. 따라서, 제 1 전극(541)에 금속막을 사용하는 경우에는 투광성을 유지할 수 있

을 정도로 막 두께를 작게 하고, 제 2 전극(543)에 투광성을 갖는 도전막을 사용하는 경우에는 반사성을 갖는 도전막을 적층하면 좋다.

- [0232] 또한, 제 1 전극(4030), 제 1 전극(541), 제 2 전극(4031), 제 2 전극(543)을, 도전성 고분자(도전성 중합체라고도 함)를 포함한 도전성 조성물을 사용하여 형성할 수 있다. 도전성 고분자로서는, 소위  $\pi$  전자 공액계 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 아닐린, 피롤, 및 티오펜 중 2종류 이상으로 이루어진 공중합체 또는 그 유도체 등을 들 수 있다.
- [0233] 또한, 트랜지스터는 정전기 등에 의하여 파괴되기 쉽기 때문에 구동 회로를 보호하기 위한 보호 회로를 제공하는 것이 바람직하다. 보호 회로는 비선형 소자를 사용하여 구성하는 것이 바람직하다.
- [0234] 상술한 바와 같이 실시형태 1에 기재된 트랜지스터를 적용함으로써 다양한 기능을 갖는 반도체 장치를 제공할 수 있다.
- [0235] 본 실시형태에 기재된 구성, 방법 등은 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0236] (실시형태 3)
- [0237] 실시형태 1에 기재된 트랜지스터를 사용하여 대상물의 정보를 관독하는 이미지 센서 기능을 갖는 반도체 장치를 제작할 수 있다.
- [0238] 도 8a는 이미지 센서 기능을 갖는 반도체 장치의 일례를 도시한 것이다. 도 8a는 포토센서의 등가 회로를 도시한 것이고 도 8b는 포토센서의 일부를 도시한 단면도이다.
- [0239] 포토다이오드(602)는 한쪽 전극이 포토다이오드 리셋 신호선(658)에 전기적으로 접속되고, 다른 쪽 전극이 트랜지스터(640)의 게이트에 전기적으로 접속되어 있다. 트랜지스터(640)는 소스 및 드레인 중 한쪽이 포토센서 기준 신호선(672)에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 트랜지스터(656)의 소스 및 드레인 중 한쪽에 전기적으로 접속되어 있다. 트랜지스터(656)는 게이트가 게이트 신호선(659)에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 포토센서 출력 신호선(671)에 전기적으로 접속되어 있다.
- [0240] 또한, 본 명세서에 있어서, 회로도에서 산화물 반도체막이 사용된 트랜지스터와 다른 트랜지스터를 명확하게 판별할 수 있도록, 산화물 반도체막이 사용된 트랜지스터의 기호에는 'OS'라고 기재하였다. 도 8a에서 트랜지스터(640) 및 트랜지스터(656)에는 실시형태 1에 기재된 트랜지스터가 적용될 수 있고 이들은 산화물 반도체막이 사용된 트랜지스터이다. 본 실시형태에서는 실시형태 1에 기재된 트랜지스터(110)와 같은 구조를 갖는 트랜지스터를 적용하는 예를 나타낸다.
- [0241] 도 8b는 포토센서에 있어서의 포토다이오드(602) 및 트랜지스터(640)를 도시한 단면도이고, 절연 표면을 갖는 기판(601)(TFT 기판) 위에 센서로서 기능하는 포토다이오드(602) 및 트랜지스터(640)가 제공되어 있다. 포토다이오드(602) 및 트랜지스터(640) 위에는 접착층(608)을 사용하여 기판(613)이 제공되어 있다.
- [0242] 트랜지스터(640) 위에는 제 1 보호 절연막(631), 제 2 보호 절연막(632), 층간 절연막(633), 층간 절연막(634)이 제공되어 있다. 포토다이오드(602)는 층간 절연막(633) 위에 제공되고, 층간 절연막(633) 위에 형성된 전극(641a) 및 전극(641b)과, 층간 절연막(634) 위에 제공된 전극(642)과의 사이에, 층간 절연막(633) 측에서부터 차례로 제 1 반도체막(606a), 제 2 반도체막(606b), 및 제 3 반도체막(606c)이 적층된 구조를 갖는다.
- [0243] 전극(641b)은 층간 절연막(634)에 형성된 도전층(643)과 전기적으로 접속되고, 전극(642)은 전극(641a)을 통하여 도전층(645)과 전기적으로 접속되어 있다. 도전층(645)은 트랜지스터(640)의 게이트 전극과 전기적으로 접속되고, 포토다이오드(602)는 트랜지스터(640)와 전기적으로 접속되어 있다.
- [0244] 여기서는, 제 1 반도체막(606a)으로서 p형 도전형을 갖는 반도체막과, 제 2 반도체막(606b)으로서 고저항 반도체막(i형 반도체막), 제 3 반도체막(606c)으로서 n형 도전형을 갖는 반도체막을 적층한 pin형 포토다이오드를 예로서 제시하였다.
- [0245] 제 1 반도체막(606a)은 p형 반도체막이며, p형을 부여하는 불순물 원소를 포함한 비정질 실리콘막으로 형성할 수 있다. 제 1 반도체막(606a)은 제 13족의 불순물 원소(예를 들어 붕소(B))를 포함한 반도체 재료 가스를 사용하여 플라즈마 CVD법으로 형성한다. 반도체 재료 가스로서는 실란( $\text{SiH}_4$ )을 사용하면 좋다. 또는,  $\text{Si}_2\text{H}_6$ ,



SiH<sub>2</sub>Cl<sub>2</sub>, SiHCl<sub>3</sub>, SiCl<sub>4</sub>, SiF<sub>4</sub> 등을 사용하여도 좋다. 또한, 불순물 원소를 포함하지 않은 비정질 실리콘막을 형성한 후에 확산법이나 이온 주입법으로 상기 비정질 실리콘막에 불순물 원소를 도입하여도 좋다. 이온 주입법 등에 의하여 불순물 원소를 도입한 후에 가열 등을 수행함으로써 불순물 원소를 확산시키면 좋다. 이 때 비정질 실리콘막을 형성하는 방법으로서, LPCVD법, 기상 성장법, 또는 스퍼터링법 등을 사용하면 좋다. 제 1 반도체막(606a)의 두께는 10nm 이상 50nm 이하가 되도록 형성하는 것이 바람직하다.

[0246] 제 2 반도체막(606b)은 i형 반도체막(진성 반도체막)이며, 비정질 실리콘막으로 형성한다. 제 2 반도체막(606b)으로서는 반도체 재료 가스를 사용하여 비정질 실리콘막을 플라즈마 CVD법으로 형성한다. 반도체 재료 가스로서는 실란(SiH<sub>4</sub>)을 사용하면 좋다. 또는, Si<sub>2</sub>H<sub>6</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, SiHCl<sub>3</sub>, SiCl<sub>4</sub>, SiF<sub>4</sub> 등을 사용하여도 좋다. 제 2 반도체막(606b)은 LPCVD법, 기상 성장법, 스퍼터링법 등으로 형성하여도 좋다. 제 2 반도체막(606b)의 두께는 200nm 이상 1000nm 이하가 되도록 형성하는 것이 바람직하다.

[0247] 제 3 반도체막(606c)은 n형 반도체막이며, n형을 부여하는 불순물 원소를 포함한 비정질 실리콘막으로 형성한다. 제 3 반도체막(606c)은 제 15족의 불순물 원소(예를 들어 인(P))를 포함한 반도체 재료 가스를 사용하여 플라즈마 CVD법으로 형성한다. 반도체 재료 가스로서는 실란(SiH<sub>4</sub>)을 사용하면 좋다. 또는, Si<sub>2</sub>H<sub>6</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, SiHCl<sub>3</sub>, SiCl<sub>4</sub>, SiF<sub>4</sub> 등을 사용하여도 좋다. 또한, 불순물 원소를 포함하지 않은 비정질 실리콘막을 형성한 후에 확산법이나 이온 주입법으로 상기 비정질 실리콘막에 불순물 원소를 도입하여도 좋다. 이온 주입법 등에 의하여 불순물 원소를 도입한 후에 가열 등을 수행함으로써 불순물 원소를 확산시키면 좋다. 이 때 비정질 실리콘막을 형성하는 방법으로서, LPCVD법, 기상 성장법, 또는 스퍼터링법 등을 사용하면 좋다. 제 3 반도체막(606c)의 두께는 20nm 이상 200nm 이하가 되도록 형성하는 것이 바람직하다.

[0248] 또한, 제 1 반도체막(606a), 제 2 반도체막(606b), 및 제 3 반도체막(606c)은 비정질 반도체가 아니라 다결정 반도체를 사용하여 형성하여도 좋고, 미결정(Semi Amorphous Semiconductor: SAS) 반도체를 사용하여 형성하여도 좋다.

[0249] 또한, 광전 효과에 의하여 발생된 정공의 이동도는 전자의 이동도에 비하여 작기 때문에 pin형 포토다이오드는 p형 반도체막 측을 수광면으로 하는 쪽이 더 좋은 특성을 나타낸다. 여기서는, pin형 포토다이오드가 형성된 기판(601)의 면으로부터 포토다이오드(602)가 받는 빛을 전기 신호로 변환하는 예를 기재한다. 또한, 수광면으로 한 반도체막 측과는 반대의 도전형을 갖는 반도체막 측으로부터의 빛은 외란광이 되기 때문에, 전극에는 차광성을 갖는 도전막을 사용하면 좋다. 또한, n형 반도체막 측을 수광면으로서 사용할 수도 있다.

[0250] 제 1 보호 절연막(631), 제 2 보호 절연막(632), 층간 절연막(633), 층간 절연막(634)은 절연성 재료를 사용하여 그 재료에 따라 스퍼터링법, 플라즈마 CVD법, SOG법, 스핀 코팅, 딥, 스프레이 도포, 액적 토출법(잉크젯법 등), 인쇄법(스크린 인쇄, 오프셋 인쇄 등) 등을 사용하여 형성할 수 있다.

[0251] 제 1 보호 절연막(631), 제 2 보호 절연막(632)은 무기 절연 재료를 사용하여 형성할 수 있고 예를 들어, 산화 실리콘층, 산화 질화 실리콘층, 산화 알루미늄층, 또는 산화 질화 알루미늄층 등의 산화물 절연막이나, 질화 실리콘층, 질화 산화 실리콘층, 질화 알루미늄층, 또는 질화 산화 알루미늄층 등의 질화물 절연막을 단층 구조로 또는 적층 구조로 하여 사용할 수 있다.

[0252] 본 실시형태에서는 제 1 보호 절연막(631)으로서 플라즈마 CVD법으로 형성된 산화 질화 실리콘막을, 제 2 보호 절연막(632)으로서 스퍼터링법으로 형성된 산화 알루미늄막을 사용한다.

[0253] 산화물 반도체막 위에 제 2 보호 절연막(632)으로서 제공된 산화 알루미늄막은 수소나 수분 등의 불순물과 산소의 양쪽 모두에 대하여 막을 투과시키지 않는 차단 효과(블록 효과)가 높다.

[0254] 따라서, 산화 알루미늄막은 제작 공정 중 및 제작 후에 있어서 트랜지스터의 전기 특성의 변동 요인이 되는 수소, 수분 등의 불순물이 산화물 반도체막에 혼입되는 것, 및 산화물 반도체를 구성하는 주성분 재료인 산소가 산화물 반도체막으로부터 방출되는 것을 방지하는 보호막으로서 기능한다.

[0255] 층간 절연막(633) 및 층간 절연막(634)으로서는 표면 요철을 저감시키기 위하여 평탄화 절연막으로서 기능하는 절연막을 사용하는 것이 바람직하다. 층간 절연막(633) 및 층간 절연막(634)으로서는 예를 들어, 폴리이미드 수지, 아크릴 수지, 벤조사이클로부텐계 수지, 폴리이미드 수지, 에폭시 수지 등 내열성을 갖는 유기 절연 재료를 사용할 수 있다. 또한, 상기 유기 절연 재료 외에 저유전율 재료(low-k 재료), 실록산계 수지, PSG, BPSG 등을 단층 구조 또는 적층 구조로 하여 사용할 수 있다.

- [0256] 포토다이오드(602)에 입사하는 빛을 검출함으로써 검출 대상물의 정보를 판독할 수 있다. 또한, 검출 대상물의 정보를 검출하는 데 백 라이트 등 광원을 이용할 수 있다.
- [0257] 실시형태 1에 기재된 트랜지스터(110)와 같은 제작 방법으로 얻어지고 같은 구조를 갖는 트랜지스터(640)는 문턱 전압이 음이 되는 것이 저감된다.
- [0258] 따라서, 본 실시형태에서 도 8a 및 도 8b에 도시된 반도체 장치를, 산화물 반도체막이 사용된 노멀리-오프의 트랜지스터(640)를 포함한 고품질 반도체 장치로서 제공할 수 있다. 또한, 이와 같은 신뢰성이 높은 반도체 장치를 수율 좋게 제작하여 고생산성화를 달성할 수 있다.
- [0259] 본 실시형태에 기재된 구성, 방법 등은 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0260] (실시형태 4)
- [0261] 본 명세서에 개시된 반도체 장치는 다양한 전자 기기(게임기도 포함함)에 적용될 수 있다. 전자 기기로서는, 텔레비전 장치(텔레비전 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 액자, 휴대 전화기, 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 게임기(파친코기, 슬롯 머신 등), 게임 콘솔을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 9a 내지 도 9c에 도시하였다.
- [0262] 도 9a는 표시부를 갖는 테이블(9000)을 도시한 것이다. 테이블(9000)은 하우징(9001)에 표시부(9003)가 제공되어 있으며 표시부(9003)에 의하여 영상 표시가 가능하다. 또한, 4개의 다리부(9002)에 의하여 하우징(9001)이 지지된 구성을 도시하였다. 또한, 전력을 공급하기 위한 전원 코드(9005)를 하우징(9001)에 갖는다.
- [0263] 실시형태 1 내지 실시형태 3에 기재된 반도체 장치는 표시부(9003)에 사용될 수 있고, 전자 기기에 높은 신뢰성을 부여할 수 있다.
- [0264] 표시부(9003)는 터치 입력 기능을 갖고 있으며, 테이블(9000)의 표시부(9003)에 표시된 표시 버튼(9004)을 손가락 등으로 터치함으로써 화면 조작이나, 정보 입력이 가능하다. 또한, 다른 가전 제품과의 통신을 가능하게 함으로써 화면 조작에 의하여 다른 가전 제품을 제어하는 제어 장치로 하여도 좋다. 예를 들어, 실시형태 3에 기재된 이미지 센서 기능을 갖는 반도체 장치를 사용하면 표시부(9003)에 터치 입력 기능을 갖게 할 수 있다.
- [0265] 또한, 하우징(9001)에 제공된 힌지에 의하여 표시부(9003)의 화면을 바닥에 대하여 수직으로 세울 수도 있어, 텔레비전 장치로서도 이용할 수 있다. 좁은 방에서는 화면이 큰 텔레비전 장치를 설치하면 자유 공간이 좁아지지만, 테이블에 표시부가 제공되어 있음으로써 방의 공간을 유효하게 이용할 수 있다.
- [0266] 도 9b는 텔레비전 장치(9100)를 도시한 것이다. 텔레비전 장치(9100)는 하우징(9101)에 표시부(9103)가 제공되어 있으며 표시부(9103)에 의하여 영상 표시가 가능하다. 또한, 여기서는 스탠드(9105)에 의하여 하우징(9101)이 지지된 구성을 도시하였다.
- [0267] 텔레비전 장치(9100)는 하우징(9101)이 구비한 조작 스위치나, 별체의 리모트 컨트롤러(9110)에 의하여 조작할 수 있다. 리모트 컨트롤러(9110)가 구비한 조작 키(9109)에 의하여 채널이나 음량을 조작할 수 있고, 표시부(9103)에 표시되는 영상을 조작할 수 있다. 또한, 리모트 컨트롤러(9110)에 상기 리모트 컨트롤러(9110)로부터 출력되는 정보를 표시하는 표시부(9107)를 제공하는 구성으로 하여도 좋다.
- [0268] 도 9b에 도시된 텔레비전 장치(9100)는 수신기나 모뎀 등을 구비한다. 텔레비전 장치(9100)는 수신기에 의하여 일반 텔레비전 방송을 수신할 수 있고, 또 모뎀을 통하여 유선 또는 무선으로 통신 네트워크에 접속함으로써 단방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자들끼리 등)의 정보 통신도 가능하다.
- [0269] 실시형태 1 내지 실시형태 3에 기재된 반도체 장치는 표시부(9103) 및 표시부(9107)에 사용될 수 있고, 텔레비전 장치 및 리모트 컨트롤러에 높은 신뢰성을 부여할 수 있다.
- [0270] 도 9c에 도시된 컴퓨터는 본체(9201), 하우징(9202), 표시부(9203), 키보드(9204), 외부 접속 포트(9205), 포인팅 디바이스(9206) 등을 포함한다.
- [0271] 실시형태 1 내지 실시형태 3에 기재된 반도체 장치는 표시부(9203)에 사용될 수 있고, 컴퓨터에 높은 신뢰성을 부여할 수 있다.
- [0272] 도 10a 및 도 10b는 반으로 접을 수 있는 태블릿형 단말을 도시한 것이다. 도 10a는 펼친 상태를 도시한 것이고, 태블릿형 단말은 하우징(9630), 표시부(9631a), 표시부(9631b), 표시 모드 전환 스위치(9034), 전원 스위치



(9035), 전력 절약 모드 전환 스위치(9036), 여밈부(9033), 조작 스위치(9038)를 갖는다.

- [0273] 실시형태 1 내지 실시형태 3에 기재된 반도체 장치는 표시부(9631a), 표시부(9631b)에 사용될 수 있고, 태블릿형 단말에 높은 신뢰성을 부여할 수 있다.
- [0274] 표시부(9631a)는 일부를 터치 패널의 영역(9632a)으로 할 수 있으며 표시된 조작 키(9638)를 터치함으로써 데이터를 입력할 수 있다. 또한, 도면에서는 일례로서 표시부(9631a)의 절반 영역이 표시만 하는 기능을 갖고 나머지 절반 영역이 터치 패널 기능을 갖는 구성을 나타내었지만, 이 구성에 한정되지 않는다. 표시부(9631a)의 모든 영역이 터치 패널 기능을 갖는 구성으로 하여도 좋다. 예를 들어, 표시부(9631a)의 전체 면에 키보드 버튼을 표시시켜 터치 패널로 하고 표시부(9631b)를 표시 화면으로서 사용할 수 있다.
- [0275] 또한, 표시부(9631a)와 마찬가지로 표시부(9631b)의 일부를 터치 패널의 영역(9632b)으로 할 수 있다. 또한, 터치 패널의 키보드 표시 전환 버튼(9639)이 표시된 위치를 손가락이나 스타일러스 등으로 터치함으로써 표시부(9631b)에 키보드 버튼을 표시할 수 있다.
- [0276] 또한, 터치 패널의 영역(9632a)과 터치 패널의 영역(9632b)에 터치 입력을 동시에 수행할 수도 있다.
- [0277] 또한, 표시 모드 전환 스위치(9034)는 세로 표시 또는 가로 표시 등 표시 방향의 전환이나, 흑백 표시나 컬러 표시의 전환 등을 선택할 수 있다. 전력 절약 모드 전환 스위치(9036)는 태블릿형 단말에 내장된 광 센서로 검출되는 사용시의 외광의 광량에 따라 표시의 휘도를 최적화할 수 있다. 태블릿형 단말은 광 센서뿐만 아니라 자이로, 가속도 센서 등 기울기를 검출하는 센서와 같은 다른 검출 장치를 내장하여도 좋다.
- [0278] 또한, 도 10a에는 표시부(9631b)와 표시부(9631a)의 표시 면적이 동일한 예를 도시하였지만, 이에 특별히 한정되지 않고 한쪽 표시부의 크기와 다른 쪽 표시부의 크기가 달라도 좋고, 표시의 품질이 서로 달라도 좋다. 예를 들어, 한쪽이 다른 쪽보다 고정세의 표시가 가능한 표시 패널로 하여도 좋다.
- [0279] 도 10b는 닫은 상태를 도시한 것이며 태블릿형 단말은 하우징(9630), 태양 전지(9633), 충방전 제어 회로(9634), 배터리(9635), DCDC 컨버터(9636)를 갖는다. 또한, 도 10b에는 충방전 제어 회로(9634)의 일례로서 배터리(9635), DCDC 컨버터(9636)를 갖는 구성을 도시하였다.
- [0280] 또한, 태블릿형 단말은 반으로 접을 수 있기 때문에 사용하지 않을 때는 하우징(9630)을 닫은 상태로 할 수 있다. 따라서, 표시부(9631a), 표시부(9631b)를 보호할 수 있어 내구성이 우수하며 장기 사용의 관점에서 보아도 신뢰성이 우수한 태블릿형 단말을 제공할 수 있다.
- [0281] 또한, 이 외에도 도 10a 및 도 10b에 도시된 태블릿형 단말은 여러 가지 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시하는 기능, 달력, 날짜, 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시된 정보를 터치 입력에 의하여 조작 또는 편집하는 터치 입력 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능 등을 가질 수 있다.
- [0282] 태블릿형 단말의 표면에 장착된 태양 전지(9633)에 의하여 터치 패널, 표시부, 또는 영상 신호 처리부 등에 전력을 공급할 수 있다. 또한, 태양 전지(9633)는 하우징(9630)의 한쪽 면 또는 양쪽 면에 설치될 수 있고 배터리(9635)를 효율적으로 충전하는 구성으로 할 수 있다. 또한, 배터리(9635)로서는 리튬 이온 전지를 사용하면, 소형화를 도모할 수 있는 등의 이점이 있다.
- [0283] 또한, 도 10b에 도시된 충방전 제어 회로(9634)의 구성, 및 동작에 대하여 도 10c에 도시된 블록도를 사용하여 설명한다. 도 10c는 태양 전지(9633), 배터리(9635), DCDC 컨버터(9636), 컨버터(9637), 스위치(SW1 내지 SW3), 및 표시부(9631)에 대하여 도시한 것이고, 배터리(9635), DCDC 컨버터(9636), 컨버터(9637), 스위치(SW1 내지 SW3)는 도 10b에 도시된 충방전 제어 회로(9634)에 대응하는 개소이다.
- [0284] 우선, 외광을 이용하여 태양 전지(9633)에 의하여 발전되는 경우의 동작의 예에 대하여 설명한다. 태양 전지(9633)에 의하여 발전된 전력은 배터리(9635)를 충전하기 위한 전압이 되도록 DCDC 컨버터(9636)로 승압 또는 강압된다. 그리고, 표시부(9631)의 동작에 태양 전지(9633)로부터의 전력이 사용될 때는 스위치(SW1)를 온 상태로 하여, 컨버터(9637)에 의하여 표시부(9631)에 필요한 전압으로 승압 또는 강압한다. 또한, 표시부(9631)에서 표시를 수행하지 않을 때는 스위치(SW1)를 오프 상태로 하고 스위치(SW2)를 온 상태로 하여 배터리(9635)를 충전하는 구성으로 하면 좋다.
- [0285] 또한, 태양 전지(9633)는 발전 수단의 일례로서 기재하였지만, 특별히 한정되지 않고 압전 소자(피에조 소자)나 열전 변환 소자(펠티어 소자) 등 다른 발전 수단에 의하여 배터리(9635)를 충전하는 구성이어도 좋다. 예를 들

어, 무선(비접촉)으로 전력을 송수신하여 충전하는 무접점 전력 전송 모듈이나, 또 다른 충전 수단을 조합하여 충전하는 구성으로 하여도 좋다.

[0286] 본 실시형태에 기재된 구성, 방법 등은 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.

**부호의 설명**

- [0287]
- 100: 기관
  - 101: 게이트 전극
  - 102: 게이트 절연막
  - 103: 산화물 반도체막
  - 103a: 제 1 영역
  - 103b: 제 2 영역
  - 103c: 제 3 영역
  - 105a: 소스 전극
  - 105b: 드레인 전극
  - 108: 보호 절연막
  - 109: 평탄화 절연막
  - 110: 트랜지스터
  - 113: 산화물 반도체막
  - 115: 도전막
  - 115a: 도전막
  - 115b: 도전막
  - 116a: 레지스트마스크
  - 116b: 레지스트마스크
  - 500: 기관
  - 502: 게이트 절연막
  - 505: 컬러 필터층
  - 506: 절연막
  - 507: 격벽
  - 510: 트랜지스터
  - 511a: 게이트 전극
  - 511b: 게이트 전극
  - 512: 산화물 반도체막
  - 513a: 도전층
  - 514: 제 1 보호 절연막
  - 515: 제 2 보호 절연막
  - 520: 용량 소자

521a: 도전층  
521b: 도전층  
522: 산화물 반도체막  
523: 도전층  
530: 배선층 교차부  
533: 도전층  
540: 발광 소자  
541: 전극  
542: 전계 발광층  
543: 전극  
553: 절연층  
601: 기관  
602: 포토다이오드  
606a: 반도체막  
606b: 반도체막  
606c: 반도체막  
608: 접촉층  
613: 기관  
631: 제 1 보호 절연막  
632: 제 2 보호 절연막  
633: 층간 절연막  
634: 층간 절연막  
640: 트랜지스터  
641a: 전극  
641b: 전극  
642: 전극  
643: 도전층  
645: 도전층  
656: 트랜지스터  
658: 포토다이오드 리셋 신호선  
659: 게이트 신호선  
671: 포토센서 출력 신호선  
672: 포토센서 기준 신호선  
4001: 기관  
4002: 화소부  
4003: 신호선 구동 회로

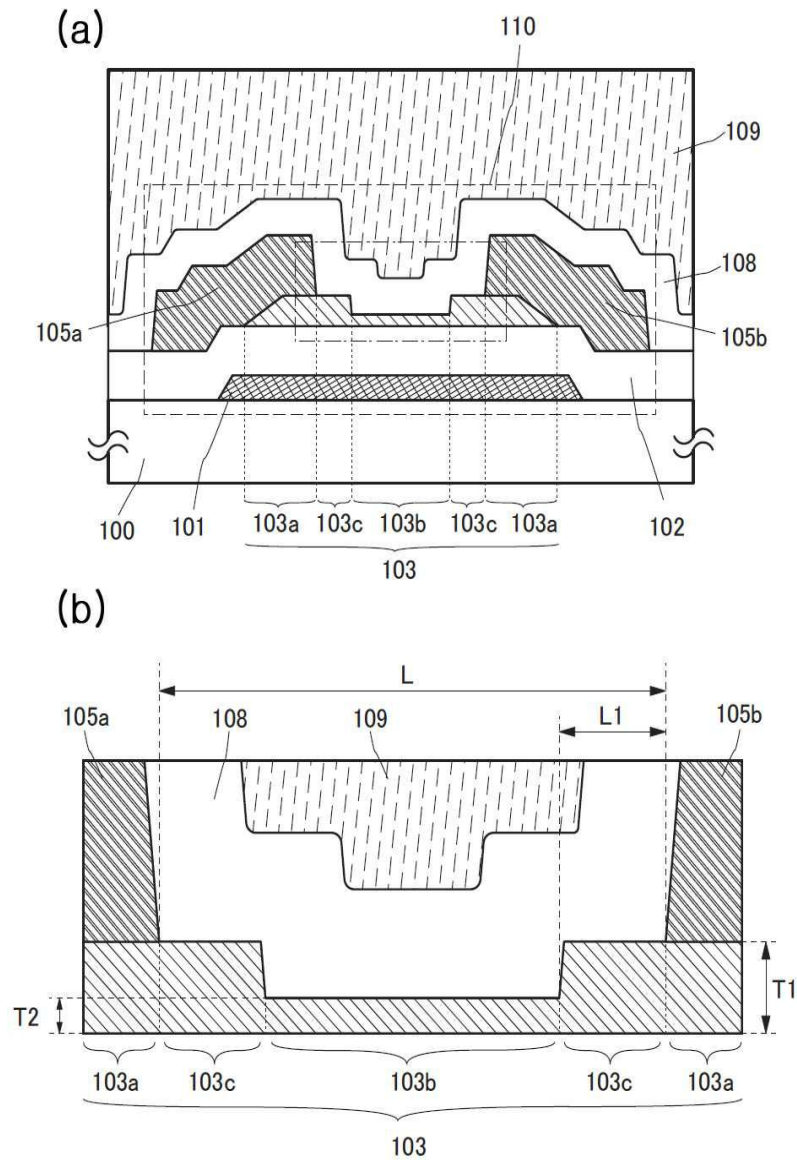
4004: 주사선 구동 회로  
4005: 실재  
4006: 기관  
4008: 액정층  
4010: 트랜지스터  
4011: 트랜지스터  
4013: 액정 소자  
4015: 접속 단자 전극  
4016: 단자 전극  
4019: 이방성 도전막  
4020: 제 1 보호 절연막  
4021: 제 2 보호 절연막  
4022: 절연막  
4030: 전극  
4031: 전극  
4032: 절연막  
4035: 스페이서  
4510: 격벽  
4511: 전계 발광층  
4513: 발광 소자  
4514: 충전재  
9000: 테이블  
9001: 하우징  
9002: 다리부  
9003: 표시부  
9004: 표시 버튼  
9005: 전원 코드  
9033: 여밈부  
9034: 스위치  
9035: 전원 스위치  
9036: 스위치  
9038: 조작 스위치  
9100: 텔레비전 장치  
9101: 하우징  
9103: 표시부  
9105: 스탠드

- 9107: 표시부
- 9109: 조작 키
- 9110: 리모트 컨트롤러
- 9201: 본체
- 9202: 하우징
- 9203: 표시부
- 9204: 키보드
- 9205: 외부 접속 포트
- 9206: 포인팅 디바이스
- 9630: 하우징
- 9631: 표시부
- 9631a: 표시부
- 9631b: 표시부
- 9632a: 영역
- 9632b: 영역
- 9633: 태양 전지
- 9634: 충방전 제어 회로
- 9635: 배터리
- 9636: DCDC 컨버터
- 9637: 컨버터
- 9638: 조작 키
- 9639: 버튼



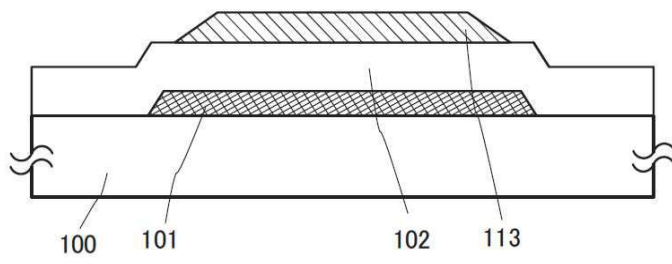
도면

도면1

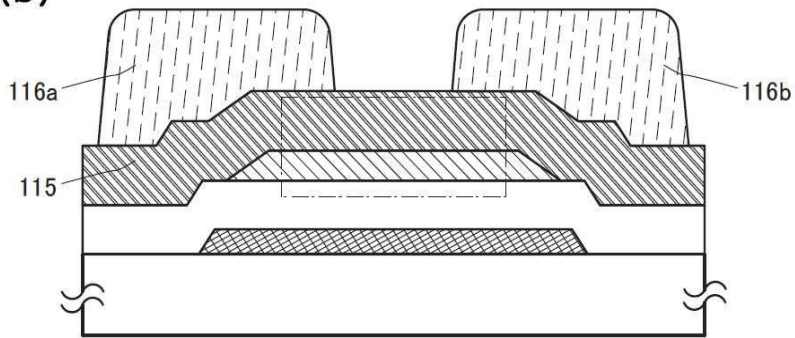


도면2

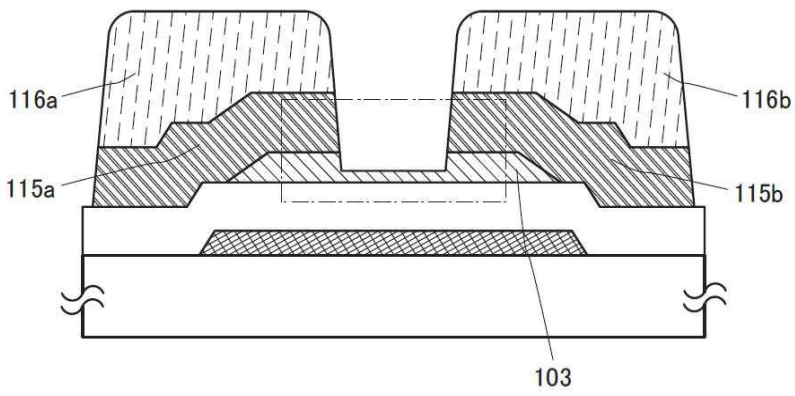
(a)



(b)

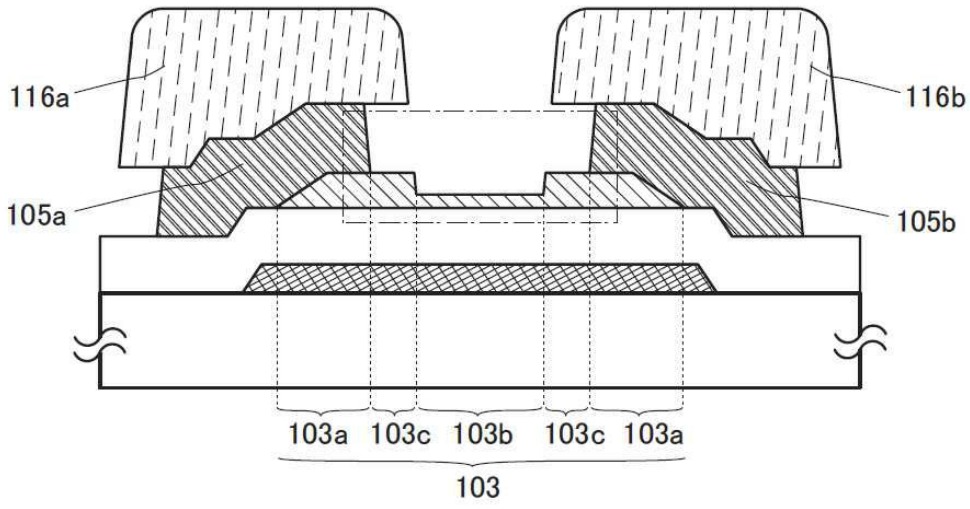


(c)

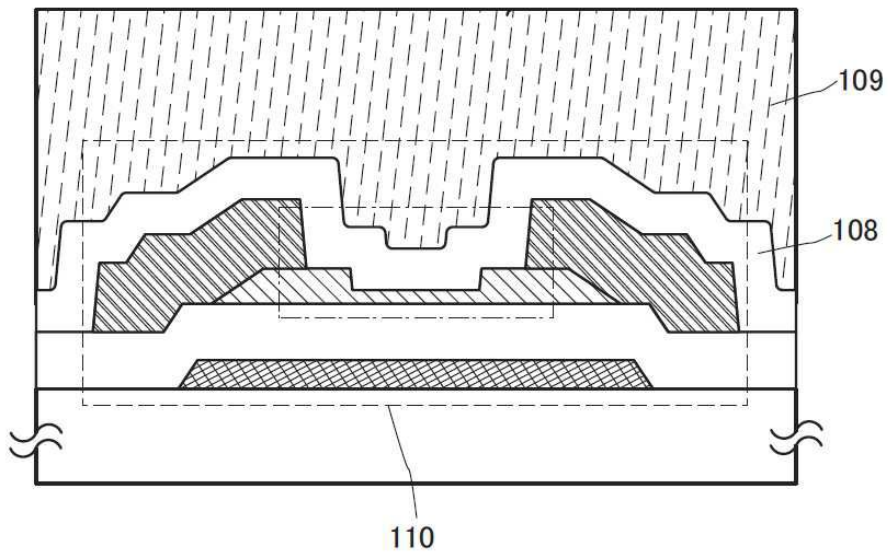


도면3

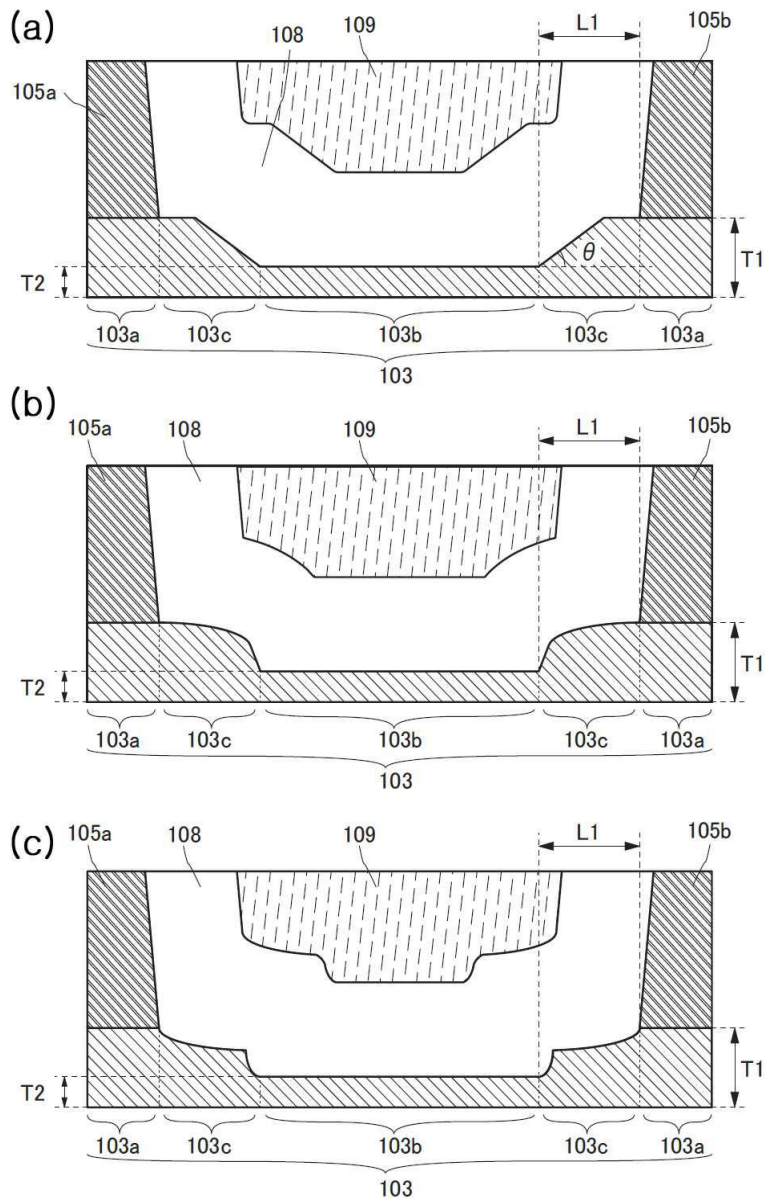
(a)



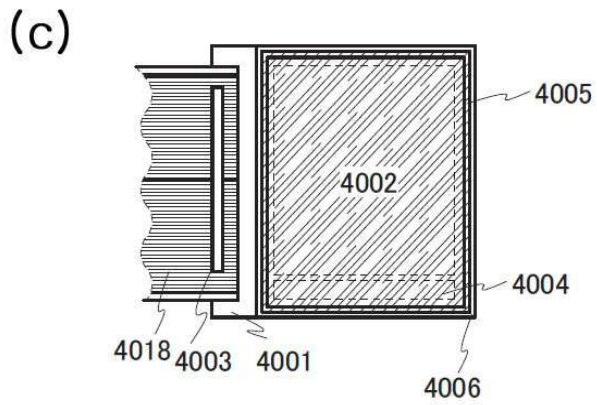
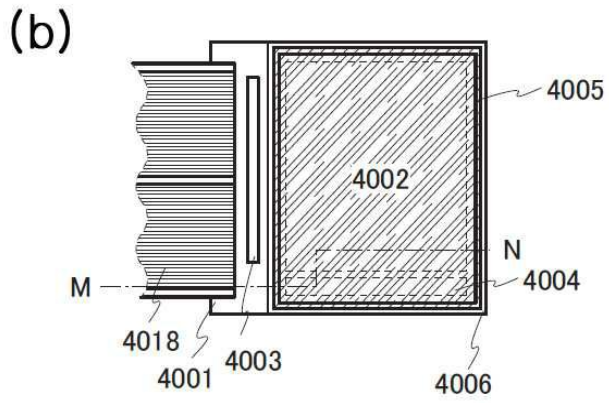
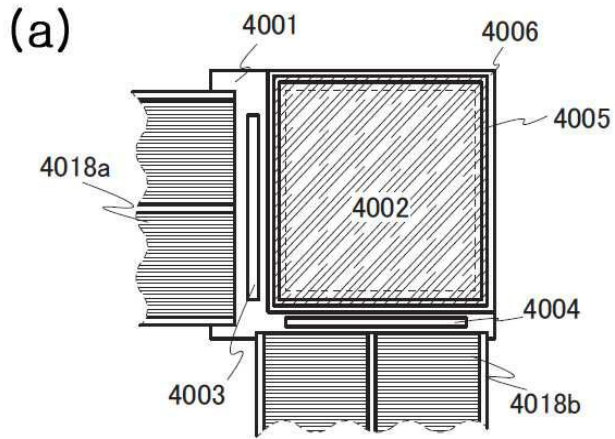
(b)



도면4

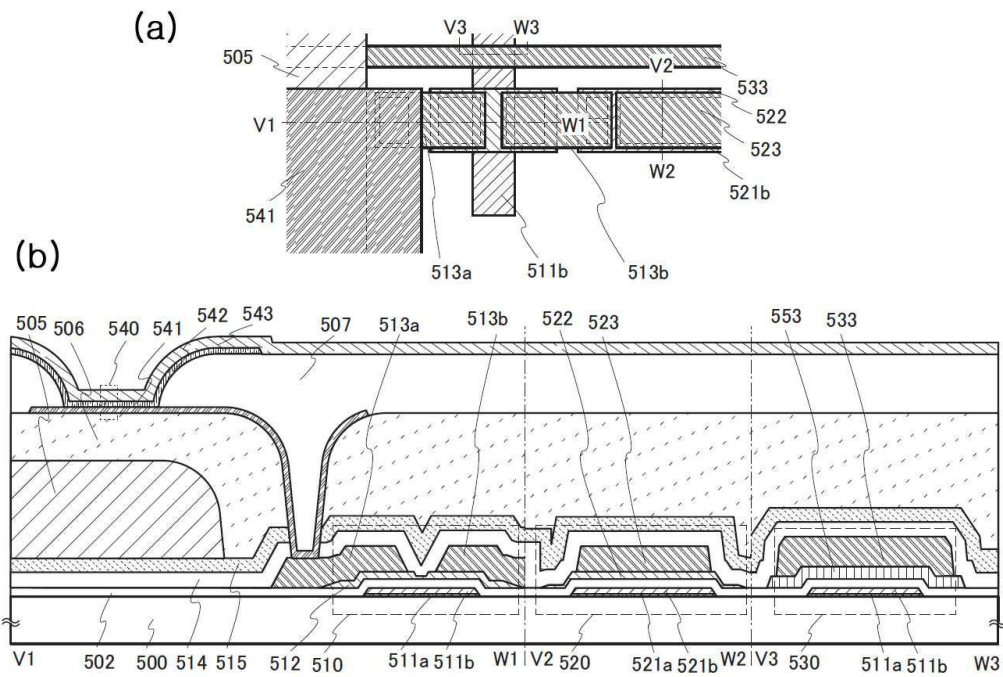


도면5

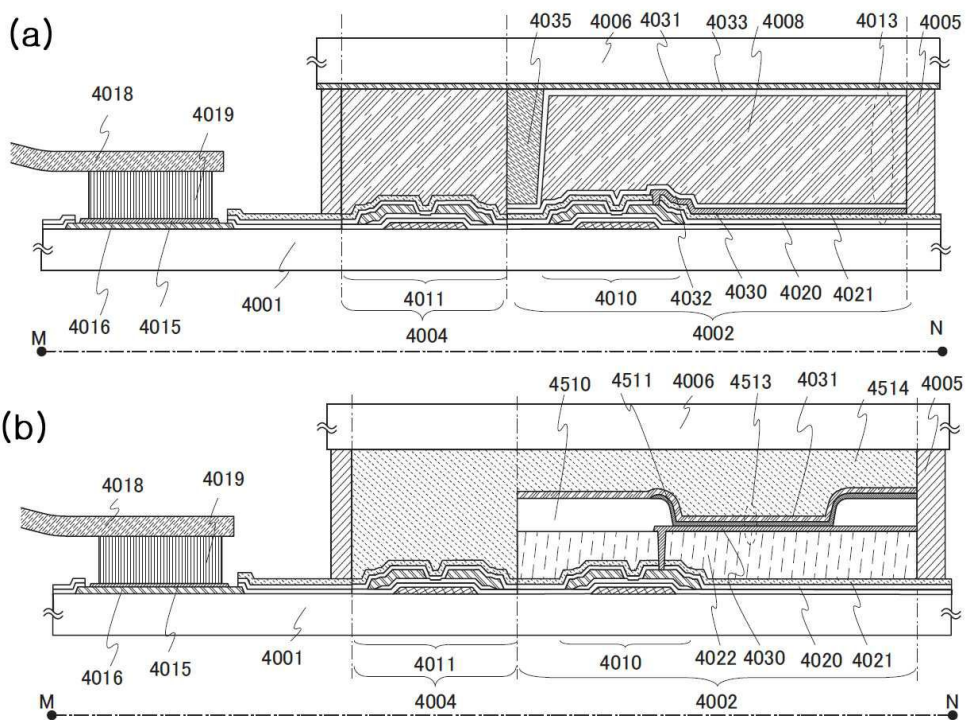




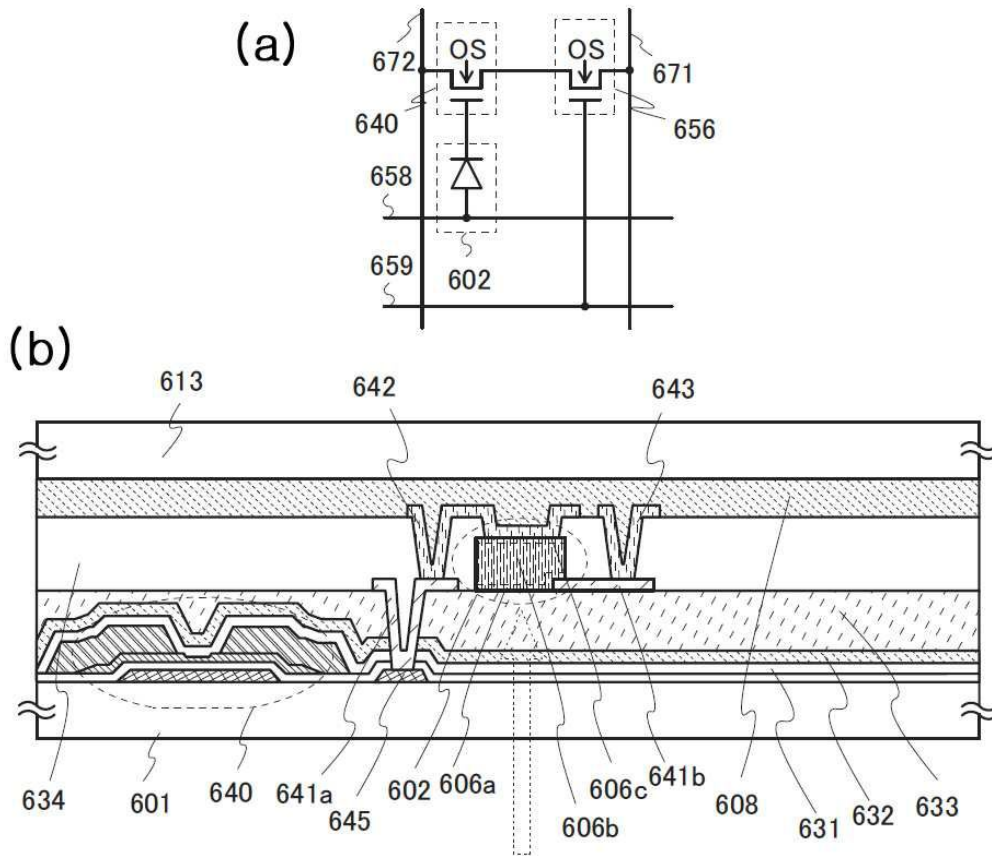
도면6



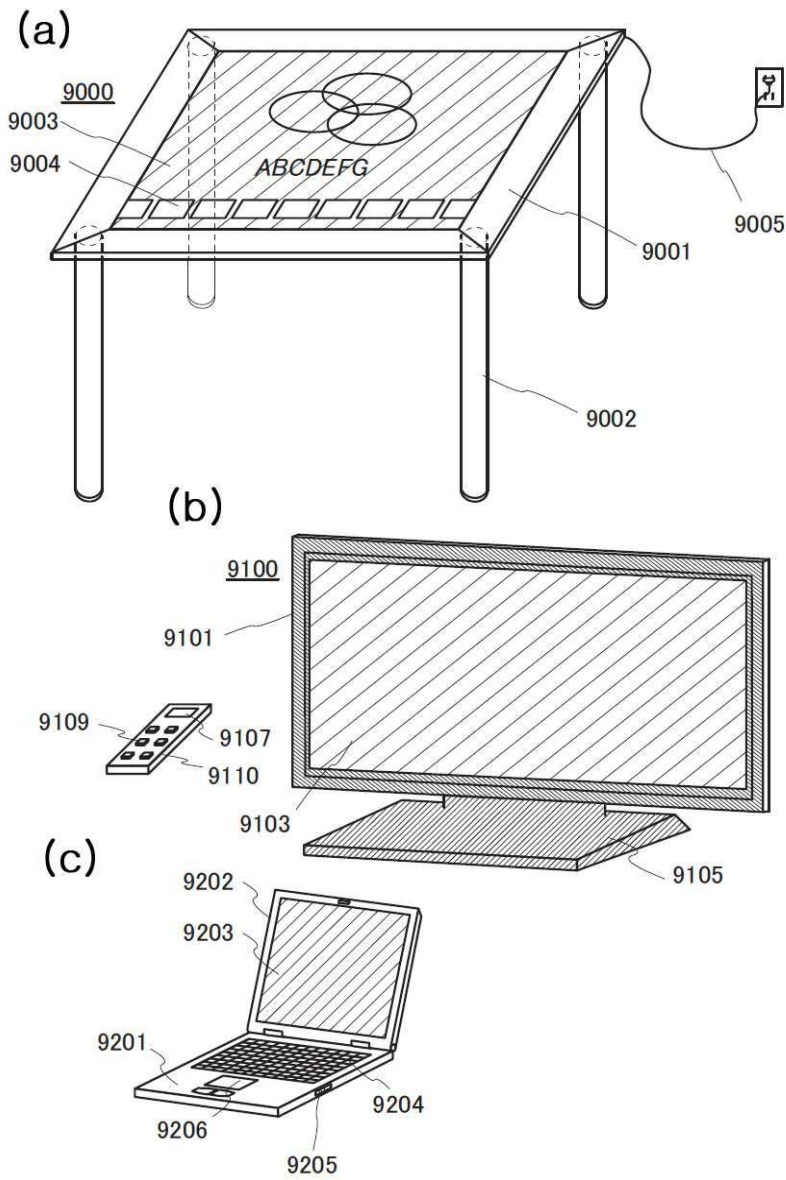
도면7



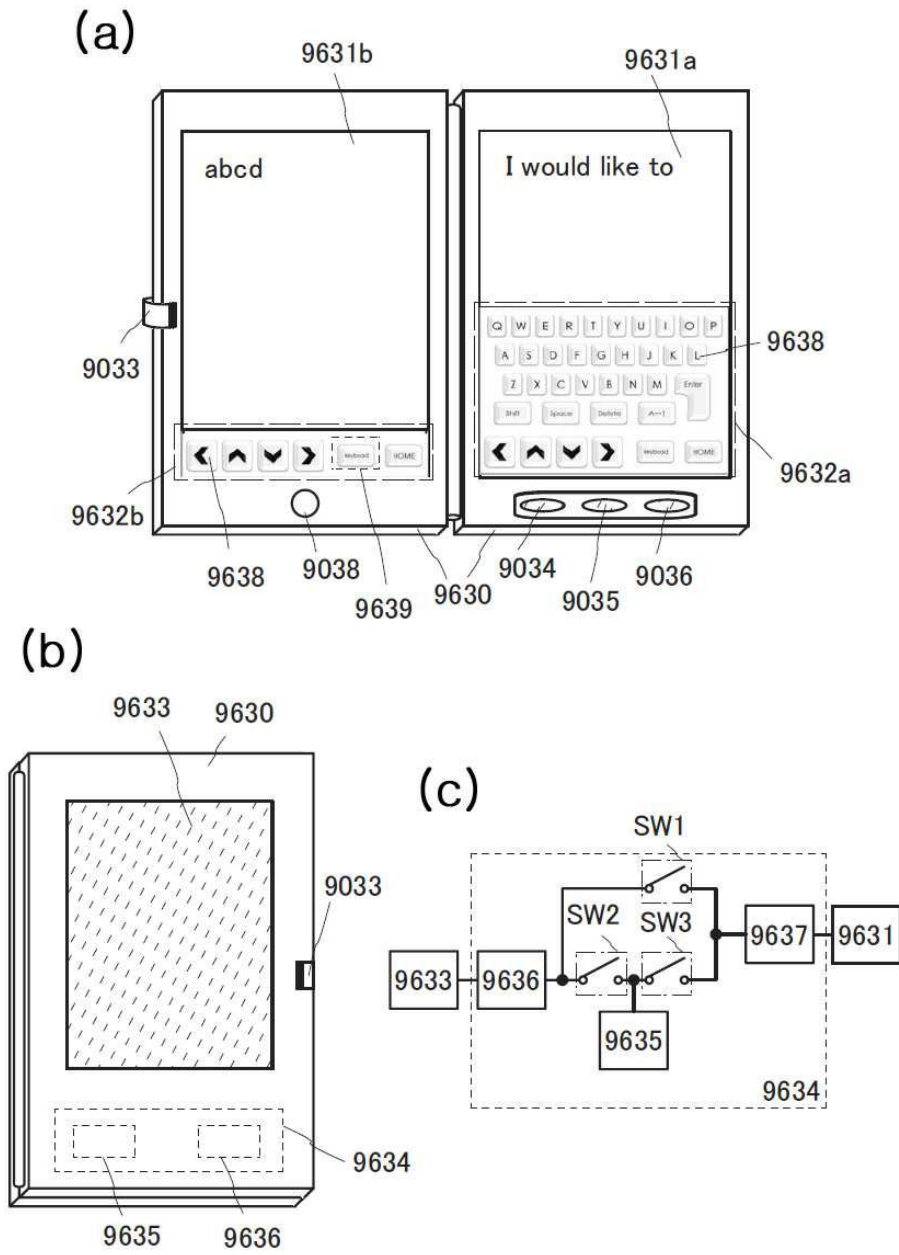
도면8



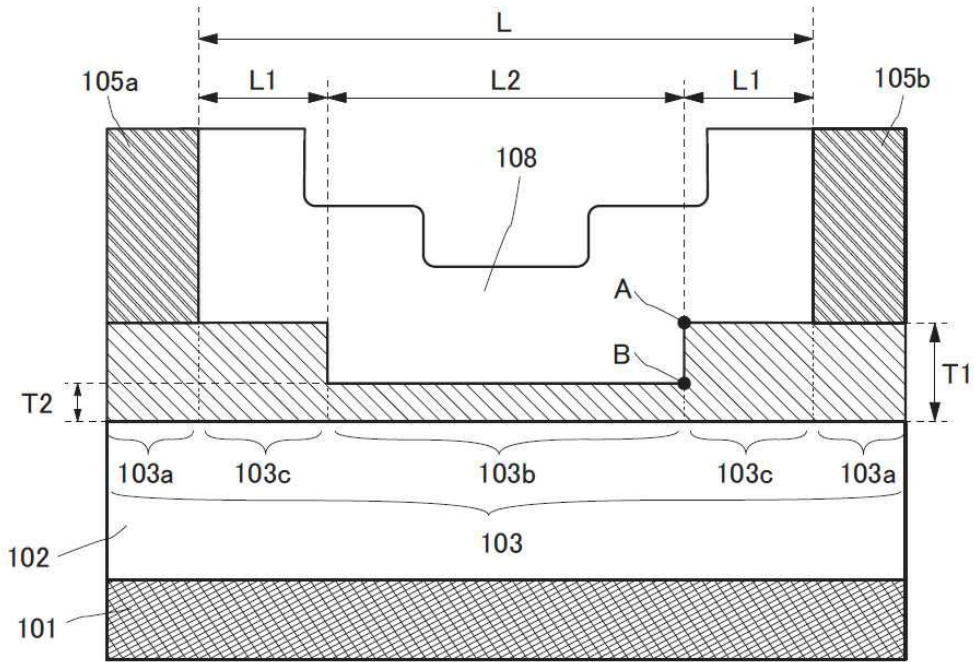
도면9



도면10



도면11



도면12

