

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3639605号
(P3639605)

(45) 発行日 平成17年4月20日(2005.4.20)

(24) 登録日 平成17年1月21日(2005.1.21)

(51) Int. Cl.⁷

F I

H O 2 M 7/537

H O 2 M 7/537

E

H O 1 L 21/31

H O 1 L 21/31

C

H O 2 M 7/48

H O 2 M 7/48

G

H O 2 M 7/5387

H O 2 M 7/5387

請求項の数 8 (全 10 頁)

(21) 出願番号	特願平4-202683	(73) 特許権者	390023733
(22) 出願日	平成4年7月29日(1992.7.29)		ウナクシス ドイチュラント ホールディ ング ゲゼルシャフト ミット ベシュレ ンクテル ハフツング
(65) 公開番号	特開平6-113561		Unaxis Deutschland Holding GmbH
(43) 公開日	平成6年4月22日(1994.4.22)		ドイツ連邦共和国 アッシュハイム/ドル ナッハ カール-ハマerschmitt-シュ トラーセ 38
審査請求日	平成10年8月24日(1998.8.24)		Karl-Hammerachmidt- Str. 38, D-85609 Asc hheim/Dornach, Germ any
審査番号	不服2002-11644(P2002-11644/J1)	(74) 代理人	100061815
審査請求日	平成14年6月25日(2002.6.25)		弁理士 矢野 敏雄
(31) 優先権主張番号	G 91 09 503:4		
(32) 優先日	平成3年7月31日(1991.7.31)		
(33) 優先権主張国	ドイツ(DE)		

最終頁に続く

(54) 【発明の名称】 プラズマおよび表面技術装置に対する電源用の回路装置

(57) 【特許請求の範囲】

【請求項 1】

プラズマおよび表面技術装置へのバイポーラ電流供給のために、
制御可能な整流回路を有しており、
該整流回路の正負の出力端が電力スイッチから成るブリッジ回路の入力端に接続されて
おり、電力スイッチは制御信号処理回路(12、13)に接続されており、
ブリッジ回路の出力側はプラズマおよび表面技術装置の負荷に接続されており、
ブリッジ回路の正の出力電圧 U_+ を形成する電力スイッチと負の出力電圧 U_- を形成す
る電力スイッチとに対して個別の制御信号処理回路(12、13)および電流検出回路(9、10)
が設けられており、これにより正負の出力信号 U_A が正負の出力に対して個別

10

に制御可能となり、
さらに制御部(18)が設けられており、該制御部(18)による統合的な制御のもと
で個別の制御信号処理回路(12、13)を介して前記正負の出力信号 U_A が相互独立に
制御される

ことを特徴とするプラズマおよび表面技術装置に対する電源用の回路装置。

【請求項 2】

シャント(8)が前記プラズマおよび表面技術装置の負荷へ直列に接続されており、か
つ前記ブリッジ回路の出力端へも接続されており、該シャント(8)の出力が前記電流検
出回路(9、10)に接続されている、請求項1記載の装置。

【請求項 3】

20

フライホイール分岐（FZ）を備えた電流上昇制限部（SB）が電力スイッチから成る分岐部（I, I', II, II'）に配置されており、該分岐部に正の出力信号および負の出力信号を測定するための電流センサ（8-1, 8-2）が配置されており、該電流センサの出力が前記電流検出回路（9, 10）にそれぞれ接続され、個別の制御信号処理回路（12, 13）がマイクロプロセッサから成る制御部（18）およびアナログの演算増幅器（19）によって制御され、マイクロプロセッサから成る制御部（18）およびアナログの演算増幅器（19）が各1つずつのインタフェースを介してプロセス計算機（21）に接続される、請求項1記載の装置。

【請求項4】

電流検出回路（9, 10）が監視回路（11）に接続されており、該監視回路により最大電流、平均電流、プロセス温度およびプロセス補助電圧が監視され、該監視回路にさらに中断時間部、リセット部および表示増幅器が設けられている、請求項1から3までのいずれか記載の装置。

10

【請求項5】

監視回路（11）がマイクロプロセッサ（14）に接続されており、インタフェース（15）を介して制御信号処理回路（12, 13）が制御される、請求項4記載の装置。

【請求項6】

制御信号処理回路（12, 13）にシュミットリガ、周波数制限部、伝送駆動部、および電力スイッチを制御するためのラッチが設けられている、請求項1から5までのいずれか1項記載の装置。

20

【請求項7】

電力スイッチはMOSFETにより形成されている、請求項1から6までのいずれか1項記載の装置。

【請求項8】

電力スイッチとしてバイポーラトランジスタIBGTまたは他の急速にスイッチングする電子出力半導体を使用する、請求項1または請求項3から7までのいずれか1項記載の装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はプラズマおよび表面技術装置に対する電源用の回路装置に関する。

30

【0002】

【従来の技術】

プラズマ技術では容器内にガス放電を生じさせるプロセスが周知である。こうした乾式の放電により、処理すべき部材の表面を無接触で変成したり活性化したり被覆したりすることができる。こうしたプロセスでは所望の硬化は物理蒸着法PVDあるいは化学蒸着法CVDで達成される。

【0003】

プラズマを発生するための放電を高周波発生器で形成することが知られている。高周波発生器、例えば13.65MHzの高周波発生器は高エネルギーの分野で使用されるが、コストが嵩む。しかも人間に対する安全性の要請が非常に高い。

40

【0004】

【発明が解決しようとする課題】

本発明の課題は、低コストかつ安全であり、正確に制御可能なプラズマおよび表面技術装置に対する電源用の回路装置を提供することである。

【0005】

【課題を解決するための手段】

この課題は、制御可能な整流回路を有しており、整流回路の正負の出力端が電力スイッチから成るブリッジ回路の入力端に接続されており、電力スイッチは制御信号処理回路に接続されており、ブリッジ回路の出力側はプラズマおよび表面技術装置の負荷に接続され

50

ており、ブリッジ回路の正の出力電圧 U_+ を形成する電力スイッチと負の出力電圧 U_- を形成する電力スイッチとに対して個別の制御信号処理回路および電流検出回路が設けられており、これにより正負の出力信号 U_A が正負の出力に対して個別に制御可能となり、さらに制御部が設けられており、制御部による統合的な制御のもとで個別の制御信号処理回路を介して前記正負の出力信号 U_A が相互独立に制御される構成により解決される。

【0006】

【発明の実施の形態】

本発明の有利な実施形態では、シャントがプラズマおよび表面技術装置の負荷へ直列に接続されており、かつブリッジ回路の出力端へも接続されており、このシャントの出力が電流検出回路に接続されている。

10

【0007】

本発明の別の有利な実施形態では、フライホイール分岐を備えた電流上昇制限部が電力スイッチから成る分岐部に配置されており、この分岐部に正の出力信号および負の出力信号を測定するための電流センサが配置されており、電流センサの出力が前記電流検出回路にそれぞれ接続され、個別の制御信号処理回路がマイクロプロセッサから成る制御部およびアナログの演算増幅器によって制御され、マイクロプロセッサから成る制御部およびアナログ演算増幅器が各1つずつのインタフェースを介してプロセス計算機に接続される。

【0008】

本発明の別の有利な実施形態では、電流検出回路が監視回路に接続されており、この監視回路により最大電流、平均電流、プロセス温度およびプロセス電圧が監視され、監視回路にはさらに中断時間部、リセット部および表示増幅器が設けられている。

20

【0009】

ここで特に有利には、監視回路がマイクロプロセッサに接続されており、インタフェースを介して制御信号処理回路が制御される。

【0010】

本発明の別の有利な実施形態では、制御信号処理回路にシュミットトリガ、周波数制限部、伝送駆動部、および電力スイッチを制御するためのラッチが設けられている。

【0011】

本発明の別の有利な実施形態では、電力スイッチはMOSFETにより形成されている。また、電力スイッチとしてバイポーラトランジスタIBGTまたは他の急速にスイッチングする電子出力半導体を使用してもよい。

30

【0012】

【実施例】

以下図面に基づき好適な実施例に関して本発明を詳細に説明する。

【0013】

図1には本発明のバイポーラ電源の回路装置の基本図が示されており、ここでは整流回路1の正の出力側2と負の出力側3とが制御電子回路を含むMOSFETブリッジ回路4の入力側に接続されている。ブリッジ回路4の出力端 $5, 5_a$ はプラズマチャンバに接続されている。

【0014】

40

図2および図4からわかるように、上述のブリッジ回路は橋絡された2組のMOSFETで構成されている。このブリッジ回路の入力側には整流回路1の出力側2, 3が接続されているので、制御調節可能な電圧 U_0 がブリッジに導入される。MOSFETから成るブリッジ回路の一方の出力側は電流検出部6に接続されており、さらに一方の出力端 5 へ通じている。ブリッジ回路の他方の出力側は他方の出力端 5_a に接続されている。MOSFETの制御電極を適切に制御すれば、任意のパルス電圧を出力端 $5, 5_a$ に発生させることができる。ここではブリッジが対角状に接続されているので、出力端 $5, 5_a$ の極性が切り替わる。図2に示されているように分岐部(スイッチ部) I, I' が動作しているときには、分岐部 II, II' は動作しない。一方の分岐部から他方の分岐部へ切り換えるには、少なくとも $5 \mu s$ の休止時間が必要である。電流の流れは破線で示してある。図

50

4では分岐部 $I I$ 、 $I I'$ が動作しているので逆転電流が流れるが、この流れも破線で示してある。インダクタンス L は動作している各MOSFETを急激な電流上昇に対して保護し、 D_L はフリーホイールダイオードまたは逆流ダイオードとして働く。

【0015】

図3には最も短い周期を有するパルスパターン $U_a(t)$ が示してある。時間 $t_1 \sim t_4$ は自由に設定できる。各MOSFETは上部の正の電圧時間面積または下部の負の電圧時間面積のいずれかのみで選択的に動作し、その場合それぞれ対角状の分岐部 I 、 I' または $I I$ 、 $I I'$ の一方のみが動作する。

【0016】

出力パルスは2500Vまでの電圧値で10kWのパルス出力が可能である。これに反して1200Vまでの電圧値で150kWのパルス出力が可能である。上限周波数は50kHzであった。通常動作においてプラズマ中に電圧スパークあるいは短絡が発生するときは、電流検出部6が実際の電流を検出し、インダクタンス L が電流上昇を制限する(MOSFETを保護するため有限の di/dt となっている)。電流検出部6は過電流時には動作しているほうの分岐部を遮断する。短絡電流が鎮静してその値が0A近くになってから駆動が再開される。

【0017】

図5には本発明の回路装置の完全なブロック回路図が示してある。MOSFETから成る分岐部 I 、 I' および $I I$ 、 $I I'$ がブリッジ接続されており、電流検出部がシャント8として構成されている。シャントの中間タップは2つの電流検出回路9、10に接続されている。2つの電流検出回路はそれぞれバイポーラの I_{max} 比較器、 I_{max} アナログ部および I_{mit} アナログ部を有する。

【0018】

電流検出回路の出力側は監視回路11に接続されている。この監視回路は最大電流、平均電流、温度および補助電圧を監視するために使用され、中断時間部、リセット部および表示増幅器を備えている。監視回路11は第1の制御信号処理回路12と第2の制御信号処理回路13とに接続されており、マイクロプロセッサ14はこの監視回路の情報からインタフェース15を介して制御信号処理回路12、13を制御する。制御信号処理回路はシュミットトリガ、周波数制限部、伝送駆動部およびラッチを含む。全ての電子回路の電源として電源16を示してある。

【0019】

制御信号は制御信号処理回路12、13から個別のモジュールドライバ17を介して分岐部 I 、 I' および $I I$ 、 $I I'$ へ導入される。マイクロプロセッサのプログラムに応じて、所望のバイポーラパルス電流が発生される。

【0020】

図6には図5に示したものと同様の回路装置の一部が示してある。ブリッジに適切な数(n 個まで)のモジュールドライバ17およびMOSFETがあってもよい。ここでは2500Vまでの電圧を得るために直列回路を使用している。

【0021】

本発明の回路装置を備えたバイポーラパルス電源には種々の利点がある。高周波によって発生するプラズマは局部的に放射特性に関連している。バイポーラパルスのプラズマはチャンパ内(ケースと基板とのあいだ)に完全な空間プラズマを形成し、任意の形状の材料を完全に取り囲む。さらにバイポーラパルスのプラズマは現行では150kWのパルス出力まで高エネルギーにでき、大きな装置でも産業上採用できる。

【0022】

さらに直流電圧または非バイポーラパルスで発生するプラズマではバイポーラパルス電源のような可能性を提供できない。例えば半導体と不導体とのあいだに被膜を形成することができない。

【0023】

例えば13.56MHzの高周波プラズマおよびその発生手段は、高エネルギーの装置に

10

20

30

40

50

において使用され、コストがかかり、人に対する安全性の要求もきわめて高い。バイポーラパルス電源は0～50kHzのキロヘルツ範囲で動作するので、安全状況および設備コストは大幅に低くなる。

【0024】

図7の回路装置は図5の回路装置の変形形態である。この場合、ブリッジの電力スイッチとしては、利用できる全ての電子部品、つまりMOSFET、バイポーラトランジスタ、IGBTなどを使用することができる。このことは図5の回路装置にも当てはまる。

【0025】

電流上昇速度は、図5のように終段のインダクタンスLによって制限されるのではなく、各分岐部にあるインダクタンスから成る各電流上昇制限部SBとダイオードから成る各フライホイール分岐FZによって制限される。電流検出は各分岐部内の電流センサによって行われ、応答閾値の点で相互に独立している。マイクロプロセッサ制御部18は電流検出回路9, 10にตอบสนองして、アナログの演算増幅器19と2つの制御信号処理回路12, 13を介して電力スイッチの出力駆動部20を制御する。マイクロプロセッサ制御部18およびアナログの演算増幅器19はインタフェースを介してプロセス計算機21に接続されている。

10

【0026】

この回路装置を用いると、バイポーラパルス電源の投入出力、場所および時間に応じて、プラズマの強度を制御することができる。バイポーラパルス電源は自由に調節や選択を行えるため、制御調節機能をDC+, DC-, 単極+, 単極- およびバイポーラにでき、これらの機能によって導体材料、半導体材料および不導体材料をプラズマ処理することができる。

20

【0027】

図8には導電面A, Bのあいだのプラズマに関して位置XYZと時間tおよび投入出力Pの関数としてプラズマ強度を制御する様子が示してある。基板は導電面AまたはBによって形成される。半導体基板および不導体の基板SUは、図8に示されているように、面A, Bの外でプラズマチャンバ内の任意に選択可能な場所にある。面A, Bは真空系のチャンバの壁または処理すべき部材自体であってもよい。

【0028】

プロセス計算機21からのプロセスベクトル $P(P_1, \dots, P_p)$ を含む指令が制御信号処理回路12, 13へ伝達される。プラズマの制御および調節は制御ベクトル $R(R_1, \dots, R_r)$ により、駆動回路としてのバイポーラパルスユニットを用いて行われる。こうして、任意に形成できる数学操作により、迅速な調節が可能になる。高感度、高精度およびとりわけ不安定になりやすいプラズマプロセス(アークの発生)に対して、図8に示すように、任意に形成できる数学操作を自由選択的に使用することが必要である。実測値としては電気量 $u_a(t)$ すなわち $u_{(+)}(t)$, $u_{(-)}(t)$ と $i_a(t)$ すなわち $i_{(+)}(t)$, $i_{(-)}(t)$ とが使用される。ここで(+)は正のパルス、(-)は負のパルスを意味する。

30

【0029】

これらの量からある測定サイクル(は任意に多数の測定周期に拡張できる)内で既知のアナログの演算増幅器19(加算器、減算器、積分器、微分器、PI PID調節器など)によって以下の量が求まる。

40

【0030】

【表1】

(1) 電圧

$$U_{\oplus} = \int_0^T U_{\oplus}(t) dt$$

$$U_{\ominus} = \int_0^T U_{\ominus}(t) dt$$

$$\Delta U = U_{\oplus} - U_{\ominus} = \text{一定}$$

ΔU U_{\oplus} と U_{\ominus} とのあいだで任意に調節可能

(2) 電流

$$I_{\oplus} = \int_0^T i_{\oplus}(t) dt$$

$$I_{\ominus} = \int_0^T i_{\ominus}(t) dt$$

$$\Delta I = i_{\oplus} - i_{\ominus} = \text{一定}$$

ΔI I_{\oplus} と I_{\ominus} とのあいだで任意に調節可能

(3) 出力

$$P_{\oplus} = \int_0^T U_{\oplus}(t) \cdot i_{\oplus}(t) dt$$

$$P_{\ominus} = \int_0^T U_{\ominus}(t) \cdot i_{\ominus}(t) dt$$

$$\Delta P = P_{\oplus} - P_{\ominus} = \text{一定}$$

ΔP P_{\oplus} と P_{\ominus} とのあいだで任意に調節可能

【 0 0 3 1 】

1) 電圧、2) 電流、3) 出力の調整を行うために適切な目標値調節はプロセスベクトル P またはマニュアル調節を介して可能になる。プラズマ技術の応用、例えば

エッチング (洗浄)

硬化

被膜形成

注入

加熱 (硬化なし)

スパッタリング

に応じて前述の 1) ~ 3) の選択が行える。プラズマを電気量 $u_a(t)$, $i_a(t)$, $P_a(t)$ によって直接制御する上述の方式によれば、パルス時間面積 (+), (-) を制御することにより $\mu s \sim s$ の範囲で非常に正確に制御することができる。例えばプロセス計算機で制御するプラズマ強度 = 関数 ($x, y, z, t, u_{(+)}, u_{(-)}, i_{(+)}, i_{(-)}, U_{p.o.t}, \dots$) は基板の加工あるいは非常に複雑なプロセスの処理に関連する。適切な検知、例えば温度分布 または電位分布 $U_{p.o.t}$ も付加的な制御量として一緒に使用できる。このことは図 8 に示してある。

【 0 0 3 2 】

適切な制御によって高出力の電気パルス測定値 $u_a(t)$, $i_a(t)$, $P_a(t)$ が使用され、プラズマプロセスに対する電子流およびイオン流が最適に制御される。正負のパルス成分を独立に制御調節することによりバイポーラ技術でホローカソード効果を消去することができる。グロー放電からアーク放電へ急激に移行する際のアーク感度も低減あるいは除去できる。

【 0 0 3 3 】

10

20

30

40

50

この発明による装置は、プラズマ支援のプロセス、例えば以下のような方法に採用できる。すなわち

PVD技術

CVD技術

プラズマCVD

プラズマ窒化

陰極スパッタリング

表面洗浄（プラズマエッチング）

プラズマ技術処理（被膜形成、洗浄）

イオン注入

などである。

【0034】

【発明の効果】

前述したように、本発明の回路装置を使用すると、約13.65MHzの高価な高周波電源を0~50kHzのバイポーラパルス電流電源で置換できるという利点が得られる。またバイポーラパルス電源を使用する重要な利点は、プラズマ技術で電子およびイオンの影響をより良く簡単に制御可能な交番電界を発生できることにある。

【図面の簡単な説明】

【図1】 本発明のバイポーラパルス電源の回路装置の基本図である。

【図2】 MOSFETのブリッジの第1の状態を示す図である。

【図3】 バイポーラパルス電源のパルス波形を示す図である。

【図4】 MOSFETのブリッジの第2の状態を示す図である。

【図5】 本発明の第1の実施例のブロック回路図である。

【図6】 多数のMOSFETを有する分岐部を示した図である。

【図7】 本発明の第2の実施例のブロック回路図である。

【図8】 プロセス計算機および数学的操作による制御部と真空系とを備える本発明を用いたシステムを示す図である。

【符号の説明】

1 整流回路

2, 3 整流回路の出力側

4 ブリッジ回路

5, 5_a 出力端

6 電流検出部

I, I', II, II' 分岐部（スイッチ部）

L インダクタンス

D_L フリーホイールダイオード

8 シャント

8-1, 8-2 電流センサ

9, 10 電流検出回路

11 監視回路

12, 13 制御信号処理回路

14 マイクロプロセッサ

15 インタフェース

16 電源

17 モジュールドライバ

18 マイクロプロセッサ制御部

19 演算増幅器

20 電力スイッチの出力駆動部

21 プロセス計算機

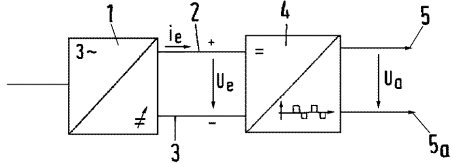
10

20

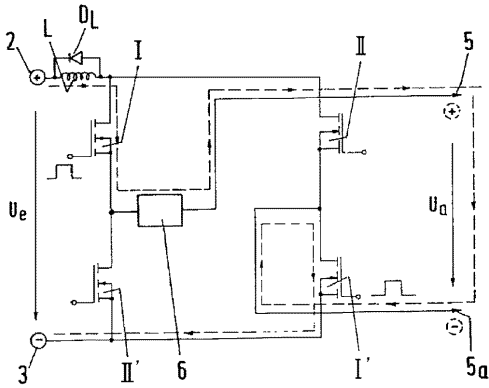
30

40

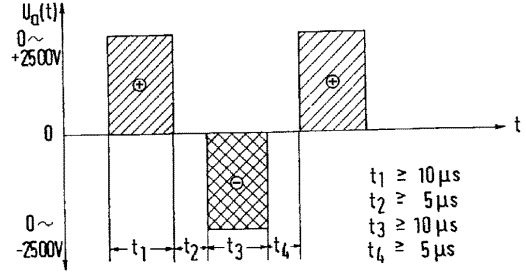
【図1】



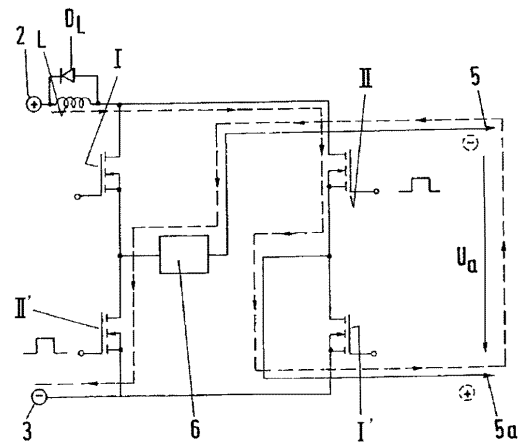
【図2】



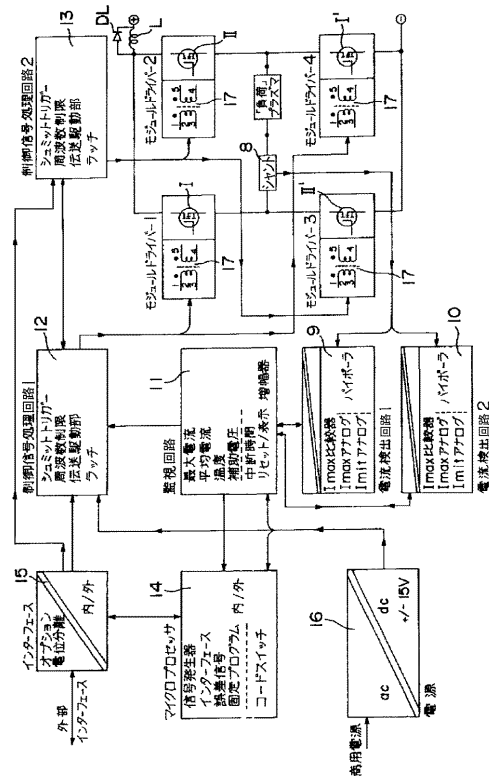
【図3】



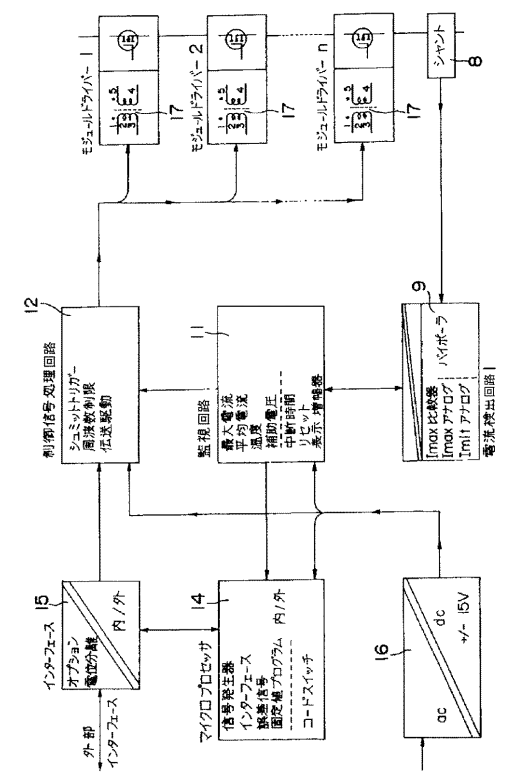
【図4】



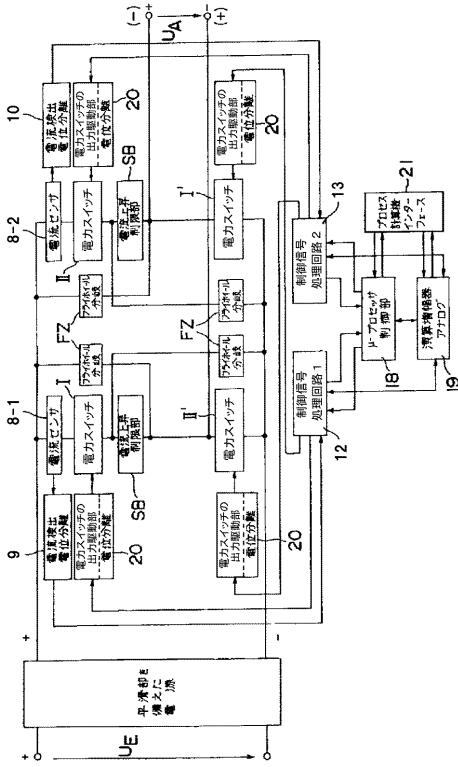
【図5】



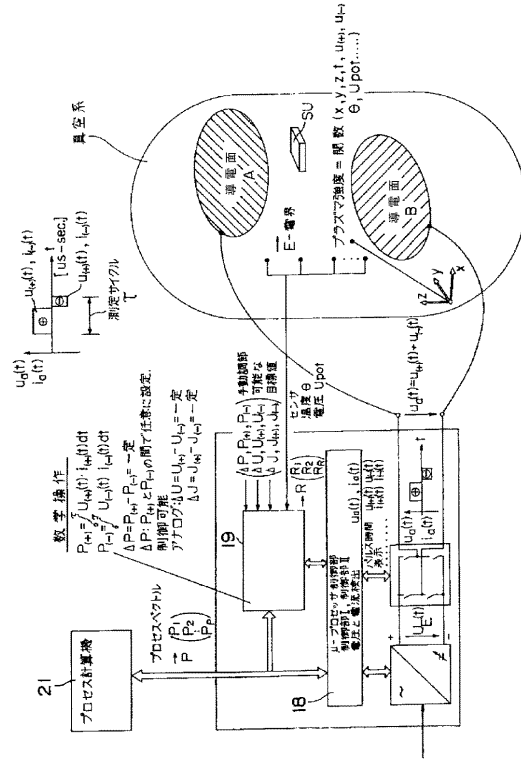
【図6】



【図7】



【図8】



フロントページの続き

(74)代理人 100094798

弁理士 山崎 利臣

(74)代理人 100099483

弁理士 久野 琢也

(74)代理人 230100044

弁護士 ラインハルト・アインゼル

(72)発明者 ギュンテル・マルク

ドイツ連邦共和国、オッテルスウアイエル、グーテンベルクストラッセ、5ベ-

合議体

審判長 城戸 博兒

審判官 安池 一貴

審判官 岩本 正義

(56)参考文献 特開昭63-92277(JP,A)

特開平3-169266(JP,A)

特開平3-88797(JP,A)

米国特許第4520437(US,A)