



(12) 发明专利

(10) 授权公告号 CN 101645448 B

(45) 授权公告日 2013. 11. 13

(21) 申请号 200910164055. 5

(22) 申请日 2009. 08. 06

(30) 优先权数据

12/186, 743 2008. 08. 06 US

(73) 专利权人 飞兆半导体公司

地址 美国缅因州

(72) 发明人 马克·赖尼希默

(74) 专利代理机构 北京康信知识产权代理有限

责任公司 11240

代理人 余刚 吴孟秋

CN 1701425 A, 2005. 11. 23,

US 2006/0209887 A1, 2006. 09. 21,

CN 1520615 A, 2004. 08. 11,

CN 101073157 A, 2007. 11. 14,

CN 1279509 A, 2001. 01. 10,

US 2005/0009295 A1, 2005. 01. 13,

审查员 杜秋雨

(51) Int. Cl.

H01L 27/04 (2006. 01)

H01L 29/78 (2006. 01)

H01L 21/82 (2006. 01)

H01L 21/336 (2006. 01)

(56) 对比文件

CN 101057340 A, 2007. 10. 17,

CN 101057340 A, 2007. 10. 17,

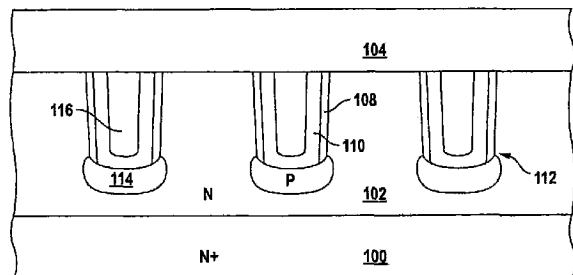
权利要求书4页 说明书8页 附图3页

(54) 发明名称

用于在沟槽下形成 PN 嵌位区的结构和方法

(57) 摘要

本发明公开了一种用于在沟槽下形成 PN 嵌位区的结构和方法。按照如下方法来形成一种包括整流器的结构。沟槽被形成在第一导电类型的半导体区中。电介质层沿着沟槽的相对侧壁形成而沿着沟槽的底部是不连续的。掺杂衬层被形成在电介质层之上并沿着沟槽的底部。掺杂衬层包括第二导电类型的掺杂剂并直接与沿着沟槽的底部的半导体区相接触。掺杂剂的一部分被从掺杂衬层扩散到沿着沟槽的底部的半导体区中以形成掺杂区。该掺杂区与周围的半导体区形成 PN 结。



1. 一种包括整流器的结构,所述结构包括:
 - 第一导电类型的半导体区;
 - 沟槽,延伸至所述半导体区;
 - 电介质层,衬于每个沟槽的相对侧壁,但是沿着每个沟槽的底部是不连续的;
 - 第二导电类型的硅区,沿着每个沟槽的底部延伸并与所述半导体区形成 PN 结,其中,所述第二导电类型与所述第一导电类型相反;
 - 掺杂衬层,衬于每个沟槽的底部和所述电介质层上,所述掺杂衬层与沿着每个沟槽的底部的所述硅区直接接触,所述掺杂衬层通过所述电介质层与所述半导体区分离;
 - 填充材料,填充每个沟槽;以及
 - 互连层,在所述半导体区上延伸并与所述掺杂衬层直接接触,其中,所述互连层与相邻沟槽之间的半导体区的台地表面相接触以在其间形成肖特基接触。
2. 根据权利要求 1 所述的结构,进一步包括:氧化层,使所述掺杂衬层与所述填充材料分隔开。
3. 根据权利要求 1 所述的结构,其中,所述掺杂衬层包括外延生长的硅。
4. 根据权利要求 1 所述的结构,其中,所述掺杂衬层包括多晶硅。
5. 根据权利要求 1 所述的结构,其中,所述填充材料包括多晶硅。
6. 根据权利要求 1 所述的结构,其中,所述半导体区包括在衬底上延伸的外延层,所述衬底的掺杂浓度比所述外延层的掺杂浓度高。
7. 根据权利要求 6 所述的结构,其中,所述沟槽延伸到所述外延层中并终止在所述外延层内。
8. 根据权利要求 6 所述的结构,其中,所述沟槽延伸通过所述外延层并终止在所述衬底内。
9. 根据权利要求 1 所述的结构,其中,所述整流器包括一个或多个肖特基区,并且所述结构进一步包括一个或多个 FET 区,其中,在所述一个或多个 FET 区中,所述电介质层衬于每个沟槽的相对侧壁和底部,而所述掺杂衬层衬于所述电介质层上,所述掺杂衬层通过所述电介质层与所述半导体区隔离。
10. 根据权利要求 9 所述的结构,进一步包括:
 - 在一个或多个 FET 区中:
 - 所述半导体区中的所述第二导电类型的体区;以及
 - 相邻于每个沟槽的体区中的所述第一导电类型的源区,其中,在所述一个或多个 FET 区中所述互连层与所述源区相接触而通过电介质盖与所述掺杂衬层相隔离。
11. 一种包括整流器的结构,所述结构包括:
 - 第一导电类型的半导体区;
 - 沟槽,延伸至所述半导体区;
 - 电介质层,衬于每个沟槽的下方侧壁,但沿着每个沟槽的底部是不连续的;
 - 第二导电类型的硅区,沿着每个沟槽的底部延伸并与所述半导体区形成 PN 结,其中,所述第二导电类型与所述第一导电类型相反;
 - 每个沟槽的底部部分中的屏蔽电极,所述屏蔽电极与所述硅区直接接触;
 - 所述屏蔽电极上的栅电极;以及

在所述半导体区上延伸并与所述屏蔽电极电接触的互连层,其中,所述互连层与相邻沟槽之间的半导体区的台地表面相接触以在其间形成肖特基接触。

12. 根据权利要求 11 所述的结构,进一步包括:

在所述屏蔽电极和所述栅电极之间延伸的电极间电介质。

13. 根据权利要求 11 所述的结构,其中,所述屏蔽电极与所述栅电极直接接触。

14. 根据权利要求 11 所述的结构,其中,所述栅电极与所述互连层电接触。

15. 根据权利要求 11 所述的结构,其中,所述电介质层沿着每个沟槽的下方侧壁的厚度大于所述电介质层沿着每个沟槽的上方侧壁的厚度。

16. 根据权利要求 11 所述的结构,其中,所述整流器包括一个或多个肖特基区,并且所述结构进一步包括一个或多个 FET 区,其中,在所述一个或多个 FET 区中所述电介质层衬于每个沟槽的相对侧壁和底部,而所述屏蔽电极通过所述电介质层与所述半导体区相隔离。

17. 根据权利要求 16 所述的结构,进一步包括:

在所述一个或多个 FET 区中:

所述半导体区中的所述第二导电类型的体区;以及

相邻于每个沟槽的体区中的所述第一导电类型的源区,其中,在所述一个或多个 FET 区中所述互连层与所述源区相接触并通过电介质盖与所述栅电极相隔离。

18. 一种用于形成包括整流器的结构的方法,所述方法包括:

在半导体区中形成多个沟槽,所述半导体区是第一导电类型的;

形成电介质层,所述电介质层衬于每个沟槽的相对侧壁,但沿着每个沟槽的底部是不连续的;

在每个沟槽中形成掺杂材料,所述掺杂材料包括第二导电类型的掺杂剂,其中,所述掺杂材料与沿着每个沟槽的底部的半导体区直接接触并且通过所述电介质层与所述半导体区分离,所述第二导电类型与所述第一导电类型相反;以及

使掺杂剂从所述掺杂材料沿着每个沟槽的底部扩散到半导体区,所扩散的掺杂剂沿着每个沟槽的底部在半导体区中形成掺杂区,所述掺杂区与所述半导体区形成 PN 结,所述电介质层防止所述掺杂剂从所述掺杂材料扩散到沿着每个沟槽的相对侧壁的半导体区。

19. 根据权利要求 18 所述的方法,其中,使所述掺杂剂的一部分从所述掺杂材料扩散到所述半导体区中包括将所述掺杂材料暴露到热循环。

20. 根据权利要求 18 所述的方法,其中,所述掺杂材料包括通过向其中注入所述第二导电类型的掺杂剂而被掺杂的多晶硅。

21. 根据权利要求 18 所述的方法,其中,所述掺杂材料包括通过利用所述第二导电类型的掺杂剂而被原位掺杂的多晶硅。

22. 根据权利要求 18 所述的方法,其中,所述掺杂材料完全填充多个沟槽中的每个沟槽。

23. 根据权利要求 18 所述的方法,进一步包括:

在将所述掺杂剂的一部分从所述掺杂材料扩散到所述半导体区中之前,在所述掺杂材料上形成填充材料,所述填充材料填充每个沟槽的内部部分。

24. 根据权利要求 23 所述的方法,其中,所述填充材料包括多晶硅。

25. 根据权利要求 18 所述的方法,进一步包括:

在所述半导体区上形成导体层,所述导体层与所述掺杂材料直接接触,其中,所述导体层与相邻于各个沟槽的半导体区的台地表面相接触以形成肖特基接触。

26. 根据权利要求 25 所述的方法,其中,所述整流器被形成在一个或多个肖特基区中,并且所述结构进一步包括一个或多个 FET 区,所述方法进一步包括:

在所述一个或多个 FET 区中:

沿着每个沟槽的相对侧壁和底部形成电介质层,所述电介质层使所述掺杂材料与所述半导体区绝缘。

27. 根据权利要求 26 所述的方法,进一步包括:

在所述一个或多个 FET 区中:

在所述半导体区中形成所述第二导电类型的体区;以及

在相邻于每个沟槽的体区中形成所述第一导电类型的源区,其中,在所述一个或多个 FET 区中所述导体层与所述源区相接触并通过电介质盖与栅电极绝缘。

28. 一种用于形成包括整流器的结构的方法,所述方法包括:

在半导体区中形成多个沟槽,所述半导体区是第一导电类型的;

沿着每个沟槽的相对下方侧壁形成电介质层,而所述电介质层沿着每个沟槽的底部是不连续的;

在每个沟槽的底部部分中形成屏蔽电极,所述屏蔽电极包括第二导电类型的掺杂剂,其中,所述屏蔽电极与沿着每个沟槽的底部的半导体区直接接触,并且所述第二导电类型与所述第一导电类型相反;

在所述屏蔽电极上形成栅电极;以及

使掺杂剂的一部分从所述屏蔽电极扩散到沿着每个沟槽的底部的半导体区,所掺杂的掺杂剂在沿着每个沟槽的底部的半导体区中形成掺杂区,所述掺杂区与所述半导体区形成 PN 结。

29. 根据权利要求 28 所述的方法,进一步包括:

形成在所述屏蔽电极和所述栅电极之间延伸的电极间电介质。

30. 根据权利要求 28 所述的方法,其中,所述屏蔽电极与所述栅电极直接接触。

31. 根据权利要求 28 所述的方法,其中,所述电介质层沿着每个沟槽的下方侧壁的厚度大于所述电介质层沿着每个沟槽的上方侧壁的厚度。

32. 根据权利要求 28 所述的方法,进一步包括:

在所述半导体区上形成互连层,所述互连层与所述栅电极直接接触,其中,所述互连层与相邻于每个沟槽的半导体区的台地表面相接触以形成肖特基接触。

33. 根据权利要求 32 所述的方法,其中,所述整流器被形成在一个或多个肖特基区中,并且所述结构进一步包括一个或多个 FET 区,所述方法进一步包括:

在所述一个或多个 FET 区中:

沿着每个沟槽的相对侧壁和底部形成所述电介质层,所述电介质层使所述屏蔽电极与所述半导体区绝缘。

34. 根据权利要求 33 所述的方法,进一步包括:

在所述一个或多个 FET 区中:

在所述半导体区中形成所述第二导电类型的体区;

在相邻于每个沟槽的体区中形成所述第一导电类型的源区,其中,在所述一个或多个 FET 区中所述互连层与所述源区相接触并通过电介质盖与所述栅电极绝缘。

35. 根据权利要求 28 所述的方法,其中,所述栅电极与互连层电接触。

36. 一种形成包括整流器的结构的方法,所述方法包括:

通过对硬掩模层加工图案以及对半导体区进行蚀刻而在所述半导体区中形成沟槽,所述半导体区是第一导电类型的;

沿着每个沟槽的相对侧壁和底部形成电介质层;

去除所述电介质层沿着每个沟槽的底部延伸的那部分以沿着每个沟槽的底部暴露半导体区;

用导电衬层衬于每个沟槽中的电介质层上,所述导电衬层进一步衬于每个沟槽的底部以沿着每个沟槽的底部与所述半导体区直接接触;

将第二导电类型的掺杂剂注入到所述导电衬层中,其中,所述第二导电类型与所述第一导电类型相反;

沉积填充材料以填充所述沟槽;以及

使掺杂剂从所述导电衬层扩散到沿着所述沟槽的底部的半导体区,所述半导体区中的掺杂剂形成掺杂区,所述掺杂区与所述半导体区形成 PN 结。

37. 根据权利要求 36 所述的方法,进一步包括:

去除所述硬掩模层;以及

在所述半导体区上形成互连层,所述互连层与所述衬层直接接触并与相邻沟槽之间的半导体区的表面区域相接触以在其间形成肖特基接触。

38. 根据权利要求 36 所述的方法,其中,所述衬层包括多晶硅。

39. 根据权利要求 36 所述的方法,其中,所述填充材料包括多晶硅。

用于在沟槽下形成 PN 嵌位区的结构和方法

技术领域

[0001] 本发明大体涉及一种半导体技术,具体涉及一种用于在诸如沟槽 MOS 势垒肖特基(TMBS)整流器的半导体结构中形成性能增强的 PN 嵌位(clamp)的结构和方法。

背景技术

[0002] 已知一种基于半导体的功率整流器,并且在功率电子系统中已经使用该功率整流器许多年。肖特基整流器一般被用在以中到低的电压进行运转的应用中,这是由于它们低的通态压降和快的切换速度。可以通过改变肖特基接触金属以改变势垒高度而使肖特基整流器最优化。然而,在正向压降和反向漏电流之间存在着折中。随着势垒高度减小,正向压降减小而反向漏电流增大。另一方面,随着势垒高度增大,正向压降增大而反向漏电流减小。

[0003] 正向压降和反向漏电流之间的这种折中可以利用 TMBS 整流器结构来改善。TMBS 整流器和沟槽 MOS 结构极大减小了肖特基接触下的电场,从而增大了反向击穿电压并减小了反向漏电流。这允许在台地区中有更高的掺杂浓度,从而减小了整流器的通态压降。

[0004] TMBS 整流器结构的一种变体包括形成在每个沟槽下的 PN 结。类似于上述的 TMBS 结构,在反偏压下,耗尽区合逐渐消失以减小漏电流。PN 结还可以通过将反向电压嵌制(clamp)在较低的 PN 结雪崩击穿来改善肖特基接触的击穿特性。形成这种结构的传统方法涉及在沿着沟槽底部的半导体区中注入掺杂剂并热激活该半导体区中的掺杂剂。然而,来自随后处理步骤的热循环会导致所注入掺杂剂的过度径向扩散,从而限制了原胞尺寸(cell pitch)。

[0005] 因此,需要一种改善的在诸如 TMBS 整流器的半导体结构中形成 PN 嵌位的结构和方法。

发明内容

[0006] 根据本发明的实施例,一种包括整流器的结构包括:第一导电类型的半导体区,其中沟槽延伸至该半导体区中。电介质层,衬于每个沟槽的相对侧壁,但是沿着每个沟槽的底部是不连续的。第二导电类型的硅区沿着每个沟槽的底部延伸并与半导体区形成 PN 结。掺杂衬层,衬于电介质层和每个沟槽的底部,并与半导体区直接接触。填充材料填充每个沟槽。互连层在半导体区上延伸并与掺杂衬层直接接触。互连层还与相邻沟槽之间的半导体区的台地表面相接触以在其间形成肖特基接触。

[0007] 在一个实施例中,氧化层将掺杂衬层与填充材料分离开。

[0008] 在另一实施例中,半导体区包括在衬底上延伸的外延层,并且衬底的掺杂浓度高于外延层的掺杂浓度。在一些实施例中,沟槽延伸至外延层中并终止在外延层中。在其他实施例中,沟槽延伸通过外延层并终止在衬底内。

[0009] 根据本发明的另一实施例,按照如下来形成包括整流器的结构。在第一导电类型的半导体区中形成沟槽。沿着沟槽的相对侧壁形成电介质层但沿着沟槽的底部是不连续

的。在沟槽中形成掺杂材料。该掺杂材料包括第二导电类型的掺杂剂并与沿着沟槽的底部的半导体区直接接触。掺杂剂的一部分从掺杂衬层扩散到沿着沟槽的底部的半导体区中以形成掺杂区。掺杂区与半导体区形成 PN 结。

[0010] 在一个实施例中,通过将掺杂材料暴露到热循环而使掺杂剂扩散到半导体区中。

[0011] 在一个实施例中,掺杂材料包括多晶硅并通过将第二导电类型的掺杂剂注入到该多晶硅中而被掺杂。

[0012] 在另一实施例中,掺杂材料包括多晶硅并用第二导电类型的掺杂剂来原位掺杂。

[0013] 在一些实施例中,掺杂材料填充整个沟槽。在其他实施例中,填充材料填充沟槽的内部部分。

[0014] 在又一实施例中,导体层被形成在半导体区上并与掺杂材料直接接触。导体层还与相邻于沟槽的半导体区的台地表面相接触以形成肖特基接触。

[0015] 根据本发明的另一实施例,一种形成包括整流器的结构的方法包括:在半导体区中形成多个沟槽,该半导体是第一导电类型的;形成电介质层,该电介质层,衬于每个沟槽的相对侧壁,但是沿着每个沟槽的底部是不连续的;在每个沟槽中形成掺杂材料,该掺杂材料包括第二导电类型的掺杂剂,其中,该掺杂材料与沿着每个沟槽的底部的半导体区直接接触,第二导电类型与第一导电类型相反;以及使掺杂剂从掺杂材料扩散到沿着每个沟槽的底部的半导体区,所扩散的掺杂剂在沿着每个沟槽的底部的半导体区中形成掺杂区,该掺杂区与该半导体区形成 PN 结。

[0016] 在一个实施例中,使掺杂剂的一部分从掺杂材料扩散到半导体区中包括将掺杂材料暴露到热循环。

[0017] 在另一实施例中,掺杂材料包括通过向多晶硅中注入第二导电类型的掺杂剂来掺杂的该多晶硅。

[0018] 在另一实施例中,掺杂材料包括通过利用第二导电类型的掺杂剂而被原位掺杂的多晶硅。

[0019] 在另一实施例中,掺杂材料完全填充多个沟槽中的每个沟槽。

[0020] 在另一实施例中,该方法进一步包括:在将掺杂剂的一部分从掺杂材料扩散到半导体区中之前,在掺杂材料上形成填充材料,填充材料填充每个沟槽的内部部分。

[0021] 在另一实施例中,填充材料包括多晶硅。

[0022] 在另一实施例中,该方法进一步包括:在半导体区上形成导体层,导体层与掺杂材料直接接触,其中,导体层与相邻于各个沟槽的半导体区的台地表面相接触以形成肖特基接触。

[0023] 在另一实施例中,整流器被形成在一个或多个肖特基区中,并且该结构进一步包括一个或多个 FET 区,该方法进一步包括:在一个或多个 FET 区中:沿着每个沟槽的相对侧壁和底部形成电介质层,电介质层使掺杂材料与半导体区绝缘。

[0024] 在另一实施例中,该方法进一步包括:在一个或多个 FET 区中:在半导体区中形成第二导电类型的体区;以及在相邻于每个沟槽的体区中形成第一导电类型的源区,其中,在一个或多个 FET 区中导体层与源区相接触并通过电介质盖与栅电极绝缘。

[0025] 根据本发明的另一实施例,一种用于形成包括整流器的结构的方法包括:在半导体区中形成多个沟槽,该半导体区是第一导电类型的;沿着每个沟槽的相对下方侧壁形成

电介质层,而该电介质层沿着每个沟槽的底部是不连续的;在每个沟槽的底部部分中形成屏蔽电极,该屏蔽电极包括第二导电类型的掺杂剂,其中,屏蔽电极与沿着每个沟槽底部的半导体区直接接触,并且第二导电类型与第一导电类型相反;在屏蔽电极上形成栅电极;以及使掺杂剂的一部分从屏蔽电极扩散到沿着每个沟槽的底部的半导体区,所扩散的掺杂剂在沿着每个沟槽的底部的半导体区中形成掺杂区,该掺杂区与半导体区形成PN结。

[0026] 在一个实施例中,该方法进一步包括:形成在屏蔽电极和栅电极之间延伸的电极间电介质。

[0027] 在另一实施例中,屏蔽电极与栅电极直接接触。

[0028] 在另一实施例中,电介质层沿着每个沟槽的下方侧壁的厚度大于电介质层沿着每个沟槽的上方侧壁的厚度。

[0029] 在另一实施例中,该方法进一步包括:在半导体区上形成互连层,互连层直接与栅电极相接触,其中,该互连层与相邻于每个沟槽的半导体区的台地表面相接触以形成肖特基接触。

[0030] 在另一实施例中,整流器被形成在一个或多个肖特基区中,并且该结构进一步包括一个或多个FET区,该方法进一步包括:在一个或多个FET区:沿着每个沟槽的相对侧壁和底部形成电介质层,该电介质层使屏蔽电极与半导体区绝缘。

[0031] 在另一实施例中,该方法进一步包括:在一个或多个FET区中:在半导体区中形成第一导电类型的体区,在相邻于每个沟槽的体区中形成第一导电类型的源区,其中,在一个或多个FET区中互连层与源区相接触并通过电介质盖与栅电极绝缘。

[0032] 在另一实施例中,栅电极与互连层电接触。

[0033] 根据本发明的另一实施例,一种用于形成包括整流器的结构的方法包括:通过对硬掩模层加工图案以及对半导体区进行蚀刻而在半导体区中形成沟槽,半导体区是第一导电类型的;沿着每个沟槽的相对侧壁和底部形成电介质层;去除电介质层沿着每个沟槽的底部延伸的那部分以暴露沿着每个沟槽的底部的半导体区;用导电衬层,衬于每个沟槽中的电介质层,导电衬层进一步衬于每个沟槽的底部,以与沿着每个沟槽的底部的半导体区直接接触;将第二导电类型的掺杂剂注入到导电衬层中,其中,第二导电类型与第一导电类型相反;沉积填充材料以填充沟槽;以及使掺杂剂从导电衬层扩散到沿着沟槽的底部的半导体区,半导体区中的掺杂剂形成掺杂区,掺杂区与半导体区形成PN结。

[0034] 在一个实施例中,该方法进一步包括:去除硬掩模层;以及在半导体区上形成互连层,互连层与衬层直接接触并与相邻沟槽之间的半导体区的表面区域相接触以在其间形成肖特基接触。

[0035] 在另一实施例中,衬层包括多晶硅。

[0036] 在另一实施例中,填充材料包括多晶硅。

[0037] 以下的详细描述和附图提供了对本发明的本质和优点更好的理解。

附图说明

[0038] 图1示出了根据本发明实施例的具有PN结嵌位的TMBS整流器结构的简化截面图;

[0039] 图2A-2F示出了根据本发明实施例的用于形成具有PN结嵌位的TMBS整流器的各

个处理步骤处的简化截面图；

[0040] 图 3 示出了根据本发明另一实施例的单片集成的沟槽-栅极 MOSFET 和具有 PN 结嵌位的 TMBS 整流器结构的简化截面图；以及

[0041] 图 4 示出了根据本发明另一实施例的单片集成的屏蔽栅极沟槽 MOSFET 和屏蔽 TMBS 整流器结构的简化截面图。

具体实施方式

[0042] 根据本发明来描述具有 PN 结嵌位的 TMBS 整流器结构和用于形成其的方法的实施例。使用掺杂衬层 (liner) 作为形成每个沟槽之下的硅区的掺杂源。不管是在原位掺杂该衬层或通过注入来掺杂该衬层, 掺杂剂都可以从该掺杂衬层扩散到周围的半导体区中, 其中, 径向扩散被限制从而允许窄的原胞尺寸。每个沟槽下的硅区都和周围半导体区的导电类型相反, 从而与该半导体区形成了 PN 结。该 PN 结可以通过将反向电压嵌制在该 PN 结的较低雪崩击穿处而防止在肖特基整流接触处发生击穿。此外, 该 PN 结与沟槽中的导电材料 (例如, 衬层) 电接触, 从而雪崩电流流过沟槽而不是流过肖特基接触。

[0043] 图 1 示出了根据本发明实施例的具有 PN 结嵌位的 TMBS 整流器结构的截面图。N 型半导体区 102 在 N+ 型衬底 100 上延伸, 并包括多个沟槽 112。沟槽 112 从半导体区 102 的上表面起延伸至预定高度。沿着沟槽 112 的侧壁为每个沟槽加衬了电介质层 108。掺杂衬层 110 为电介质层和每个沟槽 112 的底部加衬。填充材料 116 填充了每个沟槽 112 的内部。P 型硅区 114 沿着每个沟槽 112 的底部延伸。每个 P 型硅区 114 都与周围的 N 型半导体区 102 形成 PN 结。

[0044] 导体 104 (例如, 包括铝的层) 在半导体区 102 的上表面上延伸并形成了阳极。导体 104 与沿着台地表面的半导体区 102 形成了肖特基接触。导体 104 直接与掺杂衬层 110 接触。导体 104 可以包括适于与台地表面形成肖特基势垒接触的势垒金属层。另一导体 (未示出) 沿着衬底 100 的底面延伸并形成了阴极。

[0045] 图 2A-2F 示出了根据本发明实施例的用于形成具有 PN 结嵌位的 TMBS 整流器的各个处理步骤的截面图。处理流程中的步骤的以下描述仅是示例性的。应当理解到, 本发明的范围不局限与这些特定实例。

[0046] 在图 2A 中, 在半导体区 102 中形成沟槽 112。沟槽 112 可以根据已知技术利用硬掩模层 220 形成。在一个实施例中, 硬掩模层 220 包括氧化物, 半导体区 102 包括形成在高掺杂的 N 型衬底 100 之上的轻掺杂的 N 型外延层, 并且沟槽 112 终止在外延层中。在另一实施例中, 沟槽 112 延伸至并终止在衬底 100 中。

[0047] 在图 2B 中, 利用传统方法沿着每个沟槽 112 的侧壁和底部形成电介质层 108。在一个实施例中, 电介质层 108 包括厚度范围在 300-700Å 的热氧化物 (thermal oxide)。在图 2C 中, 沿着每个沟槽 112 的底部去除的电介质层 108。在一个实施例中, 电介质层 108 是根据已知技术利用各向异性的蚀刻处理来去除的。该各向异性蚀刻处理沿着每个沟槽 112 的底部去除了电介质层 108, 而不去除电介质层 108 沿着侧壁的那部分。然而, 通过该各向异性蚀刻处理会减小沿着侧壁的电介质层 108 的厚度, 这可以通过形成厚一些的电介质层 108 来解决。

[0048] 在另一实施例中, 在进行各向异性蚀刻处理之前可以在电介质层 108 上沉积间隔

层 (spacer layer) (未示出)。在该实施例中,各项异性蚀刻处理去除了沿着每个沟槽 112 底部的间隔层以暴露沿着每个沟槽底部的电介质层 108。间隔层的部分保留在沿着每个沟槽 112 的侧壁的电介质层 108 上。沿着每个沟槽 112 底部的电介质层 108 的暴露部分可以被去除,而电介质层 108 沿着侧壁的那部分被间隔层的剩余部分所保护。留下的沿着沟槽侧壁的间隔层部分可以在接下来图 2D 中所示的处理步骤之前被去除,或可以完整无缺用于余下的处理。在一个实施例中,间隔层包括氮化物,而电介质层 108 包括氧化物。

[0049] 在图 2D 中,利用传统方法将掺杂衬层 110 形成在电介质层 108 之上并沿着每个沟槽 112 的底部。掺杂衬层 110 还可以在硬掩模层 220 上延伸。可以在形成掺杂衬层 110 之前利用氧化物蚀刻处理以去除电介质层 108 沿着每个沟槽 112 底部的剩余部分和 / 或以去除沿着每个沟槽 112 的底部的固有氧化物。在一个实施例中,掺杂衬层 110 包括多晶硅并具有范围在 700-1300Å 的厚度。

[0050] 掺杂衬层 110 可以是原位掺杂的或通过注入来掺杂的。掺杂剂与半导体区 102 具有相反导电类型。当通过注入进行掺杂时,掺杂剂首先被注入到掺杂衬层 110 水平在硬掩模层 220 之上并沿着每个沟槽 112 的底部延伸的那部分。因此,相比于掺杂衬层 110 在电介质层 108 之上并沿着每个沟槽 112 的侧壁延伸的那部分,掺杂衬层 110 在硬掩模层 220 之上并沿着每个沟槽 112 的底部延伸的那部分被更重地掺杂。在一个实施例中,可以利用传统方法利用剂量约 2×10^{15} 原子 / cm^2 且能量在 15-25keV 之间的注入来对掺杂衬层 110 进行掺杂。硬掩模层 220 防止掺杂剂被注入到半导体区 102 的台地区。当掺杂衬层 110 被原位掺杂时,硬掩模层 220 可以或可以不在形成掺杂衬层 110 之前被去除。

[0051] 在图 2E 中,利用传统方法形成填充材料 116 以填充每个沟槽 112 的内部部分。在一个实施例中,填充材料 116 包括多晶硅并具有足以填充每个沟槽 112 内部部分的厚度。类似于掺杂衬层 110,填充材料 116 可以被原位掺杂或通过注入来掺杂。填充材料 116 可以被掺杂以减小或防止掺杂剂从掺杂衬层 110 扩散到填充材料 116,从而掺杂衬层 110 保留足够的掺杂剂量以在每个沟槽 112 下形成硅区 114。填充材料 116 还可以被掺杂以降低反向击穿下的雪崩电流的串联电阻。在一个实施例中,可以利用传统方法利用包括剂量约 5×10^{15} 原子 / cm^2 的硼的注入来对填充材料 116 进行掺杂。硬掩模层 220 防止掺杂剂被注入半导体区 102 的台地区。

[0052] 在一个实施例中,沉积填充材料 116 之后的一个或多个热循环使掺杂剂从掺杂衬层 110 扩散到沿着每个沟槽 112 的底部的半导体区 102 中。电介质层 108 防止掺杂剂扩散到沿着每个沟槽 112 的侧壁的半导体区中。扩散到沿着每个沟槽 112 的底部的半导体区 102 中的掺杂剂形成了硅区 114。在一个实施例中,该一个或多个热循环包括在 800-1050°C 的温度下执行 80-100 分钟的多晶硅退火处理。在掺杂衬层 110 和 / 或填充材料 116 包括多晶硅的实施例中,多晶硅退火处理可以使所沉积的多晶硅退火并使掺杂剂从掺杂衬层 110 扩散到半导体区 102 中。

[0053] 在其他实施例中,可以通过在形成填充材料 116 之前、期间、和 / 或之后进行的热循环,将掺杂剂扩散到半导体区中。总的来说,利用每次热循环,掺杂剂都在半导体区中扩散得更远。如本领域普通技术人员将明了和理解的,掺杂剂在半导体区 102 中的径向扩散将依赖于形成掺杂衬层 110 之后的处理步骤的热累积。然而,根据本发明的技术有利地使得掺杂剂的径向扩散能够最小化,因而允许原胞尺寸减小。

[0054] 在一个可替换实施例中,在电介质层 108 之上并沿着每个沟槽 112 的底部形成掺杂材料以填充整个沟槽。在该实施例中,掺杂衬层 110 和填充材料 116 被单个层的掺杂材料所替换。该掺杂材料可以包括原位掺杂的多晶硅。这里,掺杂材料是用于形成硅区 114 的掺杂源。

[0055] 在图 2F 中,利用传统方法将硬掩模层 220 以及填充材料 116 和掺杂衬层 110 在半导体区 102 的上表面上延伸的那部分从台地表面去除。在一个实施例中,根据已知技术利用一个或多个传统化学机械剖光 (CMP) 处理来去除这些层。掺杂衬层 110 和填充材料 116 留在每个沟槽中的那部分可以在半导体区 102 的上表面略微凹下。

[0056] 通过在硅区 114 和半导体区 102 之间形成 PN 结,可以利用多种已知技术中的任何一种技术来形成图 1 中所示的 TMBS 整流器结构的剩余部分。例如,可以根据已知技术来对半导体区 102 的台地区进行掺杂以获得期望的肖特基势垒高度。可以利用传统方法在该结构之上形成导体 104 以形成阳极。在一个实施例中,导体 104 包括铝。沿着导体 104 与半导体区 102 接触的台地表面形成肖特基整流接触。导体 104 通过掺杂衬层 110 和 / 或填充材料 116 与每个 PN 结电接触。在一些实施例中,导体 104 可以包括适于与台地表面形成肖特基势垒接触的势垒金属层。另一导体 (未示出) 沿着衬底 100 的底面延伸并形成阴极。

[0057] 在其他优点和特征当中,根据本发明实施例所形成的肖特基整流器享有小的原胞尺寸 (通过使硅区 114 的径向扩散最小化)、增大的能量处理能力 (通过使雪崩电流更均匀地通过沟槽而非通过肖特基势垒而分布在结构的有源区、改善的电介质击穿特性 (通过消除高的电场,该电场存在于电介质层沿着沟槽的底部延伸的沟槽底部拐角)、以及低的反向泄漏。此外,本文所描述的本发明实施例有利地易于实施,从而使得它们能够被容易地与用于形成包括 TMBS 整流器的器件的传统工艺结合在一起。

[0058] 两个这种器件是沟槽栅极同步 FET 和屏蔽栅极 FET。这些是 FET 与肖特基整流器单片集成的器件。在这种器件中,可以在形成用于 FET 结构的栅极沟槽的同时形成沟槽 112,而可以在形成用于 FET 结构的栅极电介质层的同时形成电介质层 108。此外,在填充材料 116 包括多晶硅的情况下,可以在 FET 结构中形成栅电极的同时执行沟槽 112 内部的填充。在图 3 和图 4 中分别示出了示例性的沟槽栅极同步 FET 和示例性屏蔽栅极同步 FET 的截面图。

[0059] 在图 3 中,示出了逐渐消失的沟槽栅极 FET (该图的左侧) 和肖特基 (该图的右侧)。除了 FET 区中的衬层 310 与沿着沟槽底部的半导体区 302 绝缘之外,肖特基区和 FET 区中的沟槽结构都是类似的。此外,不在 FET 沟槽下形成嵌位区 314,这是由于 FET 沟槽中的衬层 310 不与半导体区 302 接触。此外,FET 沟槽中的填充材料 316 和衬层 310 形成栅电极并通过电介质盖 (dielectric cap) 322 与源极 / 阳极互连 304 绝缘。相反,FET 区中的填充材料 316 和衬层 310 连接到栅极互连 (未示出)。附加地,体区 318 和源区 320 被形成为只邻近于 FET 沟槽而不邻近于肖特基沟槽。

[0060] 图 2A-2F 所示的处理序列可以按照以下有所改变以形成图 3 中所示的同步 FET。在 FET 区和肖特基区两者中都形成电介质层 308 之后,可以在去除电介质层 308 沿着肖特基沟槽底部延伸的那部分期间覆盖该 FET 区。可以利用 (例如) 传统的掩模和各向异性蚀刻技术来执行这些步骤。可以利用传统技术在 FET 区中形成体区 318、源区 320、及电介质盖 322。传统的掩模技术可以被用于防止在肖特基区中形成这些区。在可替换实施例中,利

用传统的多晶硅沉积和凹入来形成 FET 区中的栅电极,与在肖特基区中形成衬层 310 和填充材料 316 的步骤分开执行。在又一实施例中,利用已知掩模技术用填充材料 316 填充 FET 沟槽,而非首先沿着 FET 沟槽的侧壁形成衬层 310。此外,可以使沿着 FET 区中的沟槽底部的电介质层比为沟槽侧壁加衬的栅极电介质厚一些,以使栅极到漏极的电容最小化。此外,如果需要的话,可以在 FET 沟槽中使在 FET 沟槽中形成栅电极的一种或多种导电材料凹入。

[0061] 在图 4 中,示出了逐渐消失的屏蔽栅极 FET(该图的左侧)和肖特基(该图的右侧)。除了 FET 区中的屏蔽电极 410 与沿着沟槽底部的半导体区 402 绝缘之外,FET 区中的沟槽结构和肖特基区中的沟槽结构都是类似的。此外,在 FET 沟槽下不形成嵌位区 414,这是由于 FET 沟槽中掺杂的屏蔽电极 410(其还起着类似于之前实施例的掺杂衬层的作用)不与半导体区 402 相接触。注意,肖特基沟槽中的栅电极 416 直接与源极/阳极互连 404 相接触,FET 沟槽中的栅电极 416 通过电介质盖 422 与源极/阳极互连 404 绝缘。相反,FET 区中的栅电极 416 连接到栅极互连(未示出)。附加地,体区 418 和源区 420 被形成为邻近于 FET 沟槽而不邻近于肖特基沟槽。

[0062] 尽管将屏蔽电极和栅电极示出为通过 FET 沟槽和肖特基沟槽两者中的电极间电介质(IED)426 彼此绝缘,但是肖特基区中的屏蔽电极和栅电极需要被电连接在一起以确保在嵌位区 414 和源极/阳极互连 404 之间提供电路路径。这可以通过之后描述的多种方式来实现。因此,可以明了的是,肖特基沟槽中的屏蔽电极 410 起着与之前提供用于形成嵌位区的源极掺杂剂的实施例中的掺杂衬层类似的功能,而肖特基沟槽中的栅电极 416 提供了嵌位区 414 和源极/阳极互连层 404 之间的低阻抗路径。

[0063] 用于形成屏蔽栅极沟槽 FET 的传统处理技术可以按照接下来的描述来改变以形成图 4 中所示的屏蔽栅极同步 FET。在形成半导体区 402 中的沟槽 412 之后,利用已知的掩模技术,形成沿着 FET 沟槽的下方侧壁和底部的以及沿着肖特基沟槽的下方侧壁但不沿着肖特基沟槽底部的屏蔽电介质 424。因此,屏蔽电介质 424 沿着 FET 沟槽的下方侧壁和底部是连续的,但是沿着肖特基沟槽的底部不是连续的。然后利用传统方法在下方沟槽部分形成掺杂的屏蔽电极(例如,P 掺杂的多晶硅)。通过屏蔽电介质 424 沿着肖特基沟槽的底部是连续的,肖特基沟槽中的屏蔽电极 410 与半导体区 402 直接接触。然后,通过利用温度循环(temperature cycle)将屏蔽电极掺杂剂外扩散到半导体区 402 中,可以在肖特基沟槽下的半导体区 402 中形成嵌位区 414。该温度循环可以独立于整个处理中的其他必要温度循环来执行,或者可以通过依赖于之后的处理步骤中执行的温度循环来达到外扩散。

[0064] 接下来,电极间电介质层 426 被形成在每个沟槽中的屏蔽电极 410 之上。在屏蔽电极和栅电极需要在肖特基区中电连接在一起而在 FET 区中不必电连接在一起的实施例中,肖特基沟槽中的屏蔽电极和栅电极延伸到表面并沿着第三维度(例如,进入纸面的维度)彼此接触。另一种可能性是,只形成肖特基沟槽的 IED 426 中的开口,然后通过该开口在这两个电极之间形成接触。另一种可能性是,在形成 IED 426 时,可以对肖特基沟槽进行掩模,使得不在肖特基沟槽中形成 IED 426,从而允许肖特基沟槽中的栅电极和屏蔽电极彼此直接接触。可以使用传统的掩模技术来确保肖特基区中的屏蔽电极和栅电极彼此接触而在 FET 区中不是这样。然而,在期望使 FET 的屏蔽电极偏置到栅极电势(而不是源极电势)的实施例中,在形成栅电极和屏蔽电极之间的接触时不需要掩模。可以利用传统技术只在 FET 区中形成体区 418、源区 420、及电介质盖 422。注意,如果期望的话可以使 FET 沟槽中

的栅电极 416 凹入。

[0065] 尽管本文示出并描述了多个特定实施例,但是本发明的实施例并不局限于此。例如,根据本发明的实施例,掺杂衬层 110 可以包括硅,并通过外延沉积处理或选择性外延沉积处理 (selective epitaxial deposition process, 简称 SEG) 来形成。该外延层可以原位掺杂或通过注入来掺杂。可替换地,除了具有可以扩散到半导体区中掺杂剂的硅之外,掺杂衬层 110 还可以包括导电材料。在又一实施例中,掺杂衬层 110 可以包括掺杂的电介质层,在将掺杂剂扩散到半导体区 102 中之后去除该电介质层,使得在导体 104 和硅区 114 之间进行电接触。附加地,填充材料 116 可以包括导电材料或非导电材料。例如,填充材料 116 可以包括金属或电介质。在一些实施例中,一个包括氧化物的层可以使掺杂衬层 110 与填充材料 116 分隔开。总地来说,不管如何形成硅区 114,都需要进行准备以确保导体 104 和硅区 114 之间的电接触,使得在雪崩击穿的情况下雪崩电流可以流过该沟槽。

[0066] 此外,尽管在包括 TMBS 整流器的结构的上下文中描述了本发明,但是,本发明并不局限于此。可以在其他整流器、或可以从形成沿着沟槽底部的这种 PN 结中受益的其他类型半导体结构和器件中,使用将掺杂衬层用作用于在每个沟槽下直接形成 PN 结的掺杂源的该技术。

[0067] 应当理解的是,在不背离本发明的情况下,所示的和所描述的结构掺杂极性可以反过来和 / 或各个元件的掺杂浓度可以改变。此外,尽管以传统的硅来实现上述的各个实施例,但是可以以碳化硅、砷化镓、氮化镓、金刚石、或其他半导体材料来实现这些实施例和它们显而易见的变体。此外,在不背离本发明的情况下,本发明的一个或多个实施例的特征可以与本发明的其他实施例的一个或多个特征相结合。

[0068] 因此,不应当参照上述描述来确定本发明的范围,而是相反应当参照所附权利要求及其等价物的全部范围来确定本发明的范围。

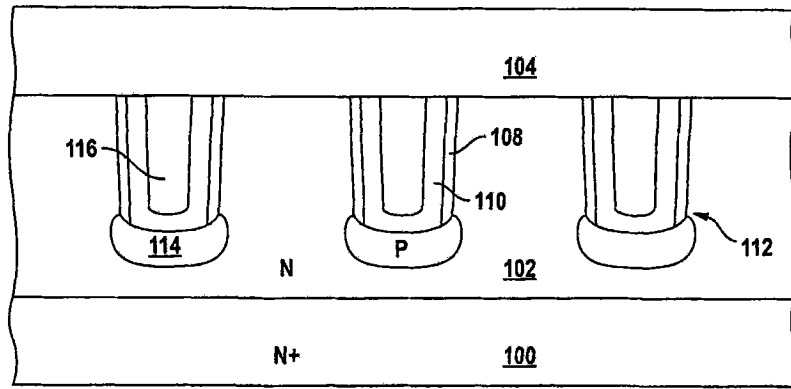


图 1

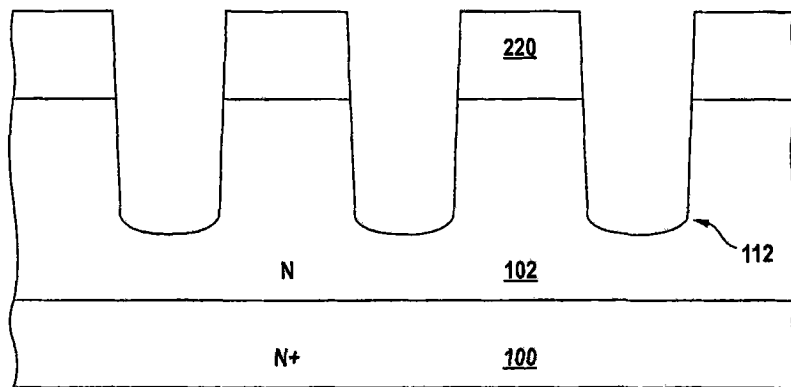


图 2A

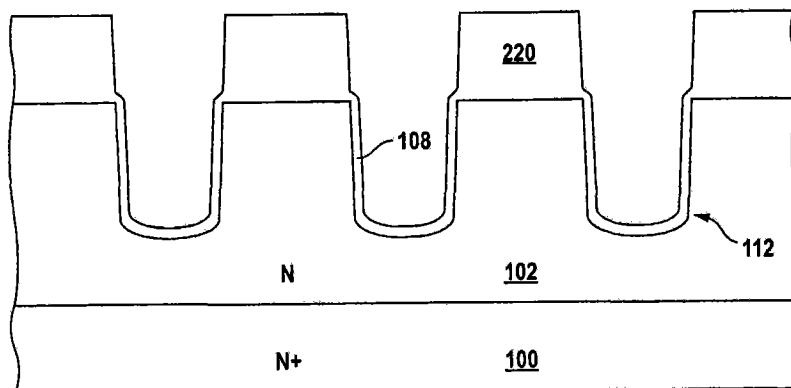


图 2B

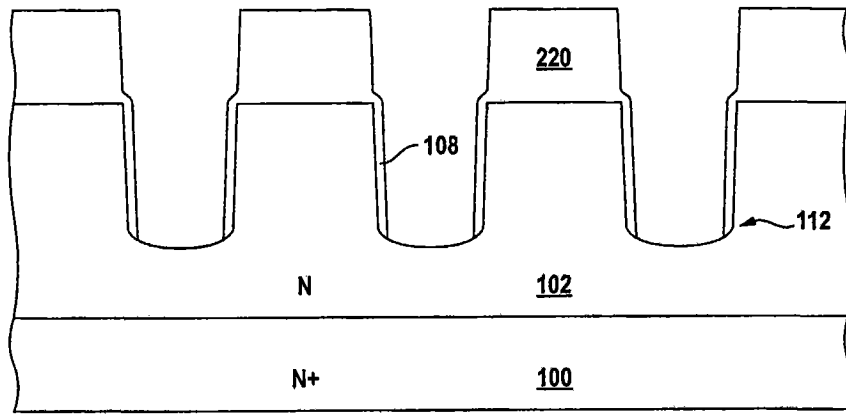


图 2C

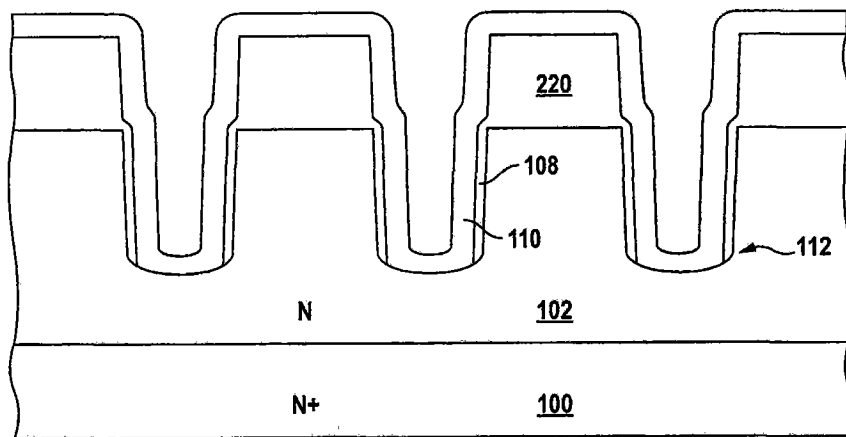


图 2D

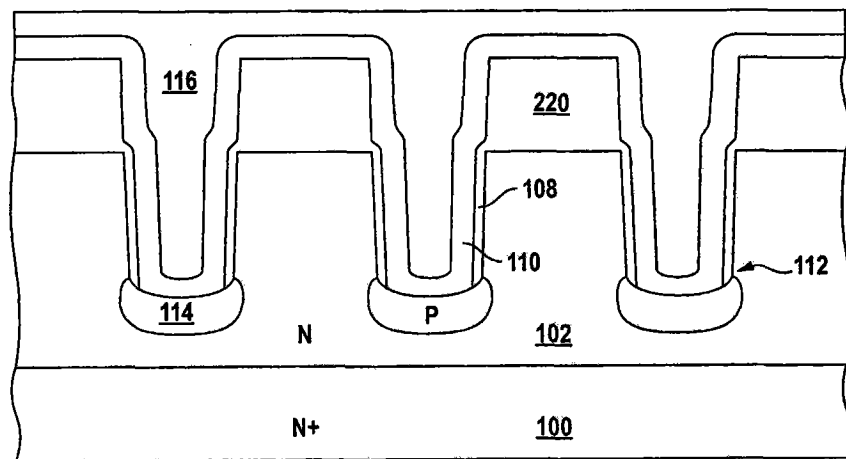


图 2E

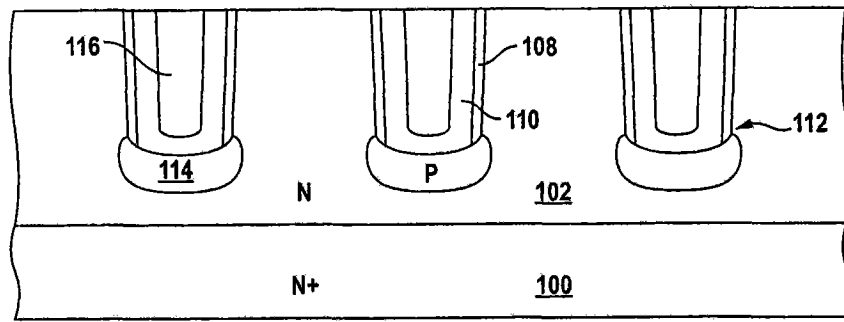


图 2F

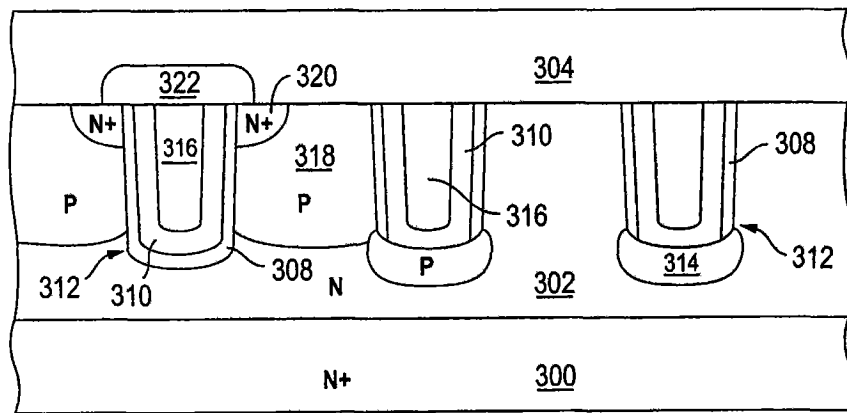


图 3

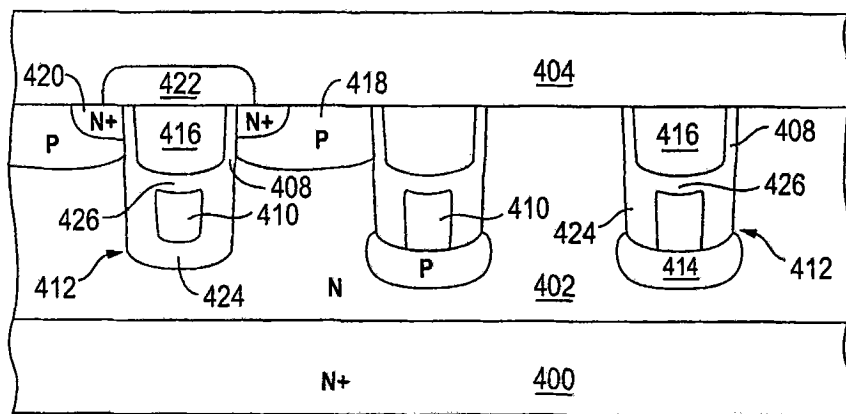


图 4