



(12) 发明专利

(10) 授权公告号 CN 1839544 B

(45) 授权公告日 2011. 11. 30

(21) 申请号 200480024199. 6

59 行至第 5 栏第 9 行、图 5, 图 6.

(22) 申请日 2004. 06. 30

US 3671886 , 1972. 06. 20, 全文 .

(30) 优先权数据

CN 1118535 A, 1996. 03. 13, 全文 .

10/612, 864 2003. 07. 02 US

CN 1409511 A, 2003. 04. 09, 全文 .

(85) PCT 申请进入国家阶段日

US 6226322 B1, 2001. 05. 01, 全文 .

2006. 02. 22

US 5191300 A, 1993. 03. 02, 说明书第 3 栏第

1 行至第 6 栏第 28 行、图 2, 图 4, 图 6, 图 7.

(86) PCT 申请的申请数据

审查员 苏丹

PCT/US2004/021331 2004. 06. 30

(87) PCT 申请的公布数据

W02005/004328 EN 2005. 01. 13

(73) 专利权人 英特尔公司

地址 美国加利福尼亚州

(72) 发明人 阿洛克·特里帕斯 肯·德罗塔

戴夫·邓宁

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 钱慰民

(51) Int. Cl.

H03H 21/00 (2006. 01)

(56) 对比文件

US 3906406 , 1975. 09. 16, 说明书第 4 栏第

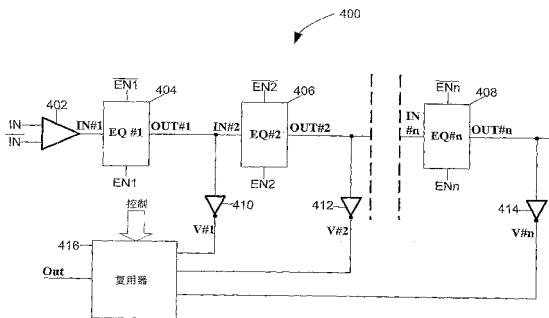
权利要求书 2 页 说明书 8 页 附图 8 页

(54) 发明名称

用于接收机均衡的装置和系统

(57) 摘要

频率相关增益电路被耦合到放大器 (402) 的输出。响应于放大器的输出, 所述增益电路提供至少两个频率相关增益特性 (V#1-V#n) 范围。控制电路提供所述至少两个增益值中的一个作为输出。



1. 一种用于均衡的装置,包括:

CMOS 放大器;

耦合到所述 CMOS 放大器输出的 CMOS 增益电路,所述 CMOS 增益电路用来响应于所述 CMOS 放大器的输出,提供至少两个增益值;以及

控制电路,所述控制电路用来提供所述至少两个增益值中的一个作为输出;

其中,所述 CMOS 增益电路包括至少两个均衡电路,所述至少两个均衡电路中的每一个提供所述至少两个增益值中的相应的一个。

2. 如权利要求 1 所述的装置,其中,所述至少两个均衡电路串联耦合到所述 CMOS 放大器的所述输出。

3. 如权利要求 1 所述的装置,其中,所述至少两个均衡电路中的每一个均包括 RC 滤波器。

4. 如权利要求 3 所述的装置,其中,所述 RC 滤波器的电阻 R 和电容 C 都是用片上组件实现的。

5. 如权利要求 3 所述的装置,其中,所述 RC 滤波器的电阻 R 是用无源组件实现的。

6. 如权利要求 3 所述的装置,其中,所述 RC 滤波器的电阻 R 是用有源组件实现的。

7. 如权利要求 3 所述的装置,其中,在所述装置中的所有电阻都是用多晶电阻技术形成的。

8. 如权利要求 3 所述的装置,其中,所述 RC 滤波器的 R 和 C 值在电路设计阶段被固定。

9. 如权利要求 1 所述的装置,其中,所述控制电路包括 DC 反馈电路,并且响应于所述 DC 反馈电路来选择由所述控制电路提供的所述输出。

10. 如权利要求 9 所述的装置,其中,所述 DC 反馈电路使用 DC 平衡来帮助选择所述输出。

11. 如权利要求 1 所述的装置,其中,所述均衡电路的至少一个均衡印刷电路板迹线的频率相关损耗特性造成的符号间干扰。

12. 如权利要求 1 所述的装置,其中,所述均衡电路的至少一个均衡两个集成电路之间高速点对点互连的频率相关损耗特性造成的符号间干扰。

13. 一种用于均衡的系统,包括:

发射机;

接收机;以及

耦合到所述发射机和接收机的互连;

其中,所述接收机包括均衡电路,所述均衡电路包括:

CMOS 放大器;

耦合到所述 CMOS 放大器输出的 CMOS 增益电路,所述 CMOS 增益电路用来响应于所述 CMOS 放大器的输出,提供至少两个增益值;以及

控制电路,用来提供所述至少两个增益值中的一个作为输出;

其中,所述 CMOS 增益电路包括至少两个均衡电路,每个均衡电路提供所述至少两个增益值中的相应的一个。

14. 如权利要求 13 所述的系统,其中,所述至少两个均衡电路串联耦合到所述 CMOS 放大器的所述输出。

15. 如权利要求 13 所述的系统,其中,所述至少两个均衡电路中的每一个都包括 RC 滤波器。

16. 如权利要求 13 所述的系统,其中,所述控制电路包括 DC 反馈电路,而且响应于所述 DC 反馈电路来选择由所述控制电路提供的所述输出。

17. 如权利要求 16 所述的系统,其中,所述 DC 反馈电路使用 DC 平衡来帮助选择所述输出。

18. 如权利要求 13 所述的系统,其中所述发射机和所述接收机的每一个是印刷电路板上的集成电路,并且所述互连是所述印刷电路板上的高速互连,其中所述均衡电路均衡印刷电路板迹线的频率相关损耗特性造成的符号间干扰。

19. 如权利要求 13 所述的系统,其中所述发射机和所述接收机的每一个是印刷电路板上的集成电路,并且所述互连是所述印刷电路板上的高速点对点互连,其中所述均衡电路均衡所述高速点对点互连的频率相关损耗特性造成的符号间干扰。

## 用于接收机均衡的装置和系统

[0001] 相关申请: 本申请与 2003 年 6 月 27 日提交递交的、发明者为 Ken DROTTAR、标题为“用于接收机均衡的装置、系统和方法”的申请相关。

[0002] 技术领域

[0003] 本发明总地涉及接收机均衡。

[0004] 背景技术

[0005] 两个 IC(集成电路)或 ASIC(专用集成电路)之间的点对点互连正日益成为被广泛接受的、用于高速数据传输应用的总线技术。用于这种链接的信号传输(signaling)方案可以是单端方式或差分方式。基于现有的印刷电路板(PCB)技术,由于互连频率相关插入损耗特性造成的符号间干扰(ISI)成为更大的问题。ISI是实现点对点高速互连技术的主要瓶颈之一。

[0006] 可以使用各种片内(on-die)接收机均衡技术来减少由 PCB 迹线的频率相关损耗特性所产生的符号间干扰(ISI)。一些已知的接收机均衡技术包括具有数字滤波器的均衡方案和具有有源线性滤波器的均衡方案。

[0007] 使用数字滤波器的接收机均衡技术通过在接收机端使用适当的有源数字 FIR 滤波器(有限冲激响应滤波器)或 IIR 滤波器(无限冲激响应滤波器)来抵偿频率相关损耗特性。这种数字滤波器的一个例子就是在接收机端实现的自适应(adaptive)抽头延迟线滤波器。在接收机端的数字滤波器接收机均衡技术很有利,但是难以用硅片实现。使用 FIR 或 IIR 滤波器的数字滤波器接收机均衡电路消耗大量功率。这种数字自适应滤波器的系数可以通过使用合适的训练序列来确定,且高阶滤波器方案是可能的,但其实现极为复杂。由于有限的可用电压限额,很难在这一阶段的实现中获得增益。

[0008] 具有有源线性滤波器的均衡方案易于实现,而且使用这种方案的电路能够适当地消耗功率。此外,具有大损耗的互连可以被均衡。这可能导致使用更长长度的互连。然而,有源滤波器一般使用具有有限带宽的 gm-c 电路元件来实现。

[0009] 附图说明

[0010] 从下面给出的详细说明以及本发明的一些实施方案的附图将能够更完整地来理解本发明,然而,这些附图并不把本发明限制于所描述的特定实施方案,而仅仅是用于解释和理解。

[0011] 图 1 是根据本发明一些实施方案的装置的电路图。

[0012] 图 2 是根据本发明一些实施方案的装置的电路图。

[0013] 图 3 是根据本发明一些实施方案的装置的电路图。

[0014] 图 4 所示是根据本发明一些实施方案的装置的框图。

[0015] 图 5 是根据本发明一些实施方案的曲线图。

[0016] 图 6 所示是根据本发明一些实施方案的装置的框图。

[0017] 图 7 所示是根据本发明一些实施方案的装置的框图。

[0018] 图 8 所示是根据本发明一些实施方案的系统的框图。

### 具体实施方式

[0019] 本发明的一些实施方案涉及接收机均衡。在一些实施方案中自适应均衡在接收机上实现。在一些实施方案中为在点对点互连（例如芯片间）、高速数据总线、或其他任何高速串行互连上传输的信号执行自适应均衡。

[0020] 在一些实施方案中，频率相关增益电路被耦合到放大器的输出。响应于放大器的输出，所述增益电路提供至少两个频率相关增益特性范围。控制电路提供所述至少两个增益值中的一个作为输出。

[0021] 在一些实施方案中，使用基于 RC 滤波器的 CMOS（互补金属氧化物半导体）自适应均衡电路来减少符号间干扰（ISI）。在一些实施方案中，均衡电路和 / 或 RC 滤波器是用片内无源电阻和电容元件实现的。在一些实施方案中自适应反馈是基于 DC 平衡的 8B/10B 编码信号特性的（例如，为了跟踪温度和过程变化）。在一些实施方案中，通过使用数字控制元件来针对给定互连优化普通高速接收机是可能的。在一些实施方案中，电阻 R 是用无源组件（例如，多晶电阻（poly resistance），gpn 阱（gpn-well），和 / 或扩散型电阻（diffused））或者有源组件（例如，使用通过门（pass gate），n- 阱通过门（n-well pass gate）等等）实现的。在一些实施方案中，电容 C 是用金属对金属（metal-to-metal）电容实现的，具有 pMOS 栅极接到源极 / 漏极的电容，或是当 nMOS 隔离阱（isolated well）可用时具有 nMOS 栅极接到源极 / 漏极的电容。

[0022] 在一些实施方案中，电阻和电容值取决于互连的插入损耗特性和终端电阻。在一些实施方案中，通过执行自适应均衡来基于期望的互连插入损耗特性调整均衡。为了获得可变的离散频率相关增益，在一些实施方案中可以级联（或串行连接）两个或更多个均衡电路，其中均衡电路的输出以复用的方式来提供。在一些实施方案中，提供了离散的增益值。在一些实施方案中，选择两个或更多个离散增益值组成的组中的一个值作为输出值。在一些实施方案中，选择操作是通过使用 DC 平衡技术来执行的。在一些实施方案中，选择操作是通过使用 DC 平衡的 8B/10B 编码信号特性来执行的。

[0023] 图 1 示出根据一些实施方案的装置 100。装置 100 包括输入  $V_{in}$ 、反相输入  $\overline{EN1}$ 、输入 EN1、输出  $A*V_{in}$ 、p 沟道 MOSFET 102（金属氧化物半导体场效应管）（pMOS 晶体管 102）、pMOS 晶体管 104、n 沟道 MOSFET 106（nMOS 晶体管 106）、nMOS 晶体管 108 和电阻 110。在一些实施方案中，装置 100 是 CMOS 放大器。在一些实施方案中，装置 100 是高带宽低增益 CMOS 放大器。在一些实施方案中，装置 100 是均衡器电路或是均衡器电路的构建模块。

[0024] pMOS 晶体管 102 的源极耦合到高电压源  $V_{ss}$ 。pMOS 晶体管 102 的栅极耦合到反相输入  $\overline{EN1}$ 。pMOS 晶体管 102 的漏极耦合到 pMOS 晶体管 104 的源极。

[0025] pMOS 晶体管 104 的源极耦合到 pMOS 晶体管 102 的漏极。pMOS 晶体管 104 的栅极耦合到输入  $V_{in}$ ，电阻 110 的第一端，以及 nMOS 晶体管 106 的栅极。pMOS 晶体管 104 的漏极耦合到电阻 110 的第二端，输出  $A*V_{in}$ ，以及 nMOS 晶体管 106 的漏极。

[0026] nMOS 晶体管 106 的源极耦合到 nMOS 晶体管 108 的漏极。nMOS 晶体管 106 的栅极耦合到输入  $V_{in}$ ，电阻 110 的第一端，以及 pMOS 晶体管 104 的栅极。nMOS 晶体管 106 的漏极耦合到 pMOS 晶体管 104 的漏极，电阻 110 的第二端，以及输出  $A*V_{in}$ 。

[0027] nMOS 晶体管 108 的源极耦合到低电平电压源  $V_{cc}$ 。在一些实施方案中，低电平电压源  $V_{cc}$  是地电压（ground voltage）。nMOS 晶体管 108 的栅极耦合到输入 EN1。nMOS 晶

晶体管 108 的漏极耦合到 nMOS 晶体管 106 的源极。

[0028] 电阻 110 具有阻值  $R_1$ 。电阻 110 的第一端耦合到输入  $V_{in}$ , pMOS 晶体管 104 的栅极, 以及 nMOS 晶体管 106 的栅极。电阻 110 的第二端耦合到输出  $A*V_{in}$ , pMOS 晶体管 104 的漏极以及 nMOS 晶体管 106 的漏极。电阻 110 被耦合在装置 100 的输入和输出之间, 在一些实施方案中, 所述装置 100 是一个经过修改的 CMOS 放大器。电阻 110 的阻值  $R_1$  为 CMOS 放大器 100 提供负反馈, 从而增加所述放大器的带宽, 并且此电路变为自偏置的。放大器 100 的输出阻抗近似等于电阻 110 的阻值  $R_1$ 。放大器 100 的输入阻抗近似等于  $R_1/(1+A)$ , 其中  $R_1$  是电阻 100 的阻值, 而  $A$  是放大器 100 的增益。放大器 100 的电压增益等于  $-A$ , 其中  $A$  是放大器的增益。

[0029] 图 2 示出根据一些实施方案的装置 200。在一些实施方案中, 装置 200 是均衡电路。装置 200 包括输入  $V_{in}$ 、反相输入  $\overline{EN1}$ 、输入  $EN1$ 、输出  $V_{out}$ 、pMOS 晶体管 202、pMOS 晶体管 204、nMOS 晶体管 206、nMOS 晶体管 208、电阻 210、电阻 212 以及电容 214。晶体管 202、204、206、208 和电阻 210 类似于在图 1 中示出并参照图 1 描述的晶体管 102、104、106、108 和电阻 110, 而且可以与图 1 中的元件完全相同。

[0030] pMOS 晶体管 202 的源极耦合到高电压源  $V_{ss}$ 。pMOS 晶体管 202 的栅极耦合到反相输入  $\overline{EN1}$ 。pMOS 晶体管 202 的漏极耦合到 pMOS 晶体管 204 的源极。

[0031] pMOS 晶体管 204 的源极耦合到 pMOS 晶体管 202 的漏极。pMOS 晶体管 204 的栅极耦合到电阻 210 的第一端, nMOS 晶体管 206 的栅极, 电阻 212 的第二端, 以及电容 214 的第二端。pMOS 晶体管 204 的漏极耦合到电阻 210 的第二端, 输出  $V_{out}$ , 以及 nMOS 晶体管 206 的漏极。

[0032] nMOS 晶体管 206 的源极耦合到 nMOS 晶体管 208 的漏极。nMOS 晶体管 206 的栅极耦合到电阻 210 的第一端, pMOS 晶体管 204 的栅极, 电阻 212 的第二端, 以及电容 214 的第二端。nMOS 晶体管 206 的漏极耦合到 pMOS 晶体管 204 的漏极, 电阻 210 的第二端, 以及输出  $V_{out}$ 。

[0033] nMOS 晶体管 208 的源极耦合到低电平电压源  $V_{cc}$ 。在一些实施方案中, 低电平电压源  $V_{cc}$  是地电压。nMOS 晶体管 208 的栅极耦合到输入  $EN1$ 。nMOS 晶体管 208 的漏极耦合到 nMOS 晶体管 206 的源极。

[0034] 电阻 210 具有阻值  $R_1$ 。电阻 210 的阻值  $R_1$  可以与在图 1 中示出的电阻 110 的阻值  $R_1$  相同或不同。电阻 210 的第一端耦合到电阻 212 的第二端, 电容 214 的第二端, pMOS 晶体管 204 的栅极, 以及 nMOS 晶体管 206 的栅极。电阻 210 的第二端耦合到输出  $V_{out}$ , pMOS 晶体管 204 的漏极以及 nMOS 晶体管 206 的漏极。

[0035] 电阻 212 具有与电阻 210 的阻值  $R_1$  相同或者不同的阻值  $R_2$ 。而且, 正如上面所提到的, 电阻 210 的阻值  $R_1$  不需要与图 1 的电阻 110 的阻值  $R_1$  相同。电阻 212 的第一端耦合到输入  $V_{in}$  以及电容 214 的第一端。电阻 212 的第二端耦合到电容 214 的第二端, 以及电阻 210 的一端, pMOS 晶体管 204 的栅极, 以及 nMOS 晶体管 206 的栅极。

[0036] 电容 214 具有电容值  $C_1$ ,  $C_1$  可以为任意值。电容 214 的第一端耦合到输入  $V_{in}$  以及电阻 212 的第一端。电容 214 的第二端耦合到电阻 212 的第二端, 电阻 210 的一端, pMOS 晶体管 204 的栅极以及 nMOS 晶体管 206 的栅极。

[0037] 在一些实施方案中, 电阻 212 和电容 214 是片内  $R_2$  和  $C_1$  的电阻网络。在一些实施

方案中,装置 200 可以被称为具有片内电阻网络(包括电阻 212 和电容 214)的均衡电路,所述片内电阻网络之后紧跟着经过修改的 CMOS 放大器(包括晶体管 202、204、206、208 以及电阻 210)。在一些实施方案中,R1、R2 和 C1 的值可以被设置或固定,以提供预先确定的量化均衡水平。

[0038] 图 3 示出根据一些实施方案的装置 300。在一些实施方案中,图 3 是均衡电路。在一些实施方案中,装置 300 被称为均衡块(block)或完整均衡块。装置 300 包括输入 IN、反相输入  $\overline{EN1}$ 、输入 EN1、输出 OUT、pMOS 晶体管 302、pMOS 晶体管 304、nMOS 晶体管 306、nMOS 晶体管 308、电阻 310、电阻 312、电容 314、pMOS 晶体管 322、pMOS 晶体管 324、nMOS 晶体管 326、nMOS 晶体管 328 以及电阻 330。晶体管 302、304、306、308 和电阻 310 类似于在图 1 中示出并参照图 1 所描述的晶体管 102、104、106、108 和电阻 110,而且类似于在图 2 中示出并参照图 2 所描述的晶体管 202、204、206、208 和电阻 210,并且可以与图 1/图 2 中的元件完全相同。类似地,电阻 312 和电容 314 类似于在图 2 中示出并参照图 2 描述的电阻 212 和电容 214,并且可以与图 2 中的元件完全相同。

[0039] pMOS 晶体管 302 的源极耦合到高电压源  $V_{SS}$ 。pMOS 晶体管 302 的栅极耦合到反相输入  $\overline{EN1}$ 。pMOS 晶体管 302 的漏极耦合到 pMOS 晶体管 304 的源极。

[0040] pMOS 晶体管 304 的源极耦合到 pMOS 晶体管 302 的漏极。pMOS 晶体管 304 的栅极耦合到电阻 310 的第一端,nMOS 晶体管 306 的栅极,电阻 312 的第二端,以及电容 314 的第二端。pMOS 晶体管 304 的漏极耦合到电阻 310 的第二端,输出 OUT,以及 nMOS 晶体管 306 的漏极。

[0041] nMOS 晶体管 306 的源极耦合到 nMOS 晶体管 308 的漏极。nMOS 晶体管 306 的栅极耦合到电阻 310 的第一端,pMOS 晶体管 304 的栅极,电阻 312 的第二端,以及电容 314 的第二端。nMOS 晶体管 306 的漏极耦合到 pMOS 晶体管 304 的漏极,电阻 310 的第二端,以及输出 OUT。

[0042] nMOS 晶体管 308 的源极耦合到低电平电压源  $V_{CC}$ 。在一些实施方案中,低电平电压源  $V_{CC}$  是地电压。nMOS 晶体管 308 的栅极耦合到输入 EN1。nMOS 晶体管 308 的漏极耦合到 nMOS 晶体管 306 的源极。

[0043] 电阻 310 具有阻值 R1。电阻 310 的阻值 R1 可以与图 1 中示出的电阻 110 的阻值 R1 或是图 2 中示出的电阻 210 的阻值 R1 相同或不同。电阻 310 的第一端耦合到电阻 312 的第二端,电容 314 的第二端,pMOS 晶体管 304 的栅极,以及 nMOS 晶体管 306 的栅极。电阻 310 的第二端耦合到输出 OUT,pMOS 晶体管 304 的漏极以及 nMOS 晶体管 306 的漏极。

[0044] 电阻 312 具有阻值 R2,R2 与图 3 中的电阻 310 的阻值 R1、图 2 中电阻 212 的阻值 R2、图 2 中的电阻 210 的阻值 R1 或是图 1 中电阻 110 的阻值 R1 可以是相同的或不同的。而且,正如上面所提到的,电阻 310 的阻值 R1 不需要和图 1 的电阻 110 的阻值 R1 或图 2 中电阻 210 的阻值 R1 相同。电阻 312 的第一端耦合到 pMOS 晶体管 324 的漏极,电阻 330 的第二端,晶体管 326 的漏极,以及电容 314 的第一端。电阻 312 的第二端耦合到电容 314 的第二端,电阻 310 的第一端,pMOS 晶体管 304 的栅极,以及 nMOS 晶体管 306 的栅极。

[0045] 电容 314 具有电容值 C1,C1 可以为任意值。电容 314 的电容值 C1 可以与图 2 中的电容 214 的电容值 C1 相同或是不同。电容 314 的第一端耦合到 pMOS 晶体管 324 的漏极,电阻 330 的第二端,nMOS 晶体管 326 的漏极,以及电阻 312 的第一端。电容 314 的第二端

耦合到电阻 312 的第二端,电阻 310 的第一端,pMOS 晶体管 304 的栅极,以及 nMOS 晶体管 306 的栅极。

[0046] pMOS 晶体管 322 的源极耦合到高电压源  $V_{ss}$ 。pMOS 晶体管 322 的栅极耦合到反相输入  $\overline{EN1}$ 。pMOS 晶体管 322 的漏极耦合到 pMOS 晶体管 324 的源极。

[0047] pMOS 晶体管 324 的源极耦合到 pMOS 晶体管 322 的漏极。pMOS 晶体管 324 的栅极耦合到输入 IN,电阻 330 的第一端,以及 nMOS 晶体管 326 的栅极。pMOS 晶体管 324 的漏极耦合到电阻 330 的第二端,电阻 312 的第一端,以及电容 314 的第一端,以及 nMOS 晶体管 326 的漏极。

[0048] nMOS 晶体管 326 的源极耦合到 nMOS 晶体管 328 的漏极。nMOS 晶体管 326 的栅极耦合到电阻 330 的第一端,pMOS 晶体管 324 的栅极,以及输入 IN。nMOS 晶体管 326 的漏极耦合到 pMOS 晶体管 302 的漏极,电阻 312 的第一端,以及电容 314 的第一端。

[0049] nMOS 晶体管 328 的源极耦合到低电平电压源  $V_{cc}$ 。在一些实施方案中,低电平电压源  $V_{cc}$  是地电压。nMOS 晶体管 328 的栅极耦合到输入 EN1。nMOS 晶体管 328 的漏极耦合到 nMOS 晶体管 326 的源极。

[0050] 电阻 330 的第一端耦合到输入 IN,pMOS 晶体管 324 的栅极,以及 nMOS 晶体管 326 的栅极。电阻 330 的第二端耦合到 pMOS 晶体管 324 的漏极,nMOS 晶体管 326 的漏极,电阻 312 的第一端,以及电容 314 的第一端。电阻 330 具有阻值 R3,所述阻值 R3 可以与图 3 中的电阻 312 的阻值 R2、图 2 中的电阻 212 的阻值 R2、图 3 中的电阻 310 的阻值 R1、图 2 中的电阻 210 的阻值 R1、图 1 中的电阻 110 的阻值 R1 相同或是不同。在一些实施方案中,电阻 330 的阻值 R3 与图 3 中的电阻 310 的阻值 R1 相同。

[0051] 在一些实施方案中均衡电路 300 的低频响应取决于阻值比率,因此也就是过程不相关 (process independent) 的。在一些实施方案中,均衡电路 300 的频率相关传递特性的形状是电容 314 的电容值 C1 乘以电阻 312 的阻值 R2 的结果值的函数 (也即  $C1 \cdot R2$  的函数)。对于频率相关特性的形状是  $C1 \cdot R2$  的函数的均衡电路来说,在一些这种均衡电路的实施方案中,频率相关特性是过程相关和温度相关的,而且这有利于使用自适应反馈来跟踪它们。自适应反馈取决于输入信号特性。

[0052] 在一些实施方案中,阻值和电容值 (如 R2 和 C1) 在设计阶段中被固定,这种情况下它们就取决于互连的插入损耗特性以及终端阻值。在一些实施方案中,为了跟踪过程变化,此处图示并描述的任意一个实施方案的电阻 R1、R2 及 R3 都是用相同的技术形成的。例如,如果图 3 的一些实施方案的电阻 R1 是多晶电阻,那么 R2 和 R3 也应该是多晶电阻。此外,阻值和电容值 (例如 R1、R2、R3 和 C1) 在电路设计阶段中被固定并且在电路工作时不改变。

[0053] 在一些实施方案中,通过执行自适应均衡来基于期望的互连插入损耗特性调整均衡结果。为了获得可变的离散频率相关增益,可以在一些实施方案中级联 (或是串行连接) 两个或更多的均衡电路,其中均衡电路的输出以复用的方式来提供。

[0054] 图 4 示出根据一些实施方案的装置 400。在一些实施方案中,装置 400 是提供输出 OUT 均衡值的均衡电路。装置 400 包括放大器 402、两个或更多个均衡电路 404、406 和 408、两个或更多个反相器 410、412 和 414,以及复用器 416。在一些实施方案中,放大器 402、两个或更多的均衡电路 404、406 和 408 以及两个或更多个反相器 410、412 和 414 可以被称作



为提供两个或更多离散增益值  $V\#1$ 、 $V\#2$ ， $\dots$ ， $V\#n$  的增益电路。

[0055] 放大器 402 具有两个差分输入 IN 和  $\overline{IN}$  以及单端输出，所述单端输出作为输入 IN#1 被提供给均衡器电路 404。在一些实施方案中，放大器 402 是 CMOS 放大器。在一些实施方案中，放大器 402 是高带宽低增益 CMOS 放大器。在一些实施方案中，放大器 402 是宽带差分到单端放大器 (differential to single ended)。

[0056] 均衡电路 404、406 和 408 的每一个都可以是任意类型的均衡电路。图 4 显示出了三个均衡电路 404、406 和 408。然而，在不同的实施方案中可以使用任意数量的均衡电路，正如均衡电路 406 的输出 OUT#2 和均衡电路 408 的输入 IN#n 之间的虚线所示。在一些实施方案中，所述两个或更多均衡电路（包括图 4 中任何没有特别示出的）中的任意一个或所有的均衡电路都可以使用在图 1、图 2 和 / 或图 3 中示出并参照这些图描述的均衡电路来实现。在一些实施方案中，所有的均衡电路都完全相同。在一些实施方案中，有的均衡电路相同而有的互不相同。

[0057] 均衡电路 404、406 和 408 是级联的（串联耦合）。反相器 410、412 和 414 分别耦合到均衡电路 404、406 和 408 的输出，以提供离散增益值，分别是  $V\#1$ 、 $V\#2$  和  $V\#n$ 。在一些如图 4 所示的实施方案中，为了获得可变的离散频率相关增益，几个均衡电路互相级联来提供离散增益值集合。

[0058] 离散增益值  $V\#1$ 、 $V\#2$ ， $\dots$ ， $V\#n$  被提供给复用器 416 的输入。至复用器 416 的控制逻辑输入被用作复用器 416 的选择输入，以选择一个适当的离散增益值。例如，这种选择和逻辑可以基于期望的均衡器传递特性。在一些实施方案中，控制逻辑为要求的均衡器传递特性选择适当的输出级数量。

[0059] 在一些实施方案中，通过在不同电路中改变阻值和电容值使得均衡电路 404、406 和 408 不同。例如，在一些实施方案中均衡电路 404、406， $\dots$ ，408 的每一个都是均衡电路 300，这些均衡电路的每一个都具有不同的电阻 312 的阻值  $R2$ ，以及不同的电容 314 的电容值  $C1$ 。在一些实施方案中，基于互连长度选择不同的阻值和电容值。

[0060] 图 5 是频率响应 500 的波形图。例如，频率响应 500 可以是由图 4 示出的装置 400 所提供的离散增益值  $V\#1$ 、 $V\#2$ ， $\dots$ ， $V\#n$  的频率响应。波形 500 包括增益信号 502 ( $V\#1$ )、增益信号 504 ( $V\#2$ ) 和增益信号 506 ( $V\#n$ )。从图 5 可以明显看出，通过使能 (enable) 大量均衡级（例如，使用图 4 的级联均衡电路），频率相关传递函数可以以离散步长 (step) 变化。

[0061] 图 6 示出根据一些实施方案的装置 600。在一些实施方案中，装置 600 可以被称作 DC 反馈环路 (feedback loop)。在一些实施方案中装置 600 可以被称作控制电路。在一些实施方案中 DC 反馈环路 600 用于进行自适应均衡。在一些实施方案中，自适应均衡可以被用在接收机中以均衡传输线上或互连间的频率相关损耗。在一些实施方案中，装置 600 可以是基于 DC 平衡的 8B/10B 编码信号特性的反馈环路。在一些实施方案中，装置 600 被用来选择复用器的输出，并基于损耗（例如，互连损耗）使能要求数量的均衡级。

[0062] 装置 600 包括 DC 参考电压值 602、平均 DC 电压检测器、比较器 606、控制逻辑 608 以及复用器 610。复用器 610 可以是与图 4 中示出的复用器 416 相同或不同的复用器。此外，DC 参考 602、平均 DC 检测器 604、比较器 606 和控制逻辑 608 都可以被应用在图 4 中示出的一些实施方案中，这是通过将元件添加到在图 4 中示出的复用器 416 的“控制”输入上来实现的。类似地，可以将图 4 的增益电路和 / 或装置 400 的元件添加到图 6 示出

的装置中。在一些实施方案中,图 4 示出的增益电路提供在图 6 中示出的离散增益值  $V\#1$ 、 $V\#2$ , ...,  $V\#n$ 。

[0063] 平均 DC 检测器 604 检测从复用器 610 输出的输出信号的 DC 电压含量 (DC voltage content)。比较器 606 将从平均 DC 检测器 604 检测到的 DC 含量和 DC 参考值 602 进行比较。在一些实施方案中,DC 参考 602、平均 DC 检测器 604 和比较器 606 使用 DC 平衡装置得出并比较输出的 DC 含量。控制逻辑 608 是可编程的,例如,通过在高频提供更多衰减而在低频提供更少衰减。

[0064] 图 7 示出根据一些实施方案的装置 700。在一些实施方案中,装置 700 是均衡电路。装置 700 包括放大器 702、增益电路 704 和控制电路 706。

[0065] 放大器 702 具有输入 IN 和反相输入  $\overline{IN}$  以及输出。放大器 702 的输出被提供给增益电路 704 作为输入。增益电路 704 提供两个或更多的离散增益值  $V\#1$ 、 $V\#2$ , ...,  $V\#n$ 。在一些实施方案中,增益电路 704 是图 4 中示出的提供离散增益  $V\#1$ 、 $V\#2$ , ...,  $V\#n$  的增益电路。图 7 中示出的离散增益值  $V\#1$ 、 $V\#2$ , ...,  $V\#n$  可以与图 4 中示出的离散增益值  $V\#1$ 、 $V\#2$ , ...,  $V\#n$  相同或不同。控制电路 706 接收所述两个或更多的离散增益值  $V\#1$ 、 $V\#2$ , ...,  $V\#n$ , 并响应于离散增益值来提供输出 Out。在一些实施方案中,控制电路 706 选择离散增益值  $V\#1$ 、 $V\#2$ , ...,  $V\#n$  中的一个作为输出 Out。在一些实施方案中,控制电路 706 通过使用图 6 中示出的装置 600 (例如,控制电路或反馈环路,等等) 来实现。在一些实施方案中,增益电路 704 和控制电路 706 自适应地均衡从放大器 702 的输出。

[0066] 图 8 示出根据一些实施方案的系统 800。系统 800 包括发射机 802、接收机 804 和传输线 (或互连) 806。接收机 804 包括均衡电路 812。在一些实施方案中,均衡电路 812 自适应地均衡在信号中的损耗。这种均衡可能是必须的,例如是由于在传输线 (或互连) 806 上的损耗,或一些其他损耗。在一些实施方案中,均衡电路 812 是与图 7 中示出的均衡电路 700 类似或相同的均衡电路。

[0067] 在此处图示出并描述的一些实施方案中使用了单端信号方案。然而,一些实施方案是用差分信号方案实现的。在一些实施方案中,在使用高速串行点对点互连的片对片通信中执行均衡操作。

[0068] 在图中所示的每种系统中,各元件在一些情形中可能每一个都具有相同的标号或不同的标号,用以指示所代表的元件可能是不同的和 / 或类似的。然而,元件可以是足够灵活的,以具有不同的实现方式并且与这里所示出或描述的一些或所有系统协同工作。图中所示出的各种元件可以是相同或不同的。哪一个被称为第一元件和哪一个被称为第二元件都是可以的。

[0069] 实施方案就是所述发明的一个实现方式或实施例。说明书中所说的“实施方案”、“一种实施方案”、“一些实施方案”或“其他实施方案”是指关于这些实施方案而描述的特性、结构或特征被包括在所述发明的至少一些实施方案中,但不一定包括在所有实施方案中。“实施方案”、“一种实施方案”或“一些实施方案”的多次出现不一定全部都是指同样的实施方案。

[0070] 例如,如果说明书中声称“可以”、“可能”、“可”、“能够”包括某个组件、特性、结构或特征,那么该特定组件、特性、结构或特征不必一定包括其中。如果说明书或权利要求书中提及“一个 ( “a” 或 “an” )” 或 “一种元件,这并不意味着该元件只有一个或一种。如果

说明书或权利要求书提及“一个或一种附加的”元件,这并不排除有一个或一种以上的所述附加元件的情况。

[0071] 虽然这里使用了流程图和 / 或状态图来描述各种实施方案,但是本发明并不限制在这些图或在本文中相应的描述中。例如,流程不需要经过每一个图示的框或状态或者严格地按照这里所图示或描述的顺序进行。

[0072] 本发明并不局限于这里所列举的具体细节。实际上,本领域得益于这篇公开文件的技术人员将会理解,在本发明的范围内可以根据以上描述和附图做出很多其他改变。因此,是所附的包括了对其所做的任何修改的权利要求书定义本发明的范围。

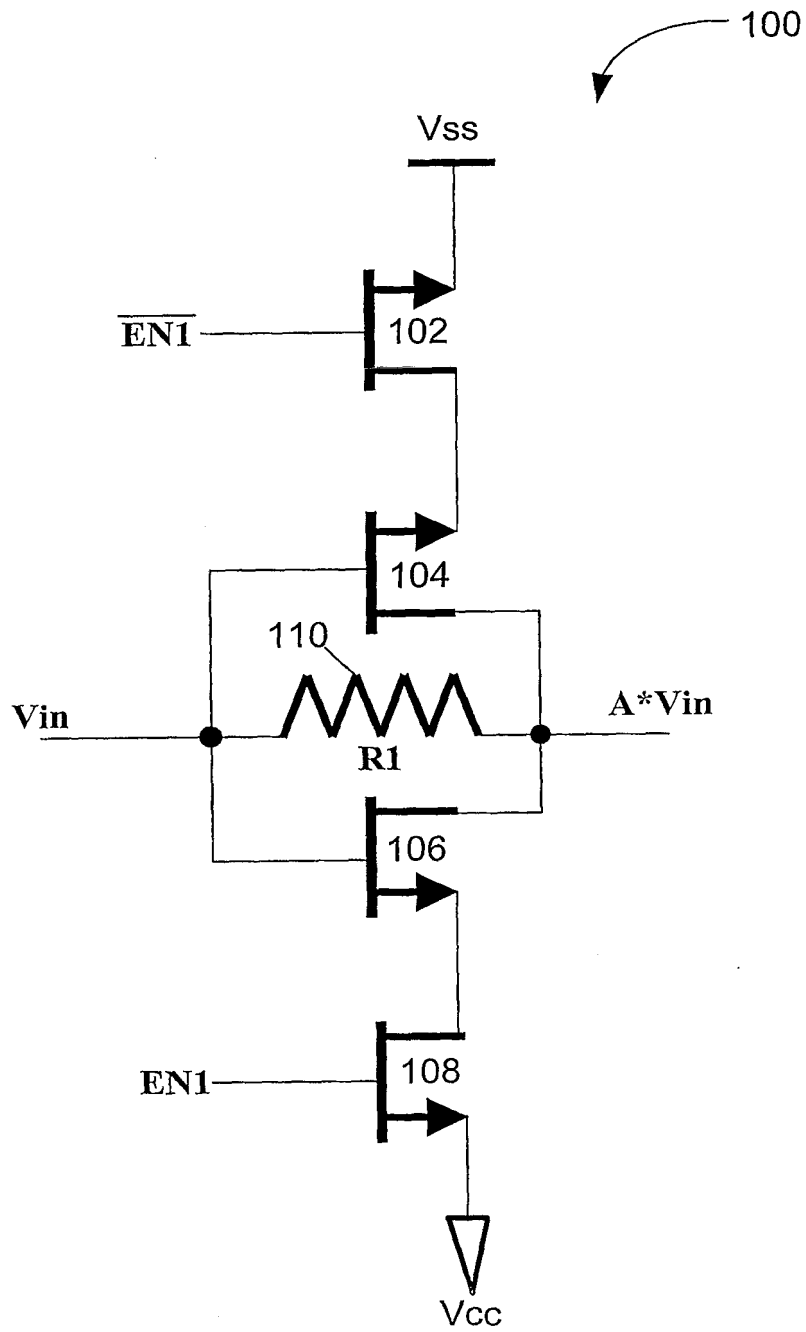


图 1

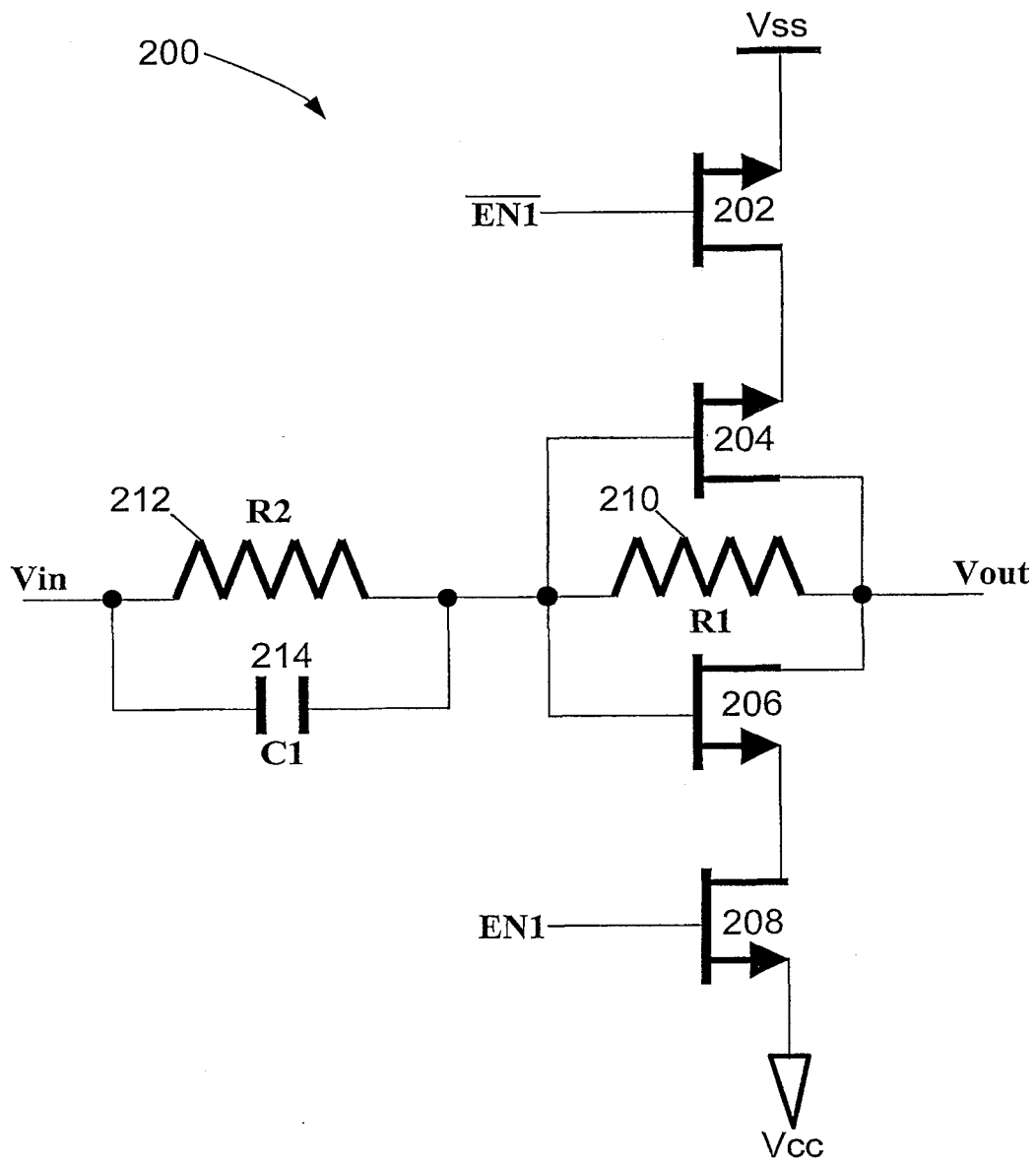


图 2

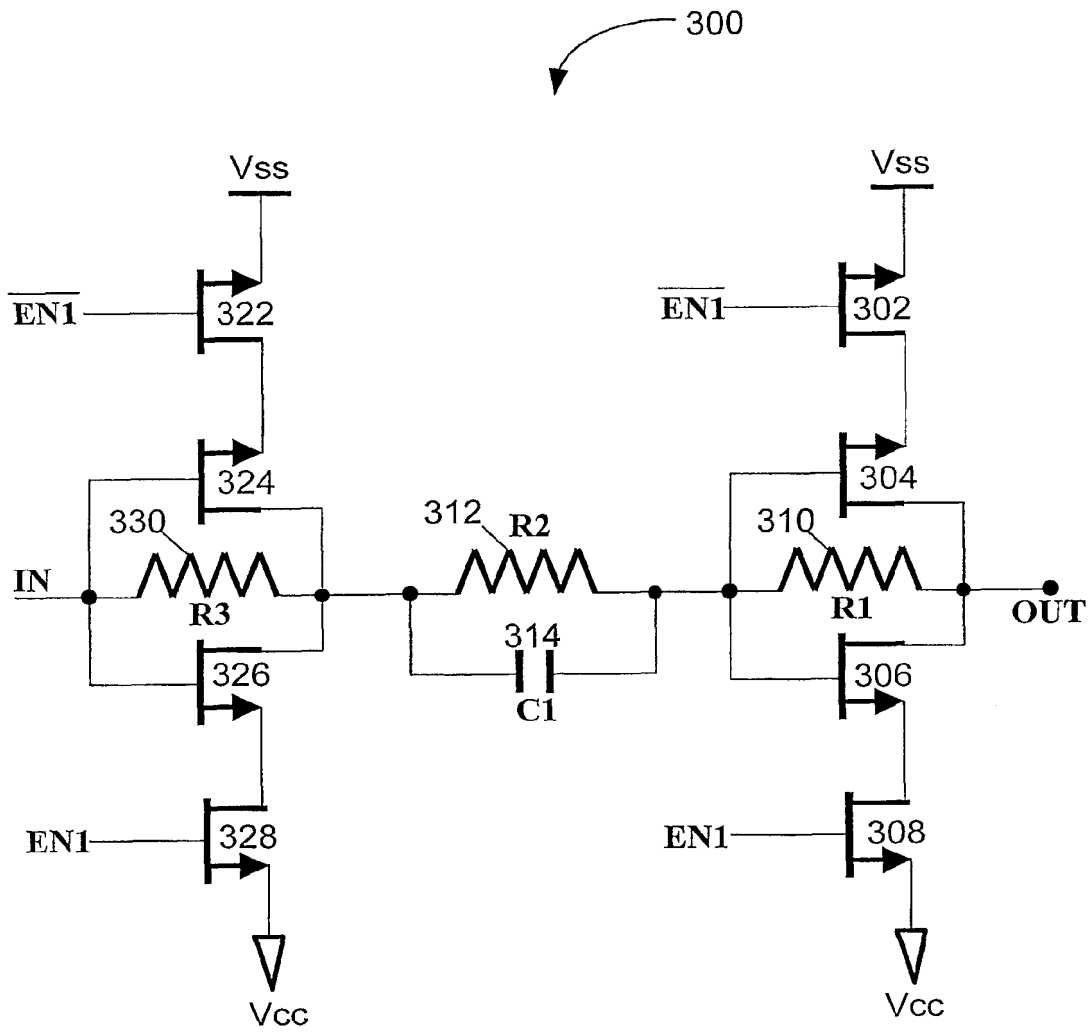


图 3

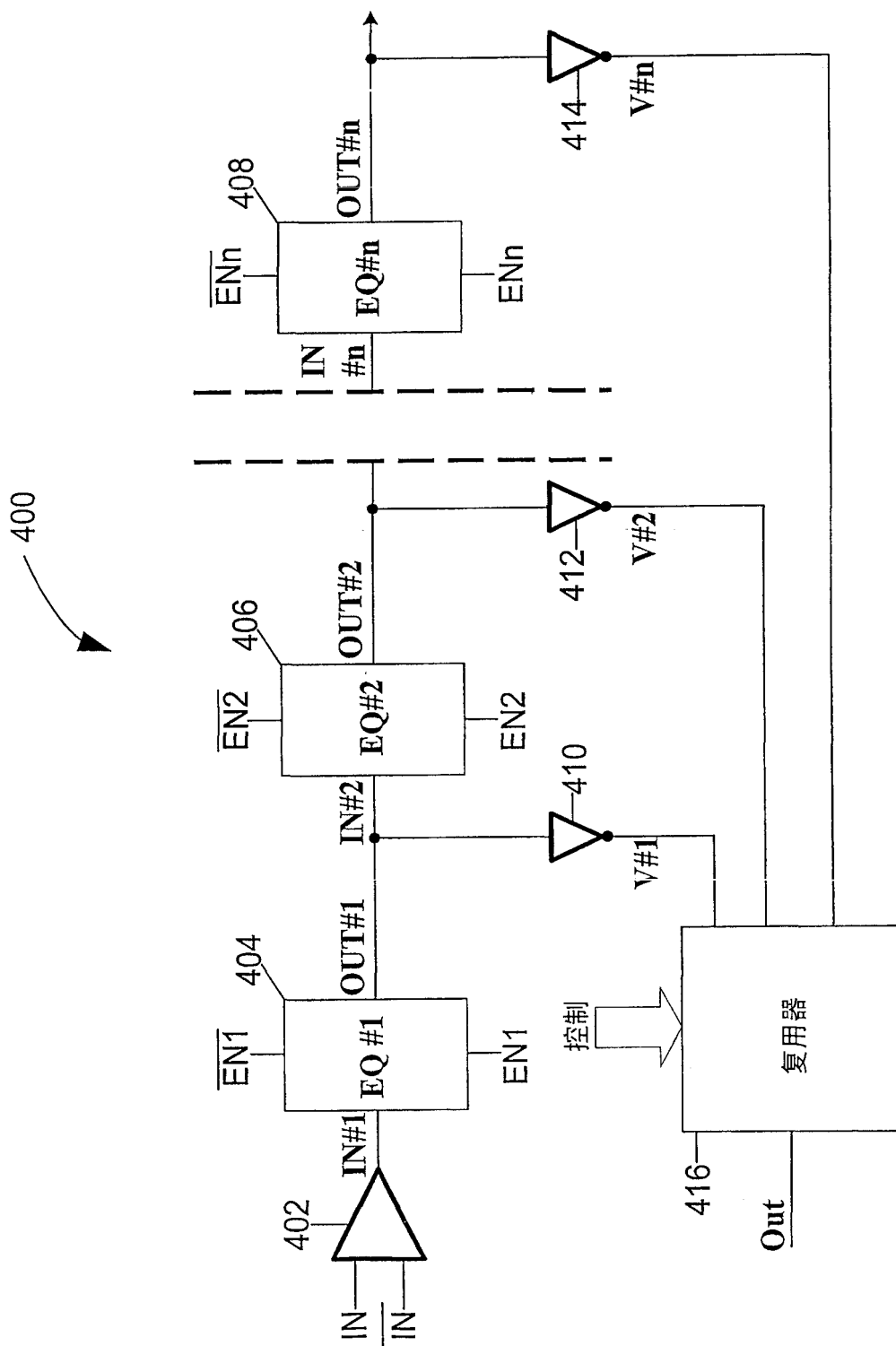


图 4

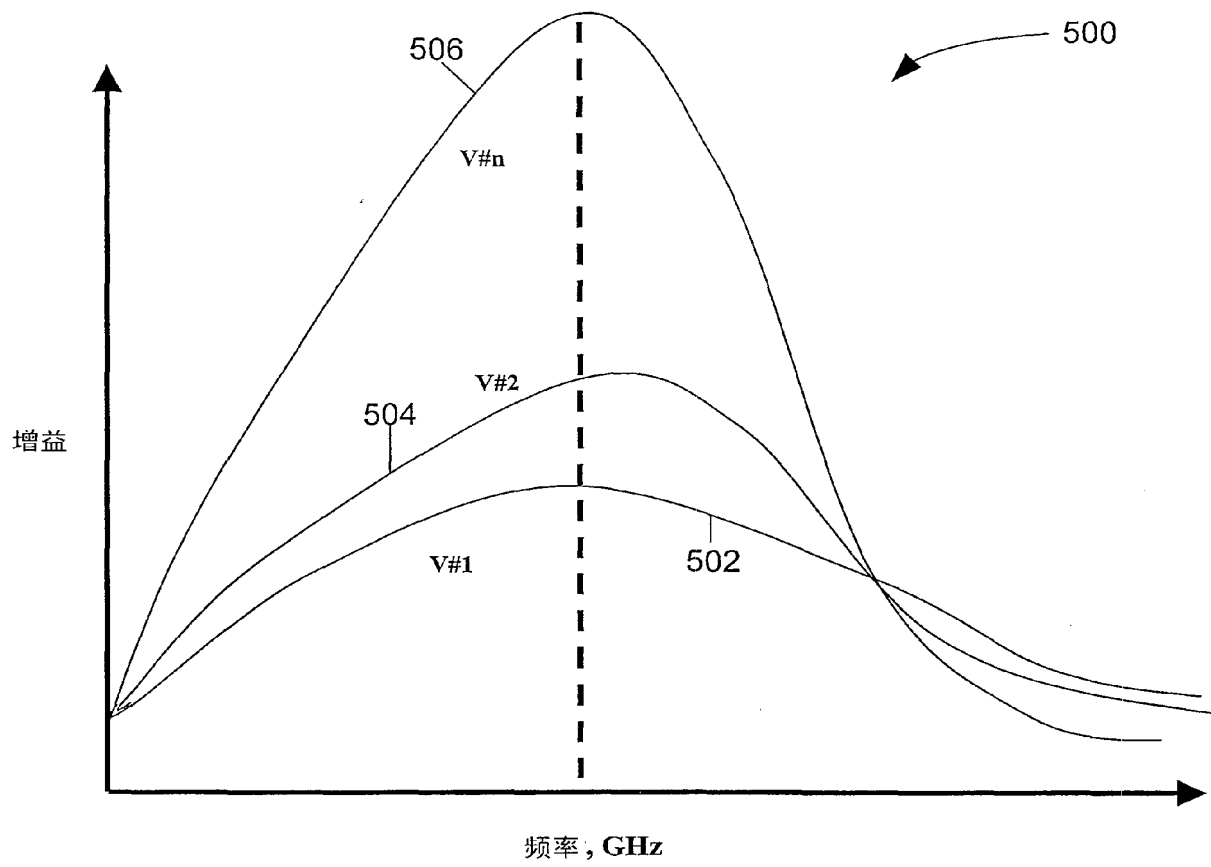


图 5



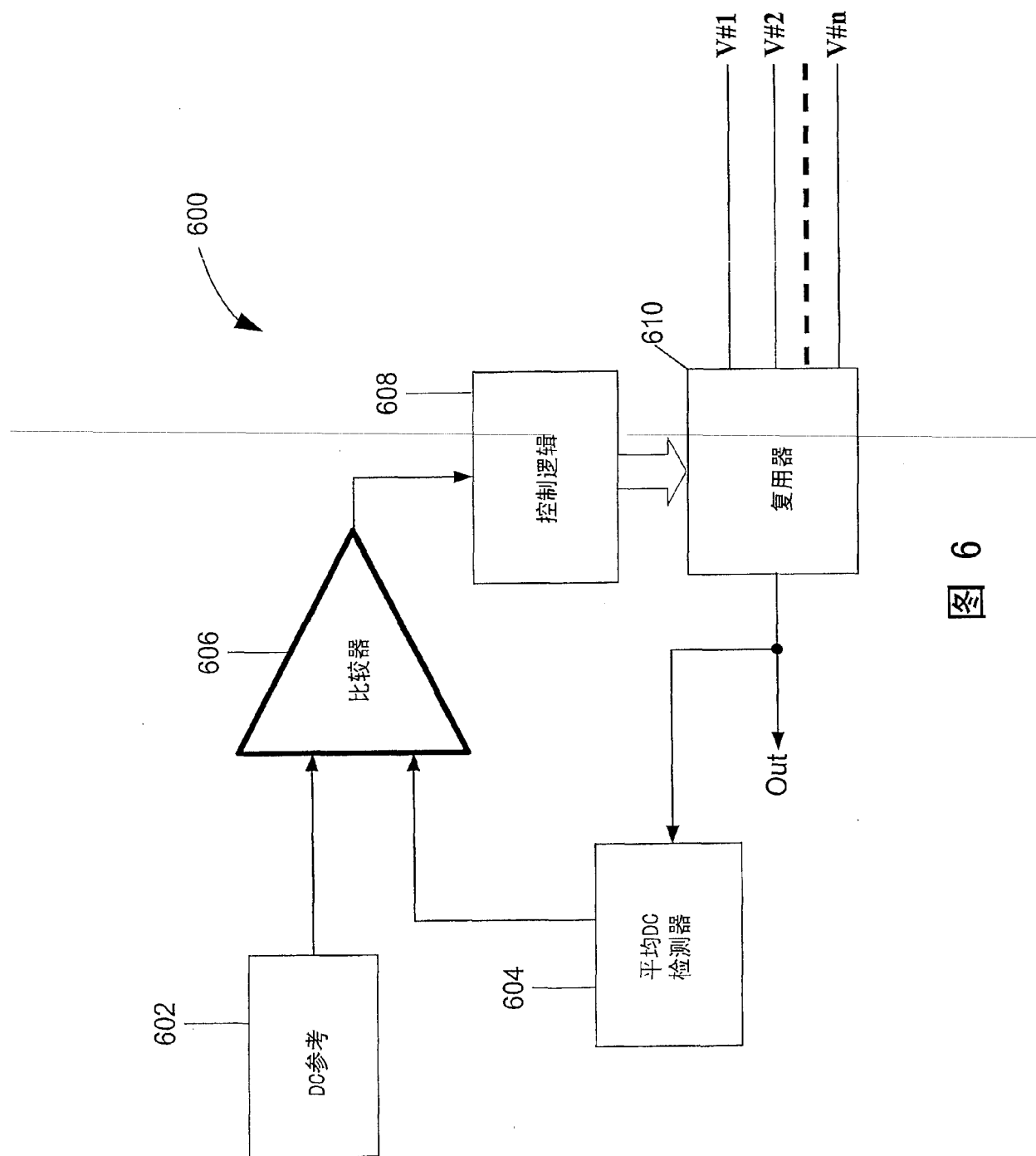


图 6

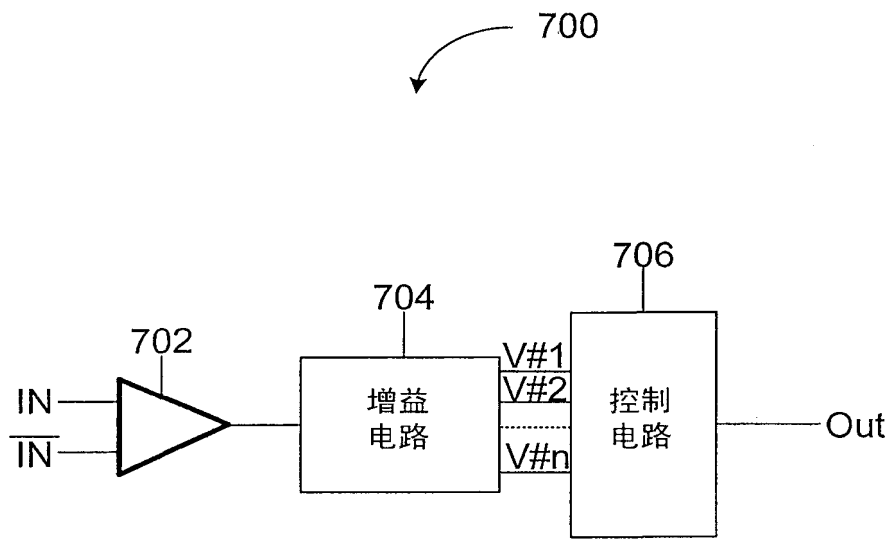


图 7

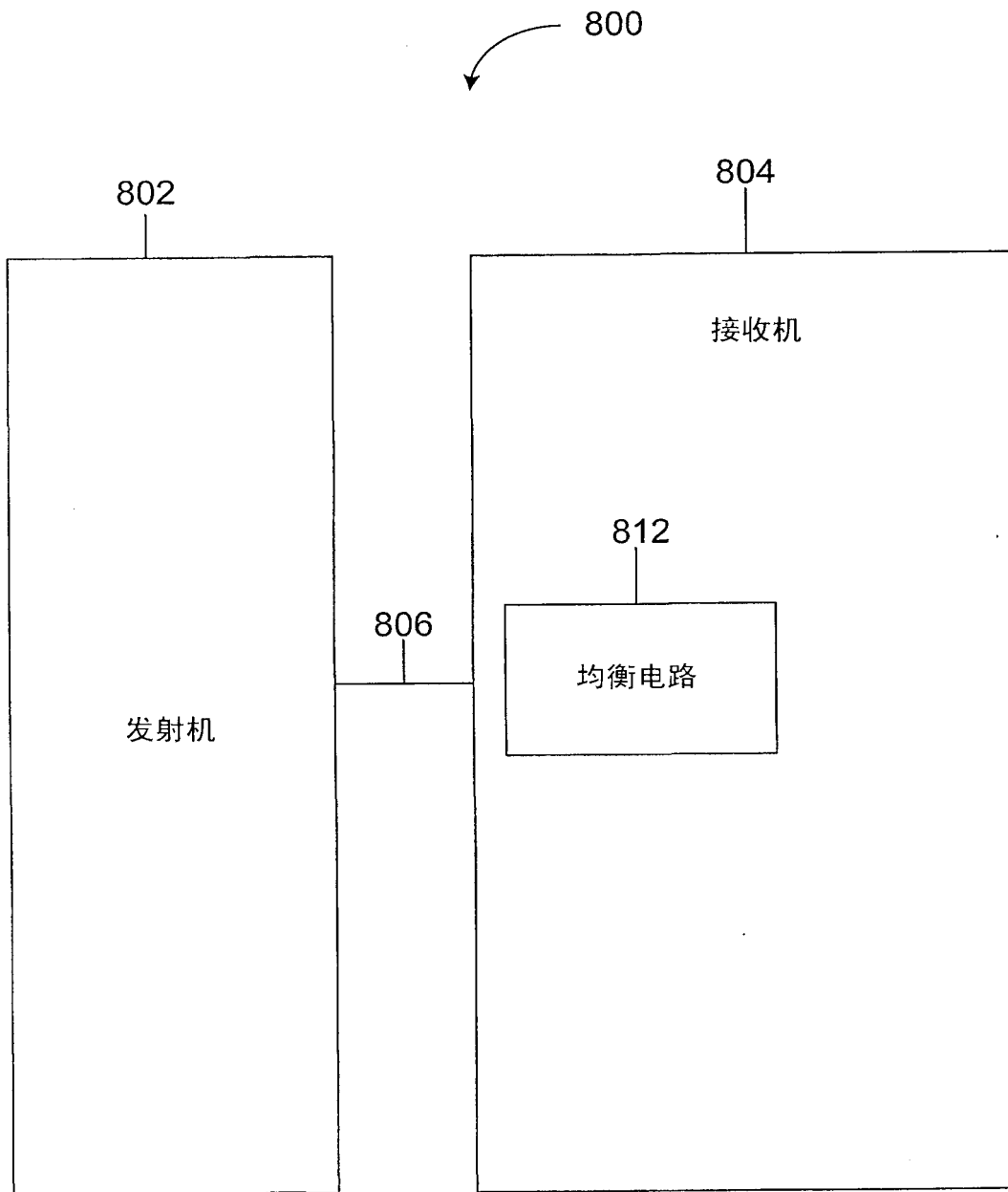


图 8