

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4213153号  
(P4213153)

(45) 発行日 平成21年1月21日(2009.1.21)

(24) 登録日 平成20年11月7日(2008.11.7)

|               |               |                  |               |
|---------------|---------------|------------------|---------------|
| (51) Int. Cl. | F 1           |                  |               |
| <b>G09F</b>   | <b>9/30</b>   | <b>(2006.01)</b> | G09F 9/30 338 |
| <b>G02F</b>   | <b>1/1368</b> | <b>(2006.01)</b> | G02F 1/1368   |
| <b>G02F</b>   | <b>1/13</b>   | <b>(2006.01)</b> | G02F 1/13 101 |

請求項の数 7 (全 17 頁)

|              |                              |           |                                                                                 |
|--------------|------------------------------|-----------|---------------------------------------------------------------------------------|
| (21) 出願番号    | 特願2005-318600 (P2005-318600) | (73) 特許権者 | 501358079                                                                       |
| (22) 出願日     | 平成17年11月1日(2005.11.1)        |           | 友達光電股▲ふん▼有限公司                                                                   |
| (65) 公開番号    | 特開2007-4106 (P2007-4106A)    |           | AU Optronics Corporation                                                        |
| (43) 公開日     | 平成19年1月11日(2007.1.11)        |           | 台湾新竹市科学工業園區力行二路1号                                                               |
| 審査請求日        | 平成17年11月1日(2005.11.1)        |           | No. 1, Lt-Hsin Rd, 11, Science-Based Industrial Park, Hsinchu, Taiwan, R. O. C. |
| (31) 優先権主張番号 | 94120905                     | (74) 代理人  | 100064584                                                                       |
| (32) 優先日     | 平成17年6月23日(2005.6.23)        |           | 弁理士 江原 省吾                                                                       |
| (33) 優先権主張国  | 台湾(TW)                       | (74) 代理人  | 100093997                                                                       |
|              |                              |           | 弁理士 田中 秀佳                                                                       |
|              |                              | (74) 代理人  | 100101616                                                                       |
|              |                              |           | 弁理士 白石 吉之                                                                       |

最終頁に続く

(54) 【発明の名称】 アクティブ・マトリクス基板と画素ユニットの修正方法

(57) 【特許請求の範囲】

【請求項1】

基板と、基板上に配置した複数の走査線と、基板上に配置した複数のデータ線と、複数の画素ユニットを有するアクティブ・マトリクス基板であって、

各画素ユニットが、走査線の一つとデータ線の一つに電氣的に接続され、

前記画素ユニットの少なくとも一部がさらに、走査線の一つとデータ線の一つに電氣的に接続した複数の能動素子と、能動素子の一つに電氣的に接続した画素電極とを有し、  
複数の能動素子が各々、画素電極に電氣的に接続した第一能動素子と、画素電極から電氣的に分離した第二能動素子とを有し、

第一能動素子が第一TFTであり、

前記第一TFTが、走査線に電氣的に接続した第一ゲート電極と、第一チャンネル層と、データ線に電氣的に接続した第一ソース電極と、画素電極に電氣的に接続した第一ドレイン電極とを有し、

第二能動素子が第二TFTであり、

前記第二TFTが、走査線に電氣的に接続した第二ゲート電極と、第二チャンネル層と、データ線に電氣的に接続した第二ソース電極と、画素電極から電氣的に分離した第二ドレイン電極とを有し、

第二TFTが、走査線上に配置されており、

第二ドレイン電極が走査線に沿って両方向に延び、各々の端部が、データ線の両側で隣り合う二つの画素電極の下側まで延びていることを特徴とするアクティブ・マトリクス基

板。

【請求項 2】

基板と、基板上に配置した複数の走査線と、基板上に配置した複数のデータ線と、複数の画素ユニットを有するアクティブ・マトリクス基板であって、

各画素ユニットが、走査線の一つとデータ線の一つに電氣的に接続され、

前記画素ユニットの少なくとも一部がさらに、走査線の一つとデータ線の一つに電氣的に接続した複数の能動素子と、能動素子の一つに電氣的に接続した画素電極とを有し、

複数の能動素子が各々、画素電極に電氣的に接続した第一能動素子と、画素電極から電氣的に分離した第二能動素子とを有し、

第一能動素子が第一 T F T であり、

前記第一 T F T が、走査線に電氣的に接続した第一ゲート電極と、第一チャンネル層と、データ線に電氣的に接続した第一ソース電極と、画素電極に電氣的に接続した第一ドレイン電極とを有し、

第二能動素子が第二 T F T であり、

前記第二 T F T が、走査線に電氣的に接続した第二ゲート電極と、第二チャンネル層と、データ線に電氣的に接続した第二ソース電極と、画素電極から電氣的に分離した第二ドレイン電極とを有し、

第二 T F T が、走査線上に配置されており、

第二ドレイン電極が走査線の両側方へ向かって延び、各々の端部が、走査線の両側で隣り合う二つの画素電極の下側まで延びていることを特徴とするアクティブ・マトリクス基板。

【請求項 3】

第二チャンネル層が、走査線とデータ線の交差部に配置され、走査線とデータ線の間挟持されている請求項 1 又は 2 に記載のアクティブ・マトリクス基板。

【請求項 4】

第二ドレイン電極が、走査線の上側から走査線の片側に沿って、画素電極の下側まで延びている請求項 1 又は 2 に記載のアクティブ・マトリクス基板。

【請求項 5】

請求項 1 又は 2 に記載のアクティブ・マトリクス基板の画素ユニットを修正するための方法であって、

走査線およびデータ線と第一能動素子の接続を切断し、走査線およびデータ線から第一能動素子を分離し、

第二能動素子を画素電極と電氣的に接続することを特徴とするアクティブ・マトリクス基板の修正方法。

【請求項 6】

走査線およびデータ線と第一能動素子の接続の切断が、レーザー切断プロセスを有する請求項 5 載の方法。

【請求項 7】

画素電極と第二能動素子の電氣的に接続が、レーザー溶接プロセスまたはレーザー化学気相成プロセスを有する請求項 5 記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、アクティブ・マトリクス基板とその修正方法に関し、特に、冗長的能動素子を備えたアクティブ・マトリクス基板とその修正方法に関する。

【背景技術】

【0002】

表示技術は、陰極線管 (C R T) を用いた最初の白黒 T V 以来、継続的かつ急速に発展している。しかし、C R T 表示装置は、分厚さ、重量、高電磁波、および相対的に画質が低いという欠点を有する。従って、他の新型平板表示技術が次第に発展しており、とりわ

10

20

30

40

50

け空間利用率のよさ、低消費電力、低電磁波および携帯性のよさといった利点を備えた液晶表示装置（LCD）が最も成熟し、一般的な技術となっている。LCDは、携帯電話、デジタルカメラ、デジタル・ビデオカメラ、携帯情報端末、ノートブックPCおよび液晶TVの分野で広く用いられている。

#### 【0003】

LCD技術は成熟の傾向にあるが、LCDパネル製造プロセス中に、いくつかの欠陥が生じることが避けられず、LCDパネルの表示画像のために、やや視覚的不快感を引き起こすことがある。そして、このようなLCDパネルをそのまま廃棄すると、製造コストが実質的に上昇することになる。一般に、製造プロセス技術を改善することだけでは欠陥率0を達成することは非常に難しく、LCDパネルの欠陥修正技術がますます重要になっている。既存の技術では、LCDパネル欠陥修正にレーザ切断またはレーザ溶接がしばしば採用されている。例としてTFT-LCDを挙げると、レーザ切断またはレーザ溶接プロセスは、通常TFTアレイを製造した後に処理を行う。残念ながら、既存の画素構造設計のいくつかの欠点のために、全ての欠陥を素早く修正することはできず、そのいくつかは修正することさえできない。

10

#### 【0004】

図1Aは既存のTFTアレイ基板の平面図であり、図1B、1Cは各々ラインa-b、およびラインc-dにおける図1Aの断面図である。図1A~1Cを共に参照すると、既存のTFTアレイ基板100は基板110、複数の走査線120、複数のデータ線130および複数の画素ユニット140を有し、走査線120、データ線130および画素ユニット140は全て基板110上に配置する。

20

#### 【0005】

画素ユニット140は、対応する走査線120とデータ線130に電氣的に接続する。各画素ユニット140は、TFT142と、例えばインジウム錫酸化物（ITO）電極等の画素電極144を有する。従来の技術では、TFT142は、ゲート電極142a、アモルファス・シリコンのチャンネル層142b、ソース電極142cおよびドレイン電極142dを有する。ゲート電極142aは、走査線120と接続する。ゲート電極142aと走査線120は、第一金属層に属している。ソース電極142cは、データ線130と接続する。そしてデータ線130、ソース電極142cおよびドレイン電極142dは、第二金属層に属している。画素電極144は、ドレイン電極142dと電氣的に接続する。

30

#### 【0006】

しかし、欠陥のあるTFT142は、画素ユニット140の通常の動作を妨げることがある。このような欠陥は、TFT基板100とカラーフィルタ基板を組み合わせると液晶を充填した後のLCDパネル上の輝点欠陥に対応する。このようなLCDパネル上の輝点欠陥を避け、このような輝点欠陥を暗点に修正するために、レーザ修正プロセスが必要とされる。図1A~1Cを参照すると、既存の修正方法では、レーザ溶接プロセスによって隣接する走査線120と画素電極144を溶接することで、修正した画素ユニット140を暗点にする。

#### 【0007】

図2Aは別の既存のTFTアレイ基板の平面図であり、図2B、2Cは各々ラインa-bおよびラインc-dにおける図2Aの断面図である。図2A~2Cを共に参照すると、既存のTFT基板200は基板110、複数の走査線120、複数のデータ線130、複数の画素ユニット140、複数の修正ライン210、複数の修正構造220を有し、走査線120、データ線130、画素ユニット140、修正ライン210および修正構造220は基板110上に配置する。

40

#### 【0008】

基板110、走査線120、データ線130および画素ユニット140は、TFTアレイ基板100上に配置した前述のものと同様である。修正構造220の端子の一つはデータ線130と接続し、修正構造220の他の端子はドレイン電極142dと接続する。修

50

正構造 220 は、第二金属層に属している。各修正ライン 210 は修正構造 220 の一つの下に配置し、修正ライン 210 は第一金属層に属している。ゲート絶縁層 170 は、修正ライン 210 と修正構造 220 の間に配置する。

【0009】

図 2A ~ 2C を再び参照すると、欠陥のある TFT 142 は、画素ユニット 140 の通常動作を妨げることがある。このような欠陥は、TFT 基板 100 とカラーフィルタ基板を組み合わせて液晶を充填した後の LCD パネル上の輝点に対応する。このような LCD パネル上の輝点欠陥を避けるために、レーザ切断プロセスを通常用いて、ゲート電極 142a と走査線 120 の間の接続 150 を切断し、次にレーザ溶接プロセスで修正ライン 210 と修正構造 220 の二つの端子の間で溶接を行う。しかし、修正した画素ユニットは、輝点欠陥または暗点欠陥である。大型 LCD パネルに補償フィルムを取り付け、視野角を向上させると、このような修正した画素ユニットは光漏れによって、所定の視野角で再び輝点欠陥を引き起こすことがある。

10

【発明の開示】

【発明が解決しようとする課題】

【0010】

以上の観点から、この発明は冗長的能動素子を備えたアクティブ・マトリクス基板を提供し、LCD パネル上の輝点欠陥を効率的に防ぐことを対象とする。

【課題を解決するための手段】

【0011】

以上の観点から、この発明は画素ユニットの修正方法を提供することを対象とし、それによって修正された画素ユニットは通常動作可能で、LCD パネルの歩留まりを改善できる。

20

【0012】

以上のまたは他の目的に従って、この発明は、基板、複数の走査線、複数のデータ線および複数の画素ユニットを含むアクティブ・マトリクス基板を提供する。走査線、データ線、画素ユニットは全て、基板上に配置する。各画素ユニットは対応する走査線およびデータ線と電気的に接続し、画素ユニットの少なくとも一部は複数の能動ユニットと画素電極を有する。いくつかの能動ユニットを備えた画素ユニットにおいて、能動素子是对应する走査線およびデータ線と電気的に接続し、画素電極は能動素子の一つと電気的に接続する。

30

【0013】

この発明の一実施例のアクティブ・マトリクス基板によると、能動素子は第一能動素子と第二能動素子を有する。第一能動素子は画素電極と電気的に接続し、第二能動素子は画素電極から電気的に分離する。

【0014】

この発明の一実施例のアクティブ・マトリクス基板によると、第一能動素子は第一ゲート電極、第一チャンネル層、第一ソース電極および第一ドレイン電極を含む第一 TFT であってもよい。さらに、前記第一ゲート電極は走査線と電気的に接続し、第一ソース電極はデータ線と電気的に接続し、第一ドレイン電極は画素電極と電気的に接続する。

40

【0015】

この発明の一実施例のアクティブ・マトリクス基板によると、第二能動素子は第二ゲート電極、第二チャンネル層、第二ソース電極および第二ドレイン電極を含む第二 TFT であってもよい。さらに、前記第二ゲート電極は走査線と電気的に接続し、第二ソース電極はデータ線と電気的に接続し、第二ドレイン電極は画素電極から電気的に分離する。

【0016】

この発明の一実施例のアクティブ・マトリクス基板によると、第二 TFT は走査線上に配置する。

【0017】

この発明の一実施例のアクティブ・マトリクス基板によると、第二チャンネル層は走査線

50

とデータ線の交差部に配置し、第二チャンネル層は走査線とデータ線の間に挟持する。

【0018】

この発明の一実施例のアクティブ・マトリクス基板によると、第二ドレイン電極は走査線の上側から走査線の片側に沿って、画素電極の下側まで延びることができる。

【0019】

この発明の一実施例のアクティブ・マトリクス基板によると、第二ドレイン電極は走査線の上側から走査線の両側に沿って、画素電極の下側まで延びることができる。

【0020】

この発明は、前記アクティブ・マトリクス基板の画素ユニットを修正するための修正方法を提供する。修正方法は、次のステップを有する。まず、走査線およびデータ線と第一能動素子の接続を切断し、第一能動素子が走査線およびデータ線から電気的に分離されるようにする。それから、第二能動素子を画素電極と電気的に接続する。

10

【0021】

この発明の一実施例の修正方法によると、走査線およびデータ線と第一能動素子の接続の切断方法は、レーザー切断プロセスであってもよい。

【0022】

この発明の一実施例の修正方法によると、第二能動素子を画素電極と電気的に接続するための方法は、レーザー溶接プロセスまたはレーザー化学気相成プロセス（レーザーCVDプロセス）であってもよい。

【発明の効果】

20

【0023】

この発明のアクティブ・マトリクス基板によると、各画素ユニットは複数の能動素子を有し、前記能動素子の一つは画素電極と電気的に接続する。画素電極と電気的に接続した能動素子が動作し損なうと、別の能動素子（例えば、冗長的な能動素子）を用いて、画素電極と電気的に接続し、元々画素ユニットを正常動作させていた能動素子の代わりとなり、LCDパネル上の輝点欠陥を避けることができる。

【発明を実施するための最良の形態】

【0024】

（実施例1）

【0025】

30

図3Aは、この発明の第一実施例によるアクティブ・マトリクス基板の平面図である。図3B、3C、3Dは各々ラインa-b、ラインc-d、ラインe-fにおける図3Aの断面図である。図3A~3Dを共に参照すると、アクティブ・マトリクス基板300は基板310、複数の走査線320、複数のデータ線330、複数の画素ユニット340を有する。走査線320、データ線330、画素ユニットは全て基板310上に配置する。

【0026】

基板310は、ガラス基板、石英基板または他の透明基板であってもよい。走査線は、アルミニウム合金または他の導電性材料からなる導線であってもよい。データ線330は、クロム、アルミニウム合金または他の導電性材料からなる導線であってもよい。詳細には、走査線320の延伸方向はデータ線330の延伸方向と直交し、基板310上の複数の画素領域（図示せず）を規定でき、画素ユニット340は画素領域に配置する。

40

【0027】

図3Aから分かるように、画素ユニット340は、対応する走査線320とデータ線330に各々電気的に接続する。各画素ユニット340は、第一能動素子342a、第二能動素子342bおよび画素電極344を有する。第一能動素子342aと第二能動素子342bは各々走査線320とデータ線330に電気的に接続し、画素電極344は能動素子342aの一つに電気的に接続する。当然のことながら、実施例では、発明を例示として、ここでは二つの能動素子を用いているが、この発明のよる画素ユニット340は必要であれば三つ以上の能動素子を導入できる。さらに、画素電極344は、透過型電極、反射型電極または半透過型電極であってもよい。上記のように、画素電極344の材料はイ

50

ンジウム錫酸化物 (ITO)、インジウム亜鉛酸化物 (IZO)、金属または他の導電性材料であってもよい。

【0028】

この実施例によると、第一能動素子342aは第一TFET T1であり、第二能動素子342bは第二TFET T2である。第一TFET T1は画素電極344と電氣的に接続し、第二TFET T2は画素電極344から電氣的に分離する。当然のことながら、この発明において画素ユニット340に三つ以上の能動素子を導入する場合、一つのみを画素電極344と電氣的に接続し、他(つまり冗長的能動素子)は画素電極344から電氣的に分離する。

【0029】

さらに、第一TFET T1は第一ゲート電極g1、第一チャンネル層c1、第一ソース電極s1および第一ドレイン電極d1を有する。第一ゲート電極g1は走査線320と電氣的に接続し、ゲート電極g1の材料は走査線320と同様である。第一チャンネル層c1の材料は、アモルファス・シリコン、多結晶シリコンまたは単結晶シリコンであってもよい。第一ソース電極s1はデータ線330と電氣的に接続し、第一ソース電極s1の材料はデータ線330と同様である。第一ドレイン電極d1は画素電極344と電氣的に接続し、第一ドレイン電極d1の材料はデータ線330と同様である。同様に、第二TFET T2は、第二ゲート電極g2、第二チャンネル層c2、第二ソース電極s2および第二ドレイン電極d2を有する。第二ゲート電極g2、第二チャンネル層c2、第二ソース電極s2および第二ドレイン電極d2の材料は、TFET T1で説明したものと同様である。さらに、第二ゲート電極は走査線320と電氣的に接続し、第二ソース電極s2はデータ線330と電氣的に接続し、第二ドレイン電極d2は画素電極344から電氣的に分離する。

【0030】

当然のことながら、この実施例の第二TFET T2は走査線320上に配置し、第二TFET T2の第二チャンネル層c2は走査線320とデータ線330の交差部に配置して、第二チャンネル層c2が走査線320とデータ線330の間に挟持されるようにする。さらに、この実施例の第二ドレイン電極d2は走査線320の上側から、走査線320の片側に沿って画素電極344の下側まで延びている。

【0031】

第一TFET T1が損傷し、画素ユニット340の異常動作を引き起こした場合、アクティブ・マトリクス基板300とカラーフィルタ基板を組み合わせて液晶を充填した後、LCDパネル上に輝点欠陥が発生する。画素ユニット340の修正には、レーザ修正プロセスが必要とされる。再び図3A~3Dを参照すると、修正プロセスの第一ステップは、例えば、レーザ切断プロセスによって、第一TFET T1と走査線320の間の接続350、第一TFET T1とデータ線330の間の接続360、および第一TFET T1と画素電極344の間の接続370の少なくとも一つを切断することである。第一TFET T1と走査線320の間の接続350を切断ラインL1に沿って切断すると、第一TFET T1は走査線320から電氣的に分離される。第一TFET T1とデータ線330の間の接続360を切断ラインL2に沿って切断すると、第一TFET T1はデータ線330から電氣的に分離される。第一TFET T1と画素電極344の間の接続370を切断ラインL3に沿って切断すると、第一TFET T1は画素電極344から電氣的に分離される。この実施例によると、接続350、360、370の切断方法はレーザ切断プロセスであってもよい。

【0032】

接続350、360、370を切断後、レーザ溶接プロセスによって画素電極344と第二ドレイン電極d2を溶接することで、第二TFET T2を画素電極344と電氣的に接続する。この発明の別の実施例では、第二TFET T2は、レーザで第二ドレイン電極d2上の保護層を燃焼し、レーザCVDプロセスで薄い金属層を形成することで、画素電極344と電氣的に接続される。このように修正した画素ユニットは、LCDパネル上に輝点欠陥を引き起こすことはない。

10

20

30

40

50

(実施例2)

【0033】

図4Aは、この発明の第二実施例によるアクティブ・マトリクス基板の平面図であり、図3Aの修正形態である。図4B、4C、4Dは各々、ラインa-b、ラインc-d、ラインe-fにおける図4Aの断面図である。図4A~4Dを共に参照すると、この実施例のアクティブ・マトリクス基板400は、走査線320の上側から走査線320の片側に沿って、隣の画素電極344の下側まで延びている隣の画素ユニット340内に、この実施例のアクティブ・マトリクス基板400の第二ドレイン電極410を配置している以外は、第一実施例のアクティブ・マトリクス基板300と同様である。

【0034】

図4A~4Dを参照すると、隣の画素ユニット340の第一TFT T1(図4Aの左側に示した第一TFT T1)が損傷した場合、レーザ切断プロセスを行って、第一TFT T1と走査線320の間の接続350、第一TFT T1とデータ線330の間の接続360、および第一TFT T1と画素電極344の間の接続370の少なくとも一つを切断する。ここで、第一TFT T1と走査線320の間の接続350を切断ラインL1に沿って切断すると、第一TFT T1は走査線320から電氣的に分離される。第一TFT T1とデータ線330の間の接続360を切断ラインL2に沿って切断すると、第一TFT T1はデータ線330から電氣的に分離される。第一TFT T1と画素電極344の間の接続370を切断ラインL3に沿って切断すると、第一TFT T1は画素電極344から電氣的に分離される。この実施例によると、接続350、360、370の切断方法は、レーザ切断プロセスであってもよい。

【0035】

当然のことながら、第二TFT T2の第二ドレイン電極410は隣の画素ユニット340内に配置し、走査線320の上側から、隣の画素ユニット340に向かって、画素電極344の下側まで延びているので、第二TFT T2は図4Aの左側に示した画素電極344と電氣的に接続する必要がある。第二TFT T2の第二ドレイン電極を図4Aの左側に示した画素電極344と電氣的に接続する方法は、レーザ溶接プロセスであってもよい。第二TFT T2の第二ドレイン電極を図4Aの左側に示した画素電極344と電氣的に接続する別の方法では、レーザで第二TFT T2の第二ドレイン電極410上の保護層を燃焼し、次にレーザCVDプロセスで薄い金属層を形成することもできる。

(実施例3)

【0036】

図5Aは、この発明の第三実施例によるアクティブ・マトリクス基板の平面図であり、図3Aの修正形態である。図5B、5C、5Dは各々、ラインa-b、ラインc-d、ラインe-fにおける図5Aの断面図である。図5A~5Dを共に参照すると、この実施例のアクティブ・マトリクス基板500は、偶数データ線330と走査線320の交差部のみ、または奇数データ線330と走査線320の交差部のみに、この実施例のアクティブ・マトリクス基板500の第二TFT T2を形成する以外は、第一実施例のアクティブ・マトリクス基板300と同様である。従って、二つの隣の画素ユニット340は、共有型の第二TFT T2を有する。さらに、この実施例の第二TFT T2は、二つの第二ドレイン電極510、520を有する。第二ドレイン電極510、520は、データ線330に隣接する画素ユニット340に配置し、各々走査線320の上側から、走査線320の片側に向かって、画素電極344の下側まで延びている。

【0037】

図5Aは、一对の画素ユニット340を示している。右側の画素ユニット340の第一TFT T1が損傷した場合、右側の画素ユニット340を修正するために、第二ドレイン電極510を用いることができる。修正方法は、第一実施例の方法と同様である。左側の画素ユニット340の第一TFT T1が損傷した場合、左側の画素ユニット340を修正するために、第二ドレイン電極520を用いることができる。修正方法は、第二実施例の方法と同様である。

10

20

30

40

50

(実施例4)

【0038】

図6Aは、この発明の第四実施例によるアクティブ・マトリクス基板の平面図であり、図3Aの修正形態である。図6B、6C、6Dは各々、ラインa-b、ラインc-d、ラインe-fにおける図6Aの断面図である。図6A~6Dを共に参照すると、この実施例のアクティブ・マトリクス基板600は、第二ドレイン電極610が、走査線320の上側から、走査線320の片側に向かって、画素電極の下側まで延びている以外は、第一実施例のアクティブ・マトリクス基板300と同様である。延伸方向は、第一実施例の延伸方向とは逆である。

【0039】

この実施例による修正方法は、第一実施例の方法と同様である。図6A~6Dを参照すると、第一TF T T1が損傷した場合、第一TF T T1と走査線320の間の接続350、第一TF T T1とデータ線330の間の接続360、および第一TF T T1と画素電極344の間の接続370の少なくとも一つをレーザー切断プロセスで切断する。接続350、360、370の切断方法は、レーザー切断プロセスであってもよい。当然のことながら、第二TF T T2の第二ドレイン電極610は走査線320の上側から、画素電極344の下側まで延びているので、図6Aの下側に示した第二TF T T2は、画素電極344と電気的に接続する必要がある。図6Aの下側で第二TF T T2の第二ドレイン電極610を画素電極344と電気的に接続する方法は、レーザー溶接プロセスであってもよい。図6Aの下側で第二TF T T2の第二ドレイン電極610を画素電極344と電気的に接続する別の方法では、レーザーによって図6Aの下側で、第二TF T T2の第二ドレイン電極610上の保護層を燃焼し、次にレーザーCVDプロセスで薄い金属層を形成できる。

(実施例5)

【0040】

図7Aは、この発明の第五実施例によるアクティブ・マトリクス基板の平面図であり、図3Aの修正形態である。図7B、7C、7Dは各々、ラインa-b、ラインc-d、ラインe-fにおける図7Aの断面図である。図7A~7Dを共に参照すると、この実施例のアクティブ・マトリクス基板700は、第一実施例のアクティブ・マトリクス基板300と同様である。第一実施例のアクティブ・マトリクス基板300によると、各画素ユニット340が第二TF T T2を有する。しかし、この発明のアクティブ・マトリクス基板700によると、第二TF T T2は奇数の走査線320とデータ線330の交差部のみ、または偶数の走査線320とデータ線330の交差部のみに形成する。従って、互いに上下に隣接する画素ユニット340の各対が、共有型の第二TF T T2を有する。さらに、この実施例の第二TF T T2の第二ドレイン電極710は、走査線320の上側から、奇数または偶数の走査線320の両側に沿って、画素電極344の下側まで延びている。当然のことながら、第二TF T T2は奇数の走査線320とデータ線330の交差部のみ、または偶数の走査線320とデータ線330の交差部にのみ形成するが、第二TF T T2が形成されない走査線320とデータ線330の交差部に、第二チャンネル層c2を形成することもできる。

【0041】

図7A~7Dを再び参照すると、互いに上下に隣接する一对の画素ユニットの第一TF T T1の一つが損傷した場合、第一TF T T1と走査線320の間の接続350、第一TF T T1とデータ線330の間の接続360、および第一TF T T1と画素電極344の間の接続370の少なくとも一つをレーザー切断プロセスで切断する。次に、第二TF T T2の第二ドレイン電極710を画素電極344と電気的に接続するために、レーザー溶接法を用いる。第二TF T T2の第二ドレイン電極710を画素電極344と電気的に接続する方法は、レーザー溶接プロセスまたはレーザーCVDプロセスを行うことで実現することもできる。互いに上下に隣接する一对のこのような画素ユニットは共有型の第二TF T T2を有し、第二TF T T2の第二ドレイン電極710は走査線320の上

10

20

30

40

50



側から、走査線 320 の両側に向かって、画素電極 344 の下側まで延びているので、互いに隣接する一対の画素ユニットの任意の第一 T F T T 1 が損傷した場合、共有型の第二 T F T T 2 が損傷した第一 T F T T 1 の代わりとなることができる。

(実施例 6)

【0042】

図 8 A は、この発明の第六実施例によるアクティブ・マトリクス基板の平面図であり、図 3 A の修正形態である。図 8 B、8 C、8 D は各々、ライン a - b、ライン c - d、ライン e - f における図 8 A の断面図である。図 8 A ~ 8 D を共に参照すると、この実施例のアクティブ・マトリクス基板 800 は、第一実施例のアクティブ・マトリクス基板 300 と同様である。主な違いは、第二ドレイン電極 810 が走査線 320 の上側から、走査線 320 の片側に向かって、画素電極 344 の下側に到達することなく延びていることである。

10

【0043】

図 8 A ~ 8 D を再び参照すると、第一 T F T T 1 が損傷した場合、第一 T F T T 1 と走査線 320 の間の接続 350、第一 T F T T 1 とデータ線 330 の間の接続 360、および第一 T F T T 1 と画素電極 344 の間の接続 370 の少なくとも一つをレーザー切断プロセスで切断する。次に、第二 T F T T 2 を画素電極 344 と電氣的に接続する。しかし、この発明によると、第二ドレイン電極 810 は画素電極 344 の下側までは延びていないので、レーザーで第二ドレイン電極 810 上の保護層を燃焼した後、レーザー C V D プロセスを行って薄い金属層を形成し、第二ドレイン電極 810 を画素電極 344 と電氣的に接続しなければならない。言い換えると、この実施例では、画素ユニット 340 を修正するには、レーザー C V D プロセスを用いるしかない。

20

(実施例 7)

【0044】

図 9 A は、この発明の第七実施例によるアクティブ・マトリクス基板の平面図であり、図 3 A の修正形態である。図 9 B、9 C、9 D は各々、ライン a - b、ライン c - d、ライン e - f における図 9 A の断面図である。図 9 A ~ 9 D を共に参照すると、この実施例のアクティブ・マトリクス基板 900 は、第一実施例のアクティブ・マトリクス基板 300 と同様である。第二 T F T T 2 は走査線 320 上に配置し、第二ソース電極 930 はデータ線 330 と電氣的に接続する。第二チャンネル層 920 は走査線 320 とデータ線 330 の交差部から所定の距離だけ離して配置し、走査線 320、第二ソース電極 930 および第二ドレイン電極 940 の間に挟持する。第二ドレイン電極 940 は、走査線 320 の上側から走査線 320 の片側に向かって、画素電極 344 の下側まで延びている。

30

【0045】

図 9 A ~ 9 D を再び参照すると、第一 T F T T 1 が損傷した場合、第一 T F T T 1 と走査線 320 の間の接続 350、第一 T F T T 1 とデータ線 330 の間の接続 360、および第一 T F T T 1 と画素電極 344 の間の接続 370 の少なくとも一つをレーザー切断プロセスで切断する。次にレーザー溶接法を用いて、レーザーで第二ドレイン電極 940 を画素電極 344 と溶接することで、第二 T F T T 2 を画素電極 344 と電氣的に接続する。第二 T F T T 2 を画素電極 344 と電氣的に接続する別の方法では、レーザーで第二ドレイン電極 940 上の保護層を燃焼し、次にレーザー C V D プロセスで薄い金属層を形成する。

40

(実施例 8)

【0046】

図 10 A は、この発明の第八実施例によるアクティブ・マトリクス基板の平面図であり、図 3 A の修正形態である。図 10 B、10 C、10 D は各々、ライン a - b、ライン c - d、ライン e - f における図 10 A の断面図である。図 10 A ~ 10 D を共に参照すると、この実施例のアクティブ・マトリクス基板 400' は、第二実施例のアクティブ・マトリクス基板 400 と同様である。主な違いは、アクティブ・マトリクス基板 400' が第二ドレイン電極 410' と画素電極 344 の下に配置した修正ライン 420' を有する

50

ことである。修正ライン420'は第一金属層に属し、誘電体層（ゲート絶縁層）によって第二ドレイン電極410から電氣的に分離される。

【0047】

図10A～10Dを参照すると、隣の画素ユニット340の第一TFT T1（図10Aの左側の第一TFT T1）が損傷した場合、レーザー切断プロセスを用いて、第一TFT T1と走査線320の間の接続350、第一TFT T1とデータ線330の間の接続360、および第一TFT T1と画素電極344の間の接続370の少なくとも一つを切断する。次に、レーザーを用いて、修正ライン420'、第二ドレイン電極410'および画素電極344が重なっている領域を焼結し、第二ドレイン電極410'、画素電極344および修正ライン420'を溶接する。こうして、第二TFT T2は、図10A

10

【産業上の利用可能性】

【0048】

つまり、アクティブ・マトリクス基板およびその画素ユニット修正方法は、少なくとも次の利点を有する。

1. 画素ユニットがTFTを一つしか持たない既存のTFTアレイ基板と比べて、この発明によって提供されるアクティブ・マトリクス基板は冗長的な能動素子を有する。画素電極と電氣的に接続した能動素子が損傷した場合、元の能動素子の代わりに他の能動素子（冗長的な能動素子）を用いて、画素ユニットが通常動作を再開できるようにする。その結果、LCDパネル上の輝点欠陥の問題が避けられ、LCDパネルの修正率が適宜改善される。

20

2. 修正した画素ユニットが完全な明または暗しか表示しない別の既存のTFTアレイ基板と比べて、この発明によるアクティブ・マトリクス基板の画素ユニットは修正後、通常の機能を再開できる。

3. この発明によるアクティブ・マトリクス基板の製造およびその画素修正方法は、それらの既存のプロセスと互換性がある。二つの遮光パターンが修正形態では必要とされるが、追加の製造装置は必要とされない。

【0049】

当然のことながら、ここでは例示のために、この発明の具体的な実施形態および例を説明しており、この発明の範囲内で様々な等価な修正形態が可能であるが、当業者には明らかのように、この発明の上記の好ましい実施例の修正および調整を行い、特定の要件に適合させることができる。この開示内容は、その範囲を限定することなく、この発明を典型的に示すことを意図している。好ましい実施例で開示した発明に組み込んだ全ての修正形態は、添付の請求項の範囲または請求項に権利が与えられる等価なものの範囲内にあると解釈される。

30

【図面の簡単な説明】

【0050】

添付の図面は、この発明をさらに理解するために含まれ、この明細書に組み込まれ、その一部を構成する。図面はこの発明の実施例を示し、その内容と共にこの発明の原理を説明するのに役立つ。

40

【図1A】既存のTFTアレイ基板の平面図である。

【図1B】ラインa-bにおける図1Aの断面図である。

【図1C】ラインc-dにおける図1Aの断面図である。

【図2A】別の既存のTFTアレイ基板の平面図である。

【図2B】ラインa-bにおける図2Aの断面図である。

【図2C】ラインc-dにおける図2Aの断面図である。

【図3A】この発明の第一実施例によるアクティブ・マトリクス基板の平面図である。

【図3B】ラインa-bにおける図3Aの断面図である。

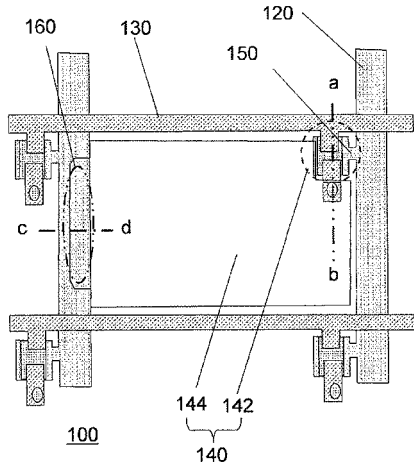
【図3C】ラインc-dにおける図3Aの断面図である。

50

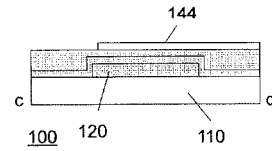
- 【図 3 D】ライン e - f における図 3 A の断面図である。
- 【図 4 A】この発明の第二実施例によるアクティブ・マトリクス基板の平面図である。
- 【図 4 B】ライン a - b における図 4 A の断面図である。
- 【図 4 C】ライン c - d における図 4 A の断面図である。
- 【図 4 D】ライン e - f における図 4 A の断面図である。
- 【図 5 A】この発明の第三実施例によるアクティブ・マトリクス基板の平面図である。
- 【図 5 B】ライン a - b における図 5 A の断面図である。
- 【図 5 C】ライン c - d における図 5 A の断面図である。
- 【図 5 D】ライン e - f における図 5 A の断面図である。
- 【図 6 A】この発明の第四実施例によるアクティブ・マトリクス基板の平面図である。 10
- 【図 6 B】ライン a - b における図 6 A の断面図である。
- 【図 6 C】ライン c - d における図 6 A の断面図である。
- 【図 6 D】ライン e - f における図 6 A の断面図である。
- 【図 7 A】この発明の第五実施例によるアクティブ・マトリクス基板の平面図である。
- 【図 7 B】ライン a - b における図 7 A の断面図である。
- 【図 7 C】ライン c - d における図 7 A の断面図である。
- 【図 7 D】ライン e - f における図 7 A の断面図である。
- 【図 8 A】この発明の第六実施例によるアクティブ・マトリクス基板の平面図である。
- 【図 8 B】ライン a - b における図 8 A の断面図である。
- 【図 8 C】ライン c - d における図 8 A の断面図である。 20
- 【図 8 D】ライン e - f における図 8 A の断面図である。
- 【図 9 A】この発明の第七実施例によるアクティブ・マトリクス基板の平面図である。
- 【図 9 B】ライン a - b における図 9 A の断面図である。
- 【図 9 C】ライン c - d における図 9 A の断面図である。
- 【図 9 D】ライン e - f における図 9 A の断面図である。
- 【図 10 A】この発明の第八実施例によるアクティブ・マトリクス基板の平面図である。
- 【図 10 B】ライン a - b における図 10 A の断面図である。
- 【図 10 C】ライン c - d における図 10 A の断面図である。
- 【図 10 D】ライン e - f における図 10 A の断面図である。
- 【符号の説明】 30
- 【 0 0 5 1 】
- 1 0 0 T F T アレイ基板
- 1 1 0 基板
- 1 2 0 走査線
- 1 3 0 データ線
- 1 4 0 画素ユニット
- 1 4 2 a ゲート電極
- 1 4 2 b チャンネル層
- 1 4 2 c ソース電極
- 1 4 2 d ドレイン電極 40
- 1 4 4 画素電極
- 1 5 0 接続
- 1 7 0 ゲート絶縁層
- 2 0 0 T F T 基板
- 2 1 0 修正ライン
- 2 2 0 修正構造
- 3 0 0 アクティブ・マトリクス基板
- 3 1 0 基板
- 3 2 0 走査線
- 3 3 0 データ線 50

|         |               |    |
|---------|---------------|----|
| 3 4 0   | 画素ユニット        |    |
| 3 4 2 a | 第一能動素子        |    |
| 3 4 2 b | 第二能動素子        |    |
| 3 4 4   | 画素電極          |    |
| 3 5 0   | 接続            |    |
| 3 6 0   | 接続            |    |
| 3 7 0   | 接続            |    |
| 4 0 0   | アクティブ・マトリクス基板 |    |
| 4 0 0'  | アクティブ・マトリクス基板 |    |
| 4 1 0   | 第二ドレイン電極      | 10 |
| 4 2 0'  | 修正ライン         |    |
| 5 0 0   | アクティブ・マトリクス基板 |    |
| 5 1 0   | 第二ドレイン電極      |    |
| 5 2 0   | 第二ドレイン電極      |    |
| 6 0 0   | アクティブ・マトリクス基板 |    |
| 6 1 0   | 第二ドレイン電極      |    |
| 7 0 0   | アクティブ・マトリクス基板 |    |
| 7 1 0   | 第二ドレイン電極      |    |
| 8 0 0   | アクティブ・マトリクス基板 |    |
| 8 1 0   | 第二ドレイン電極      | 20 |
| 9 0 0   | アクティブ・マトリクス基板 |    |
| 9 2 0   | 第二チャンネル層      |    |
| 9 3 0   | 第二ソース電極       |    |
| 9 4 0   | 第二ドレイン電極      |    |
| c 1     | 第一チャンネル層      |    |
| c 2     | 第二チャンネル層      |    |
| d 1     | 第一ドレイン電極      |    |
| d 2     | 第二ドレイン電極      |    |
| g 1     | 第一ゲート電極       |    |
| g 2     | 第二ゲート電極       | 30 |
| L 1     | 切断ライン         |    |
| L 2     | 切断ライン         |    |
| L 3     | 切断ライン         |    |
| s 1     | 第一ソース電極       |    |
| s 2     | 第二ソース電極       |    |

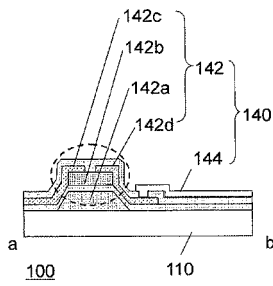
【図 1 A】



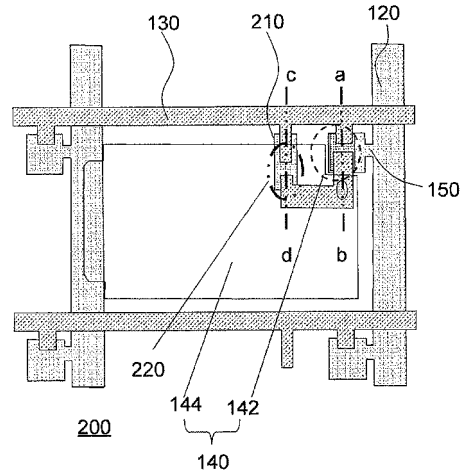
【図 1 C】



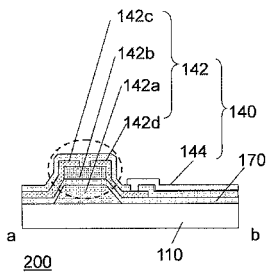
【図 1 B】



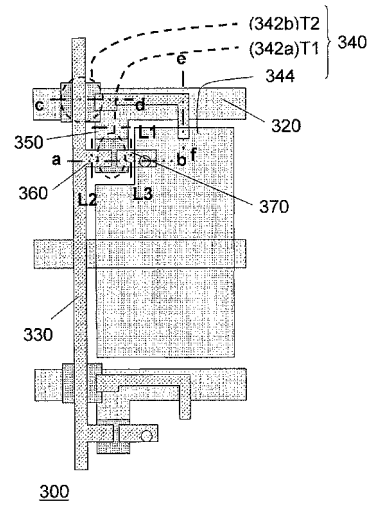
【図 2 A】



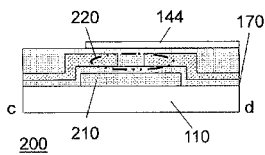
【図 2 B】



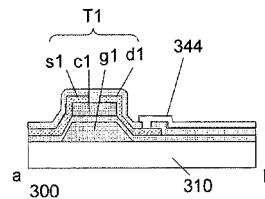
【図 3 A】



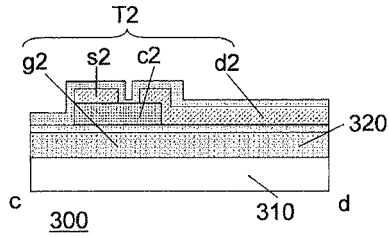
【図 2 C】



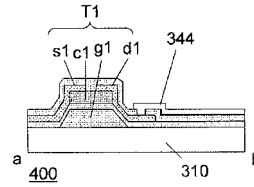
【図 3 B】



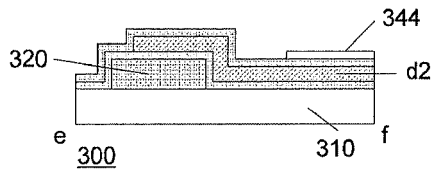
【図3C】



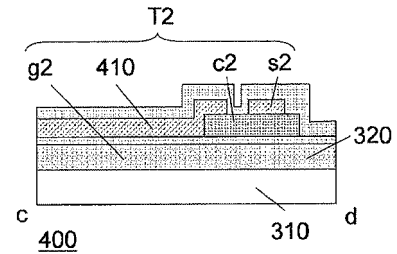
【図4B】



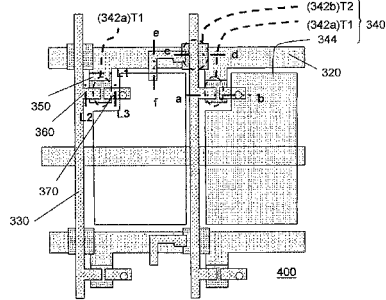
【図3D】



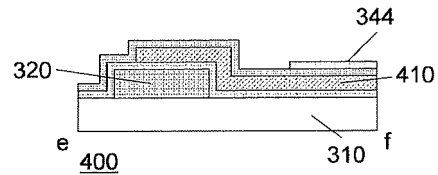
【図4C】



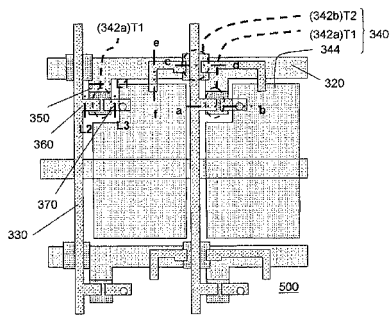
【図4A】



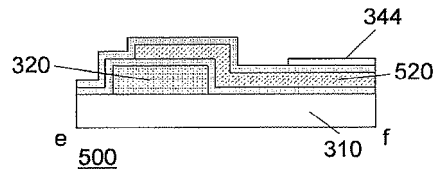
【図4D】



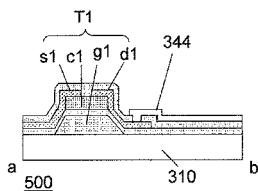
【図5A】



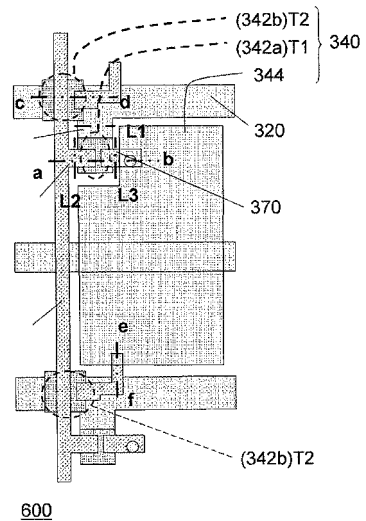
【図5D】



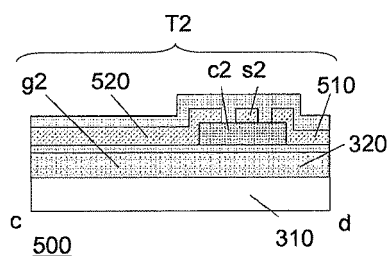
【図5B】



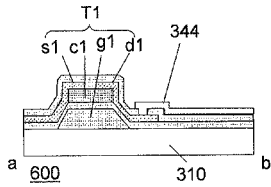
【図6A】



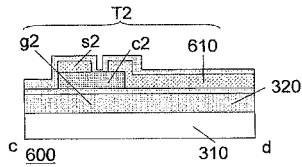
【図5C】



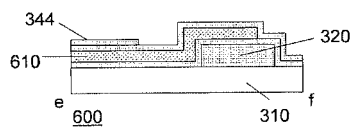
【図 6 B】



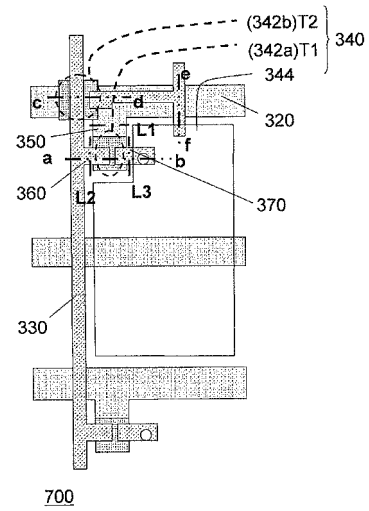
【図 6 C】



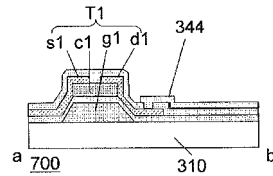
【図 6 D】



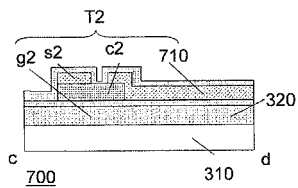
【図 7 A】



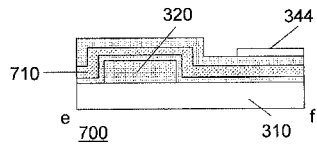
【図 7 B】



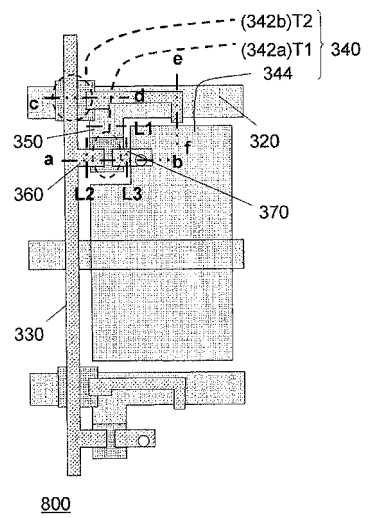
【図 7 C】



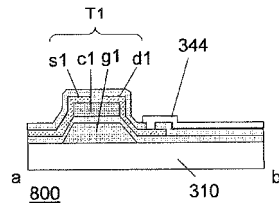
【図 7 D】



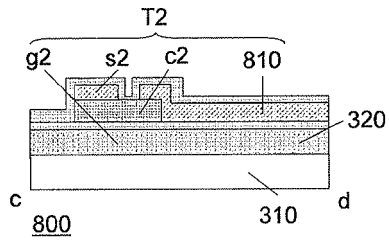
【図 8 A】



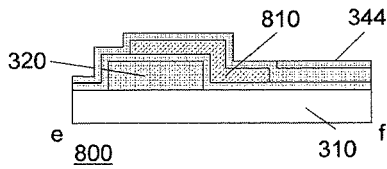
【図 8 B】



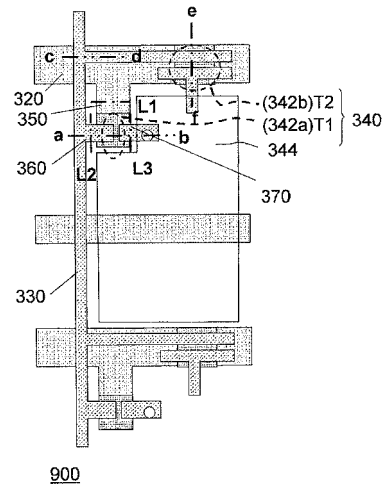
【 図 8 C 】



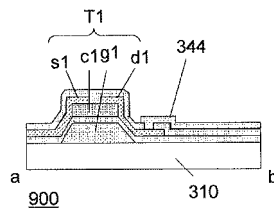
【 図 8 D 】



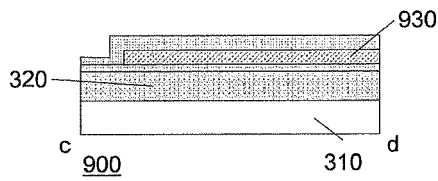
【 図 9 A 】



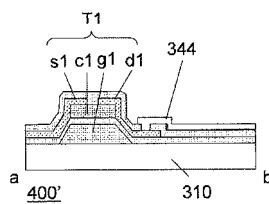
【 図 9 B 】



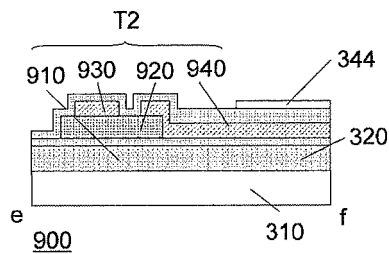
【 図 9 C 】



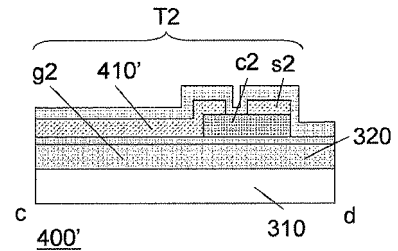
【 図 10 B 】



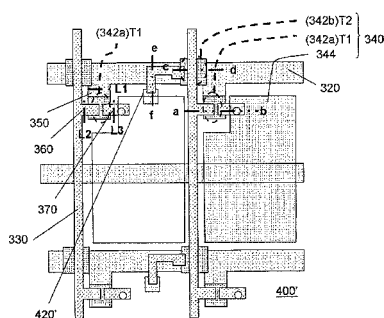
【 図 9 D 】



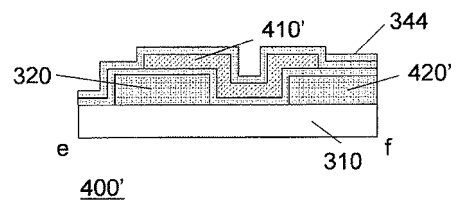
【 図 10 C 】



【 図 10 A 】



【 図 10 D 】





## フロントページの続き

(74)代理人 100107423

弁理士 城村 邦彦

(74)代理人 100120949

弁理士 熊野 剛

(74)代理人 100121186

弁理士 山根 広昭

(72)発明者 來漢中

台湾桃園懸中 歴 市内 歴 成功路122巷63弄20號

審査官 佐竹 政彦

(56)参考文献 特開平02-193114(JP,A)

特開平07-104311(JP,A)

特開平07-199221(JP,A)

特開平03-230125(JP,A)

特開平04-322225(JP,A)

特開平02-262125(JP,A)

実開平02-044723(JP,U)

(58)調査した分野(Int.Cl., DB名)

G09F 9/00-9/30

G02F 1/1368