

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-165879

(P2008-165879A)

(43) 公開日 平成20年7月17日(2008.7.17)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34 3 7 1 C	5 L 1 0 6
G 1 1 C 29/42 (2006.01)	G 1 1 C 29/00 6 3 1 D	5 M 0 2 4

審査請求 未請求 請求項の数 5 O L (全 17 頁)

(21) 出願番号 特願2006-352983 (P2006-352983)
 (22) 出願日 平成18年12月27日(2006.12.27)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100075672
 弁理士 峰 隆司
 (74) 代理人 100109830
 弁理士 福原 淑弘

最終頁に続く

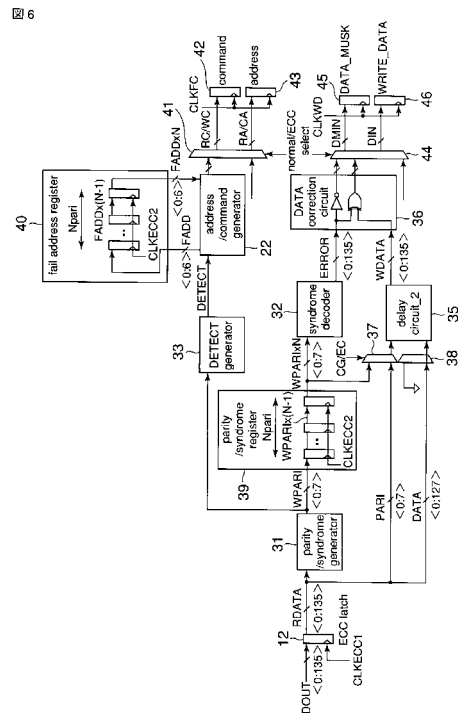
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 ECC動作時におけるサイクル数及びレジスタ数の増加を抑制し高速動作を可能とした半導体記憶装置を提供する。

【解決手段】 パリティ/シンドロームジェネレータ31により読み出しデータに対して、符号生成及び誤り検出を行いパリティビット及びシンドロームを生成し、パリティ/シンドロームレジスタ39に保持する。シンドロームデコーダ32は、シンドロームをデコードし読み出しデータ中の誤りデータを特定するためのエラー信号を出力する。誤り検出ジェネレータ33は、パリティビットに基づいて誤り検出信号を生成する。誤り検出信号に基づいて、アドレス/コマンドジェネレータ22により誤りデータが記憶されたメモセルのアドレスとライトコマンドが生成され、前記アドレスはフェイルアドレスレジスタ40に保持される。そして、エラー信号に基づいて、データ訂正回路36により読み出しデータ中の誤りデータが訂正される。

【選択図】 図6



【特許請求の範囲】**【請求項 1】**

データを記憶するメモリセルと、

前記メモリセルから読み出した読み出しデータに対してパリティビットを生成すると共に、誤り検出を行い、前記読み出しデータ中に誤りデータを検出したとき、前記誤りデータに基づいてシンドロームを生成するパリティ/シンドロームジェネレータと、

前記パリティ/シンドロームジェネレータにより生成された前記パリティビット及び前記シンドロームを保持するパリティ/シンドロームレジスタと、

前記パリティ/シンドロームレジスタに保持された前記シンドロームをデコードし、前記読み出しデータ中の前記誤りデータを特定するためのエラー信号を出力するシンドロームデコーダと、

前記パリティ/シンドロームジェネレータから出力された前記パリティビットに基づいて、誤り検出信号を生成する誤り検出ジェネレータと、

前記誤り検出ジェネレータにより生成された前記誤り検出信号に基づいて、前記誤りデータが記憶されたメモリセルのアドレスとライトコマンドを生成するアドレス/コマンドジェネレータと、

前記アドレス/コマンドジェネレータにより生成された前記アドレスを保持するフェイルアドレスレジスタと、

前記シンドロームデコーダから出力された前記エラー信号に基づいて、前記読み出しデータ中の前記誤りデータを訂正するデータ訂正回路と、

を具備することを特徴とする半導体記憶装置。

【請求項 2】

前記メモリセルに記憶されたデータの保持動作を行うデータ保持モードに入るとき、前記パリティ/シンドロームジェネレータは、前記メモリセルから読み出した前記読み出しデータに対して前記パリティビットを生成し、前記パリティ/シンドロームレジスタは前記パリティビットを記憶する第 1 動作を行い、

前記データ保持モードから通常動作モードに復帰する前に、前記パリティ/シンドロームジェネレータは、前記パリティビットが付加された前記読み出しデータに対して誤り検出を行い、検出した誤りデータに応じたシンドロームを生成し、前記データ訂正回路は、前記シンドロームを用いて前記読み出しデータ中の前記誤りデータを訂正する第 2 動作を行い、

前記第 2 動作の期間中は、ページ動作で読み出し及び書き込みを行うと共に、前記読み出しデータに対する誤り検出において前記誤りデータが検出されたとき、前記シンドロームを前記パリティ/シンドロームレジスタに保持し、前記誤りデータに対応するアドレスを前記フェイルアドレスレジスタに保持し、全てのページ内のリード動作が終了した後に、前記データ訂正回路により前記誤りデータを訂正するための書き込み動作を行うことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記メモリセルに記憶されたデータの保持動作を行うデータ保持モードに入るとき、前記パリティ/シンドロームジェネレータは、前記メモリセルから読み出した前記読み出しデータに対して前記パリティビットを生成し、前記パリティ/シンドロームレジスタは前記パリティビットを記憶する第 1 動作を行い、

前記第 1 動作の期間中は、ページ動作で読み出し及び書き込みを行うと共に、前記誤りデータに対応するアドレスを前記フェイルアドレスレジスタに保持し、後のクロックサイクルで前記データ訂正回路により前記パリティ/シンドロームレジスタに保持された前記パリティビットに基づいて、前記フェイルアドレスレジスタに保持されたアドレスに対応するメモリセルに書き込み動作を行うことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】

前記パリティ/シンドロームレジスタ及び前記フェイルアドレスレジスタがそれぞれ保

10

20

30

40

50

持するレジスタの記憶容量の最大値は、ページ長分の記憶容量よりも常に小さいことを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体記憶装置。

【請求項 5】

前記パリティ/シンドロームレジスタ及び前記フェイルアドレスレジスタは、それぞれシフトレジスタで構成されていることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、ECC (error checking and correction) 機能を用いたデータ保持モードを持つ半導体記憶装置に関するものであり、例えばダイナミック型ランダムアクセスメモリ (DRAM) に関するものである。

10

【背景技術】

【0002】

ECC 機能を内蔵したメモリマクロでは、ECC 機能はデータ保持モードとの併用を想定しており、データ保持モードに入る直前に符号生成動作、データ保持モードから抜ける直前に誤り訂正動作を行う。その詳細は、非特許文献 1 に記載されている。

【0003】

この従来方式を用いると、誤り訂正を行う場合、リードコマンドによって出力されたデータに対して、次のサイクルでそのデータを取り込み、そのデータに対して“誤り検出” “訂正データ生成” と、“誤り検出” “誤りデータのあるアドレス及びライトコマンド生成” を並行して 1 サイクルで行わなければならない。それぞれの動作が高速な動作周波数に対応できなくなる。例えば、情報長 128 ビット、検査符号 (パリティビット) 長 8 ビット、すなわち符号長 136 ビットの場合、検査符号生成、誤り検出を行う回路や訂正データ生成回路は共に、論理段数にして 6 ~ 8 段となる。したがって、従来方式を用いたメモリマクロでは、1 サイクルで最大 16 段の論理段数を経ることになる。このため、トランジスタがワースト条件の場合や電源電圧が低電圧の場合、さらには信号の配線遅延なども鑑みると高速動作は困難になってくる。

20

【非特許文献 1】 Takeshi Nagai, et al., “A 65nm Low-Power Embedded DRAM with Extended Data-Retention Sleep Mode”, ISSCC Digest of Technical Papers, pp.164-165, 645, Feb., 2006.

30

【発明の開示】

【発明が解決しようとする課題】

【0004】

この発明は、ECC 動作時におけるサイクル数及びレジスタ数の増加を抑制し高速動作を可能とした半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0005】

この発明の第 1 実施形態の半導体記憶装置は、データを記憶するメモリセルと、前記メモリセルから読み出した読み出しデータに対してパリティビットを生成すると共に、誤り検出を行い、前記読み出しデータ中に誤りデータを検出したとき、前記誤りデータに基づいてシンドロームを生成するパリティ/シンドロームジェネレータと、前記パリティ/シンドロームジェネレータにより生成された前記パリティビット及び前記シンドロームを保持するパリティ/シンドロームレジスタと、前記パリティ/シンドロームレジスタに保持された前記シンドロームをデコードし、前記読み出しデータ中の前記誤りデータを特定するためのエラー信号を出力するシンドロームデコーダと、前記パリティ/シンドロームジェネレータから出力された前記パリティビットに基づいて、誤り検出信号を生成する誤り検出ジェネレータと、前記誤り検出ジェネレータにより生成された前記誤り検出信号に基づいて、前記誤りデータが記憶されたメモリセルのアドレスとライトコマンドを生成するアドレス/コマンドジェネレータと、前記アドレス/コマンドジェネレータにより生成さ

40

50

れた前記アドレスを保持するフェイルアドレスレジスタと、前記シンドロームデコーダから出力された前記エラー信号に基づいて、前記読み出しデータ中の前記誤りデータを訂正するデータ訂正回路とを具備することを特徴とする。

【0006】

この発明の第2実施形態の半導体記憶装置は、前記第1実施形態の構成に加えて、前記メモリセルに記憶されたデータの保持動作を行うデータ保持モードに入るとき、前記パリティ/シンドロームジェネレータは、前記メモリセルから読み出した前記読み出しデータに対して前記パリティビットを生成し、前記パリティ/シンドロームレジスタは前記パリティビットを記憶する第1動作を行い、前記データ保持モードから通常動作モードに復帰する前に、前記パリティ/シンドロームジェネレータは、前記パリティビットが付加された前記読み出しデータに対して誤り検出を行い、検出した誤りデータに応じたシンドロームを生成し、前記データ訂正回路は、前記シンドロームを用いて前記読み出しデータ中の前記誤りデータを訂正する第2動作を行い、前記第2動作の間中は、ページ動作で読み出し及び書き込みを行うと共に、前記読み出しデータに対する誤り検出において前記誤りデータが検出されたとき、前記シンドロームを前記パリティ/シンドロームレジスタに保持し、前記誤りデータに対応するアドレスを前記フェイルアドレスレジスタに保持し、全てのページ内のリード動作が終了した後に、前記データ訂正回路により前記誤りデータを訂正するための書き込み動作を行うことを特徴とする。

10

【0007】

この発明の第3実施形態の半導体記憶装置は、前記第1実施形態の構成に加えて、前記メモリセルに記憶されたデータの保持動作を行うデータ保持モードに入るとき、前記パリティ/シンドロームジェネレータは、前記メモリセルから読み出した前記読み出しデータに対して前記パリティビットを生成し、前記パリティ/シンドロームレジスタは前記パリティビットを記憶する第1動作を行い、前記第1動作の間中は、ページ動作で読み出し及び書き込みを行うと共に、前記誤りデータに対応するアドレスを前記フェイルアドレスレジスタに保持し、後のクロックサイクルで前記データ訂正回路により前記パリティ/シンドロームレジスタに保持された前記パリティビットに基づいて、前記フェイルアドレスレジスタに保持されたアドレスに対応するメモリセルに書き込み動作を行うことを特徴とする。

20

【発明の効果】

30

【0008】

この発明によれば、ECC動作時におけるサイクル数及びレジスタ数の増加を抑制し高速動作を可能とした半導体記憶装置を提供することが可能である。

【発明を実施するための最良の形態】

【0009】

この発明の実施形態を説明する前に、本発明の関連技術について説明する。

【0010】

図1は、ECC機能を内蔵したメモリマクロ(DRAM)の概略図である。

【0011】

このECC機能はデータ保持モードとの併用を想定しており、データ保持モードに入る(ENTRY)直前に符号生成動作を行い、データ保持モードから抜ける(EXIT)直前に誤り訂正動作を行う。その詳細は、非特許文献1に記載されている。

40

【0012】

このメモリマクロは、データを保持するセルアレイ1と、セルアレイ1からデータを読み出して符号生成および誤り訂正を行い、それによって生成されたデータをセルアレイ1に書き込むECC回路2と、外部とのデータの入出力を行うI/O回路3と、それらをコントロールする制御回路4からなる。前記セルアレイ1は、複数のメモリセルが例えばアレイ状に配列され、各メモリセルにデータが記録保持される。

【0013】

通常メモリ動作としては、外部からリードコマンドとリードアドレスを入力すること

50

で、所望のアドレスからデータを読み出すことができ、またライトコマンドとアドレスとライトデータを入力することで所望のアドレスにデータを書き込むことができる。ECC動作時には、外部からECCコマンドを入力することで、ECC回路2はセルアレイ1からデータを読み出し、そのデータに対して符号生成もしくは誤り訂正を行い、そのデータをセルアレイ1に書き込むことができる。ECC動作時にアクセスするセルアレイのアドレスは、外部から入力する構成の場合もあるし、メモリマクロ内部で自動的に生成する構成の場合も考えられる。以降は、メモリマクロ内で自動的にアドレスを生成する場合を例として説明する。

【0014】

図2は、前述したECC動作を行うために必要な回路構成を示したものである。まず、これらの回路は、セルアレイから読み出したデータを保持するデータラッチ(read data latch)11と、ECC動作を行うためにその読み出しデータを保持するデータラッチ(ECC latch)12と、セルアレイに書き込むデータを保持するデータラッチ(write data latch)13と、セルアレイに書き込むデータを指定するデータマスクラッチ(write mask latch)14を含む。これらは、データバスのビット幅に応じて、並列に複数個で構成する。

10

【0015】

さらに、ECCコマンドを保持するラッチであるコマンドラッチ(CG command latch)15、コマンドラッチ(EC command latch)16を含み、これらはそれぞれ、符号生成を行うコマンド、および誤り訂正を行うコマンドを保持する。また、リードコマンドを保持するコマンドラッチ(read command latch)17と、ライトコマンドを保持するコマンドラッチ(write command latch)18と、カラムアドレスを保持するアドレスラッチ(column address latch)19と、ロウアドレスを保持するアドレスラッチ(row address latch)20を含む。これらのアドレスラッチは、アドレスのビット数分だけの数で構成される。

20

【0016】

さらに、符号生成および誤り訂正を行うECC回路(ECC circuit)21と、ECCコマンドに応じて、リードコマンド、ライトコマンド、アドレスを生成するコマンド/アドレスジェネレータ(command/address generator)22と、前記コマンド/アドレスジェネレータ22の動作開始を制御するECCコマンドコントローラ(ECC command controller)23と、ECC時と通常のライト時でデータバスを切り替えるセレクタ(ECC/normal data selector)24と、ECC時と通常のリードおよびライト時でそれぞれのコマンドおよびアドレスのバスを切り替えるセレクタ(command/address selector)25を含む。また、前記の回路をクロックに同期して動作させるためのクロック信号を生成するクロックジェネレータ(command/address CLOCK generator)26およびクロックジェネレータ(READ/WRITE/ECC CLOCK generator)27を含む。

30

【0017】

以下に、図2に示した回路における動作の概要を説明する。クロックジェネレータ26は、外部クロック入力である信号CLKINを受けてクロックイネーブル信号CKEが“1”の時、リードライトコマンドをラッチするためのクロックCLKFCとCLKFRを生成する。クロックCLKFCは、コマンド/アドレスセレクタ25から出力されるリードライトコマンドおよびカラムアドレスを保持するラッチ17~19に入力される。ラッチ17~19は、クロックCLKFCに同期してコマンドおよびアドレスをラッチする。また、符号生成のコマンドであるCGコマンド(CG command)と、誤り訂正のコマンドであるECコマンド(EC command)も、クロックCLKFCに同期してラッチされる。

40

【0018】

クロックCLKFRは、ロウアドレスを保持するラッチ20に入力される。ラッチ20は、クロックCLKFRに同期してロウアドレスをラッチする。また、ここでは図示していないが、クロックCLKFRは、ロウ系のコマンド、例えばバンクアクティブコマンドやバンクプリチャージコマンドを保持するラッチにも入力される。通常のライトリード操作の時はもち

50

るん、ECCコマンド実行時にもワード線をアクティブにするコマンドやプリチャージを行うコマンドが実行されるが、ここでは詳細は省略する。

【0019】

クロックジェネレータ27は、コマンド/アドレスセレクタ25から出力されたリードコマンドに応じて、内部でセルアレイからのリードデータを保持するためのラッチ11に入力されるクロックCLKRDと、ライトコマンドに応じて、セルアレイに書き込むデータと、データを書き込むセルを選択するデータマスク信号を保持するラッチ13、14にそれぞれ入力されるクロックCLKWDと、前記リードデータとCGコマンド及びECコマンドに応じて、ECC動作を行うためにセルアレイから読み出したデータを保持するラッチ12に入力されるクロックCLKECCとを生成する。

10

【0020】

まず、クロックに同期して、CGコマンド(CG command) = “1”もしくはECコマンド(EC command) = “1”を入力することによって、信号CGCMD = “1”もしくは信号ECCMD = “1”が保持され、以降の動作はECC動作として設定される。通常のリードおよびライト動作時は、ECC/ノーマルデータセレクタ24およびコマンド/アドレスセレクタ25において、データおよびコマンド、アドレスに関してノーマルバスが有効になるが、これ以降は、前記のいずれかの設定がされている状態に関して説明する。

【0021】

信号CGCMDもしくは信号ECCMDが“1”に設定された状態でクロック信号に同期してECCコマンドイネーブル(ECC command enable) = “1”を入力することで、信号ENBにクロック信号1サイクル分が出力されて、コマンド/アドレスジェネレータ22が動作を開始する。まず、コマンド/アドレスジェネレータ22は、クロックに同期してリードコマンドECREADとリードアドレスERA(row)、ECA(column)を生成する。コマンド/アドレスセレクタ25は、信号CGCMD、ECCMDの状態に応じてノーマルバスとECCバスの選択を行うが、ここではECCが選択されているので、上記信号は信号READ、RAX、CAXとして出力される。信号READ、RAX、CAXは、クロックCLKFCおよびCLKFRに同期してラッチ(read command latch)17、ラッチ(column address latch)19、ラッチ(row address latch)20に保持され、信号RC、CA、RAとして出力される。また、クロックジェネレータ27は、信号READを受けて、リードレイテンシに応じてクロックCLKRDを生成し、その1サイクル後にクロックCLKECCを生成し、さらにその1サイクル後にクロックCLKWDを生成する。

20

30

【0022】

前記コマンド、アドレスに応じてセルアレイから読み出されたデータは、クロックCLKRDに同期してラッチ(read data latch)11に保持され、信号DOUTとして出力される。信号DOUTのデータは、クロックCLKECCに同期してECCラッチ12に保持され、信号RDATAとして出力される。ECC回路21は、信号RDATAを受けて、信号CGCMD = “1”ならば符号生成を、信号ECCMD = “1”ならば誤り訂正を行い、その結果を信号EDINに出力する。また、書き込みデータに応じて、書き込み対象のセルを選択するデータマスク信号EMDINも出力する。ECCノーマルデータセレクタ24は、信号CGCMD、ECCMDの状態に応じてノーマルバスとECCバスの選択を行うが、ここではECCが選択されているので、信号EDINおよびEDMINが信号DINおよびDMINとして出力される。

40

【0023】

次に、コマンド/アドレスジェネレータ22は、ライトコマンドECWRITEを生成する。このライトコマンドECWRITEはリードコマンドと同様に信号WRITEとして出力され、信号WRITEを受けたクロックジェネレータ27はクロックCLKECCの1サイクル後にクロックCLKWDを生成する。

【0024】

信号DIN、DMINは、クロックCLKWDに同期してラッチ(write data latch)13およびラッチ(write musk latch)14に保持される。保持された信号DIN、DMINは、信号WD、DMとして出力され、これら信号DIN、DMINを元にセルアレイにデータが書き込まれる。

50

【 0 0 2 5 】

ところで、誤り訂正は、データに誤りがあったときのみ行うようにすることもできる。その場合は、ECC回路21から出力される誤り検出信号DETECTをコマンド/アドレスジェネレータ22が受けて、ライトコマンドを発行するように構成することもできる。この場合、誤り検出信号DETECTが生成されなければライト動作は省略される。

【 0 0 2 6 】

非特許文献1にもあるように、通常、メモリセルにアクセスするアドレッシングとして使用されるものには、RFS (Row First Scan) とCFS (Column First Scan) がある。RFSでは、カラムアドレスをインクリメントするたびにロウアドレスを活性化してカラムアクセスするまでの時間 $t_{RC D}$ や、ライトコマンドからロウプリチャージコマンドまでの時間 t_{WR} 、ロウプリチャージコマンドから次のロウアクティブコマンドまでの時間 t_{RP} が必要になり、遷移時間がとても長くなる。これに対して、CFSではそれらの時間はページ動作ごとにのみ必要になるので、遷移時間は短縮される。ただし、CFSではリフレッシュ時間の制約があり、時間 t_{REF} の間に全ロウがアクセスできない場合は別途リフレッシュコマンドを入れる必要がある。

【 0 0 2 7 】

また、救済効率の議論からして、ページ動作中、数回の誤り訂正を行えるようにしておけば、十分な救済効率を得られるということから、1ページ動作につき救済する回数をページ長以下に設定することで更なる遷移時間の短縮を実現している。

【 0 0 2 8 】

図3は、イグジット (EXIT) 動作時のCFSモードにおいて、誤りがあったアドレスに関してのみ誤り訂正を行う場合の動作波形例である。この例では、リードレイテンシ3、ページ長128の場合を想定しており、クロックCLKp、ロウアドレスREc、カラムアドレスCEp、出力データDIN/DMIN、入力データDOUTの動作のみ図示している。ロウアドレスREcが活性化された後、カラムアドレスCEpが0から127まで連続してリードコマンドが入力されている。ここで、リードレイテンシは3なので、カラムアドレス0のリードコマンドに対するデータQ0は3サイクル後に出力される。データQ0に対するECC回路21の出力信号DIN/DMINは、その1サイクル後に出力される。もし、このカラムアドレスに誤りがあれば、誤り訂正を実行して次のサイクルにライトコマンドを生成し、正しいデータをメモリセルに書き込む。誤りがなければ、次のカラムアドレスのリード動作へと移る。図3は、カラムアドレス2と4に誤りがあった場合の例である。

【 0 0 2 9 】

ところで、図2に示したECC回路を含む回路をさらに詳細に示したものが図5である。ここでは、情報長128ビット、検査符号 (パリティビット) 長8ビット、あわせて符号長136ビットの場合を想定している。リードコマンドによって読み出された信号DOUTが次のサイクルでECCラッチ12に取り込まれ、このデータに対して、パリティ/シンドロームジェネレータ31において符号生成及び誤り検出が実行される。符号生成動作時は、ここで生成された8ビットのパリティビットWPARIをメモリセルに書き込む。誤り検出時では、信号DOUTに誤りがある場合に出力される復号 (シンドローム) であるパリティビットWPARIは全て0にならない。この場合、パリティビットWPARIの情報を用いて、シンドロームデコーダ32により136ビットのデータのうち、どのビットに誤りがあるのかが特定される。その情報を元に、ECCラッチ12に保持されたデータ中で、誤りのあるデータのみを反転させてメモリセルに書き込むことで、誤り訂正を完了させる。

【 0 0 3 0 】

また、パリティビットWPARIが0でない場合は、誤り検出ジェネレータ33にて、誤りがあったことを示す誤り検出信号DETECTを生成する。誤り検出信号DETECTを受け取ったアドレス/コマンドジェネレータ22は、誤り訂正のためにライトコマンドとライトアドレスを生成する。

【 0 0 3 1 】

ここで、第1遅延回路34及び第2遅延回路35は、誤り訂正のための信号と、ECC

10

20

30

40

50

ラッチ 1 2 に取り込んだデータに関して、データ訂正回路 3 6 までの論理段数をそろえるために挿入されている。

【 0 0 3 2 】

また、第 2 遅延回路 3 5 の入力部に設置されたセレクタ 3 7 は、符号生成時と誤り検出時で、メモリセルに書き込むデータを決定するための信号 WDATA に出力されるパリティ部にあたるデータを選択するのに用いられている。符号生成時は生成されたパリティビット WPARI を信号 WDATA に出力し、誤り訂正時はメモリセルから読み出されたデータのうちのパリティビット PARI を信号 WDATA に出力する。セレクタ 3 8 は、メモリセルから読み出されたデータ DATA を信号 WDATA に出力する際に、セレクタ 3 7 に対して論理段数をそろえるために挿入されている。セレクタ 3 8 の出力は、常にデータ DATA である。

10

【 0 0 3 3 】

図 4 は、C F S モードでの符号生成時の動作波形例である。図 3 の場合と同様に、リードレイテンシ 3、ページ長 1 2 8 の場合を想定している。ロウアドレス R E c が活性化された後、カラムアドレス 0 でリードコマンドが発効される。リードレイテンシ 3 により、3 サイクル後にデータ Q 0 が読み出される。これに対する E C C 回路の出力信号 DIN/DMIN がその 1 サイクル後に出力され、メモリセルアレイに書き込まれる。図 4 に示すように、リードコマンド (R) を 4 回、ライトコマンド (W) を 4 回繰り返し、必要なアドレスも生成することで、レジスタを追加することなく、シームレスな動作を実現している。誤り訂正時にも同様の動作で行うことができるが、遷移時間短縮のために図 3 に示したような動作を行っている。

20

【 0 0 3 4 】

この従来の方式を用いると、誤り訂正を行う場合、リードコマンドによって出力されたデータに対して、次のサイクルでそのデータを取り込み、そのデータに対して“誤り検出” “訂正データ生成” と、誤り検出 “誤りデータ” のあるアドレス及びライトコマンド生成” を並行して 1 サイクルで行わなければならない、それぞれの動作が高速な動作周波数に対応できなくなる。例えば、情報長 1 2 8 ビット、検査符号 (パリティビット) 長 8 ビット、すなわち符号長 1 3 6 ビットの場合、検査符号生成及び誤り検出を行う回路やデータ訂正回路は共に、論理段数にして 6 ~ 8 段となる。したがって、1 サイクルで最大 1 6 段の論理段数を経ることになる。トランジスタがワースト条件の場合や電源電圧が低電圧の場合、さらには信号の配線遅延なども鑑みると高速動作は困難になってくる。

30

【 0 0 3 5 】

また、図 5 に示した構成で図 3 の動作を行った場合、リードコマンド、ライトコマンド、及びアドレスはアドレス / コマンドジェネレータ 2 2 で自動的に生成され、符号生成時にメモリセルに書き込まれるデータはパリティビット WPARI の 8 ビットである。つまり、パリティ / シンドロームジェネレータ 3 1 で生成されたパリティビット WPARI は、セレクタ 3 7、第 2 遅延回路 3 5、データ訂正回路 3 6 を介してセルアレイに書き込まれる。ここで、符号生成時は信号 ERROR が 0 に固定され、データマスクは外部でパリティ部のみ外される。以上からわかるように、符号生成時は、誤り訂正動作を行わないためその分の動作時間は必要ないはずであるが、安定な回路動作を実現するために挿入された遅延回路にて動作速度は制限される。

40

【 0 0 3 6 】

前述した問題点を解決するために、この発明の実施形態では以下の方法を提案する。

【 0 0 3 7 】

(1) C F S モードで行うイグジット (EXIT) 動作において、誤りがあったカラムアドレスとその時のシンドロームを保持するレジスタを具備し、誤り訂正とデータ書き込み動作を別のサイクルで行うことにより、高速化を実現する。ただし、それぞれのレジスタの数はページ内で誤り訂正可能な回数と同じにすることにより、面積増加を抑える。

【 0 0 3 8 】

(2) C F S モードで行うエントリー (ENTRY) 動作において、前記回路構成を用いて動作方式を工夫することで、必要なサイクル数は従来と変更なく、更なる高速化を実現でき

50

る。

【 0 0 3 9 】

以下に、図面を参照してこの発明の実施形態の半導体記憶装置について説明する。半導体記憶装置としては、メモリ装置単体であってもよいし、ロジック回路とメモリ回路とが混載されたロジック混載メモリであってもよく、またメモリ回路を含むその他の装置にも本発明を適用することができる。説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【 0 0 4 0 】

[第 1 の実施形態]

図 6 は、この発明の第 1 実施形態の半導体記憶装置の回路図であり、前記問題点を解決するための回路構成を、図 5 に組み込んだ例を示している。

10

【 0 0 4 1 】

第 1 実施形態の半導体記憶装置は、パリティ/シンドロームジェネレータ (parity/syndrome generator) 3 1、パリティ/シンドロームレジスタ (parity/syndrome register) 3 9、シンドロームデコーダ (syndrome decoder) 3 2、誤り検出ジェネレータ (DETECT generator) 3 3、アドレス/コマンドジェネレータ (command/address generator) 2 2、フェイルアドレスレジスタ (fail address register) 4 0、データ訂正回路 (DATA correction circuit) 3 6 を備える。パリティ/シンドロームジェネレータ 3 1 は、メモリセルから読み出した読み出しデータに対して、符号生成を行いパリティビットを生成すると共に、誤り検出を行い読み出しデータ中に誤りデータを検出したとき、シンドロームを生成する。パリティ/シンドロームレジスタ 3 9 は、パリティ/シンドロームジェネレータ 3 1 により生成されたパリティビット及びシンドロームを保持する。シンドロームデコーダ 3 2 は、パリティ/シンドロームレジスタ 3 9 に保持されたシンドロームをデコードし、読み出しデータ中の誤りデータを特定するためのエラー信号を出力する。誤り検出ジェネレータ 3 3 は、パリティ/シンドロームジェネレータ 3 1 から出力されたパリティビットに基づいて、誤り検出信号を生成する。アドレス/コマンドジェネレータ 2 2 は、誤り検出ジェネレータにより生成された誤り検出信号に基づいて、誤りデータが記憶されたメモリセルのアドレスとライトコマンドを生成する。フェイルアドレスレジスタ 4 0 は、アドレス/コマンドジェネレータ 2 2 により生成されたアドレスを保持する。データ訂正回路 3 6 は、シンドロームデコーダ 3 2 から出力されたエラー信号に基づいて、読み出しデータ中の誤りデータを訂正する。

20

30

【 0 0 4 2 】

図 5 に示した回路構成との違いは、まず、パリティ/シンドロームジェネレータ 3 1 とシンドロームデコーダ 3 2 の間にパリティ/シンドロームレジスタ 3 9 が挿入されている。パリティ/シンドロームレジスタ 3 9 は、パリティビット WPARI と同じビット幅である 8 ビットの幅を持った、Npari 段のシフトレジスタである。Npari の値は、1 ページ動作中に Npari 回だけ誤り訂正を行うことができることに対応する。パリティ/シンドロームレジスタ 3 9 は、誤り検出動作中に、誤りが検出された場合、すなわちシンドロームが 0 でない場合のみ、シンドロームの値を保持する。また、アドレス/コマンドジェネレータ 2 2 には、フェイルアドレスレジスタ 4 0 が接続されている。フェイルアドレスレジスタ 4 0 は、カラムアドレスのビット幅 (ここでは、7 ビットを想定している) と同じビット幅を持った Npari 段のシフトレジスタであり、シンドロームの値が 0 でない場合のみ、その時のカラムアドレスの値を保持する。

40

【 0 0 4 3 】

図 7 に、図 6 に示した第 1 実施形態の半導体記憶装置における CFS モードによる誤り訂正時の動作波形例を示す。この例では、リードレイテンシ 3、ページ長 1 2 8、1 ページ内で行える誤り訂正の回数を 4 回とする。誤り訂正の回数は、アドレス/コマンドジェネレータ 2 2 の設定によっていかようにも設定でき、アドレス/コマンドジェネレータ 2 2 に設定された誤り訂正可能な回数に応じて、パリティ/シンドロームレジスタ 3 9 とフェイルアドレスレジスタ 4 0 の段数 Npari を変更することで対応できる。この例では Npari

50

= 4 とする。

【 0 0 4 4 】

まず、ページ動作中は、ロウアドレス R E c が固定され、カラムアドレス C E p の 0 から 1 2 7 までを C F S (Column First Scan) モードでリードする。この際、パリティ / シンドロームジェネレータ 3 1 により誤り検出動作を実行し、誤りが検出された場合は、そのアドレス F A D D をフェイルアドレスレジスタ 4 0 に保持し、シンドローム W P A R I をパリティ / シンドロームレジスタ 3 9 に保持する。あるアドレスのデータに誤りがあるという情報は、従来例と同様に、誤り検出ジェネレータ 3 3 から出力される誤り検出信号 D E T E C T によって特定される。ここでは、リードレイテンシ 3 を想定しているため、リードコマンドから 3 サイクル後にリードデータは確定し、その 1 サイクル後にシンドローム W P A R I 及びアドレス F A D D は確定している。

10

【 0 0 4 5 】

誤りが検出されるたびに、アドレス F A D D 及びシンドローム W P A R I は、次々にフェイルアドレスレジスタ 4 0 及びパリティ / シンドロームレジスタ 3 9 に取り込まれる。レジスタ 4 0 及びレジスタ 3 9 のそれぞれのビットはシフトレジスタを構成しているため、以前に取り込まれたデータはその都度、それぞれレジスタ 4 0 及びレジスタ 3 9 の出力側にシフトされる。ページ内で誤りが 4 回検出された時点で、最初に検出された誤りに関するアドレス F A D D とシンドローム W P A R I がレジスタ F A D D x 4 とレジスタ W P A R I x 4 に出力された状態になる。図 7 に示した例は、カラムアドレス (2) , (4) , (5) , (7) のデータに誤りがあった場合の例であり、それぞれのカラムアドレス F 2 , F 4 , F 5 , F 7 及びシンドローム P 2 , P 4 , P 5 , P 7 がフェイルアドレスレジスタ 4 0 及びパリティ / シンドロームレジスタ 3 9 にそれぞれ取り込まれる様子を示している。

20

【 0 0 4 6 】

カラムアドレス 1 2 7 へのリードコマンドのアクセスが終わり、誤り検出動作が終わった時点で、誤り訂正動作に入る。誤り訂正をすべきカラムアドレスはフェイルアドレスレジスタ 4 0 に保持されているため、フェイルアドレスレジスタ 4 0 に保持されたカラムアドレスを用いてカラムにアクセスを行い、誤ったデータを訂正して正しいデータを書き込む。誤ったデータの訂正は、パリティ / シンドロームレジスタ 3 9 に保持されたシンドロームデータを用いて行う。ここで、シンドロームデコーダ 3 2 によりシンドロームをデコードすることで得られる情報は、1 3 6 ビットの情報のうち、どのビットが誤りであるかという情報だけであり、1 または 0 のどちらの情報も正しいかという情報は得られない。

30

【 0 0 4 7 】

図 6 に示した回路構成では、パリティ / シンドロームレジスタ 3 9 及びフェイルアドレスレジスタ 4 0 を構成するレジスタの数を減らすために、セルアレイから読み出した情報を、シンドロームのデコードで得られた情報を用いて反転させる方法で誤り訂正を行っている。このため、リードコマンドによる読み出しが再度必要になる。これらのことを鑑みて、以下に誤り訂正動作の説明を行う。

【 0 0 4 8 】

今、フェイルアドレスレジスタ 4 0 の出力側にはカラムアドレス 2 が出力されているため、この値を用いてリードコマンドを発効する。この際に、フェイルアドレスレジスタ 4 0 では、1 回のシフト動作が行われ、フェイルアドレスレジスタ 4 0 の出力側にはカラムアドレス 4 が出力された状態になる。ここで、リードレイテンシ 3 であるため、その 3 サイクル後にカラムアドレス 2 のデータ Q 2 が読み出される。その 1 サイクル後にそのデータは E C C ラッチ 1 2 に取り込まれ、信号 R D A T A に R 2 として出力される。この時点で、パリティ / シンドロームレジスタ 3 9 の出力側には、カラムアドレス 2 で読み出したデータ Q 2 のシンドロームが出力されており、さらにそのシンドロームをシンドロームデコーダ 3 2 でデコードした結果が信号 E R R O R < 0 : 1 3 5 > に出力されている。信号 E R R O R < 0 : 1 3 5 > のうち、信号 R D A T A < 0 : 1 3 5 > の中で誤りのあるビットのみ、値が 1 となっている。

40

【 0 0 4 9 】

50

また、信号ERROR < 0 : 1 3 5 > は書き込み時のデータマスク信号としても用いられ、誤り訂正を行いたいビットのみ、実際に書き込み動作を行う。最終的に、次のサイクルで信号ERRORと信号WDATAを用いて、データ訂正回路36により誤り訂正されたデータがメモリセルに書き込まれる。このとき、ライトコマンドとカラムアドレスはアドレス/コマンドジェネレータ22にて生成される。また、パリティ/シンドロームレジスタ39では、1回のシフト動作が行われ、パリティ/シンドロームレジスタ39の出力側にはカラムアドレス4で読み出したデータのシンドロームが出力された状態になる。

【0050】

これらの一連の動作を4回繰り返すことで4回の誤り訂正を行い、このページの誤り訂正動作を終了する。この一連のページ動作を繰り返すことで、セルアレイの全ビットへのアクセスを行う。なお、セクタ41、44は、通常動作かECC動作かによって出力を選択する回路である。さらに、コマンドラッチ42はセクタ41から出力されるコマンドを保持し、コマンドラッチ43はセクタ41から出力されるアドレスを保持する。データマスクラッチ45はセクタ44から出力されるデータマスクを保持し、ライトデータラッチ46はセクタ44から出力されるライトデータを保持する。

10

【0051】

この第1実施形態では、最後の誤り訂正動作時にリード動作が必要であったが、誤り検出時に読み出した信号RDATAを保持するレジスタを具備すれば、誤り訂正時のリード動作は省略できる。しかし、 $N_{\text{pari}} = 4$ の場合、さらに $136 \times 4 = 544$ ビットのレジスタが必要になり、これらレジスタを実装すると面積が増大する。また、誤り検出動作時に、どのビットをどのデータに書き換えなければならないかという情報も検出し、それを保持するレジスタを持つという方法も考えられる。しかし、この場合、回路構成が複雑になるか、もしくは高速化を実現するという意味ではあまり意味をなさないことが考えられるので、ここでは詳細は省略する。

20

【0052】

この実施形態では、以上の方式で誤り訂正を行うことにより、誤り訂正動作の高速化が図れる。ただし、従来方式に比べて本実施形態によって生じる面積増加やサイクル数の増加についてまとめると、以下ようになる。

【0053】

(1) 面積増加

従来に比べて、 $((7 + 8) \times 4 = 60$ ビットのレジスタ + 制御回路)分の実装面積が増加する。すなわち、本実施形態は、従来に比べて $((15 \times N_{\text{pari}})$ ビットのレジスタ + 制御回路)分の実装面積の増加だけで済む。

30

【0054】

(2) サイクル数増加

従来では、 128 (リードサイクル) + 4 (リードレイテンシによる追加分) + 4 (ライトサイクル)である。一方、本実施形態では、 128 (リードサイクル) + 4 (リードレイテンシによる追加分) + 4 (ライトサイクル) + 4 (誤り訂正時のリードサイクル)である。したがって、 N_{pari} 回のリードサイクル分の増加だけで済む。ただし、今回の方式を用いることで、第1遅延回路34による遅延は必要なくなるので、この分は面積が削減できる。

40

【0055】

[第2の実施形態]

次に、この発明の第2実施形態の半導体記憶装置について説明する。前記第1実施形態における構成と同様の部分には同じ符号を付してその説明は省略する。

【0056】

図8に、図6に示した回路構成において、CFSモードで符号生成動作を行った場合の動作波形例を示す。ここで、リードレイテンシ3、ページ長128、パリティ/シンドロームレジスタ39とフェイルアドレスレジスタ40が共に $N_{\text{pari}} (= 4)$ 段のシフトレジスタを持つものとする。

50

【 0 0 5 7 】

図 4 に示した動作波形例の場合と同様に、カラムアドレス 0 で発効されたリードコマンドによるデータ Q 0 が 3 サイクル後に出力され、このデータ Q 0 に対して符号生成を行ったデータ（パリティ）がパリティビット WPARI に P 0 として出力される。この値は、パリティ/シンドロームレジスタ 3 9 に保持される。また、このときのカラムアドレス 0 は、フェイルアドレスレジスタ 4 0 に保持される。同様にしてカラムアドレス 7 までリードコマンドを発効すると、その時点でパリティ/シンドロームレジスタ 3 9 とフェイルアドレスレジスタ 4 0 には、カラムアドレス 0 ~ 3 までのパリティとカラムアドレスが保持されている。

【 0 0 5 8 】

その直後に、カラムアドレス 0 ~ 3 に関して、パリティ/シンドロームレジスタ 3 9 とフェイルアドレスレジスタ 4 0 の情報を用いて、パリティの書き込み動作を行う。レジスタ FADDx4 には、カラムアドレス 0 が出力されているので、そのアドレスを用いてライトコマンドを発行する。その時、レジスタ WPARIx4 にはカラムアドレス 0 で読み出したデータのシンドロームが出力されている状態なので、その 8 ビットのデータはセクタ 3 7 及び第 2 遅延回路 3 5、エラー訂正回路 3 6 を介して、メモリセルに書き込まれる。この時点で、フェイルアドレスレジスタ 4 0 及びパリティ/シンドロームレジスタ 3 9 では 1 回のシフト動作が行われるが、カラムアドレス 4 で発効されたリードコマンドの 3 サイクル後なので、それらの入力側からはそれぞれカラムアドレス 4 及びそのデータのパリティ値が入力される。

【 0 0 5 9 】

同様にして、カラムアドレス 1 ~ 3 のライトコマンドが実行された時点では、フェイルアドレスレジスタ 4 0 とパリティ/シンドロームレジスタ 3 9 には、それぞれカラムアドレス 4 ~ 7 及びカラムアドレス 4 ~ 7 で読み出されたデータのパリティの値が保持されている。これらのデータを用いて、引き続きカラムアドレス 0 ~ 7 のライトコマンドを実行し、パリティ/シンドロームレジスタ 3 9 に保持された 4 つのパリティをメモリセルに書き込む。符号生成の場合は、生成されたパリティビットをそのまま書き込むだけなので、誤り訂正の場合のように、再度リードコマンドを発効する必要はない。

【 0 0 6 0 】

すなわち、以上の動作方式により、CFS モードにおいて符号生成を行う場合には、リードコマンド 8 回、ライトコマンド 8 回を繰り返し行い、ページ長 1 2 8 全てのカラムアドレスをアクセスするまで繰り返す。

【 0 0 6 1 】

この方式を用いることにより、符号生成にかかる時間と（遅延回路の遅延時間 + 書き込み時間）を別のサイクルで行うことができるので、更なる動作周波数の高速化が期待できる。

【 0 0 6 2 】

以上の方式で符号生成動作を行った場合、回路構成は図 6 に示した回路と同じであるため、面積増加分は第 1 実施形態と同様であり、サイクル数に関しては従来例と比較して増減はない。

【 0 0 6 3 】

この発明の実施形態では、データ保持モードにおいて ECC を機能させ、エントリー時に符号発生、イグジット時に誤り訂正を行うことにより、データ保持期間中のリフレッシュ間隔を通常動作時より伸ばし、データ保持期間中の消費電力を小さくする DRAM において、カラムアドレス優先のページアクセスを用いて誤りがあったセルに対してのみ誤り訂正を行う場合に、エラー訂正時に生成するシンドロームと誤りがあったアドレスを保持する 2 種類のレジスタを設けて、誤り検出と誤り訂正を行うサイクルを別サイクルとし、かつページ内の誤り訂正回数をページ長以下に抑えられることを利用した動作方式を用いることで、サイクル数及びレジスタ数の増加を抑えつつ高速動作を可能にすることができる。

10

20

30

40

50

【 0 0 6 4 】

本発明の実施形態によれば、リフレッシュ動作を用いるメモリ、例えばD R A Mにおいて、以下のような効果が達成できる。

【 0 0 6 5 】

低消費電力を実現するデータ保持モードとこれと共に用いられるE C C機能を持っており、データ保持モードに入る際に、メモリセルからデータを読み出し、符号生成を行い、その符号をメモリセルに書き込む動作を全メモリセルに対して行い、データ保持モードから抜ける際には、メモリから符号を読み出し、誤りを訂正し、メモリセルに書き戻す動作を全メモリセルに対して行うことにより、リテンション特性を改善できる。

【 0 0 6 6 】

さらに、データ保持モードでのリテンション時間を長くすることにより、低消費電力を実現する場合に、誤り訂正時に行う、誤り検出、誤り訂正、訂正データ書き込みの動作や、誤り検出、ライトコマンド・アドレス生成の動作、及び符号生成時に行う、符号生成、符号データ書き込みの動作を、それぞれの場合で複数のサイクルに分けて行い、かつ回路構成や動作方式を工夫することにより、面積増加及びサイクル数増加を最小限に抑え、動作周波数の高速化を実現することができる。

【 0 0 6 7 】

また、前述した各実施形態はそれぞれ、単独で実施できるばかりでなく、適宜組み合わせて実施することも可能である。さらに、前述した各実施形態には種々の段階の発明が含まれており、各実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【 図面の簡単な説明 】

【 0 0 6 8 】

【 図 1 】 E C C 機能を内蔵したメモリマクロ (D R A M) の概略図である。

【 図 2 】 E C C 機能を実現するために必要な回路構成を示すブロック図である。

【 図 3 】 イグジット (EXIT) 動作時の C F S モードにおいて、誤りがあったアドレスに関して誤り訂正を行う場合の動作波形図である。

【 図 4 】 C F S モードでの符号生成時の動作波形図である。

【 図 5 】 図 2 に示した E C C 回路を含む回路をさらに詳細に示した図である。

【 図 6 】 この発明の実施形態の半導体記憶装置の構成を示す回路図である。

【 図 7 】 この発明の第 1 実施形態の半導体記憶装置における C F S モードによる誤り訂正動作時の動作波形図である。

【 図 8 】 この発明の第 2 実施形態の半導体記憶装置における C F S モードによる符号生成動作時の動作波形図である。

【 符号の説明 】

【 0 0 6 9 】

1 ... セルアレイ、 2 ... E C C 回路、 3 ... I / O 回路、 4 ... 制御回路、 1 1 ... データラッチ (read data latch)、 1 2 ... データラッチ (ECC latch)、 1 3 ... データラッチ (write data latch)、 1 4 ... データマスクラッチ (write musk latch)、 1 5 ... コマンドラッチ (CG command latch)、 1 6 ... コマンドラッチ (EC command latch)、 1 7 ... コマンドラッチ (read command latch)、 1 8 ... コマンドラッチ (write command latch)、 1 9 ... アドレスラッチ (column address latch)、 2 0 ... アドレスラッチ (row address latch)、 2 1 ... E C C 回路 (ECC circuit)、 2 2 ... アドレス / コマンドジェネレータ (command/address generator)、 2 3 ... E C C コマンドコントローラ (ECC command controller)、 2 4 ... セレクタ (ECC/normal data selector)、 2 5 ... セレクタ (command/address selector)、 2 6 ... クロックジェネレータ (command/address CLOCK generator)、 2 7 ... クロックジェネレータ (READ/WRITE/ECC CLOCK generator)、 3 1 ... パリティ / シンドロームジェネレータ (parity/syndrome generator)、 3 2 ... シンドロームデコーダ (syndrome decoder)、 3 3 ... 誤り検出ジェネレータ (DETECT generator)、 3 4 ... 第 1 遅延回路 (delay circuit_1)、 3 5 ... 第 2 遅延回路 (delay circuit_2)、 3 6 ... データ訂正

10

20

30

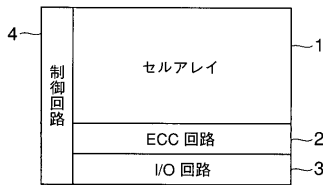
40

50

回路 (DATA correction circuit)、37...セクタ、38...セクタ、39...パリティ / シンドロームレジスタ (parity/syndrome register)、40...フェイルアドレスレジスタ (fail address register)。

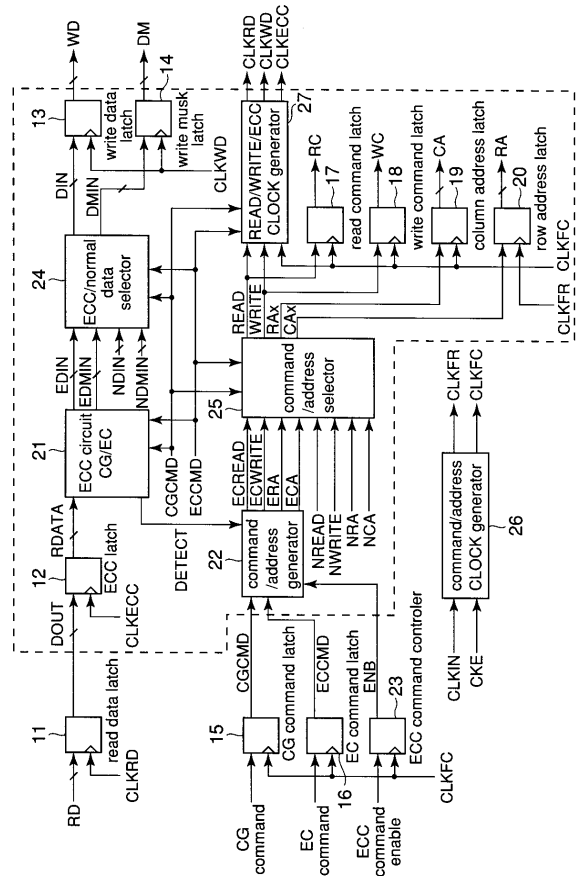
【 図 1 】

図 1

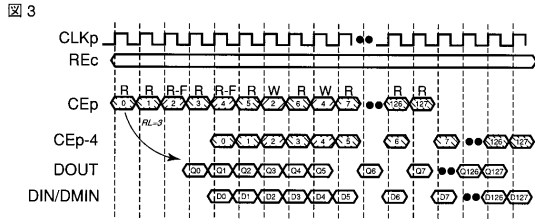


【 図 2 】

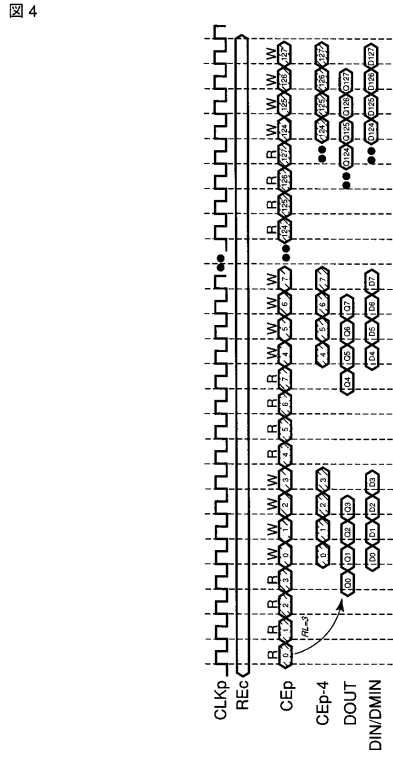
図 2



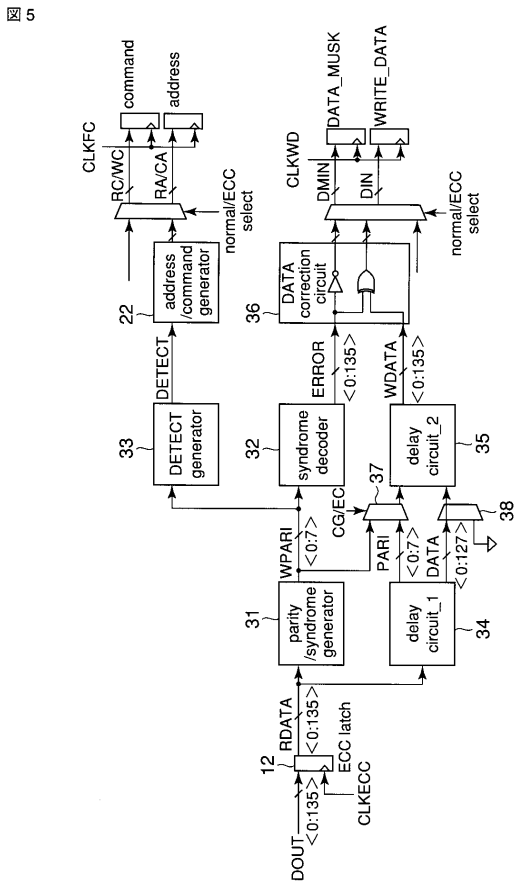
【 図 3 】



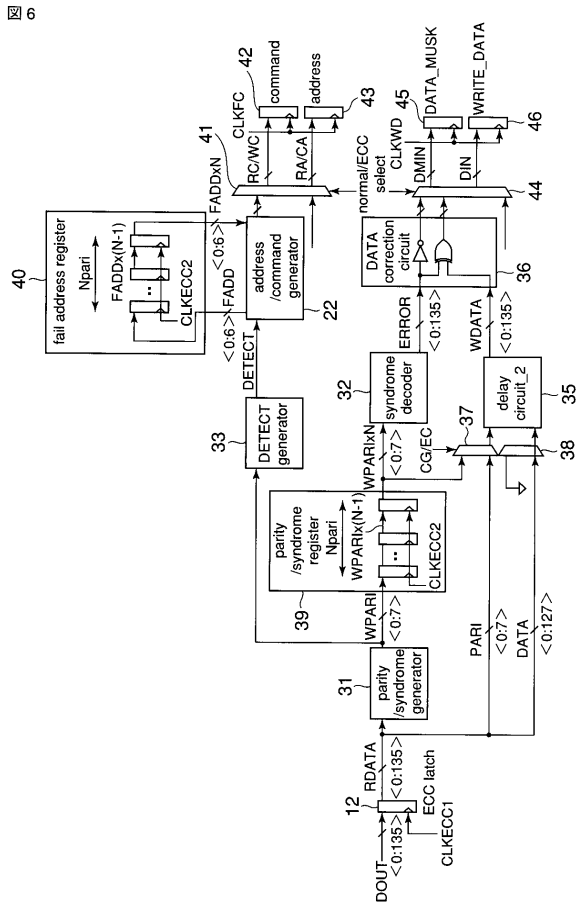
【 図 4 】



【 図 5 】

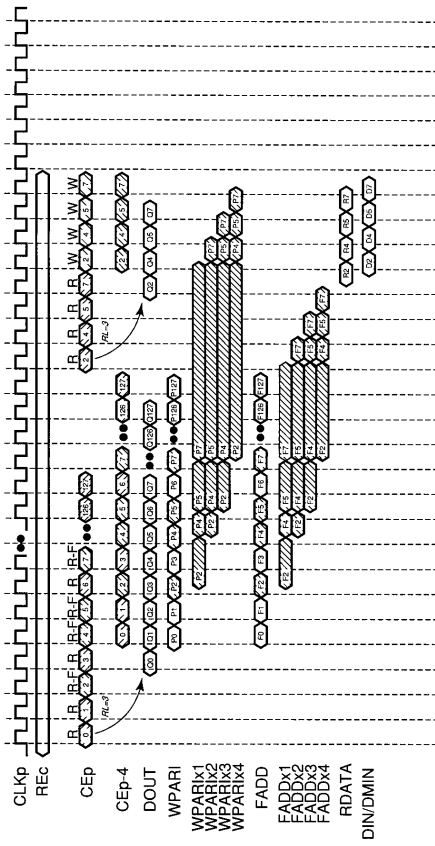


【 図 6 】



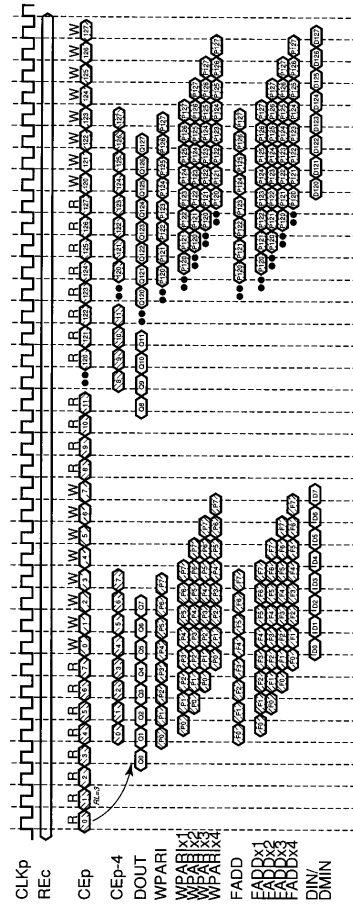
【 図 7 】

図 7



【 図 8 】

図 8



フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 高井 智久

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5L106 AA01 BB12 FF04 FF05

5M024 AA21 AA44 BB27 BB35 BB36 JJ12 MM09 PP01 PP07