

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4308153号
(P4308153)

(45) 発行日 平成21年8月5日(2009.8.5)

(24) 登録日 平成21年5月15日(2009.5.15)

(51) Int.Cl.		F I		
HO 1 L 21/822	(2006.01)	HO 1 L	27/04	H
HO 1 L 27/04	(2006.01)	HO 1 L	27/04	A
GO 1 R 31/28	(2006.01)	HO 1 L	27/04	T
		GO 1 R	31/28	V

請求項の数 8 (全 11 頁)

(21) 出願番号	特願2005-5087 (P2005-5087)	(73) 特許権者	598139737
(22) 出願日	平成17年1月12日 (2005.1.12)		勝華科技股▲ふん▼有限公司
(65) 公開番号	特開2006-196584 (P2006-196584A)		台湾台中縣潭子鄉台中加工出口區建國路9
(43) 公開日	平成18年7月27日 (2006.7.27)		-2 號
審査請求日	平成17年1月12日 (2005.1.12)	(74) 代理人	100082304
			弁理士 竹本 松司
		(74) 代理人	100088351
			弁理士 杉山 秀雄
		(74) 代理人	100093425
			弁理士 湯田 浩一
		(74) 代理人	100102495
			弁理士 魚住 高博
		(74) 代理人	100112302
			弁理士 手島 直彦

最終頁に続く

(54) 【発明の名称】 セルテスト機能を具えた静電放電防護整合回路装置

(57) 【特許請求の範囲】

【請求項1】

セルテスト機能を具えた静電放電防護整合回路装置において、該セルテスト機能を具えた静電放電防護整合回路装置はTFT液晶ディスプレイパネルのESD防護ユニット(30)回路に用いられ、ディスプレイパネルの表示画素のマトリックスエリア(100)外の、各走査線とデータ線の信号線(32)上にESD防護ユニット(30)が設けられ、各ESD防護ユニット(30)の回路において、

第1TFT(T1)と第2TFT(T2)のゲートとドレインが短絡し、且つ該信号線(32)と接続され、

第3TFT(T3)のゲートが第1TFT(T1)のソースに接続され、且つ第3TFT(T3)のドレインが第2TFT(T2)のソースに接続され、

第4TFT(T4)と第5TFT(T5)のゲートとドレインが短絡し、その後、第3TFT(T3)のソースとコモン電極(33)に接続され、

第6TFT(T6)のドレインと第4TFT(T4)のソースが接続され、且つ第6TFT(T6)のドレインとテストパッド(35)が接続され、第6TFT(T6)のソースと該信号線(32)が接続され、

第5TFT(T5)のソースと第6TFT(T6)のゲートが接続され、且つ第6TFT(T6)のゲートとテストスイッチパッド(34)が接続され、

相互に隣り合う各ESD防護ユニット(30)回路中、第3TFT(T3)のゲートが第1TFT(T1)のソースに接続されるほか、相互に隣り合うESD防護ユニット(3

10

20

0) の第 1 T F T (T 1) のソースと第 3 T F T (T 3) のゲートに接続され、
 相互に隣り合う各 E S D 防護ユニット (3 0) 回路中、第 2 T F T (T 2) のソースが
 第 3 T F T (T 3) のドレインに接続されるほか、相互に隣り合う E S D 防護ユニット (3 0) の第 2 T F T (T 2) のソースと第 3 T F T (T 3) のドレインに接続されたことを特徴とする、セルテスト機能をもつた静電放電防護整合回路装置。

【請求項 2】

請求項 1 記載のセルテスト機能をもつた静電放電防護整合回路装置において、相互に隣り合う各 E S D 防護ユニット (3 0) 回路中、第 6 T F T (T 6) のドレインが第 4 T F T (T 4) のソースに接続されるほか、相互に隣り合う E S D 防護ユニット (3 0) の第 6 T F T (T 6) のドレインと第 4 T F T (T 4) のソースに接続されたことを特徴とする、セルテスト機能をもつた静電放電防護整合回路装置。

10

【請求項 3】

請求項 1 記載のセルテスト機能をもつた静電放電防護整合回路装置において、相互に隣り合う各 E S D 防護ユニット (3 0) 回路中、第 5 T F T (T 5) のソースが第 6 T F T (T 6) のゲートに接続されるほか、相互に隣り合う E S D 防護ユニット (3 0) の第 5 T F T (T 5) のソースと第 6 T F T (T 6) のゲートに接続されたことを特徴とする、セルテスト機能をもつた静電放電防護整合回路装置。

【請求項 4】

請求項 1 記載のセルテスト機能をもつた静電放電防護整合回路装置において、テストスイッチパッド (3 4) がディスプレイパネル中の全ての信号線 (3 2) 上の第 6 T F T (T 6) のゲートに接続されたことを特徴とする、セルテスト機能をもつた静電放電防護整合回路装置。

20

【請求項 5】

請求項 1 記載のセルテスト機能をもつた静電放電防護整合回路装置において、テストパッド (3 5) が走査線或いはデータ線の信号線 (3 2) 上に設置された全ての第 6 T F T (T 6) のドレインに接続されたことを特徴とする、セルテスト機能をもつた静電放電防護整合回路装置。

【請求項 6】

請求項 5 記載のセルテスト機能をもつた静電放電防護整合回路装置において、テストパッド (3 5) が走査テストパッド (3 5 S) とデータテストパッド (3 5 D) に分けられたことを特徴とする、セルテスト機能をもつた静電放電防護整合回路装置。

30

【請求項 7】

請求項 6 記載のセルテスト機能をもつた静電放電防護整合回路装置において、走査テストパッド (3 5 S) が走査線により奇数と偶数の二種類に分けられたことを特徴とする、セルテスト機能をもつた静電放電防護整合回路装置。

【請求項 8】

請求項 6 記載のセルテスト機能をもつた静電放電防護整合回路装置において、データテストパッド (3 5 D) がデータ線により奇数と偶数の二種類、或いは R、G、B の三種類に分けられたことを特徴とする、セルテスト機能をもつた静電放電防護整合回路装置。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明はセルテスト機能をもつた静電放電防護整合回路装置に係り、特に、E S D 防護ユニット回路中にセルテスト機能が設けられて、非テスト時には静電防護回路とされる装置に関する。

【背景技術】

【0002】

薄膜トランジスタ液晶ディスプレイ (T F T - L C D) は現在相当に成熟した製品であるが、T F T デバイスをガラス絶縁パネル上に製造するため、パネル製品製作過程中に、経常的に静電放電 (E S D) 関係の問題が発生し、一旦パネル中にトランジスタデバイス

50

のESD破壊が発生すると、パネルのディスプレイエリアに点欠陥或いは線欠陥が形成されてパネルが不良品となり、その歩留り損失は相当に嚴重となる。

【0003】

量産製品のTFT製作過程（マトリクスアレイ工程、セルプロセスとモジュール化工程）にあって、ESDの発生は非常によく見られる現象であり、静電がマトリクスアレイのTFTデバイスのゲート絶縁層のパンチスルーと非常に大きなリーク電流を形成し、このため静電の発生の製品歩留りに対する影響は非常に大きい。静電防護設計は外来因子、例えば人為的、機械設備により発生する静電を予防して、装置のトランジスタ静電防護効果を高めることができ、妥当な静電防護を達成し、且つセルテスト機能がこのほかに必要な設計とされる。

10

【0004】

周知の静電防護設計は、静電防護方式は、二つのトランジスタがダイオード方式で逆方向に接続されてESD防護ユニット10を形成し、各信号線12（走査線或いはデータ線）はいずれもESD防護ユニット10に接続され、これにより信号線12が静電防護を受ける（図1）。そのうち、トランジスタT11の一端はICパッド11と信号線12に接続されると共に、トランジスタT21のソースと接続され、トランジスタT11の別の一端はコモン電極13とトランジスタT21のドレインに接続される。その静電排出経路は、トランジスタT11が正静電排出素子とされ、トランジスタT21が負静電排出素子とされ、ESD防護ユニット10回路は静電防護効果を達成できるが、性能上は理想的でなく、なぜなら単一の信号線12はただ単一のESD防護ユニット10のみに静電排出経路を提供するためである。

20

【0005】

TFT製造について述べると、セルテスト機能（Cell test function）過程は非常に重要なテストステップであり、このテスト過程は後続の不必要な組立コストを節約できる。現在セルテスト機能は二つの方法に分けられる。第1の方法はショータリングバー（Shorting bar）法であり、まず全ての走査線とデータ線をそれぞれショータリングバー方式で接続し、更に電圧を通して表示画面のテストを行なう。但し、一旦テストが完成すれば、レーザーカットマシンでショータリングバーと走査線及びデータ線の接続線を焼き切って、各走査線と走査線の間を独立させ、及び、各データ線とデータ線の間を独立させなければならない。

30

【0006】

第2の方法は、TFTスイッチ法であり、表示画素を設置したマトリクスエリア20外の、各走査線とデータ線上にあってTFTスイッチ素子22をマトリクスエリア20に接続し（図2）、入力する電圧信号を全てのTFTスイッチ素子22のゲートよりテストスイッチパッドPDSAに接続し、別に全てのTFTスイッチ素子22のドレインを所属のテストパッドPSE、PSO、PDR、PDG、PDB（奇偶とR、G、Bに分けられる）に接続し、TFTスイッチ素子22のソースを走査線とデータ線に接続してマトリクスエリア20に入力する。テストパッドPSE、PSO、PDR、PDG、PDBとコモン電極（Vcom）に表示画面電圧を印加し、電圧をテストスイッチパッドPDSAに印加してTFTスイッチ素子22をオンとすれば、テスト機能を達成できる。この方法は第1の方法のようにレーザーカットマシンにより更に切断動作を行なう必要はないが、その静電防護回路を余分に製造しなければ静電防護効果を達成することができない。

40

【発明の開示】

【発明が解決しようとする課題】

【0007】

上述の従来技術の欠点を解決するため、本発明は一種の静電放電（ESD）防護整合回路装置を提供することを目的とし、それは、ESD防護回路のそのうち一つのトランジスタをTFTスイッチとし、且つセルテスト機能（cell test function）をもとのESD防護ユニット回路の中に構築し、余分に静電放電（ESD）防護回路或いはTFTスイッチを製作する必要をなくし、本発明のESD防護ユニット回路にセル

50

テスト機能を具備させ、テストを行なわない時は静電防護回路とすることができるようにしたものとする。

【 0 0 0 8 】

本発明のもう一つの目的は、一種の静電放電防護整合回路装置を提供することであり、それは、各 E S D 防護ユニットがいずれも全ての走査線或いはデータ線上の E S D 防護ユニットと相互に接続され、この E S D 防護ユニットの並列態様が良好な静電防護効果を形成し、この設計により各 E S D 防護ユニットがその対応する信号線の静電防護能力を向上するものとする。

【 0 0 0 9 】

本発明のさらにもう一つの目的は、一種の静電放電防護整合回路装置を提供することであり、それは、セルテスト機能を具えた T F T スイッチが各 E S D 防護ユニットに包含され、ゆえに非破壊性のセルテストを増加できるが、ただし周知の技術のようにショータイングバーを使用してセルテスト完成後にレーザーカット工程を実施する必要がなく、有効に機械購入コストを節約できるものとする。

【 課題を解決するための手段 】

【 0 0 1 0 】

請求項 1 の発明は、セルテスト機能を具えた静電放電防護整合回路装置において、該セルテスト機能を具えた静電放電防護整合回路装置は T F T 液晶ディスプレイパネルの E S D 防護ユニット (3 0) 回路に用いられ、ディスプレイパネルの表示画素のマトリクスエリア (1 0 0) 外の、各走査線とデータ線の信号線 (3 2) 上に E S D 防護ユニット (3 0) が設けられ、

各 E S D 防護ユニット (3 0) の回路において、

1 T F T (T 1) と第 2 T F T (T 2) のゲートとドレインが短絡し、且つ該信号線 (3 2) と接続され、

第 3 T F T (T 3) のゲートが第 1 T F T (T 1) のソースに接続され、且つ第 3 T F T (T 3) のドレインが第 2 T F T (T 2) のソースに接続され、

第 4 T F T (T 4) と第 5 T F T (T 5) のゲートとドレインが短絡し、その後、第 3 T F T (T 3) のソースとコモン電極 (3 3) に接続され、

第 6 T F T (T 6) のドレインと第 4 T F T (T 4) のソースが接続され、且つ第 6 T F T (T 6) のドレインとテストパッド (3 5) が接続され、第 6 T F T (T 6) のソースと該信号線 (3 2) が接続され、

第 5 T F T (T 5) のソースと第 6 T F T (T 6) のゲートが接続され、且つ第 6 T F T (T 6) のゲートとテストスイッチパッド (3 4) が接続され、

相互に隣り合う各 E S D 防護ユニット (3 0) 回路中、第 3 T F T (T 3) のゲートが第 1 T F T (T 1) のソースに接続されるほか、相互に隣り合う E S D 防護ユニット (3 0) の第 1 T F T (T 1) のソースと第 3 T F T (T 3) のゲートに接続され、

相互に隣り合う各 E S D 防護ユニット (3 0) 回路中、第 2 T F T (T 2) のソースが第 3 T F T (T 3) のドレインに接続されるほか、相互に隣り合う E S D 防護ユニット (3 0) の第 2 T F T (T 2) のソースと第 3 T F T (T 3) のドレインに接続されたことを特徴とする、セルテスト機能を具えた静電放電防護整合回路装置としている。

請求項 2 の発明は、請求項 1 記載のセルテスト機能を具えた静電放電防護整合回路装置において、相互に隣り合う各 E S D 防護ユニット (3 0) 回路中、第 6 T F T (T 6) のドレインが第 4 T F T (T 4) のソースに接続されるほか、相互に隣り合う E S D 防護ユニット (3 0) の第 6 T F T (T 6) のドレインと第 4 T F T (T 4) のソースに接続されたことを特徴とする、セルテスト機能を具えた静電放電防護整合回路装置としている。

請求項 3 の発明は、請求項 1 記載のセルテスト機能を具えた静電放電防護整合回路装置において、相互に隣り合う各 E S D 防護ユニット (3 0) 回路中、第 5 T F T (T 5) のソースが第 6 T F T (T 6) のゲートに接続されるほか、相互に隣り合う E S D 防護ユニット (3 0) の第 5 T F T (T 5) のソースと第 6 T F T (T 6) のゲートに接続されたことを特徴とする、セルテスト機能を具えた静電放電防護整合回路装置としている。

10

20

30

40

50

請求項4の発明は、請求項1記載のセルテスト機能をもつ静電放電防護整合回路装置において、テストスイッチパッド(34)がディスプレイパネル中の全ての信号線(32)上の第6TFT(T6)のゲートに接続されたことを特徴とする、セルテスト機能をもつ静電放電防護整合回路装置としている。

請求項5の発明は、請求項1記載のセルテスト機能をもつ静電放電防護整合回路装置において、テストパッド(35)が走査線或いはデータ線の信号線(32)上に設置された全ての第6TFT(T6)のドレインに接続されたことを特徴とする、セルテスト機能をもつ静電放電防護整合回路装置としている。

請求項6の発明は、請求項5記載のセルテスト機能をもつ静電放電防護整合回路装置において、テストパッド(35)が走査テストパッド(35S)とデータテストパッド(35D)に分けられたことを特徴とする、セルテスト機能をもつ静電放電防護整合回路装置としている。

請求項7の発明は、請求項6記載のセルテスト機能をもつ静電放電防護整合回路装置において、走査テストパッド(35S)が走査線により奇数と偶数の二種類に分けられたことを特徴とする、セルテスト機能をもつ静電放電防護整合回路装置としている。

請求項8の発明は、請求項6記載のセルテスト機能をもつ静電放電防護整合回路装置において、データテストパッド(35D)がデータ線により奇数と偶数の二種類、或いはR、G、Bの三種類に分けられたことを特徴とする、セルテスト機能をもつ静電放電防護整合回路装置としている。

【発明の効果】

【0011】

本発明のセルテスト機能をもつ静電放電防護整合回路装置は、ESD防護ユニット(30)回路のそのうちの一つのトランジスタがTFTスイッチ素子とされ、このTFTスイッチ素子がセルテスト機能をもつ、本発明のESD防護ユニット(30)回路にセルテスト機能をもつ、セルテストを行なわない時には本発明のESD防護ユニット(30)回路を静電防護回路となす。且つESD防護ユニット(30)の並列態様により良好な静電防護回路が達成され、これにより各ESD防護ユニット(30)がその対応する信号線のセルテスト機能をもつ静電保護能力を向上する。

【0012】

また、TFTスイッチが各ESD防護ユニット(30)に包含されるため、非破壊性のセルテストを増すことができ、周知の技術のようにショールディングバーによる接続とセルテスト後のレーザーカットプロセスを必要とせず、機械購入コストを節約できる。

【発明を実施するための最良の形態】

【0013】

本発明はセルテスト機能をもつ静電放電(ESD)防護整合回路装置を提供し、それはTFT液晶ディスプレイパネルのESD防護ユニット回路に用いられて、ディスプレイパネルの表示画素のマトリクスエリア外にあって各走査線とデータ線の信号線上にESD防護ユニットが設けられている。各ESD防護ユニットは以下の特徴を有する。

【0014】

第1TFTと第2TFTのゲートとドレインが短絡し、且つ信号線と接続され、第3TFTのゲートと該第1TFTのソースが接続され、並びに隣り合う信号線(走査線或いはデータ線)上のESD防護ユニットの第1TFTのソースと第3TFTのゲートに接続され、且つ第3TFTのドレインが第2TFTのソースと接続され、並びに全ての走査線とデータ線上のESD防護ユニットの第2TFTのソースと第3TFTのドレインと接続される。

【0015】

第4TFTと第5TFTのゲートとドレインが短絡し、その後、第3TFTのソースとコモン電極に接続される。第6TFTのドレインは第4TFTのソースと接続され、並びに隣り合う信号線(走査線或いはデータ線)上のESD防護ユニットの第6TFTのドレインと第4TFTのソースと接続される。且つ該第6TFTのドレインとテストパッドが

10

20

30

40

50

接続され、そのうち該テストパッドが信号線（走査線或いはデータ線）上に設置された全ての第6 TFTのドレインに接続され、また該第6 TFTのソースが該信号線と接続される。

【0016】

該第5 TFTのソースは該第6 TFTのゲートと接続され、並びに隣り合う信号線（走査線或いはデータ線）上のESD防護ユニットの第5 TFTのソースと第6 TFTのゲートと接続される。且つ該第6 TFTのゲートはテストスイッチパッドに接続され、該テストスイッチパッドはディスプレイパネル中の全ての信号線上の第6 TFTのゲートに接続される。

【実施例1】

10

【0017】

図3、4、5は、本発明のESD防護ユニットの回路表示図、本発明の隣り合うESD防護ユニットの回路表示図、及び、本発明の単一ディスプレイパネルの配置表示図である。本発明はセルテスト機能を具えた静電放電防護整合回路装置を提供し、それは、TFT液晶ディスプレイパネルのESD防護ユニット(30)回路に用いられ、ディスプレイパネルの表示画素のマトリクスエリア(100)外の、各走査線とデータ線の信号線(32)上にESD防護ユニット(30)が設けられている。そのうち、各ESD防護ユニット(30)の回路において、以下の特徴を有する。

【0018】

第1 TFT(T1)と第2 TFT(T2)のゲートとドレインが短絡し、且つ該信号線(32)及びICパッド(31)(該ICパッド(31)は図5中のScan N、Scan N+1、Scan N+2、Data N、Data N+1、Data N+2である)に接続され、第3 TFT(T3)のゲートと第1 TFT(T1)のソースが接続され、該第3 TFT(T3)のゲートは第1 TFT(T1)のソースに接続されるほか、全ての走査線或いはデータ線上のESD防護ユニット(30)の第1 TFT(T1)のソースと第3 TFT(T3)のゲートに接続される。且つ第3 TFT(T3)のドレインが第2 TFT(T2)のソースに接続され、該第2 TFT(T2)のソースは該第3 TFT(T3)のドレインに接続される他、隣り合う信号線(32)(走査線或いはデータ線)上のESD防護ユニット(30)の第2 TFT(T2)のソースと第3 TFT(T3)のドレインに接続され、全ての信号線(32)(走査線或いはデータ線)上のESD防護ユ

20

30

【0019】

第4 TFT(T4)と第5 TFT(T5)のゲートとドレインは短絡し、その後、第3 TFT(T3)のソースと共通電極(33)に接続され、共通電極(33)と表示画素のマトリクスエリア(100)のTFT画素電極の電圧差により画面を表示する。第6 TFT(T6)のドレインは第4 TFT(T4)のソースに接続され、該第6 TFT(T6)のドレインは第4 TFT(T4)のソースに接続されるほか、隣り合う信号線(32)(走査線或いはデータ線)上のESD防護ユニット(30)の第6 TFT(T6)のドレインと第4 TFT(T4)のソースに接続され、全ての信号線(32)(走査線或いはデータ線)上のESD防護ユニット(30)内の第6 TFT(T6)のドレインと第4 TFT(T4)のソースが接続される。

40

【0020】

また第6 TFT(T6)のドレインはテストパッド(35)に接続され、テストパッド(35)は更に走査テストパッド(35S)とデータテストパッド(35D)に分けられ、それぞれ走査線或いはデータ線の信号線(32)にある全ての第6 TFT(T6)のドレインに接続される。各ESD防護ユニット(30)内の第6 TFT(T6)のソースはそれに対応する信号線(32)(走査線或いはデータ線)に接続される。そのうち、走査テストパッド(35S)は更に走査線により奇数と偶数の二種類に分けられる。該データテストパッド(35D)はデータ線により奇数と偶数の二種類、或いはR、G、Bの三種

50

類に分けられる。

【0021】

第5TF T (T 5) のソースは第6TF T (T 6) のゲートに接続され、該第5TF T (T 5) のソースは第6TF T (T 6) のゲートに接続されるほか、隣り合う信号線 (3 2) (走査線或いはデータ線) 上のESD防護ユニット (3 0) の第5TF T (T 5) のソースと第6TF T (T 6) のゲートに接続され、全ての信号線 (3 2) (走査線或いはデータ線) 上のESD防護ユニット (3 0) の第5TF T (T 5) のソースと第6TF T (T 6) のゲートが接続される。且つ第6TF T (T 6) のゲートはテストスイッチパッド (3 4) に接続され、該テストスイッチパッド (3 4) はディスプレイパネル中の全ての信号線 (3 2) 上の第6TF T (T 6) のゲートに接続される。

10

【0022】

本発明のESD防護ユニット (3 0) 整合回路のセルテスト時或いは静電防護の作動方式は以下のとおりである。

1 . 本発明のESD防護ユニット (3 0) 整合回路はセルテスト時に、テストスイッチパッド (3 4) に第6TF T (T 6) をオンする電圧準位を印加し、走査テストパッド (3 5 S) に走査電圧準位を印加し、該データテストパッド (3 5 D) にデータ電圧準位を印加し、コモン電極 (3 3) を直流 (DC) 或いは交流 (AC) 準位に接続する。例えば、我々はテストスイッチパッド (3 4) に25V、テストパッド (3 5) にそれに対応する電圧準位 (走査テストパッド (3 5 S) に15V、データテストパッド (3 5 D)) を印加し、コモン電極 (3 3) に0Vを印加する。この時第4TF T (T 4) と第5TF T (T 5) はオフとなり、第6TF T (T 6) はオンとなり (このとき第1TF T (T 1) 、第2TF T (T 2) 、第3TF T (T 3) はいずれもオンとなる) 、前述のように第6TF T (T 6) のドレインは第4TF T (T 4) のソースに接続されるほか、全ての対応する走査線或いはデータ線のESD防護ユニット (3 0) の第6TF T (T 6) のドレインと第4TF T (T 4) のソースに接続されるため、即ち、該テストパッド (3 5) (走査テストパッド (3 5 S) 、データテストパッド (3 5 D)) の電圧が各ESD防護ユニット (3 0) 内の第6TF T (T 6) を通して信号線 (3 2) (走査線或いはデータ線) に伝えられ、ディスプレイパネルの信号線 (3 2) にマトリックスエリア (1 0 0) 内の表示画素が必要とする作業電圧を入力させる。

20

2 . 本発明のESD防護ユニット (3 0) が静電防護時には、仮に信号線 (3 2) (走査線或いはデータ線) が正圧静電を発生するものとする、第1TF T (T 1) 、第2TF T (T 2) 、第3TF T (T 3) は共にオンとなり、正圧静電は信号線 (3 2) の所属する単一ESD防護ユニット (3 0) により排出され、この経路は僅かにそのうちの一つである。この時、走査線或いはデータ線は高準位状態にあり、ゆえに第1TF T (T 1) 、第2TF T (T 2) を導通させ、この時、第1TF T (T 1) 、第2TF T (T 2) のソースは高準位状態にあり、これにより、相互に対応する第3TF T (T 3) をオンし、正圧静電は信号線 (3 2) (走査線或いはデータ線) の所属する第3TF T (T 3) より排出される。また、この時、全ての信号線 (3 2) (走査線或いはデータ線) 上のESD防護ユニット (3 0) は、前述のように正圧静電排出経路が該信号線 (3 2) の所属する第3TF T (T 3) により排出され、またその他の信号線 (3 2) (走査線或いはデータ線) 上のESD防護ユニット (3 0) の第3TF T (T 3) は導通しマルチ経路静電排出を形成するため、この設計により静電防護機能の向上を達成でき、これによりパネル生産歩留りを上げる。負圧静電排出原理もまた同様である。またこの静電防護設計はセルテスト機能或いは製品の正常表示画面のモジュール駆動 (Module Driving) に影響を与えない。

30

40

【図面の簡単な説明】

【0023】

【図1】周知のESD防護ユニットの回路表示図である。

【図2】周知のTF Tスイッチを具えたディスプレイパネル表示図である。

【図3】本発明のESD防護ユニットの回路表示図である。

50

【図4】本発明の隣り合うESD防護ユニットの回路表示図である。

【図5】本発明の単一ディスプレイパネルの配置表示図である。

【符号の説明】

【0024】

10 ESD防護ユニット

12 信号線

11 ICパッド

T11、T21 トランジスタ

13 コモン電極

20 マトリックスエリア

10

22 TFTスイッチ素子

PDSA テストスイッチパッド

PSE、PSO、PDR、PDG、PDB テストパッド

Vcom コモン電極

30 ESD防護ユニット

100 マトリックスエリア

32 信号線

T1 第1TFT

T2 第2TFT

T3 第3TFT

20

T4 第4TFT

T5 第5TFT

T6 第6TFT

31 ICパッド

33 コモン電極

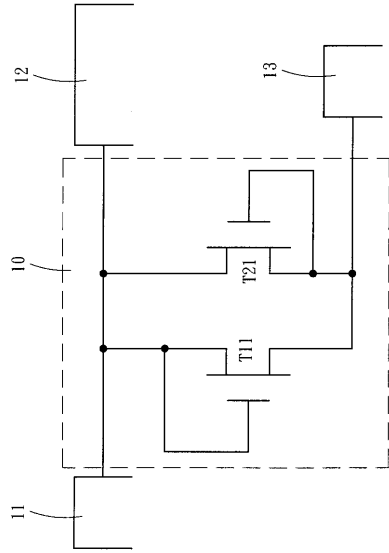
34 テストスイッチパッド

35 テストパッド

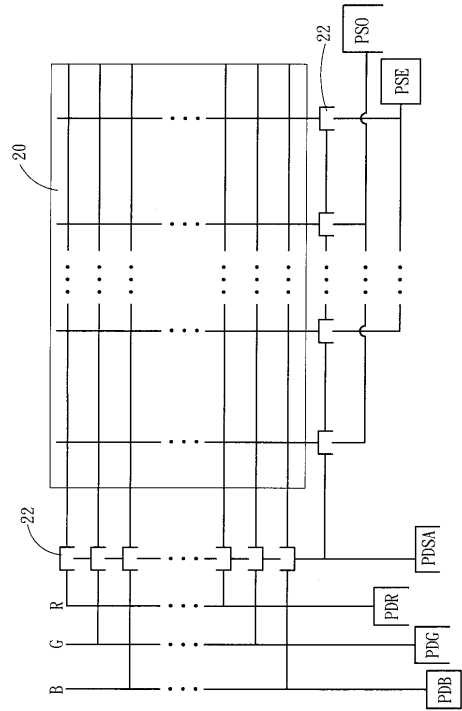
35S 走査テストパッド

35D データテストパッド

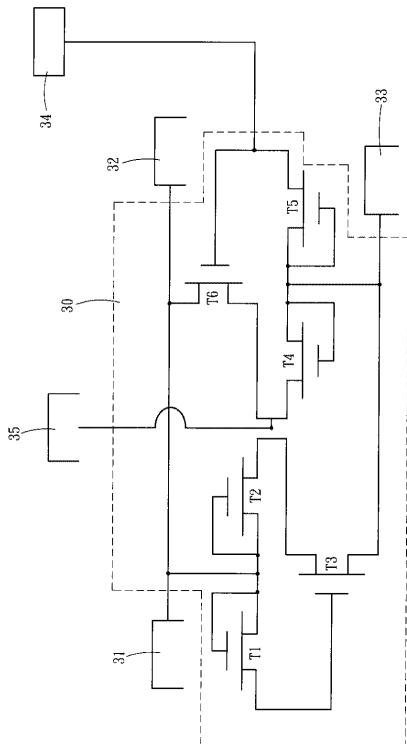
【図1】



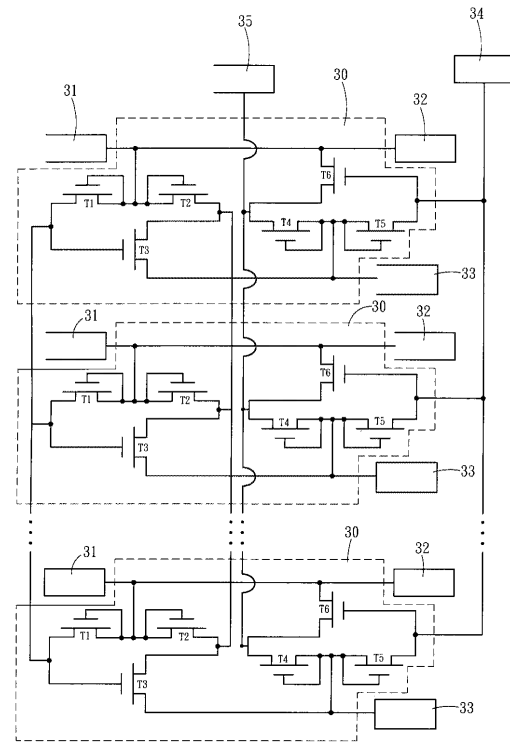
【図2】



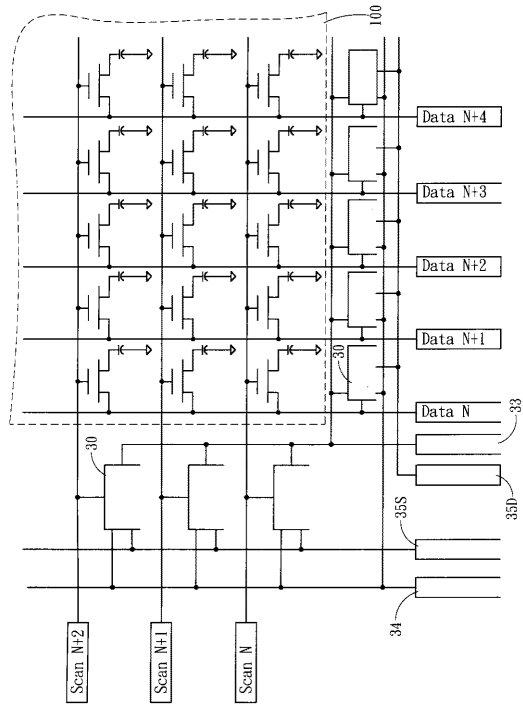
【図3】



【図4】



【 5 】



フロントページの続き

(72)発明者 王 文俊

台湾台中市西屯區林 せき 里西屯路三段宏安巷13弄32號

(72)発明者 蔡 哲福

台湾嘉義縣布袋鎮復興里62號

審査官 棚田 一也

(56)参考文献 特開平02-118515(JP,A)

特開2003-107528(JP,A)

特開平03-234063(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822(2006.01)

G01R 31/28(2006.01)

H01L 27/04(2006.01)