



(12) 发明专利

(10) 授权公告号 CN 111180441 B

(45) 授权公告日 2023.06.27

(21) 申请号 202010078237.7

H01L 27/07 (2006.01)

(22) 申请日 2016.07.15

H01L 27/08 (2006.01)

(65) 同一申请的已公布的文献号

H01L 23/495 (2006.01)

申请公布号 CN 111180441 A

H01L 23/62 (2006.01)

(43) 申请公布日 2020.05.19

H01L 25/18 (2023.01)

(30) 优先权数据

H01L 29/06 (2006.01)

102015111479.8 2015.07.15 DE

H01L 29/08 (2006.01)

(62) 分案原申请数据

H01L 29/40 (2006.01)

201610765091.7 2016.07.15

H01L 29/739 (2006.01)

H01L 29/861 (2006.01)

(73) 专利权人 英飞凌科技奥地利有限公司

(56) 对比文件

地址 奥地利菲拉赫

CN 101840918 A, 2010.09.22

(72) 发明人 R.巴布尔斯克 T.巴斯勒 T.基默

CN 102683396 A, 2012.09.19

H-J.舒尔策 S.福斯

CN 103811553 A, 2014.05.21

(74) 专利代理机构 中国专利代理(香港)有限公

CN 1466208 A, 2004.01.07

司 72001

EP 0523800 A1, 1993.01.20

专利代理师 申屠伟进

US 2006131605 A1, 2006.06.22

(51) Int. Cl.

US 2013234198 A1, 2013.09.12

H01L 27/02 (2006.01)

US 2014001549 A1, 2014.01.02

H01L 27/06 (2006.01)

US 2014085760 A1, 2014.03.27

审查员 廖艳闰

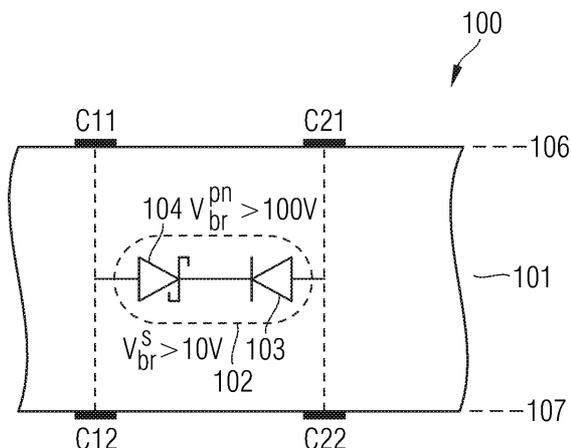
权利要求书3页 说明书9页 附图6页

(54) 发明名称

包括钳位结构的半导体器件

(57) 摘要

本发明涉及包括钳位结构的半导体器件。在半导体器件的实施例中，半导体本体(101)包括钳位结构(102)，其包括在第一接触部(C11,C12)和第二接触部(C21,C22)之间背对背串联连接的pn结二极管(103)和肖特基结二极管(104)。pn结二极管(103)的击穿电压( $V_{br}^{pn}$ )大于100 V并且肖特基结二极管(104)的击穿电压( $V_{br}^s$ )大于10V。



1. 一种半导体器件,包括:

半导体本体,包括钳位结构,所述钳位结构包括在第一接触部和第二接触部之间背对背串联连接的第一pn结二极管和第二pn结二极管,和

功率晶体管,包括第一负载端子和第二负载端子以及控制端子,

其中所述钳位结构电连接在所述控制端子与所述第二负载端子之间,

其中所述第二负载端子是绝缘栅场效应晶体管的漏极接触部,绝缘栅双极晶体管的集电极接触部、或者双极结型晶体管的集电极接触部,

其中所述控制端子是所述绝缘栅场效应晶体管的栅极、所述绝缘栅双极晶体管的栅极、或者所述双极结型晶体管的基极的对应接触部,

其中所述第一pn结二极管的击穿电压大于100V,

其中所述第二pn结二极管的击穿电压大于10V。

2. 根据权利要求1所述的半导体器件,其中所述第一pn结二极管和所述第二pn结二极管共用了所述半导体本体的至少一个半导体区。

3. 根据权利要求1所述的半导体器件,其中所述功率晶体管是分立功率晶体管,并且其中所述功率晶体管和所述钳位结构形成在不同的半导体管芯中。

4. 根据权利要求3所述的半导体器件,其中所述不同的半导体管芯被安装在共同的引线框架上。

5. 根据权利要求1所述的半导体器件,其中所述钳位结构和所述功率晶体管被包括在单个芯片封装中,其中所述芯片封装的控制管脚通过第一接合导线电连接到所述功率晶体管的控制端子接触区域,且其中所述芯片封装的控制管脚通过第二接合导线电连接到所述钳位结构的第一pn结二极管。

6. 根据权利要求1所述的半导体器件,其中所述功率晶体管和所述钳位结构被集成在所述半导体本体中。

7. 根据权利要求6所述的半导体器件,其中所述功率晶体管的漂移区带、所述第二pn结二极管的阴极区和所述第一pn结二极管的阴极区形成在所述半导体本体的相同半导体区中。

8. 根据权利要求7所述的半导体器件,其中所述功率晶体管的第一负载端子和第二负载端子之间的击穿电压大于连接在所述控制端子和所述第二负载端子之间的所述钳位结构的击穿电压。

9. 根据权利要求1所述的半导体器件,其中背对背串联连接的所述第一pn结二极管和所述第二pn结二极管形成半导体封装中的分立半导体钳位器件。

10. 根据权利要求1所述的半导体器件,其中所述第二接触部在所述半导体本体的第一表面处并且电连接至所述第一pn结二极管,且其中所述第一接触部在所述半导体本体的与所述第一表面相对的第二表面处。

11. 根据权利要求10所述的半导体器件,进一步包括:

在所述第一接触部和所述半导体本体的部分之间的场停止区带,所述场停止区带直接邻接所述第一接触部并且具有比所述半导体本体的部分更大的掺杂浓度。

12. 根据权利要求11所述的半导体器件,其中所述半导体本体的所述部分的掺杂浓度在 $5 \times 10^{12} \text{cm}^{-3}$ 和 $2 \times 10^{14} \text{cm}^{-3}$ 的范围内,且其中所述半导体本体的在半导体本体的第一表面

和第二表面之间的部分的厚度大于 $50\mu\text{m}$ 。

13. 根据权利要求11所述的半导体器件,其中所述半导体本体的所述部分形成所述钳位结构的所述第一pn结二极管的阴极区。

14. 根据权利要求13所述的半导体器件,进一步包括:

直接邻接所述半导体本体的第一表面的所述第一pn结二极管的阳极区,所述阳极区电连接至第二接触部。

15. 根据权利要求14所述的半导体器件,进一步包括:

在所述第一表面处围绕所述阳极区的边缘终止结构。

16. 根据权利要求15所述的半导体器件,其中所述边缘终止结构包括以下项中的一个或多个:场板、环形结构、结终止延伸结构、以及横向掺杂变化结构。

17. 根据权利要求14所述的半导体器件,进一步包括:

位于所述半导体本体中在离所述场停止区带的一垂直距离处的埋入场停止区带。

18. 根据权利要求17所述的半导体器件,其中所述埋入场停止区带位于离所述阳极区的一垂直距离处。

19. 根据权利要求17所述的半导体器件,其中所述埋入场停止区带直接邻接所述阳极区。

20. 根据权利要求1所述的半导体器件,进一步包括:

与第二pn结二极管并联电连接的第三pn结二极管。

21. 根据权利要求1所述的半导体器件,其中背对背连接所述第一pn结二极管和所述第二pn结二极管,从而使阳极连接在一起。

22. 根据权利要求1所述的半导体器件,其中背对背连接所述第一pn结二极管和所述第二pn结二极管,从而使阴极连接在一起。

23. 一种半导体器件,包括:

半导体本体,包括钳位结构,所述钳位结构包括在第一接触部和第二接触部之间背对背串联连接的第一pn结二极管和第二pn结二极管,

其中所述第一pn结二极管的击穿电压大于 $100\text{V}$ ,

其中所述第二pn结二极管的击穿电压大于 $10\text{V}$ ,

其中所述第二接触部在所述半导体本体的第一表面处并且电连接到所述第一pn结二极管,

其中所述第一接触部在所述半导体本体的与所述第一表面相对的第二表面处。

24. 根据权利要求23所述的半导体器件,进一步包括:

在所述第一接触部和所述半导体本体的部分之间的场停止区带,所述场停止区带直接邻接所述第一接触部并且具有比所述半导体本体的所述部分更大的掺杂浓度。

25. 根据权利要求24所述的半导体器件,其中所述半导体本体的所述部分形成所述钳位结构的所述第一pn结二极管的阴极区。

26. 根据权利要求23所述的半导体器件,其中所述第一pn结二极管的阳极区直接邻接所述半导体本体的所述第一表面,并且电连接到所述第二接触部。

27. 根据权利要求26所述的半导体器件,进一步包括:

在所述第一表面处围绕所述阳极区的边缘终止结构。

28. 根据权利要求24所述的半导体器件,进一步包括:

位于所述半导体本体中在离所述场停止区带的一垂直距离处的埋入场停止区带。

29. 一种半导体器件,包括:

半导体本体,包括钳位结构,所述钳位结构包括在第一接触部和第二接触部之间背对背串联连接的第一pn结二极管和第二pn结二极管;和

与所述第二pn结二极管并联电连接的第三pn结二极管,

其中所述第一pn结二极管的击穿电压大于100V,

其中所述第二pn结二极管的击穿电压大于10V。

## 包括钳位结构的半导体器件

### 背景技术

[0001] 在半导体器件(例如,功率半导体器件诸如绝缘栅双极晶体管(IGBT)、绝缘栅场效应晶体管(IGFET),例如金属氧化物半导体场效应晶体管(MOSFET)和双极结型晶体管(BJT))中,在器件操作期间发生的过电压可能在没有足够的保护措施的情况下损害半导体器件或电路部件。通过示例的方式,电磁炉中的IGBT可能经受由主电源的不稳定性引起的过电压。

[0002] 提供一种用于晶体管的过电压保护是所期望的。

### 发明内容

[0003] 由独立权利要求的教导实现以上目的。在从属权利要求中限定另外实施例。

[0004] 本公开涉及一种包括半导体本体的半导体器件。半导体本体包括钳位结构,该钳位结构包括在第一接触部和第二接触部之间背对背串联连接的pn结二极管和肖特基结二极管。pn结二极管的击穿电压大于100 V并且肖特基结二极管的击穿电压大于10 V。

[0005] 在阅读以下详细描述并且查看附图时,本领域技术人员将认识附加的特征和优点。

### 附图说明

[0006] 包括附图以提供对本公开的进一步理解,并且附图被合并在该说明书中并且构成该说明书的一部分。附图图示了本公开的实施例并且与描述一起用来解释本公开的原理。将易于领会其它实施例和预期的优点,因为通过参照以下详细描述它们变得更好理解。

[0007] 图1是根据实施例的在半导体本体中包括钳位结构的半导体器件的示意图。

[0008] 图2A是包括在晶体管的负载端子与控制端子之间并联连接的图1的钳位结构的半导体器件的示意图。

[0009] 图2B是包括连接至晶体管的负载端子的图1的钳位结构的半导体器件的示意图。

[0010] 图3是容纳作为分立半导体器件的图1的钳位结构的小管脚数封装的示意图示。

[0011] 图4是包括图1的钳位结构以及在安装于芯片封装的引线框架上的分离半导体管芯中的晶体管的半导体器件的实施例的示意顶视图。

[0012] 图5至图9是用于图示图1的钳位结构的不同实施例的半导体本体的示意横截面图。

[0013] 图10是图示了集成至单个半导体本体中的钳位结构和IGBT的实施例的示意横截面。

[0014] 图11是图示了集成至单个半导体本体中的钳位结构和反向导通(RC)IGBT的示意横截面。

### 具体实施方式

[0015] 在以下详细描述中参考附图,附图形成本文的一部分并且在附图中通过图示的方

式示出其中可以实践本公开的特定实施例。应该理解的是可以在不脱离本发明的范围的情况下利用其他实施例并且可以做出结构或逻辑的改变。例如,对于一个实施例所示或所述的特征可以用在其他实施例上或者与其他实施例结合使用以又产生另一实施例。旨在本公开包括这样的修改和变化。使用不应被解释为限定所附权利要求范围的特定语言来描述实施例。附图并未按照比例绘制并且仅为了说明性目的。为了清楚起见,在不同附图中由对应的附图标记指定相同的元件,如果并未另外陈述的话。

[0016] 术语“具有”、“包含”、“包括”和“含有”等是开放性的,并且术语指示所陈述的结构、元件或特征的存在,但是并未排除附加的元件或特征的存在。冠词“一”、“一个”和“该”旨在包括复数以及单数,除非上下文另外明确指示。

[0017] 术语“电连接的”描述了在电连接的元件之间的永久低欧姆连接,例如在有关元件之间的直接接触或者经由金属和/或高掺杂半导体的低欧姆连接。术语“电耦合的”包括适配于信号传输的一个或多个介入元件可以存在于电耦合的元件之间,例如在第一状态下临时地提供低欧姆连接并且在第二状态下提供高欧姆电去耦的元件。

[0018] 附图通过紧挨着掺杂类型“n”或“p”指示“-”或“+”图示相对的掺杂浓度。例如,“n<sup>-</sup>”意指比“n”掺杂区的掺杂浓度低的掺杂浓度,而“n<sup>+</sup>”掺杂区具有比“n”掺杂区高的掺杂浓度。相同的相对掺杂浓度的掺杂区不一定具有相同的绝对掺杂浓度。例如,两个不同的“n”掺杂区可以具有相同或不同的绝对掺杂浓度。

[0019] 在以下描述中使用的术语“晶片”、“衬底”、“半导体本体”或“半导体衬底”可以包括具有半导体表面的任何基于半导体的结构。晶片和结构应该被理解为包括硅(Si)、绝缘体上硅(SOI)、蓝宝石上硅(SOS)、掺杂和未掺杂的半导体、由基底半导体基座支撑的硅外延层、以及其他半导体结构。半导体不必是硅基的。半导体也可以是硅锗(SiGe)、锗(Ge)或砷化镓(GaAs)。根据其他实施例,碳化硅(SiC)或氮化镓(GaN)可以形成半导体衬底材料。

[0020] 如在该说明书中使用的术语“水平的”旨在描述与半导体衬底或半导体本体的第一或主表面基本上平行的取向。这能够比如是晶片或半导体管芯的表面。

[0021] 如在该说明书中使用的术语“垂直的”旨在描述基本上布置成垂直于第一表面,即平行于半导体衬底或本体的第一表面的法线方向的取向。

[0022] 在该说明书中,半导体衬底或半导体本体的第二表面被视为由下部或后侧或后表面形成,而第一表面被视为由半导体衬底的上部、前或主表面形成。如在该说明书中使用的术语“在……之上”和“在……之下”因此描述了结构特征对于另一个结构特征的相对位置。

[0023] 在该说明书中,图示了包括p和n掺杂的半导体区的实施例。可替换地,半导体器件可以采用相反掺杂关系而形成,以使得所示的p掺杂区是n掺杂的并且所示的n掺杂区是p掺杂的。

[0024] 半导体器件可以具有诸如接触焊垫(或电极)的端子接触部,其允许与半导体本体中包括的集成电路或分立半导体器件进行电接触。电极可以包括应用至半导体芯片的半导体材料的一个或多个电极金属层。可以采用任何所需几何形状和任何所需材料成分制造电极金属层。电极金属层可以例如具有覆盖了区域的层的形式。任何所需金属,例如Cu、Ni、Sn、Au、Ag、Pt、Pd以及这些金属的一个或多个的合金可以用作材料。(一个或多个)电极金属层不必是均质的或者仅由一种材料制造,也就是说,包含在(一个或多个)电极金属层中的材料的各种成分和浓度是可能的。作为示例,电极层可以被尺寸确定为足够大来与导线接

合。

[0025] 在本文所公开的实施例中,应用了一个或多个导电层、特别是电气导电层。应该领会的是,如“形成的”或“应用的”的任何这种术语意在字面上覆盖应用层的所有种类和技术。特别地,它们意在覆盖其中一次性整体地应用层的技术,比如例如层压技术以及其中以顺序方式沉积层的技术,比如例如溅射、电镀、模制、CVD(化学气相沉积)、物理气相沉积(PVD)、蒸发、混合物理-化学气相沉积(HPCVD)等。

[0026] 应用的导电层尤其可以包括诸如Al、Cu或Sn或其合金的金属层的一个或多个、导电膏层以及接合材料层。金属层可以是均质的层。导电膏可以包括分布在可汽化或可固化聚合物材料中的金属颗粒,其中膏可以是流质的、粘性的或蜡质的。可以应用接合材料以将半导体芯片电气并机械地连接例如至载体,或者例如至接触夹片。可以使用软焊料材料或者特别是能够形成扩散焊料接合的焊料材料,例如包括以下各项中的一种或多种的焊料材料:Sn、SnAg、SnAu、SnCu、In、InAg、InCu和InAu。

[0027] 划片工艺可以用于将晶片分割为个体芯片。可以应用于划片的任何技术,例如刀片划片(锯切)、激光划片、刻蚀等。可以通过在胶带特别是划片胶带上应用半导体晶片,例如根据一个或多个上述技术将划片图形特别是矩形图形应用至半导体晶片,并且例如在胶带平面中沿着四个正交方向拖拉胶带而对半导体本体例如半导体晶片进行划片。通过拖拉胶带,将半导体晶片分割为多个半导体管芯(芯片)。

[0028] 半导体器件的实施例被图示在图1的示意横截面图100中。

[0029] 半导体器件包括半导体本体101,半导体本体101包括钳位结构102,其包括在第一接触部和第二接触部之间背对背串联连接的pn结二极管103和肖特基结二极管104。根据实施例,第一接触部是在半导体本体101的第一表面106例如半导体本体101的前表面处的第一接触部C11。根据另一实施例,第一接触部是在半导体本体101的第二表面107例如后表面处的第一接触部C12。因此,第一接触部可以布置在第一表面106处或在第二表面107处。根据实施例,第二接触部是在半导体本体101的第一表面106处的第二接触部C21。根据另一实施例,第二接触部是在半导体本体101的第二表面107处的第二接触部C22。因此,第二接触部可以布置在第一表面106处或在第二表面107处。第一和第二接触部可以布置在半导体本体101的同一表面处,例如在第一表面106处或在第二表面107处,或者可以布置在相对表面处。

[0030] pn结二极管103的击穿电压 $V_{ba}^{pn}$ 大于100 V、或者大于200 V、或者大于600 V,并且肖特基结二极管104的击穿电压 $V_{ba}^s$ 大于10 V、或者大于15 V、或者大于20 V。因此,可以在高电压晶体管的负载端子之间的破坏性或损害性电击穿可能发生之前通过pn结二极管103的电击穿而实现高电压晶体管的过电压保护。肖特基结二极管的击穿电压 $V_{ba}^s$ 可以被选择足够大以用于阻断例如对第二负载端子的正栅极电压。肖特基结二极管104可以由具有与肖特基结二极管104相同范围中的击穿电压的第二pn结二极管替代。pn结二极管103和第二pn结二极管可以使阳极连接在一起或者使阴极连接在一起而背对背连接。

[0031] 将肖特基结二极管104和pn结二极管103集成至单个半导体管芯例如图1中所示的半导体本体101中以pn结二极管103的定制的击穿电压以及减小的布线努力提供了钳位结构。通过附加的布线例如接合导线而在背对背连接的分离管芯中集成有的二极管的钳位结构可能经受寄生电感。此外,可以调整击穿电压 $V_{ba}^{pn}$ 至所需的值以用于保证关于待保护器

件(例如,晶体管的漏极至源极路径)的保护功能。可以通过适当地设置半导体本体101内电压吸收区的掺杂浓度和厚度而调整pn结二极管103的击穿电压 $V_{ba}^{pn}$ 。例如,电压吸收区可以对应于半导体本体101的具有半导体衬底或其上形成的外延层的初始掺杂浓度的一部分。

[0032] 在一些实施例中,pn结二极管103和肖特基结二极管104共用半导体本体101的至少一个半导体区。

[0033] 在一些实施例中,pn结二极管103是单个pn结二极管。

[0034] 半导体器件的另一实施例被图示在图2A的示意图200中。

[0035] 图2A中所示的半导体器件进一步包括功率晶体管110,功率晶体管110包括第一和第二负载端子L1、L2以及控制端子C。钳位结构102电连接在控制端子C和第二负载端子L2之间。例如,第二负载端子L2可以是IGFET的漏极端子,或者IGBT的集电极端子,或者BJT的集电极端子。控制端子C可以是IGFET的栅极端子、IGBT的栅极端子或者BJT的基极端子。例如,第一端子L1对应于IGFET的源极端子、IGBT的发射极端子或者BJT的发射极端子。

[0036] 半导体器件的又一实施例被图示在图2B的示意图201中。图2B的半导体器件不同于图2A中所示的实施例之处在于,功率晶体管110的控制端子C与钳位结构102断开,由此允许例如以下参照图4所述的外部连接。

[0037] 在一些实施例中,pn结二极管103和肖特基结二极管104背对背串联连接,构成了半导体封装中的分立半导体钳位器件。

[0038] 作为分立半导体器件而包括钳位结构(例如,图1中所示的钳位结构102)的晶体管轮廓(T0)封装115的实施例被图示在图3的示意图300中。

[0039] T0封装115中包括的钳位结构由模制化合物116围绕。T0封装115包括第一和第二引线117、118,以及金属框架119。在一些实施例中,金属框架119可以通过安装在其之间的内部陶瓷绝缘体而与钳位结构的半导体管芯电隔离。在一些实施例中,金属框架119以及第一和第二引线117、118之一可以电连接和/或由连续结构形成。第一引线117可以电连接至图1中所示的钳位结构102的pn结二极管103和肖特基结二极管104中的一个。第二引线118可以电连接至图1中所示的钳位结构102的pn结二极管103和肖特基结二极管104中的另一个。

[0040] 图3中所示的T0封装115是可以用于封装包括图1钳位结构102的半导体本体101的小管脚数封装的一个示例。因为存在宽范围的小管脚数封装,所以其他封装也可以用于封装分立的半导体钳位结构。

[0041] 在一些实施例中,功率晶体管是分立功率晶体管,并且功率晶体管和钳位结构形成在不同的半导体管芯中。

[0042] 在一些实施例中,不同的半导体管芯安装在共同的引线框架上。

[0043] 在一些实施例中,钳位结构和功率晶体管被包括在单个芯片封装中。芯片封装的控制管脚可以通过第一接合导线电连接至功率晶体的控制端子,并且芯片封装的控制管脚也可以通过第二接合导线电连接至钳位结构的pn结二极管。

[0044] 在单个芯片封装中包括钳位结构和功率晶体管的半导体器件的实施例被图示在图4的示意顶视图400中。

[0045] 第一半导体管芯120包括功率晶体管,例如图2A中所示的功率晶体管110。分离的第二半导体管芯121包括钳位结构,例如图1和图2A中所示的钳位结构102。

[0046] 钳位结构和功率晶体管两者分别经由第一和第二半导体管芯120、121的后侧而电连接至引线框架123。根据实施例,功率晶体管的第二负载端子,例如IGBT的集电极或者BJT的集电极或者IGFET的漏极经由第一半导体管芯120的后侧而电连接至引线框架123。钳位结构的肖特基结二极管的阳极也可以经由第二半导体管芯121的后侧而电连接至引线框架123。引线框架123电连接至第二负载管脚125。功率晶体管的控制端子,例如IGBT的栅极或IGFET的栅极或者BJT的基极在第一半导体管芯120的前表面处经由第一接合导线128而电连接至控制管脚127。钳位结构的pn结二极管的阳极在第二半导体管芯121的前表面处经由第二接合导线129而电连接至控制管脚127。功率晶体管的第一负载端子,例如IGBT的发射极或BJT的发射极或者IGFET的源极在第一半导体管芯120的前表面处经由第三接合导线130而电连接至第一负载管脚129。

[0047] 除了在芯片封装管脚与第一和第二半导体管芯120、121中的一个之间放置单个接合导线之外,两个、三个、四个甚至更多接合导线也可以并联连接,这例如取决于接合导线的电流容量和/或通过(一个或多个)接合导线的最大额定电流流动。

[0048] 芯片封装可以是任何种类的合适的小管脚数封装,例如T0封装诸如T0-247。因为存在宽范围的小管脚数封装,所以也可以使用其他封装。

[0049] 根据半导体器件的另一实施例,钳位结构和功率晶体管可以集成在类似于图4的示意顶视图400的单个芯片封装中,但是一个附加的管脚可以用于将第一接合导线128和第二接合导线129电连接至封装的不同管脚,由此允许例如功率晶体管的控制端子和钳位结构的外部连接。外部连接可以例如经由栅极驱动器和/或印刷电路板(PCB)。

[0050] 在一些实施例中,功率晶体管和钳位结构集成在同一半导体本体中,即功率晶体管和钳位结构形成在单个半导体管芯中。通过示例的方式,图2A、图2B中所示的功率晶体管110也可以形成在图1中所示的钳位结构102的半导体本体101中。

[0051] 在一些实施例中,功率晶体管的漂移区带、肖特基结二极管的阴极区以及pn结二极管的阴极区形成在同一半导体区中。在一些实施例中,同一半导体区是半导体衬底诸如切克劳斯基(Czochralski)(CZ)或磁性切克劳斯基(MCZ)或浮动区带(FZ)硅衬底或者形成在其上的外延层的轻掺杂或几乎本征的半导体部分。

[0052] 在一些实施例中,功率晶体管的第一和第二负载端子之间的击穿电压大于在第二负载端子和控制端子之间并联连接的钳位结构的击穿电压。

[0053] 在一些实施例中,第二接触部在半导体本体的第一表面处并且电连接至pn结二极管,第一接触部在半导体本体的与第一表面相对的第二表面处并且构成了肖特基结二极管的肖特基接触金属。

[0054] 在一些实施例中,半导体器件进一步包括在肖特基接触金属与半导体本体的一部分之间的场停止区带,场停止区带直接邻接肖特基接触金属并且包括大于半导体本体的一部分的掺杂浓度。在一些实施例中,半导体本体的一部分包括在 $5 \times 10^{12} \text{cm}^{-3}$ 和 $2 \times 10^{14} \text{cm}^{-3}$ 的范围内的掺杂浓度,其中半导体本体的在半导体本体的相对表面之间的一部分的厚度大于 $10 \mu\text{m}$ ,或者大于 $20 \mu\text{m}$ ,或者大于 $30 \mu\text{m}$ ,或者大于 $40 \mu\text{m}$ ,或者甚至大于 $50 \mu\text{m}$ 。在一些实施例中,半导体本体的一部分构成了钳位结构的pn结二极管的阴极区。

[0055] 在一些实施例中,半导体器件进一步包括在第一表面处直接邻接半导体本体的第一表面的pn结二极管的阳极区,该阳极区电连接至第一接触部。在一些实施例中,边缘终止

结构在第一侧处围绕阳极区。边缘终止结构的目的是减小在阳极区外围处的电场峰值。例如,边缘终止结构的典型结构元件包括场板、诸如浮动保护环或环区段的环形结构、结终止扩展(JTE)结构以及横向掺杂变化(VLD)结构中的一个或多个。p掺杂结终止扩展(JTE)的掺杂浓度可以小于阳极区的掺杂浓度。

[0056] 半导体本体101中的钳位结构的实施例被图示在图5的示意横截面图500中。

[0057] 半导体本体101可以是轻n掺杂的。例如,掺杂浓度的范围可以在 $5 \times 10^{12} \text{ cm}^{-3}$ 和 $2 \times 10^{14} \text{ cm}^{-3}$ 之间。例如,轻n掺杂半导体本体101可以对应于轻n掺杂半导体衬底或者在半导体衬底上的轻n掺杂外延层。在半导体本体101的第一表面106处的p掺杂阳极区135电连接至第二负载接触部C21。边缘终止结构136在第一表面106处围绕阳极区135并且配置用于减小在阳极区135外围处的电场峰值。例如,边缘终止结构可以包括场板、诸如浮动保护环或环区段的环形结构、结终止扩展(JTE)结构以及横向掺杂变化(VLD)结构中的一个或多个。在一些实施例中,边缘终止结构136是在第一表面106处围绕阳极区135的p<sup>-</sup>掺杂JTE区。在第一表面106处围绕阳极区135的p<sup>-</sup>掺杂JTE区允许在阳极区135内集中电击穿的区域,由此抵消了在pn结二极管103的边缘区中不期望的局部击穿。

[0058] 肖特基结二极管104的肖特基结形成在半导体本体101的第二表面107处的n掺杂场停止区带138与在第二表面107处的肖特基接触金属之间。在第二表面107处的肖特基接触金属构成了第一负载接触部C12。肖特基结二极管104的阴极区由n掺杂场停止区带138和轻n掺杂半导体本体101形成。因此,pn结二极管103和肖特基结二极管104共用了轻n掺杂半导体本体101和n掺杂场停止区带138的一部分作为共同阴极区。例如,可以通过适当地选择半导体本体101的掺杂浓度以及半导体本体101在阳极区135和场停止区带138之间的厚度而将pn结二极管103的击穿电压 $V_{br}^{pn}$ 调整为大于100 V,或大于200 V或者大于600 V。例如,可以通过适当地选择肖特基接触金属、场停止区带138的掺杂浓度和厚度而调整肖特基结二极管104的击穿电压 $V_{br}^s$ 为大于10 V、或大于15 V或甚至大于20 V。

[0059] 半导体本体101中的钳位结构的另一实施例被图示在图6的示意横截面图600中。关于图5的横截面图500的解释和信息也适用于横截面图6。以下解释处理相对于横截面图500的差异。

[0060] 在横截面图600中,钳位结构不仅包括在第一表面106处围绕阳极区135的边缘终止结构136,而且另外包括在第二表面107处围绕场停止区带138的第二n掺杂场停止区带139。第一接触部C12的肖特基接触金属直接邻接n掺杂场停止区带138,但不存在或者可以仅部分地覆盖第二场停止区带139。

[0061] 场停止区带138从第二表面107进入半导体本体101中的垂直延伸大于第二场停止区带139从第二表面107进入半导体本体101中的垂直延伸。通过示例的方式,场停止区带138和第二场停止区带139可以通过施主例如硒和/或磷的双级扩散工艺,或者通过双级质子注入工艺从第二表面107形成。质子注入和退火允许在半导体本体101内形成氢相关的施主。当在半导体本体101的第二表面107处应用包括与其中将要形成场停止区带138的区域一致的掩模开口的掩模时,单级扩散和/或质子注入工艺可以用于形成场停止区带138和第二场停止区带139。也可以在第一表面106处使用第二接触部C21作为用于在场停止区带138和第二场停止区带139之间形成台阶的辐照掩模而通过穿过第一表面106并从第一表面106开始的质子注入而形成场停止区带138和第二场停止区带139。在一些实施例中,第二场停

止区带139的掺杂浓度小于场停止区带138的掺杂浓度。

[0062] 半导体本体101中的钳位结构的另一实施例被图示在图7的示意横截面图700中。关于图5的横截面图500的解释和信息也适用于横截面图700。以下解释处理相对于横截面图500的差异。

[0063] 钳位结构进一步包括位于半导体本体101中在离场停止区带138的一垂直距离处的n掺杂埋入场停止区带140。例如，埋入场停止区带140也位于离阳极区135的一垂直距离处并且可以由质子辐照而形成。场停止区带138延伸进入边缘区中，例如越过第二表面107处的肖特基接触金属并且面积与该肖特基接触金属一致。根据实施例，场停止区带138可以通过无掩模扩散或离子注入工艺穿过第二表面而形成。

[0064] 半导体本体101中的钳位结构的另一实施例被图示在图8的示意横截面图800中。关于图5的横截面图500的解释和信息也适用于横截面图800。以下解释处理相对于横截面图500的差异。

[0065] 钳位结构进一步包括位于半导体本体101中在离场停止区带138的一垂直距离处的n掺杂埋入场停止区带141。埋入场停止区带140直接邻接阳极区135。场停止区带138延伸进入边缘区中，即越过在第二表面107处的肖特基接触金属并且面积与该肖特基接触金属一致。根据实施例，场停止区带138可以通过无掩模扩散或者离子注入工艺穿过第二表面而形成。

[0066] 第二场停止区带139和埋入场停止区带140、141的提供允许局部地钳位电击穿，并且因此抵消可能由于工艺变化引起分布的不定的局部击穿。

[0067] 半导体本体101中的钳位结构的另一实施例被图示在图9的示意横截面图900中。关于图5的横截面图500的解释和信息也适用于横截面图900。以下解释处理相对于横截面图500的差异。

[0068] 场停止区带142延伸进入边缘区中，即越过在第二表面107处的肖特基接触金属并且面积与该肖特基接触金属一致。根据实施例，场停止区带142可以通过无掩模扩散或者离子注入工艺穿过第二表面而形成。在第二表面107处的场停止区带142被夹设在轻n掺杂半导体本体101与肖特基接触金属C12之间的p掺杂区143中断。p掺杂区143和轻n掺杂半导体本体101构成了与肖特基结二极管104并联连接的第二pn结二极管144。提供p掺杂区143以及因此提供第二pn结二极管144允许减小pn结二极管103的击穿电压 $V_{br}^{pn}$ 。在一些实施例中，p掺杂区143终结在场停止区带142内，即p掺杂区143至n掺杂半导体本体101中的延伸小于场停止区带142至n掺杂半导体本体101中的延伸。此外，可以增大调整电气特性诸如由肖特基结二极管104和第二pn结二极管144的并联连接所限定的在第二表面107处的电压阻断能力时的自由度。

[0069] 图10是图示了集成至单个半导体本体中的钳位结构和IGBT的实施例的示意横截面图1000。

[0070] 半导体本体101在钳位结构区域150中包括钳位结构，该钳位结构包括在第二表面107处的肖特基结二极管，肖特基结二极管包括在第二表面107处的第一接触部C12，其构成了在钳位结构区域150中的对于场停止区带138的界面处形成肖特基结的肖特基接触金属。钳位结构进一步包括在第一表面106处的pn结二极管，pn结二极管由阳极区135和轻n掺杂半导体本体101形成。n掺杂击穿调整区152包括比轻n掺杂半导体本体101更大的掺杂浓度

以用于保证钳位结构的pn结二极管的击穿电压 $V_{br}^{pn}$ 小于在IGBT的负载端子即集电极和发射极之间的击穿电压。阳极区135电连接至第一表面106处的第二接触部C21。在一些其他实施例中,n掺杂击穿调整区152可以例如由p+掺杂击穿调整区替代。

[0071] 半导体本体101在IGBT区域155中进一步包括在第二表面107处的p掺杂后侧发射极区156。p掺杂后侧发射极区156布置在n掺杂场停止区带138与在第二表面107处构成了IGBT区域155中的IGBT的负载端子L2的接触部之间。IGBT区域155中的负载端子L2与钳位结构区域150中的第二接触部C21可以例如共同地形成。p掺杂本体区157和第一表面106处的n+掺杂源极区158电连接至第一表面106处的第一负载端子L1的接触部。构成了控制端子C的栅极电极通过栅极电介质159与半导体本体101电分隔。IGBT区域155中的IGBT的栅极电极与钳位结构区域150中的钳位结构的第二接触部C21可以例如共同地形成。

[0072] 紧贴横截面图1000图示了具有关断栅极的IGBT的阻断模式中的电场轮廓。沿着钳位结构的中心的深度来图示电场的绝对值 $E_{abs}$ 。电场的峰值在阳极区135与n掺杂击穿调整区152之间的界面处。因为n掺杂击穿调整区152以及n掺杂场停止区带138的掺杂浓度大于轻n掺杂半导体本体101中的掺杂浓度,所以电场在n掺杂击穿调整区152和n掺杂场停止区带138中比在轻n掺杂半导体本体101中沿着垂直方向的每单位长度减小得更强烈。

[0073] 图10中所示的功率晶体管是由关于过电压的钳位结构所保护的IGBT。根据其他实施例,其他功率晶体管例如横向或垂直IGFET、横向或垂直BJT也可以与钳位结构集成至单个半导体管芯中。

[0074] 例如,钳位结构和IGBT可以集成在小管脚数封装中,例如3管脚封装诸如T0封装。

[0075] 图11是图示了集成至单个半导体本体中的钳位结构和反向导通(RC) IGBT的示意横截面图1100。

[0076] 通过将n掺杂场停止区带138经由(多个)n掺杂短路区160电连接至第一接触部C12而实现RC IGBT的反向导电性。

[0077] 半导体本体101在钳位结构区域150中进一步包括在阳极区135和第二接触部C21之间的n掺杂区161。阳极区135和n掺杂区161构成pn结。例如,pn结的击穿电压可以被选择为足够大以用于阻断对于第二负载端子L2的正栅极电压。由阳极区135和n掺杂区161形成的pn结是替代图1的肖特基结二极管的第二pn结二极管的一个示例。

[0078] 紧挨着轮廓 $E_{abs}$ 图示了在大于阈值电压的栅极至源极电压下的电场轮廓以及在大于集电极和发射极之间的饱和电压的栅极至源极电压下的电场轮廓。沿着钳位结构中心的深度图示了电场的绝对值 $E_{abs}^r$ 。电场的峰值在n掺杂区161和阳极区135之间的界面处。

[0079] 图11中所示的功率晶体管是由关于过电压的钳位结构保护的RC IGBT。根据其他实施例,其他功率晶体管例如横向或垂直IGFET、横向或垂直BJT也可以与钳位结构集成至单个半导体管芯中。

[0080] 例如,钳位结构和IGBT可以集成在小管脚数封装例如3管脚封装诸如T0封装中。

[0081] 尽管为了类似的目的本文所述的不同实施例中提供的半导体区可以由相同附图标记标注,但是尺寸和掺杂浓度可以在不同实施例之间不同。

[0082] 尽管在本文中已经图示并描述了特定实施例,但是本领域普通技术人员将领会的是,各种可替换和/或等价实施方式可以替代所示和所述的特定实施例而并未脱离本发明的范围。本申请旨在覆盖本文所讨论的特定实施例的任何适配或变化。因此,旨在本发明仅

由权利要求及其等价物限定。

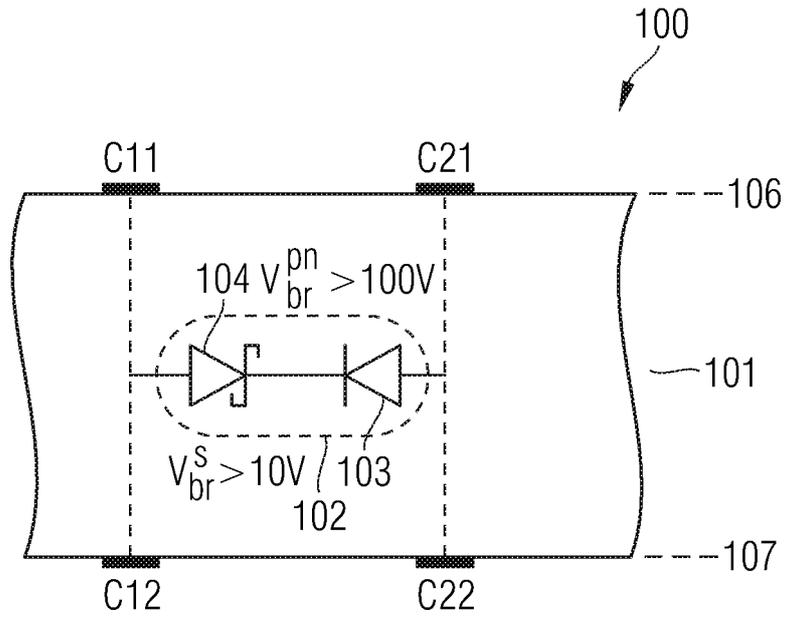


图 1

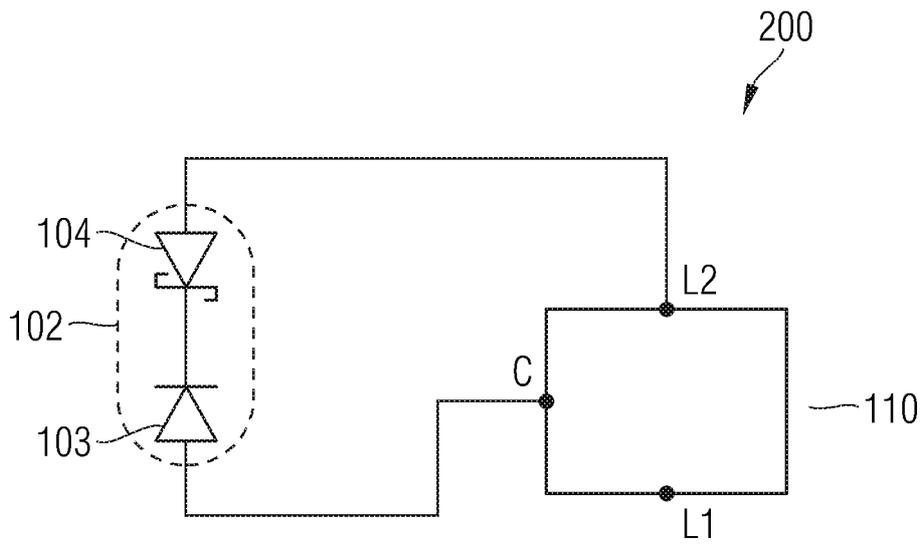


图 2A

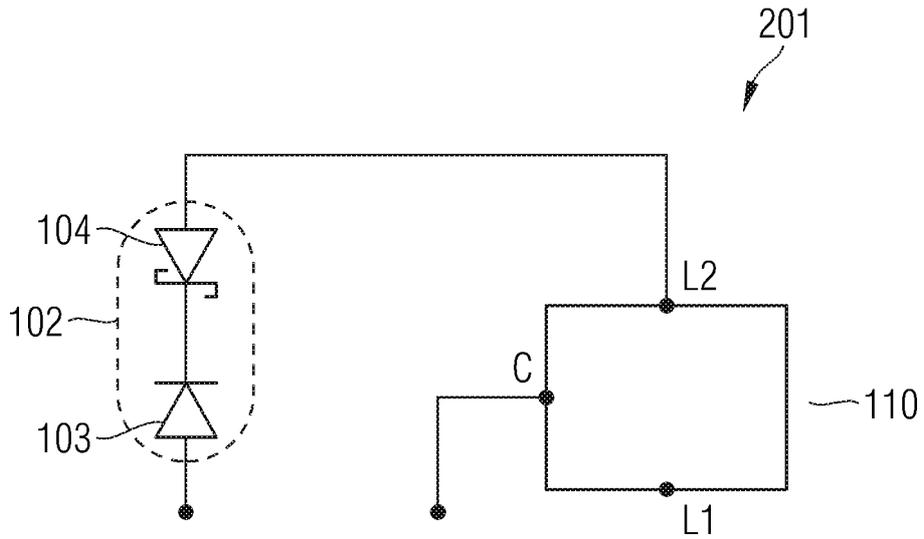


图 2B

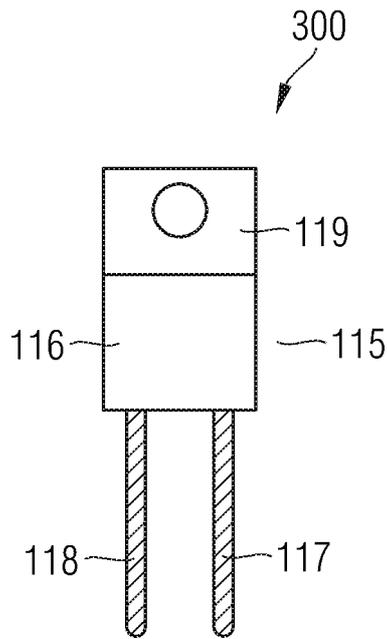


图 3

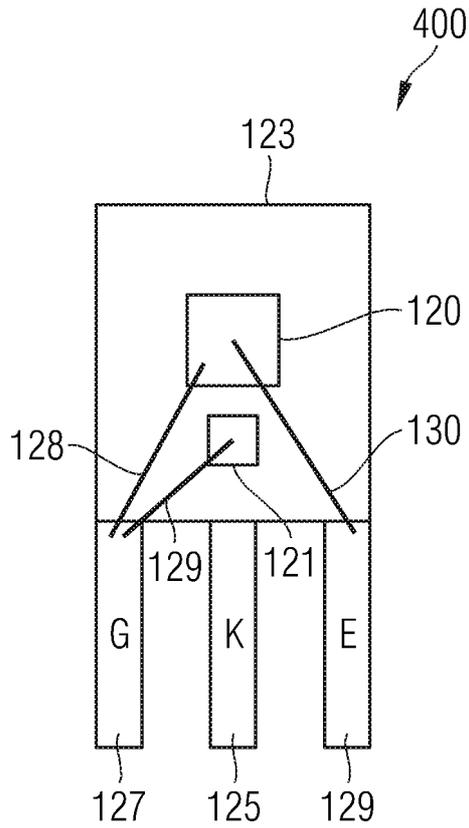


图 4

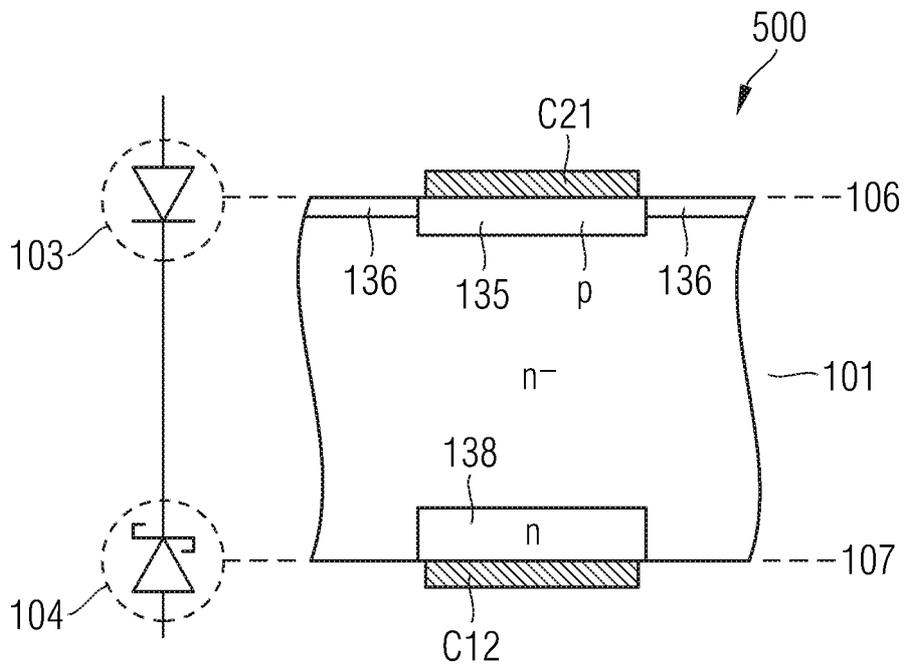


图 5

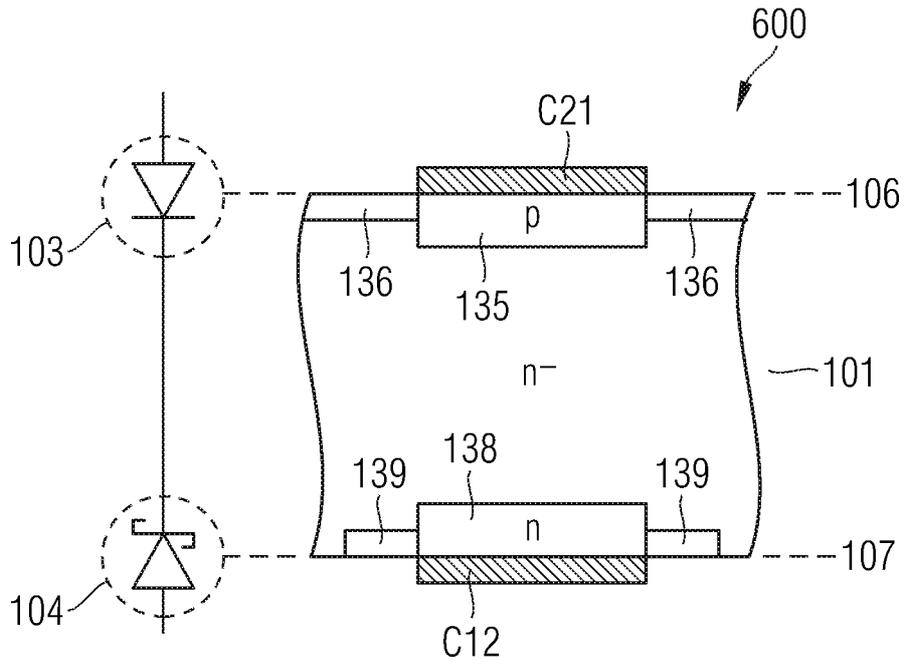


图 6

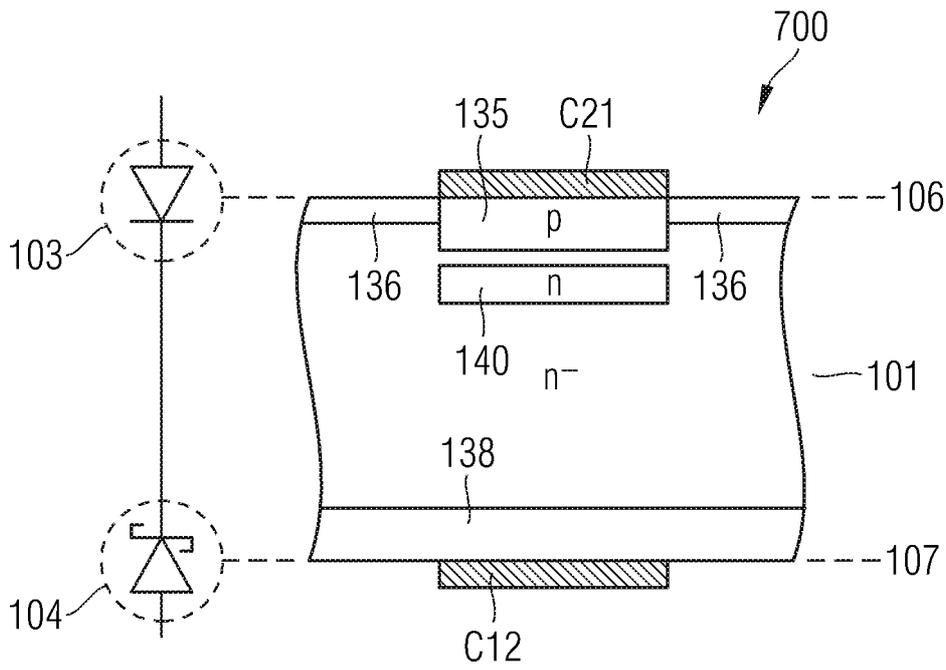


图 7



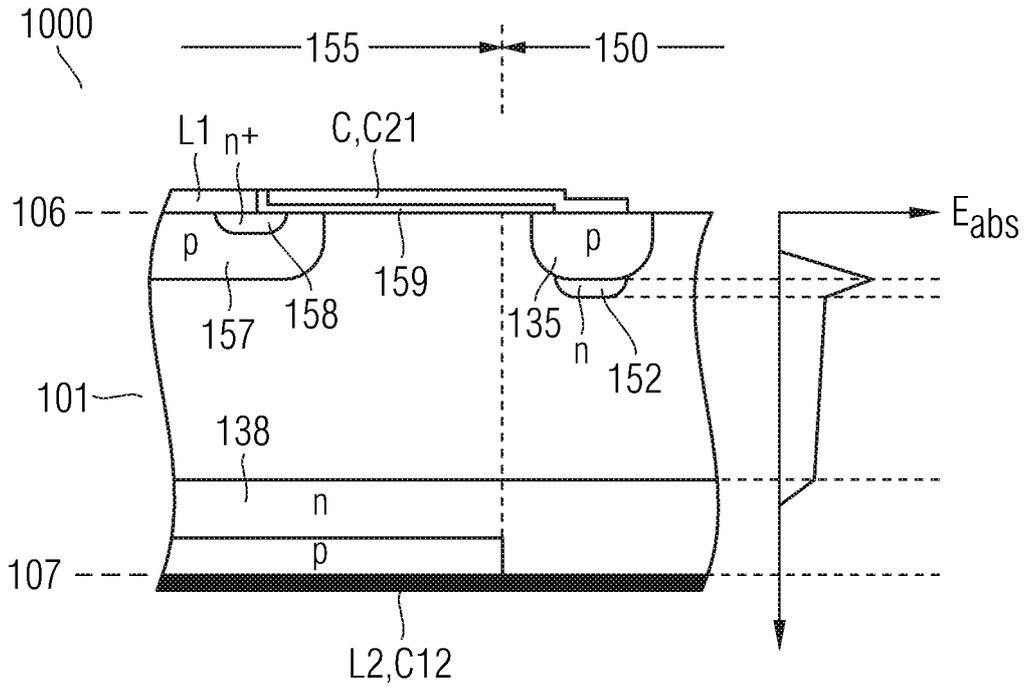


图 10

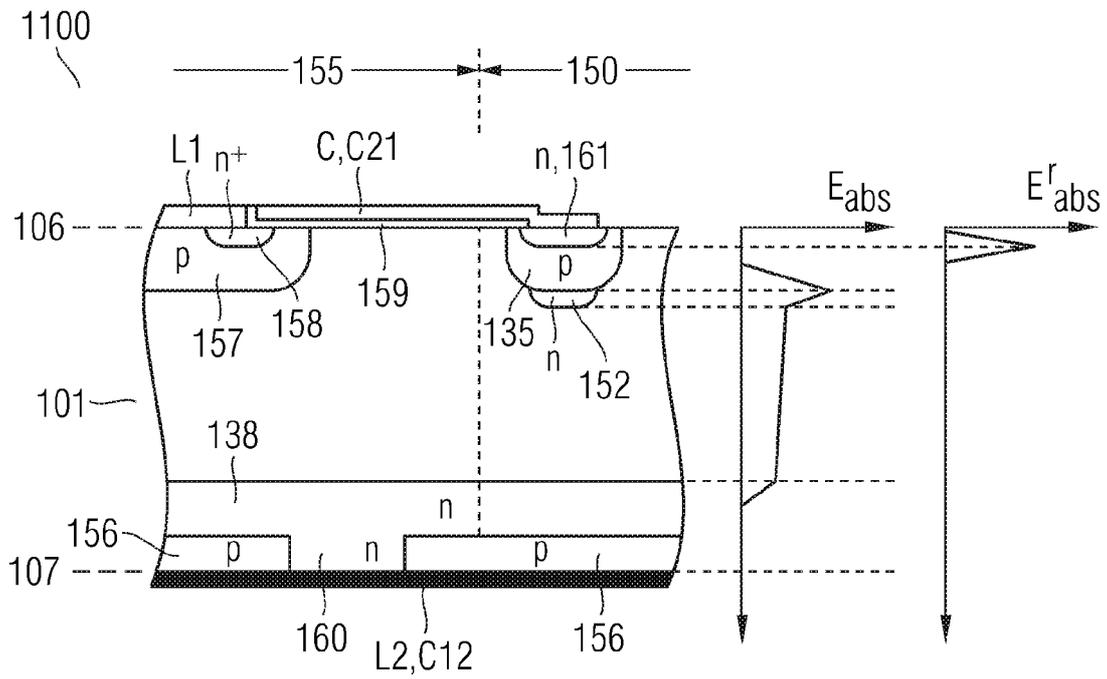


图 11