



(12) 发明专利

(10) 授权公告号 CN 112187233 B

(45) 授权公告日 2024. 10. 29

(21) 申请号 202011098378.1

(56) 对比文件

(22) 申请日 2020.10.14

CN 101452425 A, 2009.06.10

(65) 同一申请的已公布的文献号

审查员 孔娜

申请公布号 CN 112187233 A

(43) 申请公布日 2021.01.05

(73) 专利权人 OPPO广东移动通信有限公司

地址 523860 广东省东莞市长安镇乌沙海  
滨路18号

(72) 发明人 刘君

(74) 专利代理机构 深圳市智圈知识产权代理事

务所(普通合伙) 44351

专利代理师 吕静

(51) Int. Cl.

H03K 17/22 (2006.01)

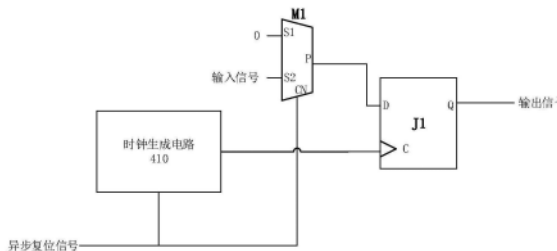
权利要求书3页 说明书11页 附图7页

(54) 发明名称

复位装置、方法、时钟系统及电子设备

(57) 摘要

本申请公开了一种复位装置、方法、时钟系统及电子设备,涉及时钟设计领域,复位装置包括:时钟生成电路,时钟生成电路的输出端与时钟信号输入端连接,时钟生成电路用于:在检测到系统时钟电路未输出第一时钟信号时,获取异步复位信号,异步复位信号用于对异步复位时序电路执行复位操作,第一时钟信号用于对同步复位电路执行复位操作;根据异步复位信号生成第二时钟信号,第二时钟信号用于对同步复位电路执行复位操作。由此,在系统未输出第一时钟信号使同步复位电路复位的时候,时钟生成电路能够根据异步复位信号来生成用于对同步复位电路执行复位操作的第二时钟信号,避免在同步复位电路未接收到第一时钟信号的时候,同步复位电路无法复位。



1. 一种复位装置,其特征在于,应用于时钟系统,所述时钟系统包括异步复位时序电路、同步复位时序电路和系统时钟电路,所述系统时钟电路与所述同步复位时序电路的时钟信号输入端连接,所述系统时钟电路用于输入第一时钟信号至所述时钟信号输入端,所述第一时钟信号用于触发所述同步复位时序电路执行复位操作,所述复位装置包括:

时钟生成电路,所述时钟生成电路的输出端与所述时钟信号输入端连接,所述时钟生成电路用于:

在检测到所述系统时钟电路未输出第一时钟信号时,获取异步复位信号,所述异步复位信号用于对所述异步复位时序电路执行复位操作;

根据所述异步复位信号生成第二时钟信号,所述第二时钟信号用于触发所述同步复位时序电路执行复位操作,其中,

所述异步复位信号为在第一电平和第二电平之间交替变换的信号,所述同步复位时序电路用于在输入所述时钟信号输入端的信号由第一电平变为第二电平时执行复位操作,所述时钟生成电路还用于:

在检测到所述异步复位信号由第二电平变为第一电平时,生成在第一时间长度内保持在第一电平的信号;

在检测到所述异步复位信号由第一电平变为第二电平时,生成在第二时间长度内保持在第二电平的信号,所述时钟生成电路生成的在第一电平和第二电平之间交替变换的信号作为第二时钟信号。

2. 根据权利要求1所述的装置,其特征在于,所述异步复位信号为在第一电平和第二电平之间交替变换的信号,所述同步复位时序电路用于在输入所述时钟信号输入端的信号为指定电平或发生电平变化时执行复位操作,所述指定电平为第一电平或第二电平,所述时钟生成电路还用于:

将所述异步复位信号作为所述第二时钟信号。

3. 根据权利要求1所述的装置,其特征在于,所述时钟生成电路包括触发器和赋值电路,所述触发器的时钟端用于接收所述异步复位信号,所述触发器的输出端与所述时钟信号输入端连接,所述赋值电路与所述触发器的输入端连接,其中,所述触发器的输出端作为所述时钟生成电路的输出端;

所述赋值电路用于在所述异步复位信号为第二电平时,输出第一信号,所述第一信号为第一电平的信号;

所述触发器用于在所述时钟端接收到的所述异步复位信号由第二电平变为第一电平时,输出的信号等于第一信号,且在所述时钟端接收到的所述异步复位信号由第一电平变为第二电平时,输出的信号等于所述第一信号取反后的信号。

4. 根据权利要求3所述的装置,其特征在于,所述赋值电路包括第一选择器和取反器,所述第一选择器包括第一选择输入端、第二选择输入端、第一控制端和第一选择输出端,输入所述第一选择输入端的信号为第一电平,所述触发器的输出端通过所述取反器与所述第二选择输入端连接,所述第一控制端用于接收所述异步复位信号,所述第一选择器用于:

在所述第一控制端接收的所述异步复位信号为第二电平时,控制所述第一选择输出端的输出信号为输入所述第一选择输入端的信号,且在所述第一控制端接收的所述异步复位信号为第一电平时,控制所述第一选择输出端的输出信号为输入所述第二选择输入端的信

号。

5. 根据权利要求3所述的装置,其特征在于,所述触发器为D触发器。

6. 根据权利要求1-5任一所述的装置,其特征在于,所述复位装置还包括:

选择开关,所述系统时钟电路和所述时钟生成电路均通过所述选择开关与所述时钟信号输入端连接,所述选择开关用于:

在检测到所述系统时钟电路未输出第一时钟信号时,将所述系统时钟电路与所述时钟信号输入端截止,将所述时钟生成电路与所述时钟信号输入端导通;

在检测到所述系统时钟电路输出第一时钟信号时,将所述系统时钟电路与所述时钟信号输入端导通,将所述时钟生成电路与所述时钟信号输入端截止。

7. 根据权利要求6所述的装置,其特征在于,所述选择开关包括第二选择器,所述第二选择器包括第三选择输入端、第四选择输入端、第二控制端和第二选择输出端,所述时钟生成电路与所述第三选择输入端连接,所述系统时钟电路与所述第四选择输入端连接,所述第二选择输出端与所述时钟信号输入端连接,所述第二控制端用于接收时钟启动信号,所述系统时钟电路用于在所述时钟启动信号处于有效电平时输出第一时钟信号,所述选择器用于:

在所述第二控制端接收到的所述时钟启动信号处于有效电平时,控制所述第二选择输出端的输出信号为所述系统时钟电路输入所述第四选择输入端的第一时钟信号;

在所述第二控制端接收到的所述时钟启动信号未处于有效电平时,控制所述第二选择输出端的输出信号为所述时钟生成电路输入所述第三选择输入端的第二时钟信号。

8. 一种时钟系统,其特征在于,包括:异步复位时序电路、同步复位时序电路、系统时钟电路以及上述权利要求1-7任一所述的复位装置,所述系统时钟电路与所述同步复位时序电路的时钟信号输入端连接,所述系统时钟电路用于输入第一时钟信号至所述时钟信号输入端,所述第一时钟信号用于触发所述同步复位时序电路执行复位操作,时钟生成电路的输出端与所述时钟信号输入端连接。

9. 一种电子设备,其特征在于,包括设备本体和权利要求8所述的时钟系统,所述时钟系统设置于所述设备本体内。

10. 一种复位方法,其特征在于,应用于时钟系统,所述时钟系统包括异步复位时序电路、同步复位时序电路和系统时钟电路,所述系统时钟电路与所述同步复位时序电路的时钟信号输入端连接,所述时钟信号输入端与时钟生成电路的输出端连接,所述系统时钟电路用于输入第一时钟信号至所述时钟信号输入端,所述第一时钟信号用于触发所述同步复位时序电路执行复位操作,所述方法包括:

在检测到所述系统时钟电路未输出第一时钟信号时,获取异步复位信号,所述异步复位信号用于对所述异步复位时序电路执行复位操作;

根据所述异步复位信号生成第二时钟信号,所述第二时钟信号用于触发所述同步复位时序电路执行复位操作;

将所述第二时钟信号输入至所述时钟信号输入端,以触发所述同步复位时序电路执行复位操作,其中,

所述异步复位信号为在第一电平和第二电平之间交替变换的信号,所述同步复位时序电路用于在输入所述时钟信号输入端的信号由第一电平变为第二电平时执行复位操作;

在检测到所述异步复位信号由第二电平变为第一电平时,生成在第一时间长度内保持在第一电平的信号;

在检测到所述异步复位信号由第一电平变为第二电平时,生成在第二时间长度内保持在第二电平的信号,所述时钟生成电路生成的在第一电平和第二电平之间交替变换的信号作为第二时钟信号。

## 复位装置、方法、时钟系统及电子设备

### 技术领域

[0001] 本申请涉及时钟设计领域,更具体地,涉及一种复位装置、方法、时钟系统及电子设备。

### 背景技术

[0002] 目前的片上系统或其他的大规模集成电路,会包括处理器、总线以及其他的电子元件,由于不同的电子元件可能使用不同的时序电路,因此,片上系统或其他的大规模集成电路中,可能会同时存在异步复位时序电路与同步复位时序电路,这对时钟设计提出了新的要求。

### 发明内容

[0003] 本申请提出了一种复位装置、方法、时钟系统及电子设备,以改善上述缺陷。

[0004] 第一方面,本申请实施例提供了一种复位装置,应用于时钟系统,所述时钟系统包括异步复位时序电路、同步复位时序电路和系统时钟电路,所述系统时钟电路与所述同步复位电路的时钟信号输入端连接,所述系统时钟电路用于输入第一时钟信号至所述时钟信号输入端,所述第一时钟信号用于触发所述同步复位电路执行复位操作,所述复位装置包括:时钟生成电路,所述时钟生成电路的输出端与所述时钟信号输入端连接,所述时钟生成电路用于:在检测到所述系统时钟电路未输出第一时钟信号时,获取异步复位信号,所述异步复位信号用于对所述异步复位时序电路执行复位操作;根据所述异步复位信号生成第二时钟信号,所述第二时钟信号用于触发所述同步复位电路执行复位操作。

[0005] 第二方面,本申请实施例还提供了一种时钟系统,包括:异步复位时序电路、同步复位时序电路、系统时钟电路以及上述复位装置,所述系统时钟电路与所述同步复位电路的时钟信号输入端连接,所述系统时钟电路用于输入第一时钟信号至所述时钟信号输入端,所述第一时钟信号用于触发所述同步复位电路执行复位操作,时钟生成电路的输出端与所述时钟信号输入端连接。

[0006] 第三方面,本申请实施例还提供了一种电子设备,包括设备本体和上述时钟系统,所述时钟系统设置于所述设备本体内。

[0007] 第四方面,本申请实施例还提供了一种复位方法,应用于时钟系统,所述时钟系统包括异步复位时序电路、同步复位时序电路和系统时钟电路,所述系统时钟电路与所述同步复位电路的时钟信号输入端连接,所述系统时钟电路用于输入第一时钟信号至所述时钟信号输入端,所述第一时钟信号用于触发所述同步复位电路执行复位操作,所述方法包括:在检测到所述系统时钟电路未输出第一时钟信号时,获取异步复位信号,所述异步复位信号用于对所述异步复位时序电路执行复位操作;根据所述异步复位信号生成第二时钟信号;将所述第二时钟信号输入至所述时钟信号输入端,指示所述同步复位时序电路根据所述第二时钟信号执行复位操作。

[0008] 本申请提供的复位装置、方法、时钟系统及电子设备,应用于时钟系统,所述时钟

系统包括异步复位时序电路、同步复位时序电路和系统时钟电路,所述系统时钟电路与所述同步复位电路的时钟信号输入端连接,所述复位装置包括:时钟生成电路。系统时钟电路可以输出第一时钟信号至同步复位电路的时钟信号输入端,同步复位电路在时钟信号输入端接收到第一时钟信号的时候,执行复位操作,时钟生成电路在检测到所述系统时钟电路未输出第一时钟信号时,同步复位电路无法根据第一时钟复位,然后,时钟生成电路获取到异步复位信号的时候,根据所述异步复位信号生成第二时钟信号,将所述第二时钟信号输入至所述时钟信号输入端。其中,异步复位信号用于对所述异步复位时序电路执行复位操作,而此时同步复位电路未接收到第一时钟信号则无法执行复位操作,由此,在系统未输出第一时钟信号使同步复位电路复位的时候,时钟生成电路能够根据异步复位信号来生成用于对所述同步复位电路执行复位操作的第二时钟信号,避免在同步复位电路未接收到第一时钟信号的时候,如果异步复位电路被复位,而同步复位电路未复位,会导致整个系统的输出不稳定,从而避免系统紊乱。

[0009] 本申请实施例的其他特征和优点将在随后的说明书阐述,并且,部分地从说明书中变得显而易见,或者通过实施本申请实施例而了解。本申请实施例的目的和其他优点可通过在所写的说明书、权利要求书、以及附图中所特别指出的结构来实现和获得。

## 附图说明

[0010] 为了更清楚地说明本申请实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本申请的一些实施例,对于本领域技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0011] 图1示出了本申请实施例提供的异步复位电路的示意图;

[0012] 图2示出了本申请实施例提供的同步复位电路的示意图;

[0013] 图3示出了图2对应的时序图;

[0014] 图4示出了本申请一实施例提供的复位装置的电路示意图;

[0015] 图5示出了图4对应的时序图;

[0016] 图6示出了本申请另一实施例提供的复位装置的电路示意图;

[0017] 图7示出了本申请又一实施例提供的复位装置的电路示意图;

[0018] 图8示出了本申请再一实施例提供的复位装置的电路示意图;

[0019] 图9示出了本申请再另一实施例提供的复位装置的电路示意图;

[0020] 图10示出了图9对应的时序图;

[0021] 图11示出了本申请一实施例提供的复位方法的方法流程图;

[0022] 图12示出了本申请实施例提供的时钟系统的模块框图;

[0023] 图13示出了本申请实施例提供的电子设别的结构示意图;

[0024] 图14出了本申请实施例提供的用于保存或者携带实现根据本申请实施例的方法的程序代码的存储单元。

## 具体实施方式

[0025] 下面将结合本申请实施例中附图,对本申请实施例中的技术方案进行清楚、完整

地描述,显然,所描述的实施例仅仅是本申请一部分实施例,而不是全部的实施例。通常在此处附图中描述和示出的本申请实施例的组件可以以各种不同的配置来布置和设计。因此,以下对在附图中提供的本申请的实施例的详细描述并非旨在限制要求保护的本申请的范围,而是仅仅表示本申请的选定实施例。基于本申请的实施例,本领域技术人员在没有做出创造性劳动的前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0026] 应注意到:相似的标号和字母在下面的附图中表示类似项,因此,一旦某一项在一个附图中被定义,则在随后的附图中不需要对其进行进一步定义和解释。同时,在本申请的描述中,术语“第一”、“第二”等仅用于区分描述,而不能理解为指示或暗示相对重要性。

[0027] 在数字集成电路芯片中,为保证芯片的正常工作,复位电路是不可或缺的部分。随着芯片规模的不断增大,复位电路的结构以及它与其它电路的接入方式也越来越复杂。尤其是在超大规模的集成电路芯片中,一般会有多个时钟域,各个时钟域都会有各自的复位信号。例如,在复杂的片上系统(System on Chip, SOC)设计中往往需要集成多个电路设计,其中,该多个电路可能包括CPU、总线与加速器等模块。但是,由于不同电路设计规则不同,可能导致SOC中同时存在异步复位与同步复位时序电路,这对SOC的高层复位逻辑设计提出了新的要求。

[0028] 其中,异步复位时序电路是指使用时钟并且复位方式为异步复位的电路。具体地,该时序电路可以是寄存器,则异步复位是利用了带有异步复位端口的寄存器实现的,如图1所示,异步复位的寄存器在检测到复位信号有效的瞬间,就会对输出进行复位,该操作与时钟信号CLK输入没有直接的联系。

[0029] 另外,同步复位时序电路是指使用时钟并且复位方式为同步复位的电路。具体地,该时序电路可以是寄存器,同步复位电路设计中的寄存器不带有异步复位端口,对该类型寄存器复位时使用数据端口选择器,将复位值在复位信号有效的时候输入到寄存器的数据端口。如图2所示,该寄存器J1在时钟信号CLK有效的时候,将该时钟信号有效前的时刻,将该寄存器的输出值变为该寄存器的输入值,因此,图2所示的同步复位时序电路,在时钟信号CLK有效的前一时刻,寄存器的输入值需要等于复位值,例如,该复位值可以是0。于本申请实施例中,该选择器M1在复位信号有效的时候,选择器M1的输出为S1端的输入,则选择器M1在复位信号非有效的时候,选择器M1的输出为S2端的输入。作为一种实施方式,该输入信号可以是一个常高电平的信号,即该输入信号的逻辑值常为1。

[0030] 因此,图2所示的同步复位时序电路,需要在时钟信号CLK有效的前一时刻,复位信号有效。假设,该时钟信号CLK有效是指该时钟信号由低电平变为高电平,即触发了一次上升沿,而复位信号有效是指该复位信号为低电平,从而在时钟信号CLK上升沿的前一时刻,复位信号应当是低电平,从而选择器M1的输出,即寄存器J1的输入为低电平,即 $D^n=0$ ,进而在时钟信号CLK上升沿到来的时候, $Q^{n+1}=D^n=0$ ,其中,n表示时刻。因此,同步复位时序电路要求复位信号与输入时钟是同步的。

[0031] 然而,发明人在研究中发现,由于异步复位时序电路对时钟信号CLK无要求,因此,在对异步复位时序电路复位的时候,有可能系统并未产生该时钟信号CLK,从而导致异步复位时序电路被复位,而同步复位时序电路未被复位。如图3所示,图3中的门时钟为图2中的时钟信号CLK,其中,系统时钟信号、使能信号和门使能信号为用于产生时钟信号CLK的信号。具体地,该系统时钟信号为系统(如片上系统)为系统内的各个芯片提供的基础时钟信

号,各个芯片可根据自己对时钟的需求在该系统时钟信号的基础上可以通过使能信号和逻辑门的控制方式,在恰当的时刻接收该系统时钟信号,还可以通过倍频、分频以及锁存的方式,生成新的时钟信号。

[0032] 其中,使能信号用于将图2中的时钟信号CLK使能,例如,该使能信号可以作为CPU等处理器用于通知系统为寄存器输入时钟的指令,门使能信号用于在使能信号和系统时钟信号均为高电平的时候变为高电平,在门使能信号为高电平的时候,系统时钟信号作为寄存器的时钟信号CLK。

[0033] 由图3可以看出,复位信号有效,即低电平的时间段分别为系统时钟信号的第2和第3个时钟的时候,以及系统时钟信号的第7和第8个时钟的时候,需要说明的是,该系统时钟信号的一个时钟,是指相邻的一个高电平和一个低电平所经历的时间,即一个时钟信号的周期,系统时钟信号为多个周期的时钟信号。

[0034] 在系统时钟信号的第7和第8个时钟的时候,在第7个至第8个时钟之间的上升沿,输出信号的输出值等于第7个时钟的时候,寄存器的输入D为低电平,即逻辑0,从而在第7个至第8个时钟之间的上升沿的时候,寄存器的输出变为0,即被复位。而在第2和第3个时钟的时候,由于门时钟并没有被使能,处于常低的状态,未触发上升沿,因此,同步复位时序电路未被复位,而异步复位时序电路被复位,则会导致系统不稳定。具体地,假设SOC中CPU的电路使用同步复位,而总线与外设使用异步复位。在系统上电的过程中,如果复位信号出现在时钟使能之前,则CPU无法复位。此时CPU内部寄存器处于不定态,该不定态会随与其相连的数据、控制总线传给外设。当系统时钟开启后,外设从CPU总线上采样到这些不定态信号,又会将这些不定态做进一步的传输,导致SOC系统中更多的寄存器计入不定态,从而影响整个系统的正常运行。

[0035] 因此,为了克服上述缺陷,本申请实施例提供了一种复位装置,能够在同步复位时序电路的时钟信号CLK未被使能的时候,依然可以被复位,同时能够较有效地避免在异步复位与同步复位电路并存的SOC设计中,出现异步复位时序电路完成复位,而同步复位时序电路不能有效复位的情况。

[0036] 具体地,请参考图4,图4示出了一种复位装置。该复位装置应用于时钟系统,该时钟系统可以是上述的SOC,也可以是其他的使用时钟信号的电路系统,所述时钟系统包括异步复位时序电路、同步复位时序电路和系统时钟电路,其中,异步复位时序电路和系统时钟电路在图中未示出,寄存器J1和选择器M1构成同步复位时序电路。具体地,该复位装置包括:时钟生成电路410。

[0037] 作为一种实施方式,所述系统时钟电路与所述同步复位电路的时钟信号输入端(即寄存器J1的时钟端C)连接,系统时钟电路用于为同步复位电路提供第一时钟信号,该第一时钟信号为由系统提供的用于触发同步复位电路执行复位操作的时钟信号,即所述第一时钟信号作为所述同步复位电路执行复位操作的触发信号。例如,该第一时钟信号可以是上述的门时钟。其中,异步复位时序电路和同步复位时序电路的描述可以参考前述内容,在此不再赘述。

[0038] 时钟生成电路410的输出端与所述时钟信号输入端连接。具体地,时钟生成电路410的输出端与寄存器J1的时钟端C连接,选择器M1的控制端CN用于接收异步复位信号,当异步复位信号为高电平的时候,选择器M1的输出端的逻辑值为S2端的输入信号的逻辑值,



当异步复位信号为低电平的时候,选择器M1的输出端的逻辑值为S1端的输入信号的逻辑值。由图4中可以看出,S1端的输入信号的逻辑值为0,因此在复位信号为低电平的时候,输入寄存器J1的输入端D的逻辑值为0,从而,在寄存器J1的时钟端C的下一个上升沿到来的时候,寄存器J1的输出值等于复位信号为低电平的时候输入端D的逻辑值,即寄存器J1的输出值等于0,也即被复位。

[0039] 时钟生成电路410用于在检测到所述系统时钟电路未输出第一时钟信号时,获取异步复位信号,所述异步复位信号用于对所述异步复位时序电路执行复位操作。例如,该异步复位信号可以是上述图3中的复位信号,具体地,在该异步复位信号为低电平的时候,异步复位时序电路被复位。然后,时钟生成电路410根据所述异步复位信号生成第二时钟信号;将所述第二时钟信号输入至所述时钟信号输入端,所述第二时钟信号用于触发所述同步复位电路执行复位操作,即所述第二时钟信号作为所述同步复位电路执行复位操作的触发信号。

[0040] 作为一种实施方式,时钟生成电路410所产生的第二时钟信号也能够产生有效电平状态,且该有效电平状态与系统提供的第一时钟信号所能够产生的有效电平状态相同。例如,以第一时钟信号为前述的门时钟为例,则该第一时钟信号的有效电平状态为低电平变为高电平的状态,即上升沿,则时钟生成电路410所生成的第二时钟信号也能够产生上升沿。

[0041] 作为一种实施方式,时钟生成电路410根据所述异步复位信号生成第二时钟信号的实施方式可以是,时钟生成电路410能够生成时钟信号,具体地,该时钟生成电路410为一个时钟发生器,能够接收系统时钟,通过对该系统时钟执行预设处理生成第二时钟信号,该第二时钟信号可以与第一时钟信号相同,即周期和脉冲宽度一致,其中,预设处理可以是不做任何处理,也可以是通过倍频、分频、锁相或者逻辑操作等操作方式,其中,逻辑操作包括逻辑与、逻辑非等操作,例如,将信号取反,使得信号的高电平变为低电平,低电平变为高电平。则时钟生成电路410能给监测异步复位信号的电平变化,在该异步复位信号的电平变为指定电平的时候,生成第二时钟信号。

[0042] 作为一种实施方式,时钟生成电路410根据所述异步复位信号生成第二时钟信号的实施方式可以是,时钟生成电路410能够监测异步复位信号的电平变化,在该异步复位信号的电平变为指定电平的时候,对异步复位信号执行预设处理生成第二时钟信号。具体地,可以直接将异步复位信号作为所述第二时钟信号,也可以通过触发器等逻辑元件对该异步复位信号进行处理,以得到第二时钟信号,具体地,将在后续实施例中进行介绍。

[0043] 因此,在系统未输出第一时钟信号使同步复位电路复位的时候,时钟生成电路能够根据异步复位信号来生成用于触发所述同步复位电路执行复位操作的第二时钟信号,避免在同步复位电路未接收到第一时钟信号的时候,如果异步复位电路被复位,而同步复位电路未复位,会导致整个系统的输出不稳定,从而避免系统紊乱。具体地,请参阅图5,图5示出了时钟系统的时序图。将图5与图3对比可以看出,在系统时钟电路未向同步复位时序电路提供第一时钟信号的时段,也就是说,门时钟未被使能而持续处于低电平的状态的时段,即寄存器J1的时钟端C未接收到门时钟的时段,图3中,在该时段内,输出信号未被复位,即持续为高电平,而在图5中,在该时段内,在复位信号由低电平变为高电平的时候,寄存器J1的时钟端C能够响应该低电平变为高电平的转换,将输出信号变为复位信号低电平阶段的D

的逻辑值。

[0044] 由上述图3和图5可以看出,异步复位信号为在第一电平和第二电平之间交替变换的信号,同步复位时序电路用于在输入所述时钟信号输入端的信号为指定电平或发生电平变化时执行复位操作,其中,第一电平可以是低电平或高电平,则如果第一电平为低电平,则第二电平为高电平,如果第一电平为高电平,则第二电平为低电平。作为一种实施方式,该指定电平可以是低电平或高电平,其中,发生电平变化可以是低电平变为高电平(即上升沿)也可以是高电平变为低电平(即下降沿)。

[0045] 因此,作为一种实施方式,时钟生成电路410可以直接将异步复位信号作为所述第二时钟信号,如图4所示,时钟生成电路410可以在获取到异步复位信号的时候,将异步复位信号输入寄存器J1的时钟端C,因此,随着异步复位信号为在第一电平和第二电平之间交替变换,寄存器J1的时钟端C的信号也在第一电平和第二电平之间交替变换,从而能够变为指定电平或发生电平变化,进而将寄存器J1复位。

[0046] 另外,考虑到如果异步复位信号如果是一个脉冲信号,并且脉冲的宽度比较窄,会导致在高低电平之间的变化的时候,时间过短,而导致同步复位时序电路未来得及响应该异步复位信号,而导致同步复位时序电路无法准确的为输出值赋值,进而导致输出结果为不定态。因此,为了避免该问题,所述时钟生成电路还用于:在检测到所述异步复位信号由第二电平变为第一电平时,生成在第一时间长度内保持在第一电平的信号;在检测到所述异步复位信号由第一电平变为第二电平时,生成在第二时间长度内保持在第二电平的信号,所述时钟生成电路生成的在第一电平和第二电平之间交替变换的信号作为第二时钟信号。

[0047] 作为一种实施方式,第一时间长度和第二时间长度可以根据实际使用而设定的,在一些实施例中,时钟生成电路输出的信号也是一个在第一电平和第二电平交替变化的周期信号,一个周期的时间长度为输出信号处于第一电平的时间长度 $t_1$ 和输出信号处于第二电平的时间长度 $t_2$ 之和,即周期 $T=t_1+t_2$ 。作为一种实施方式,该 $t_1$ 和 $t_2$ 可以不同,也可以不相同,与本申请实施例中,该 $t_1$ 和 $t_2$ 相同,且该时钟生成电路输出的信号的周期与第一时钟信号的周期相同。作为另一种实施方式,在异步复位信号的脉冲宽度小于指定宽度的情况下,该第一时间长度与异步复位信号处于一个第一电平的时间长度相同,该第二时间长度与异步复位信号处于一个第二电平的时间长度相同,即该时钟生成电路输出的信号的周期与异步复位信号的周期相同,如果异步复位信号的脉冲宽度不小于指定宽度的情况下,可以通过合理设置第一时间长度和第二时间长度使得时钟生成电路输出的信号的脉冲宽度大于异步复位信号的脉冲宽度,以便在将时钟生成电路输出的信号作为第二时钟信号,第二时钟信号能够满足同步复位时序电路的要求,而避免第二时钟信号的脉冲宽度过窄而导致同步复位时序电路输出不定态。

[0048] 作为一种实施方式,请参阅图6,图6示出了本申请另一实施例提供了一种复位装置,如图6所示,时钟生成电路410还包括触发器411和赋值电路412,所述触发器411的时钟端用于接收所述异步复位信号,所述触发器411的输出端与所述时钟信号输入端连接,所述赋值电路412与所述触发器411的输入端连接,其中,触发器411的输出端作为时钟生成电路410的输出端。

[0049] 如图6所示,同步复位时序电路可以由寄存器J1和选择器M1组成,则该时钟信号输

入端为寄存器J1的时钟端C1,赋值电路412与所述触发器411均能够接收异步复位信号,选择器M1的控制端CN也接收异步复位信号,触发器411的输出端与寄存器J1的时钟端C连接。

[0050] 所述赋值电路412用于在所述异步复位信号为第二电平时,输出第一信号,所述第一信号为第一电平的信号;所述触发器411用于在所述时钟端接收到的所述异步复位信号由第二电平变为第一电平时,输出的信号等于第一信号,且在所述时钟端接收到的所述异步复位信号由第一电平变为第二电平时,输出的信号等于所述第一信号取反后的信号。作为一种实施方式,该第一电平为低电平,第二电平为高电平。

[0051] 具体地,如图7所示,赋值电路412包括第一选择器M2和取反器L1,所述第一选择器M2包括第一选择输入端S22、第二选择输入端S21、第一控制端CN2和第一选择输出端P2,输入所述第一选择输入端S22的信号为第一电平,即图7中输入S22的逻辑值为0,所述触发器411的输出端通过所述取反器与所述第二选择输入端S21连接,所述第一控制端CN2用于接收所述异步复位信号。于本申请实施例中,触发器411为图7中的寄存器J2,且该寄存器J2可以是双沿触发器,即在时钟端的信号为上升沿和下降沿的时候,都执行一次赋值操作。

[0052] 第一选择器M2用于在所述第一控制端CN2接收的所述异步复位信号为高电平时,控制所述第一选择输出端P2的输出信号为输入所述第一选择输入端S22的信号,且在所述第一控制端CN2接收的所述异步复位信号为低电平时,控制所述第一选择输出端P2的输出信号为输入所述第二选择输入端S21的信号。如图7所示,第一选择器M2和取反器L1以及寄存器J2构成了一个双沿触发器,即寄存器J2在时钟端C1的信号发生上升沿(低电平变为高电平)或者在下降沿(高电平变为低电平)的时候,都执行赋值操作,即输出值等于上升沿或下降沿的前一时刻的D1端的值。

[0053] 具体地,各个端口的逻辑值变化如下:

[0054] 当异步复位信号为1时,CN2为1,P2等于S22的值,即P2等于0,则寄存器J2的D1端的值也为0,而由于寄存器J1的时钟端C的信号未发生上升沿,则寄存器J2的输出端Q1的值保持之前之间的状态值不变,例如,之前状态逻辑值为1,则寄存器J2的输出端Q1也为1。

[0055] 当异步复位信号为0时,即时钟端C1的信号触发下降沿,CN2为0,P2等于S21的值,即P2等于Q1的取反后的逻辑值,即P2等于0,则输入寄存器J2的D1端的逻辑值为0,输出值Q1等于下降沿的前一时刻,即前一次异步复位信号为1的时候,D1端的值,即输出值Q1为0,而当前时刻,S21端的值为Q1至的取反,即等于1,即当前时刻的D1等于1。

[0056] 当异步复位信号再次为1时,即时钟端C1的信号触发上升沿,P2等于S22的值,即P2等于0,输出值Q1等于上升沿的前一时刻,即前一次异步复位信号为0的时候,D1端的值,即输出值Q1为1,而当前时刻的D1为0。

[0057] 因此,在检测到异步复位信号的下降沿处将输出Q1拉低,在检测到异步复位信号的上升沿处将Q1拉高,因此,这个过程在Q1处产生了上升沿,该Q1的上升沿用作寄存器J1的复位时钟信号。

[0058] 作为一种实施方式,为了便于同步复位时序电路在系统时钟电路输出第一时钟信号的时候,使用第一时钟信号进行复位,而在系统时钟电路未输出第一时钟信号的时候,同步复位时序电路使用第二时钟信号复位,该复位装置还包括选择开关。如图8所示,假设同步复位时序电路由上述的寄存器J1和选择器M1组成,系统时钟电路310和所述时钟生成电路410均通过所述选择开关420与寄存器J1的时钟端C连接。选择开关420用于:在检测到所

述系统时钟电路310未输出第一时钟信号时,将所述系统时钟电路310与所述时钟信号输入端C截止,将所述时钟生成电路410与所述时钟信号输入端C导通;在检测到所述系统时钟电路310输出第一时钟信号时,将所述系统时钟电路310与所述时钟信号输入端C导通,将所述时钟生成电路410与所述时钟信号输入端C截止。

[0059] 作为一种实施方式,该选择开关可以包括两个输入端和一个输出端以及一个控制端,两个输入端分别对应连接时钟生成电路410和系统时钟电路310,该输出端与寄存器J1的时钟端C连接,控制端用于检测系统时钟电路是否输出第一时钟信号,具体的检测方式可以是,系统时钟电路根据时钟使能信号输出第一时钟信号,该时钟使能信号可以是前述的使能信号或门使能信号,该时钟使能信号为有效电平(例如,高电平)的时候,系统时钟电路输出第一时钟信号,该时钟使能信号为非有效电平的时候,系统时钟电路不输出第一时钟信号。则该控制端能够接收该时钟使能信号,并且在该时钟使能信号为非有效电平的时候,控制连接时钟生成电路410的输入端与输出端之间导通,而另外一个输入端与输出端之间截止。在该时钟使能信号为有效电平的时候,控制连接系统时钟电路310的输入端与输出端之间导通,而另外一个输入端与输出端之间截止。

[0060] 于本申请实施例中,选择器均可以是三极管、晶体管、可控硅等具有控制端和两个连接端的电子器件。

[0061] 具体地,请参阅图9,选择开关420可以是图9中的选择器M3,选择开关420包括第二选择器M3,所述第二选择器M3包括第三选择输入端S31、第四选择输入端S32、第二控制端CN3和第二选择输出端P3,所述时钟生成电路与所述第三选择输入端S31连接,即寄存器J2的输出端Q1与第三选择输入端S31连接。所述系统时钟电路与所述第四选择输入端S32连接,所述第二选择输出端P3与所述时钟信号输入端连接,即第二选择输出端P3与寄存器J1的时钟端C连接,所述第二控制端CN3用于接收时钟启动信号EN,所述系统时钟电路310用于在所述时钟启动信号EN处于有效电平时输出第一时钟信号,其中,该有效电平可以为高电平。该时钟启动信号EN的具体实施方式可以参考前述使能信号,在此不再赘述。

[0062] 选择器M3用于:在所述第二控制端CN3接收到的所述时钟启动信号EN处于有效电平时,控制所述第二选择输出端P3的输出信号为所述系统时钟电路310输入所述第四选择输入端S32的第一时钟信号;在所述第二控制端CN3接收到的所述时钟启动信号EN未处于有效电平时,控制所述第二选择输出端P3的输出信号为所述时钟生成电路输入所述第三选择输入端S31的第二时钟信号。

[0063] 其中,系统时钟电路310包括锁存器J3和逻辑与门L2构成,其中,锁存器J3也可以是寄存器,且与前述的寄存器J1不同的时候,锁存器J3为时钟端E低电平的时候有效。于本申请实施例中,前述的寄存器和触发器均可以是D触发器。

[0064] 锁存器J3的时钟端E用于接收系统时钟CLK取反后的信号,锁存器J3的输入端D3用于接收时钟启动信号EN,锁存器J3的输出端Q3与逻辑与门L2的一个逻辑输入端连接,逻辑与门L2的另一个逻辑输入端接收系统时钟CLK,逻辑与门L2的输出端与第四选择输入端S32连接。

[0065] 具体地,以逻辑值的方式描述图9的原理:

[0066] 异步复位信号为0时,寄存器J2的时钟端C1为0,Q1保持前一个状态的D1,即0,则Q1=0,Q1取反之后为1,选择器M2的输出此时等于Q1取反后的值,所以D1变为1。

[0067] 此时,时钟启动信号EN为0,系统时钟CLK为1,锁存器J3的输出端Q3保持前一状态的时钟启动信号EN的逻辑值,即锁存器J3的输出端Q3等于0,然后,与门的输出为0,选择器M3的输出此时等于Q1,即选择器M3的输出为0,选择器M1的输出为0,此时寄存器J1的输出Q也是0。

[0068] 如果异步复位信号变为1,寄存器J2的时钟端C1为1,Q1等于D1,即Q1等于1,Q1取反之后为0,M选择器M2的输出此时等于S22的值,所以D1变为0,然后,此时,时钟启动信号EN为0,系统时钟CLK为1,锁存器J3的输出端Q3保持前一状态的EN,即Q3等于0,然后,与门的输出为0,选择器M3的输出此时等于Q1,此时寄存器J1的时钟信号为高,寄存器J1的输出Q此时等于前一时刻的D,即等于1。

[0069] 而当时钟启动信号EN为有效电平的时候,其中,时钟启动信号EN为有效电平是指该时钟启动信号EN为高电平,即逻辑值为1,在系统时钟CLK为低电平的时候,锁存器J3输出的门使能信号Gate EN也为高电平,则在Gate EN也为高电平的情况下,与门的输出等于系统时钟,即门时钟Gateed CLK等于系统时钟CLK,则此时选择器M3将门时钟Gateed CLK作为第一时钟信号,输入至寄存器J1的时钟端C。

[0070] 图9对应的时序图如图10所示,由图10可以看出,门时钟在使能信号为低电平的时候,持续处于低电平的状态,无法作为寄存器J1的复位时钟将寄存器J1复位。而在第一时钟信号,即门时钟未使能的情况下,在复位信号由低电平变为高电平的上升沿的时候,寄存器J2的输出端Q1也由低电平变为高电平,即也触发了上升沿,而在该上升沿之前的时刻,寄存器J1的输入端D为低电平,则在输出端Q1上升沿的时候,寄存器J1的输出信号的逻辑值变为0,即被复位。在使能信号为高电平的时候,即使能信号有效的时间段内,在门时钟触发上升沿的时候,寄存器J1的输出信号的逻辑值变为0,即被复位。也就是说,在系统时钟的第7个时钟的时间段内,异步复位信号为低电平,而导致选择器M1的输出为0,即寄存器J1的输入端D为0,则在系统时钟的第8个时钟的上升沿的位置处,寄存器J1的输出信号等于该上升沿的前一时刻,即在系统时钟的第7个时钟的时间段内的D的取值,即等于0,从而被复位。

[0071] 因此,在使能信号未使能的时候,通过使用异步复位信号得到第二时钟信号,使得同步复位时序电路能够根据第二时钟信号进行复位,并且从上述时序图可以看出,在异步复位信号为低电平的时候,异步复位时序电路被复位,而在该异步复位信号被拉高的时刻,同步复位时序电路被复位,从而使得异步复位时序电路和同步复位时序电路即使在第一时钟信号未使能的时候,依然可以相继被复位。

[0072] 请参阅图11,其示出了本申请实施例提供的一种复位方法,该复位方法应用于上述时钟系统,作为一种实施方式,该方法应用于上述的复位装置,具体地,该方法包括:S1101至S1103。

[0073] S1101:在检测到所述系统时钟电路未输出第一时钟信号时,获取异步复位信号。

[0074] 其中,所述异步复位信号用于对所述异步复位时序电路执行复位操作,所述第一时钟信号用于触发所述同步复位电路执行复位操作。

[0075] 作为一种实施方式,在检测到所述系统时钟电路未输出第一时钟信号时,获取异步复位信号的实施方式可以是,在选择开关检测到所述系统时钟电路未输出第一时钟信号时,将所述系统时钟电路与所述时钟信号输入端截止,将所述时钟生成电路与所述时钟信号输入端导通,并获取异步复位信号。在选择开关检测到所述系统时钟电路输出第一时钟

信号时,将所述系统时钟电路与所述时钟信号输入端导通,将所述时钟生成电路与所述时钟信号输入端截止。

[0076] S1102:根据所述异步复位信号生成第二时钟信号。

[0077] 其中,所述第二时钟信号用于触发所述同步复位电路执行复位操作。

[0078] 作为一种实施方式,所述异步复位信号为在第一电平和第二电平之间交替变换的信号,所述同步复位时序电路用于在输入所述时钟信号输入端的信号为指定电平或发生电平变化时执行复位操作,所述指定电平为第一电平或第二电平,根据所述异步复位信号生成第二时钟信号的实施方式可以是,将所述异步复位信号作为所述第二时钟信号。

[0079] 作为另一种实施方式,所述异步复位信号为在第一电平和第二电平之间交替变换的信号,所述同步复位时序电路用于在输入所述时钟信号输入端的信号由第一电平变为第二电平时执行复位操作。根据所述异步复位信号生成第二时钟信号的实施方式可以是,在检测到所述异步复位信号由第二电平变为第一电平时,生成在第一时间长度内保持在第一电平的信号;在检测到所述异步复位信号由第一电平变为第二电平时,生成在第二时间长度内第二电平的信号,所述时钟生成电路生成的在第一电平和第二电平之间交替变换的信号作为第二时钟信号。

[0080] 在一些实施例中,所述赋值电路在所述异步复位信号为第二电平时,输出第一信号,所述第一信号为第一电平的信号;所述触发器在所述时钟端接收到的所述异步复位信号由第二电平变为第一电平时,输出的信号等于第一信号,且在所述时钟端接收到的所述异步复位信号由第一电平变为第二电平时,输出的信号等于所述第一信号取反后的信号。

[0081] S1103:将所述第二时钟信号输入至所述时钟信号输入端,以触发所述同步复位电路执行复位操作。

[0082] 请参考图12,其示出了本申请实施例提供的一种时钟系统,该时钟系统100可以是上述的SOC,也可以是其他的使用时钟信号的电路系统。作为一种实施方式,该时钟系统可以至少布置在一个芯片上。如图12所示,时钟系统100包括异步复位时序电路320、同步复位时序电路330、系统时钟电路310以及复位装置400,所述系统时钟电路310与所述同步复位电路330的时钟信号输入端连接,时钟生成电路与所述时钟信号输入端连接。

[0083] 具体地,上述的异步复位时序电路320、同步复位时序电路330、系统时钟电路310以及复位装置400的具体实施方式可以参考前述实施例,在此不再赘述。

[0084] 请参考图13,其示出了本申请实施例提供的一种电子设备的结构框图。该电子设备10可以是智能手机、平板电脑、电子书等能够运行应用程序的电子设备。本申请中的电子设备10可以包括设备本体11和时钟系统100,该时钟系统100设置于设备本体11内。其中,所述设备本体11包括壳体及设置在所述壳体上的主显示屏。所述壳体可采用金属、如钢材、铝合金制成。本实施例中,所述主显示屏通常包括显示面板,也可包括用于响应对所述显示面板进行触控操作的电路等。在一些实施例中,所述显示面板同时为一个触摸屏。作为一种实施方式,该时钟系统100设置于壳体内。具体地,电子设备的主板位于壳体,时钟系统100设置在电子设备的主板上。

[0085] 另外,电子设备还可以包括处理器、存储器、以及一个或多个应用程序,其中一个或多个应用程序可以被存储在存储器中并被配置为由一个或多个处理器执行,一个或多个程序配置用于执行如前述方法实施例所描述的方法。

[0086] 处理器可以包括一个或者多个处理核。处理器利用各种接口和线路连接整个电子设备100内的各个部分,通过运行或执行存储在存储器内的指令、程序、代码集或指令集,以及调用存储在存储器内的数据,执行电子设备100的各种功能和处理数据。可选地,处理器可以采用数字信号处理(Digital Signal Processing,DSP)、现场可编程门阵列(Field-Programmable Gate Array,FPGA)、可编程逻辑阵列(Programmable Logic Array,PLA)中的至少一种硬件形式来实现。处理器可集成中央处理器(Central Processing Unit,CPU)、图像处理(Graphics Processing Unit,GPU)和调制解调器等中的一种或几种的组合。其中,CPU主要处理操作系统、用户界面和应用程序等;GPU用于负责显示内容的渲染和绘制;调制解调器用于处理无线通信。可以理解的是,上述调制解调器也可以不集成到处理器中,单独通过一块通信芯片进行实现。

[0087] 存储器可以包括随机存储器(Random Access Memory,RAM),也可以包括只读存储器(Read-Only Memory)。存储器可用于存储指令、程序、代码、代码集或指令集。存储器可包括存储程序区和存储数据区,其中,存储程序区可存储用于实现操作系统的指令、用于实现至少一个功能的指令(比如触控功能、声音播放功能、图像播放功能等)、用于实现下述各个方法实施例的指令等。存储数据区还可以存储电子设备100在使用中所创建的数据(比如电话本、音视频数据、聊天记录数据)等。

[0088] 请参考图14,其示出了本申请实施例提供的一种计算机可读存储介质的结构框图。该计算机可读介质1300中存储有程序代码,所述程序代码可被处理器调用执行上述方法实施例中所描述的方法。

[0089] 计算机可读存储介质1300可以是诸如闪存、EEPROM(电可擦除可编程只读存储器)、EPROM、硬盘或者ROM之类的电子存储器。可选地,计算机可读存储介质1300包括非易失性计算机可读介质(non-transitory computer-readable storage medium)。计算机可读存储介质1300具有执行上述方法中的任何方法步骤的程序代码1310的存储空间。这些程序代码可以从一个或者多个计算机程序产品中读出或者写入到这一个或者多个计算机程序产品中。程序代码1310可以例如以适当形式进行压缩。

[0090] 最后应说明的是:以上实施例仅用以说明本申请的技术方案,而非对其限制;尽管参照前述实施例对本申请进行了详细的说明,本领域的普通技术人员当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不驱使相应技术方案的本质脱离本申请各实施例技术方案的精神和范围。

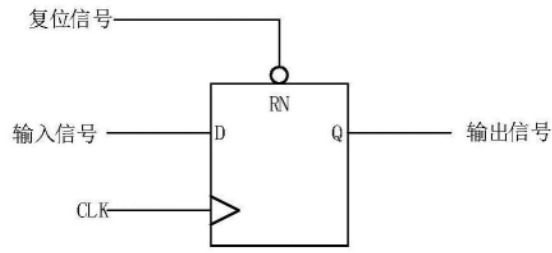


图1

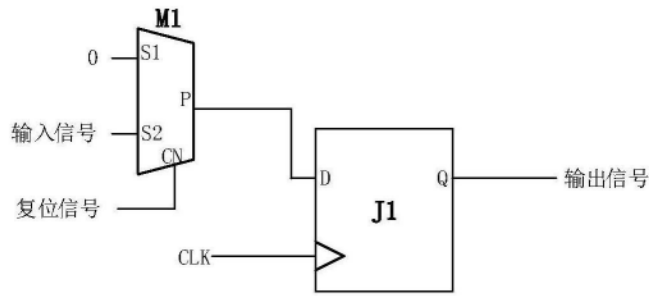


图2

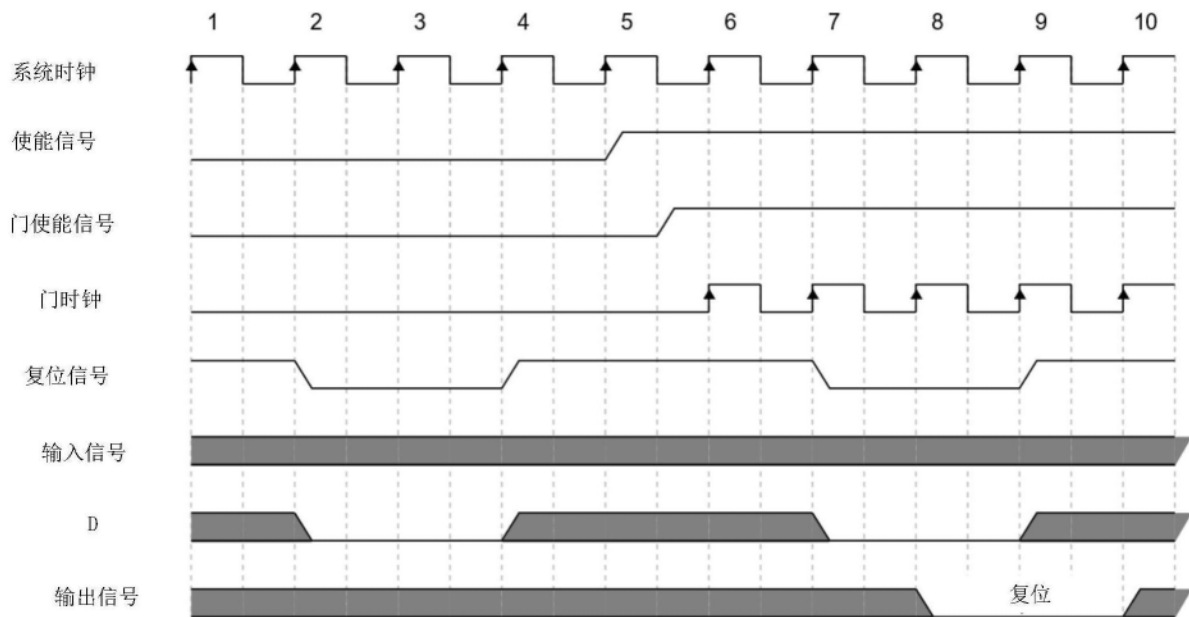


图3



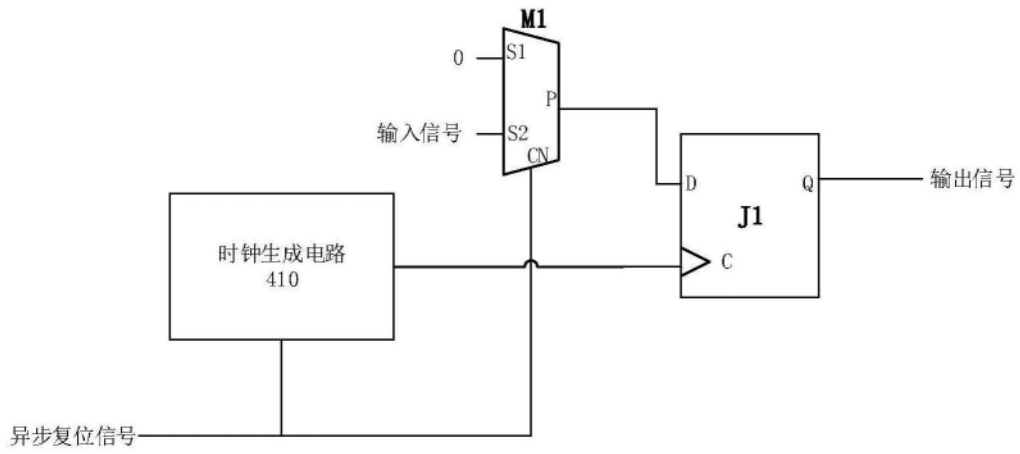


图4

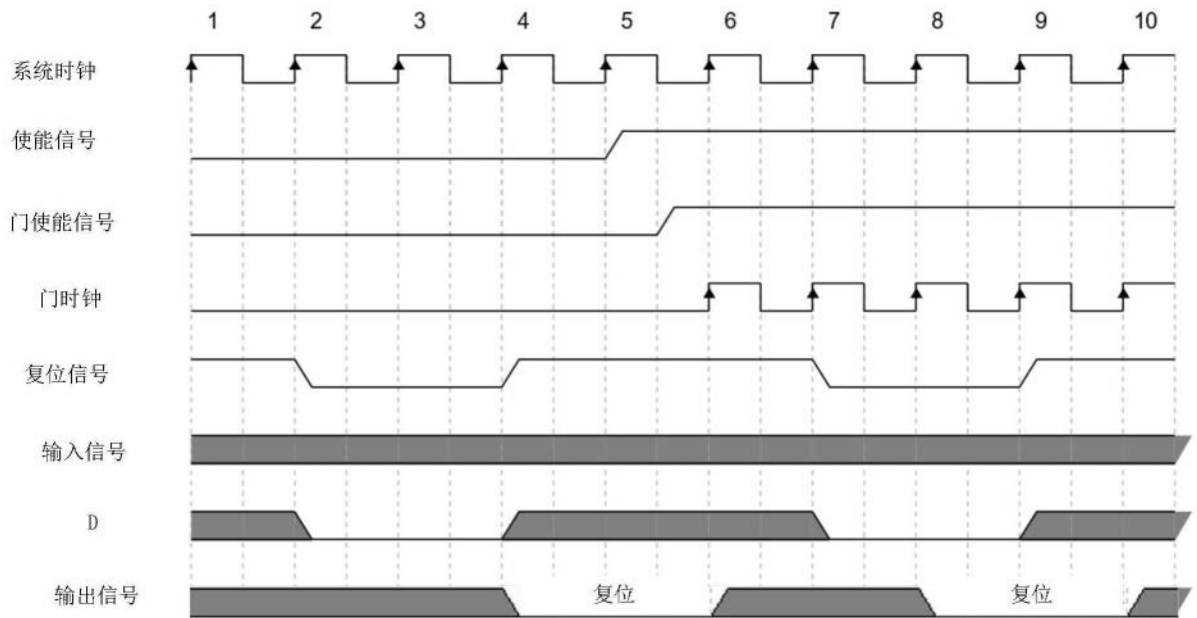


图5

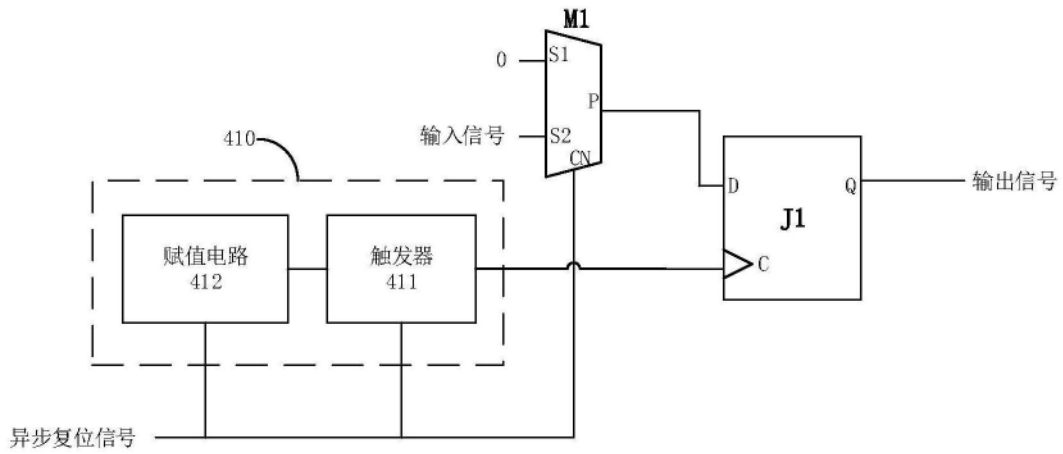


图6

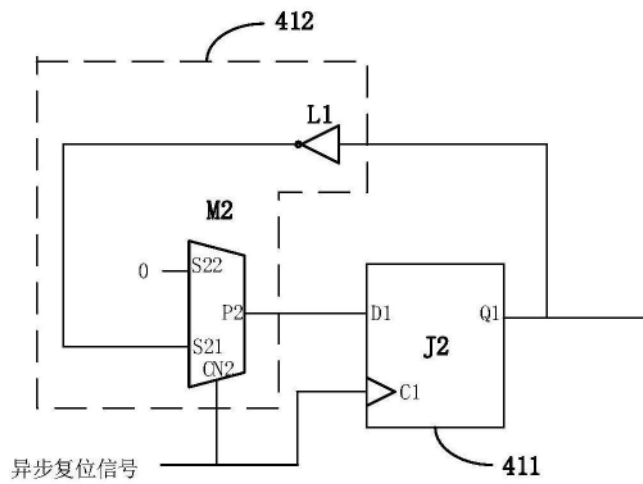


图7

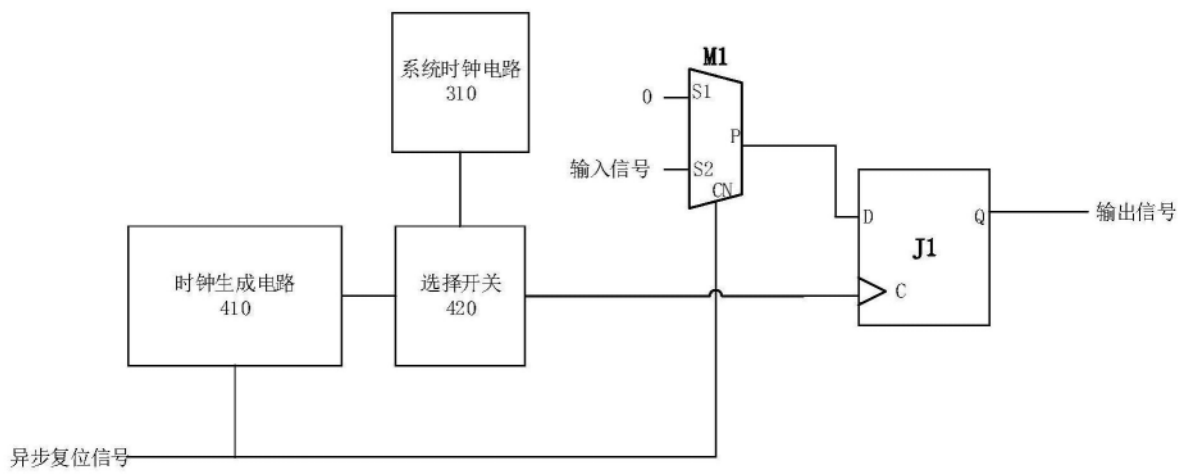


图8

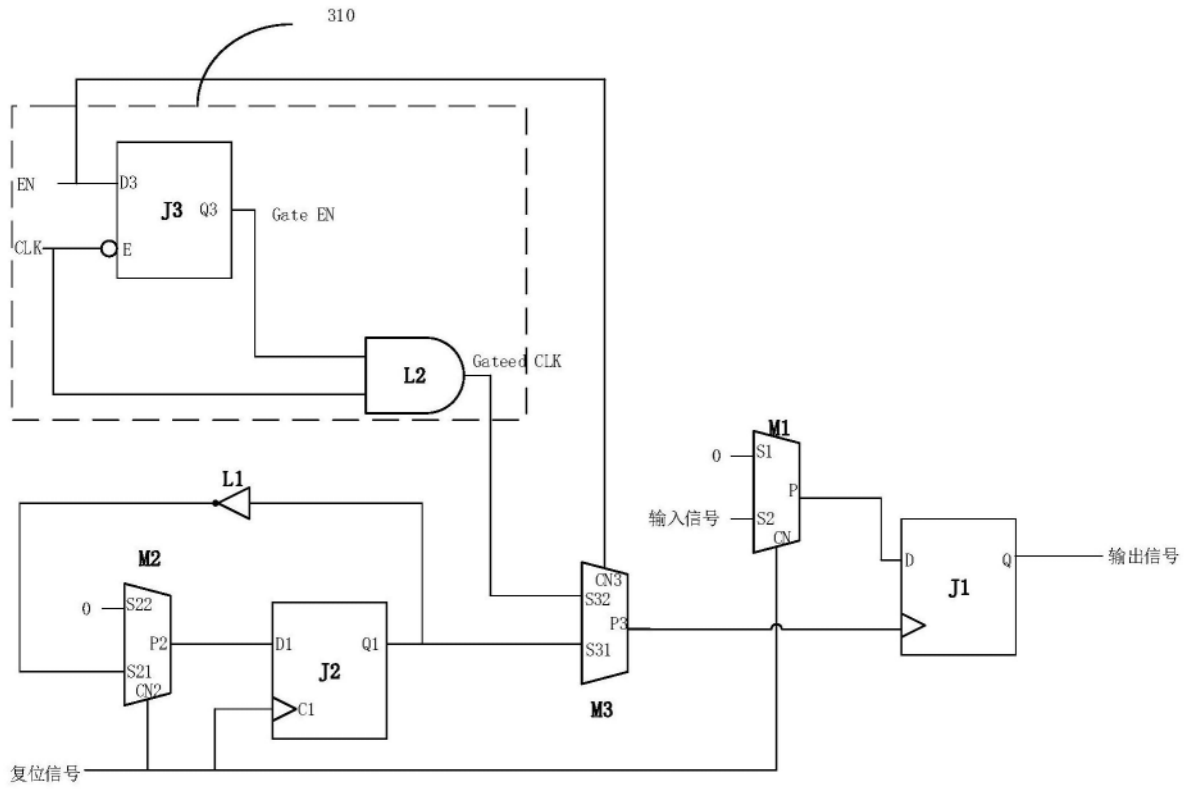


图9

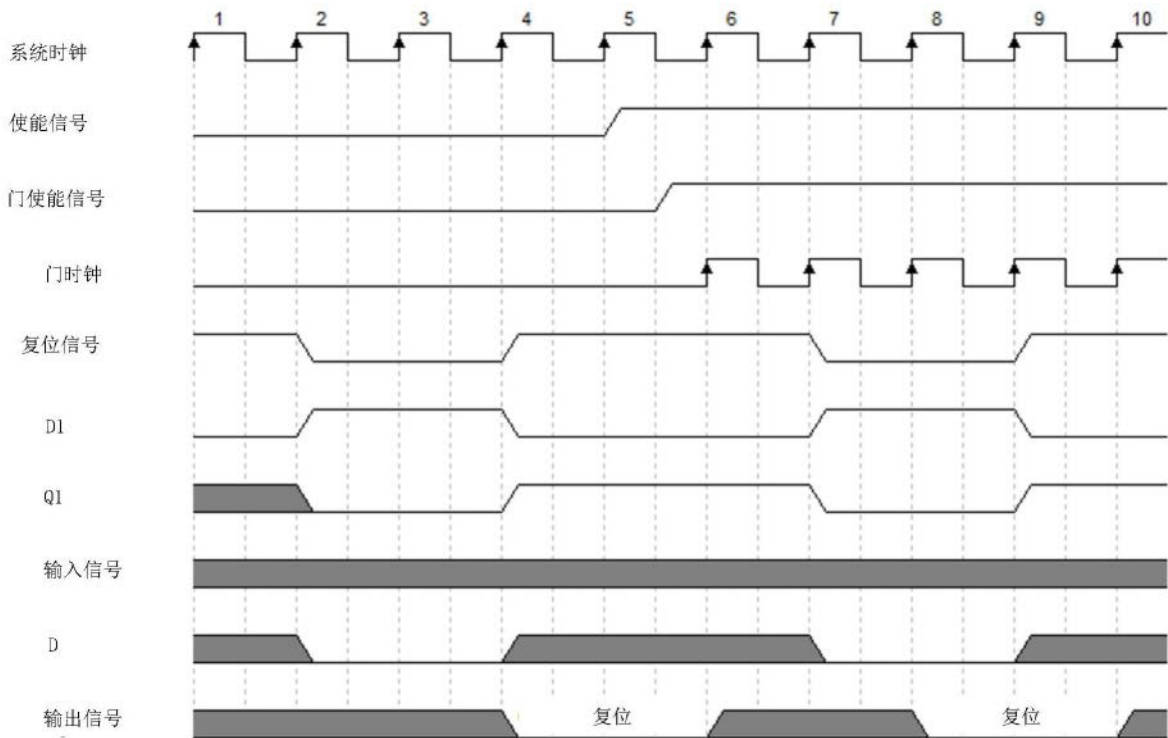


图10

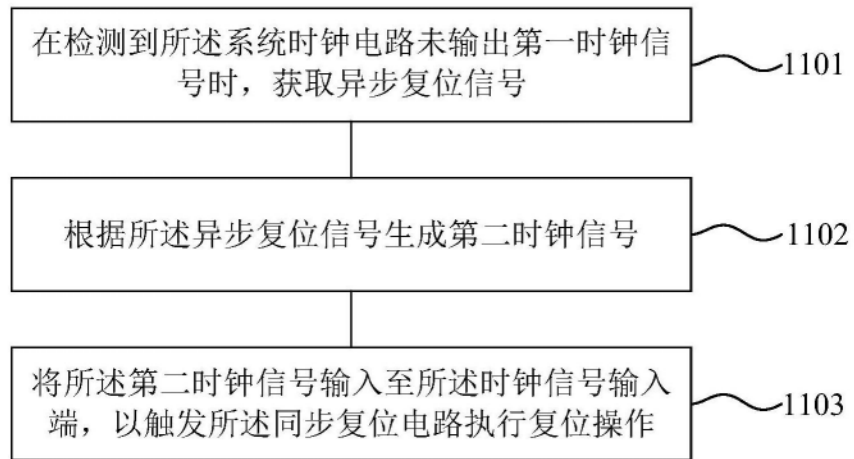


图11

100

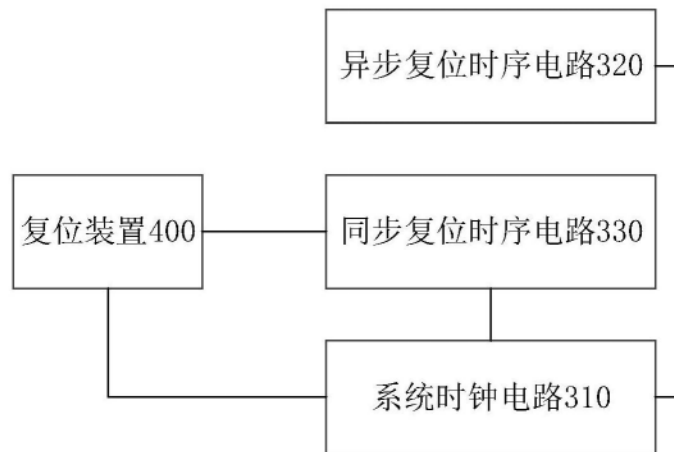


图12

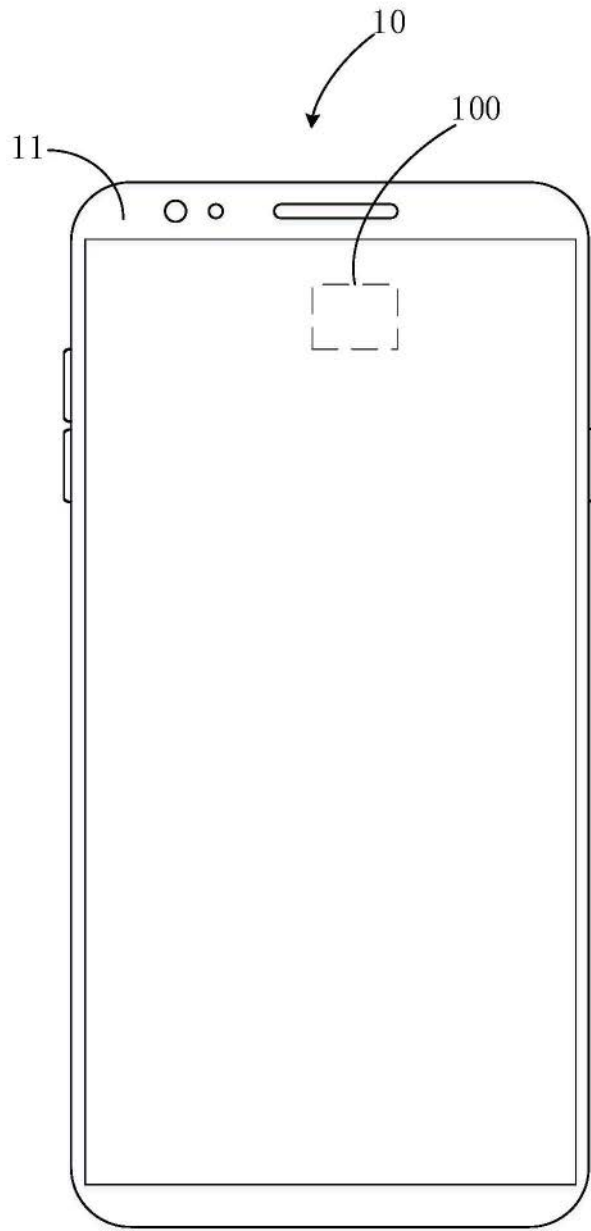


图13

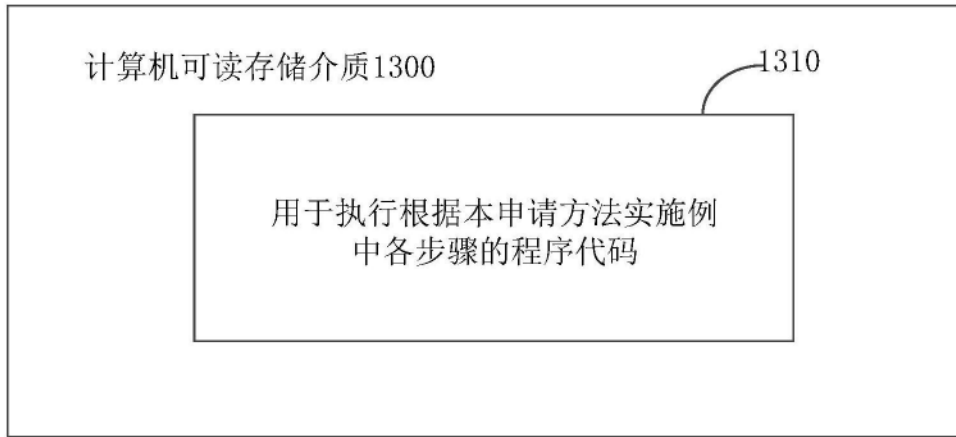


图14