



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0094466
(43) 공개일자 2012년08월24일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
(21) 출원번호 10-2012-7004736
(22) 출원일자(국제) 2010년08월27일
심사청구일자 없음
(85) 번역문제출일자 2012년02월23일
(86) 국제출원번호 PCT/US2010/047039
(87) 국제공개번호 WO 2011/031563
국제공개일자 2011년03월17일
(30) 우선권주장
12/548,841 2009년08월27일 미국(US)

(71) 출원인
비웨이-실리코닉스
미국 95054 캘리포니아주 산타 클라라 로렐우드
로드 2201
(72) 발명자
가오, 양
미국 캘리포니아 95134, 산호세, 85 리오 로블스
이스트 에이퍼터.3316
테릴, 카일
미국 캘리포니아 95050, 산타 클라라, 런던베리
드라이브 3385
(뒷면에 계속)
(74) 대리인
특허법인세림

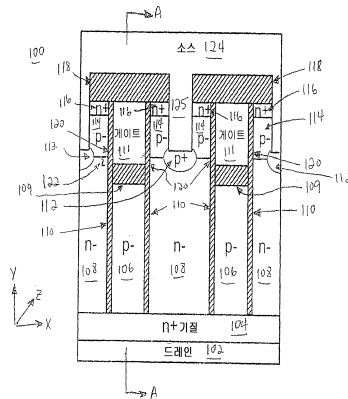
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 초집합 트렌치 전력 MOS펫 장치

(57) 요약

초집합 트렌치 전력 MOSFET(금속 산화물 반도체 전계효과 트랜지스터) 장치에서, 초집합의 p-유형 도펀트의 컬럼(column)이 산화물의 제1 컬럼(column)에 의해 n-유형 도펀트의 제1 컬럼(column)으로부터 그리고 산화물의 제2 컬럼에 의해 n-유형 도펀트의 제2 컬럼(column)으로부터 분리된다. n-채널(n-channel) 장치에서, FET를 위한 게이트 요소가 유리하게 p-유형 도펀트의 컬럼(column) 위에 위치한다; 그리고 p-채널(p-channel) 장치에서, FET를 위한 게이트 요소가 유리하게 n-유형 도펀트의 컬럼(column) 위에 위치한다.

대표도 - 도1



(72) 발명자

팻트아나야크, 데바

미국 캘리포니아 95070, 사라토가, 브룩헤븐 드라이브 19123

첸, 쿠오-인

미국 캘리포니아 94024, 로스 알토스, 뉴캐슬 드라이브 1673

차우, 더-투

미국 캘리포니아 95132, 산호세, 엘 그란데 드라이브 3605

시, 샤론

미국 캘리포니아 95123, 산호세, 노요 드라이브 167

첸, 쿠페이

미국 캘리포니아 95129, 산호세, 도일 로드 798

특허청구의 범위

청구항 1

제1 유형 도펀트의 채널을 가지는 초접합 트렌치 전력 금속 산화물 반도체 전계효과 트랜지스터(super junction trench power MOSFET(metal oxide semiconductor field effect transistor)) 장치로서,

상기 장치는:

상기 제1 유형 도펀트의 제1 컬럼(column)으로부터 제2 유형 도펀트의 컬럼을 분리하는 절연 물질(insulating material)을 포함하는 제1 컬럼;

상기 제1 유형 도펀트의 제2 컬럼(column)으로부터 상기 제2 유형 도펀트의 상기 컬럼을 분리하는 절연 물질(insulating material)을 포함하는 제2 컬럼; 및

전계효과 트랜지스터를 위한 게이트 요소;를 포함하며, 상기 게이트 요소는 절연물질의 상기 제1 컬럼 및 절연 물질의 상기 제2 컬럼 사이에 정렬되어 있는 초접합 트렌치 전력 MOSFET 장치.

청구항 2

제1항에 있어서,

상기 제2 유형 도펀트의 상기 제2 컬럼으로부터 상기 게이트 요소를 분리하는 소자분리막(isolation layer)을 더 포함하는 초접합 트렌치 전력 MOSFET 장치.

청구항 3

제1항에 있어서,

상기 제1 유형 도펀트가 n-유형 도펀트일 때 상기 제2 유형 도펀트는 p-유형 도펀트를 포함하며, 상기 제1 유형 도펀트가 p-유형 도펀트를 포함하면 상기 제2 유형 도펀트는 n-유형 도펀트를 포함하는 초접합 트렌치 전력 MOSFET 장치.

청구항 4

제1항에 있어서,

상기 제2 유형 도펀트의 상기 컬럼에서 전기적으로 단락되는 소스 금속의 층을 더 포함하는 초접합 트렌치 전력 MOSFET 장치.

청구항 5

제4항에 있어서,

상기 게이트 요소 및 인접한 게이트 요소 사이에 형성된 트렌치를 더 포함하며, 상기 소스 금속이 상기 트렌치를 채우는 초접합 트렌치 전력 MOSFET 장치.

청구항 6

제5항에 있어서,

상기 게이트 요소 및 상기 트렌치 사이에 배치된 상기 제2 유형 도펀트의 바디 영역 및 제1 유형 도펀트의 소스 영역을 더 포함하는 초접합 트렌치 전력 MOSFET 장치.

청구항 7

제5항에 있어서,

상기 트렌치는 상기 제1 유형 도펀트의 상기 제1 컬럼의 세로축에 정렬되는 초접합 트렌치 전력 MOSFET 장치.

청구항 8

제7항에 있어서,

상기 트렌치는 상기 제2 유형 도펀트의 영역에 의해 상기 제1 유형 도펀트의 상기 제1 컬럼으로부터 분리되는 초접합 트렌치 전력 MOSFET 장치.

청구항 9

제1 유형 도펀트의 채널을 가지는 반도체 장치로서,

상기 반도체 장치는

상기 제1 유형 도펀트의 기질;

상기 기질에 연결되고 상기 제1 유형 도펀트의 제1 컬럼 영역(columnar first region) 및 상기 제1 유형 도펀트의 제2 컬럼 영역(columnar second region) 사이에 배치된 제2 유형 도펀트의 컬럼 영역을 포함하는 초접합 구조물(super junction structure) (상기 제2 유형 도펀트의 상기 영역이 제1 소자분리막(isolation layer)에 의해 상기 제1 유형 도펀트의 상기 제1 컬럼 영역으로부터 분리되고 제2 소자분리막에 의해 상기 제1 유형 도펀트의 상기 제2 컬럼 영역으로부터 분리된다) ; 및

상기 초접합 구조물에 연결되고 게이트 요소를 포함하는 전계효과 트랜지스터(field effect transistor) (상기 게이트 요소는 상기 제2 유형 도펀트의 상기 컬럼 영역의 세로축에 정렬된다); 를 포함하는 반도체 장치.

청구항 10

제9항에 있어서,

상기 제2 유형 도펀트의 상기 컬럼 영역으로부터 상기 게이트 요소를 분리하는 산화물층을 더 포함하는 반도체 장치.

청구항 11

제9항에 있어서,

상기 제2 유형 도펀트의 상기 컬럼 영역에서 전기적으로 단락되는 소스 금속의 층을 더 포함하는 반도체 장치.

청구항 12

제11항에 있어서,

상기 게이트 요소 및 인접하는 게이트 요소 사이에 형성된 트렌치를 더 포함하고, 상기 소스 금속이 상기 트렌치를 채우는 반도체 장치.

청구항 13

제12항에 있어서,

상기 게이트 요소 및 상기 트렌치 사이에 배치된 상기 제2 유형 도펀트의 바디 영역 및 상기 제1 유형 도펀트의 소스 영역을 더 포함하는 반도체 장치.

청구항 14

제12항에 있어서,

상기 트렌치는 상기 제1 유형 도펀트의 상기 제1 컬럼 영역의 세로축에 정렬되는 반도체 장치.

청구항 15

제1 유형 도펀트의 채널을 가지는 반도체 장치로서,

상기 제1 유형 도펀트의 기질;

상기 기질에 연결되고 상기 제1 유형 도펀트의 제1 영역 및 상기 제1 유형 도펀트의 제2 영역 사이에 배치되는 제2 유형 도펀트의 영역을 포함하는 초접합 구조물(super junction structure) (상기 제2 유형 도펀트의

상기 영역 및 상기 제1 유형 도펀트의 상기 제1 및 제2 영역은 각각 제2 치수보다 큰 제1 치수를 가지며, 상기 제1 치수는 제1 방향에서 측정되고, 상기 제2 치수는 상기 제1 방향과 수직인 제2 방향에서 측정된다);

게이트 요소를 포함하는 전계효과 트랜지스터(field effect transistor), (상기 제2 유형 도펀트의 상기 영역이 상기 제1 방향에서 상기 게이트 요소 및 상기 기질과 일렬이다); 및

상기 제1 및 제2 방향 모두와 수직인 제3 방향에서 상기 제2 유형 도펀트의 상기 영역에서 전기적으로 단락되는 소스 금속의 층;을 포함하는 반도체 장치.

청구항 16

제15항에 있어서,

상기 제2 유형 도펀트의 상기 영역이 제1 소자분리막(isolation layer)에 의해 상기 제1 유형 도펀트의 상기 제1 영역으로부터 분리되고 제2 소자분리막에 의해 상기 제1 유형 도펀트의 상기 제2 영역으로부터 분리되는 반도체 장치.

청구항 17

제15항에 있어서,

상기 제2 유형 도펀트의 상기 영역으로부터 상기 게이트 요소를 분리하는 산화물층을 더 포함하는 반도체 장치.

청구항 18

제15항에 있어서,

상기 게이트 요소 및 인접하는 게이트 요소 사이에 형성된 트렌치를 더 포함하고, 상기 소스 금속이 상기 트렌치를 채우는 반도체 장치.

청구항 19

제18항에 있어서,

상기 게이트 요소 및 상기 트렌치 사이에 배치되는 상기 제2 유형 도펀트의 바디 영역 및 상기 제1 유형 도펀트의 소스 영역을 더 포함하는 반도체 장치.

청구항 20

제18항에 있어서,

상기 제1 유형 도펀트의 상기 제1 영역이 상기 제1 방향에서 상기 트렌치 및 상기 기질 사이에서 일렬인 반도체 장치.

명세서

기술분야

[0001]

상호 참조

[0002]

본 출원은 본 출원의 양도인에 의해 양도된, Gao 등에 의한, "초접합 트렌치 전력 MOSFET 장치 제조"라는 제목 하의, 2009년 8월 27일에 출원된, 출원 중인 미국특허출원번호 12/549,190에 관한 것이다.

[0003]

본 문서에 따른 구체에는 일반적으로 반도체 장치에 관한 것이다.

배경기술

[0004]

전력을 보전하기 위하여, 예를 들면, DC-DC 변환기에서 사용되는 트랜지스터에서 전력 손실을 감소시키는 것이 중요하다. 금속 산화물 반도체 전계효과 트랜지스터(MOSFET) 장치에서, 그리고 특히 전력 MOSFET로 알려져

있는 MOSFET 계에서, 장치의 온-저항(on-resistance)(Rdson)을 감소시켜서 전력 손실을 줄일 수 있다.

[0005] 항복전압(breakdown voltage)은 역방향 전압(reverse voltage) 상태 하에서 파괴(breakdown)를 견뎌내는 장치의 능력을 나타낸다. 항복전압이 Rdson와 역관계에 있기 때문에, Rdson가 감소하면 항복전압(breakdown voltage)이 불리하게 영향을 받는다. 이 문제를 다루기 위하여, 장치의 활성영역(active region) 아래의 교대로 존재하는 p-유형 영역 및 n-유형 영역을 포함하는, 초접합(super junction; SJ) 전력 MOSFET가 도입되었다. SJ 전력 MOSFET의 교대로 존재하는 p-유형 및 n-유형 영역이 전하 균형(charge balance)에 이상적이어서($Q_p = Q_n$) 역방향 전압(reverse voltage) 조건 하에서 서로 이 영역이 고갈되고, 그로 인하여 장치가 더 잘 파괴(breakdown)를 견뎌낼 수 있게 된다.

발명의 내용

[0006] 비록 종래의 SJ 전력 MOSFET이 상술한 것과 같은 이점을 제공하더라도, 개선의 여지가 있다. 예를 들면, 종래의 SJ 트렌치 전력 MOSFET 장치에서, 제작하는 동안 장치가 가열될 때 초접합(super junction)을 형성하는 p-유형 컬럼(p-type column) 및 n-유형 컬럼(n-type column)이 서로로 확산할 수도 있다; 이 확산(diffusion)은 항복전압(breakdown voltage)을 감소시킬 것이다. 또한, p-유형 컬럼(p-type column)이 플로팅(floating)해서 p-유형 컬럼(column)의 캐리어가 빨리 제거될 수 없고, 따라서 종래의 SJ 트렌치 전력 MOSFET 장치가 일반적으로 고속 회로(high speed circuit)에서 사용하기에 부적절한 것으로 여겨진다. 게다가, 능동 장치의 밀도는 각 트렌치 게이트의 배치에 의해 종래의 SJ 트렌치 전력 MOSFET 장치에서 제한된다; 예를 들면, 종래의 n-채널(n-channel) 장치에서, 트렌치 게이트가 2개의 p-유형 컬럼(column) 사이에 위치한다(다시 말하면, 게이트는 n-유형 컬럼(column) 위에 위치한다).

[0007] 본 발명에 따른 일 구체예에서, SJ 트렌치 전력 MOSFET 장치는 교대로 존재하는(alternating) p-유형 도펀트 및 n-유형 도펀트의 컬럼(column)을 포함하는 초접합을 포함한다. 예를 들면, 초접합은, 한쪽에, 산화물의 제 1 컬럼(column) (또는 층)에 의해 n-유형 도펀트의 제1 컬럼(column)으로부터 분리되고, 다른 쪽에서, 산화물의 제2 컬럼(column) (또는 층)에 의해 n-유형 도펀트의 제2 컬럼(column)으로부터 분리되는 p-유형 도펀트의 컬럼(column)을 포함한다. 제작하는 동안 장치가 가열될 때 산화물층이 인접한 n-유형 컬럼 및 p-유형 컬럼이 서로로 확산하지 못하게 한다. 그러므로, 산화물층은 항복전압(breakdown voltage)이 제작 과정에 의해 불리하게 영향을 받는 것을 방지할 수 있다.

[0008] 다른 구체예에서, n-채널(n-channel) 장치에서, 초접합의 p-유형 컬럼(column)이 픽업(pick up)되고 소스에서 단락되어서, 결과물인 바디 다이오드가 온(on)에서 오프(off)로 전환될 때 p-유형 컬럼(column)의 캐리어가 급속하게 유실되고; p-채널(p-channel) 장치에서, 초접합의 n-유형 컬럼(column)이 픽업(pick up)되고 유사하게 유리하게 소스에서 단락된다. 그러므로, 이 특징을 가진 SJ 트렌치 전력 MOSFET 장치가 고속 회로(high speed circuit)에서의 사용에 더 적합하다.

[0009] 다른 구체예에서, n-채널(n-channel) 장치에서, FET를 위한 게이트 요소(예를 들면, 트렌치 게이트)가 n-유형 도펀트의 컬럼 위 대신에 초접합의 p-유형 도펀트의 컬럼(column) 위에 위치한다. p-유형 컬럼(column)과 트렌치 게이트를 정렬하여, n-유형 컬럼(column)의 너비가 감소할 수 있다. p-채널(p-channel) 장치에서는, FET를 위한 게이트 요소가 p-유형 도펀트의 컬럼(column) 위 대신에 초접합의 n-유형 도펀트의 컬럼(column) 위에 위치하여 p-유형 컬럼(column)의 너비가 감소할 수 있다. 그러므로, 트렌치 게이트가 서로 가깝게 위치할 수 있어, 셀 밀도가 증가하며, 이는 또한 SJ 트렌치 전력 MOSFET 장치의 온 저항(on-resistance)(Rdson)을 더 감소시키는 효력을 가진다.

[0010] 또 다른 구체예에서, SJ 트렌치 전력 MOSFET 장치는 각각의 상술한 특징을 통합한다.

[0011] 기술분야의 숙련자가, 다음의 다양한 도면에서 설명하는, 다음의 상세한 설명을 읽고 본 발명의 이들 및 기타 목적 및 장점을 인지할 수 있을 것이다.

도면의 간단한 설명

[0012] 본 명세서의 일부로 통합되는 또한 본 명세서의 일부를 형성하는, 동반된 도면은 본 발명의 구체예를 설명하며, 상세한 설명과 함께, 본 발명의 원리를 설명하는 역할을 한다. 도면 및 명세서를 통하여 동일한 번호는 동일한 요소를 표시한다.

도 1 및 2는 본 발명의 구체예에 따른 반도체 장치의 구성요소를 도시하는 단면도이다.

도 3a, 3b 및 3c는 본 발명의 구체예에 따른 반도체 장치의 제작에서 이용되는 과정의 순서도를 도시한다.

도 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 및 25는 본 발명의 구체예에 따른 반도체 장치의 제작의 선택된 단계를 도시하는 단면도이다.

도 26은 본 발명의 다른 구체예에 따른 반도체 장치의 구성요소를 도시하는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 본 발명의 다음의 상세한 설명에서, 수많은 특정한 세부사항은 본 발명을 철저히 이해하기 위하여 제시된다. 그러나, 기술분야의 숙련자에 의해 본 발명이 이런 특정한 세부사항 없이 또는 그 동등안으로 실행될 수도 있다고 인식될 것이다. 다른 경우, 본 발명의 측면을 불필요하게 불명료하지 않게 하기 위해 공지된 방법, 절차, 구성요소 및 회로는 상세히 기술되지 않았다.
- [0014] 다음의 상세한 설명의 일부 부분은 반도체 장치를 제조하기 위한 작업의 절차, 논리 블록(logic block), 프로세스, 및 다른 상징적인 표현의 측면에서 제공된다. 이 설명 및 표현은 효과적으로 기술분야의 숙련자가 그들의 대부분의 작업을 전달하기 위해 반도체 장치 제작의 기술분야의 숙련자에 의해 이용될 수단이다. 본 출원에서, 절차, 논리 블록(logic block), 프로세스 등등은 원하는 결과를 유도하는 단계 또는 지시의 일관된 순서(self-consistent sequence)로 생각된다. 단계는 물리량의 물리적 조작을 요구하는 것이다. 그러나, 모든 이런 용어 및 유사한 용어는 적당한 물리량과 연관될 것이고 이 양에 적용된 단지 편리한 수준임을 명심해야 한다. 특히 다음의 논의에서 명백하게 다르게 기재되지 않으며, 본 출원에 걸쳐서, "형성하는", "수행하는", "생성하는", "증착하는", "에칭하는" 등과 같은 이용된 용어를 이용하는 논의는 반도체 장치 제작의 활동 및 과정(예를 들면, 도 3a, 3b 및 3c의 순서도 300)에 관한 것이다.
- [0015] 도면은 일정한 비율로 도시된 것이 아니며, 구조의 일부만, 또한 이런 구조를 형성하는 다양한 층이 도면이 도시될 수 있다. 게다가, 제작 과정과 단계는 여기에서 논의된 과정 및 단계에 따라 실행될 수도 있다; 다시 말하면, 여기에 도시되고 기술된 단계의 앞에, 중간 및/또는 후에 다수 과정 단계가 있을 수도 있다. 중요한 사실은, 본 발명에 따른 구체예는 이 다른 (아마 종래의) 과정 및 단계를 교란시키지 않고 이들과 함께 실행될 수 있다. 일반적으로 말하자면, 본 발명에 따른 구체예는 지엽적인 프로세스 및 단계에 상당히 영향을 주지 않고 종래의 과정의 일부를 대체할 수 있다.
- [0016] 여기에 사용된 것과 같이, 문자 "n"은 n-유형 도펀트를 의미하며, 문자 "p"는 p-유형 도펀트를 의미한다. 플러스 기호 "+" 또는 마이너스 기호 "-"는 각각 도펀트의 상대적으로 높은 또는 상대적으로 낮은 농도를 나타내는 것으로 사용된다.
- [0017] 용어 "채널(channel)"은 여기서 받아들여진 방식(accepted manner)으로 사용된다. 다시 말하면, 전류는 소스 연결부(source connection)에서 드레인 연결부(drain connection)로, 채널의 FET 내에서 움직인다. 채널은 n-유형 또는 p-유형 반도체 물질로 만들 수 있다; 그러므로, FET는 n-채널(n-channel) 또는 p-채널(p-channel) 장치로 지정된다. 도 1~25는 n-채널(n-channel) 장치의 맥락에서, 특히 n-채널(n-channel) 초접합 MOSFET을 논의한다; 그러나, 본 발명에 따른 구체예는 이에 한정되지 않다. 다시 말하면, 여기에 기술된 특징은 하기에 더 기술된, 도 26에 도시된 것처럼 p-채널(p-channel) 장치에서 이용될 수 있다. 도 1~25에 대한 설명은 대응하는 p-유형 도펀트 및 물질에 있어 n-유형 도펀트 및 물질을 대신하여 p-채널 장치로 용이하게 또한 반대로 맵핑될 수 있다.
- [0018] 도 1은 본 발명의 구체예에 따른 반도체 장치(100) (예를 들면, n-채널(n-channel) SJ 트랜치 전력 MOSFET 장치)의 구성요소를 도시하는 단면도이다. 장치(100)는 n+ 드레인층 또는 기질(104)의 바닥면에 드레인 전극(102)을 포함한다.
- [0019] 기질(104) 위에 교대로 존재하는 p-드리프트 영역(p-drift region) 또는 p-유형 컬럼(column)(106) 및 n-드리프트 영역(n-drift region) 또는 n-유형 컬럼(column)(108)이 위치한다. 교대로 존재하는 p-유형 (p-) 컬럼(106) 및 n-유형 (n-) 컬럼(108)이 초접합으로 공지된 것을 형성한다. 두드러지게, p-유형 도펀트의 컬럼(106)이 소자분리막(isolation layer) 또는 컬럼(110)에 의해 (예를 들면, 유전층/컬럼 또는 산화물에 의해) n-유형 도펀트의 인접한 컬럼(108)으로부터 분리된다. 제작하는 동안 구조물이 가열될 때 소자분리막(isolation layer; 110)은 n-유형 컬럼(106) 및 p-유형 컬럼(108)이 서로로 확산되는 것을 막는다. 그러므로, 소자분리막(110)은 항복전압(breakdown voltage)이 제작 과정에 의해 불리하게 영향을 받는 것을 방지할 수 있다.

- [0020] 또한 중요하게, 도 1의 예에서, 각 p-유형 컬럼(106)은 각각 폴리실리콘(polysilicon) (폴리) 트렌치 게이트(111)의 아래에 위치한다(게이트 폴리(111)). 일반적으로 말하자면, 각 트렌치 게이트(111)는 인접한 소자분리막(110) 사이에 그리고 대응하는 p-유형 컬럼(106)의 위에 정렬된다. 특히, 각 트렌치 게이트(111)가 대응하는 p-유형 컬럼(106)의 세로축을 따라 정렬되며(도 1의 방향에서, 세로축은 p-유형 컬럼 내의 수직선이다) - 일 구체예에서, 트렌치 게이트(111)의 세로축은 p-유형 컬럼(106)의 세로축과 일치해서 트렌치 게이트가 p-유형 컬럼 위에서 중앙에 위치한다. 도 1의 구체예에서, p-유형 컬럼(106)은, 소자분리막(110)에서 사용된 물질과 다른 물질로 형성될 수도 있는, 각 소자분리막(109)에 의해 트렌치 게이트(111)로부터 분리된다.
- [0021] p-유형 컬럼(106) 및 트렌치 게이트(111)를 정렬하여, n-유형 컬럼(108)의 너비가 감소할 수 있다. 그러므로, 트렌치 게이트가 더 가깝게 위치할 수 있어, 셀 밀도가 증가하며, 또한 장치(100)의 온 저항(on-resistance)(R_{dson})을 더 감소시키는 효력이 있다. 일 구체예에서, 인접한 트렌치 게이트 사이의 피치는 종래 장치가 5 마이크로인 것에 비하여, 약 1.2 마이크로이다.
- [0022] 도 1의 구조에 관련된 또 다른 장점은 트렌치 게이트(111) 및 인접한 n-유형 컬럼(108) 사이의 오버랩(122) 양이 적기 때문에 게이트-투-드레인 전류(gate-to-drain charge; Q_{gd})가 감소한다는 것이다. 일 구체예에서, 오버랩(122) 양은 약 0.1 마이크로이다.
- [0023] 도 1의 구체예에서, 트렌치(125)가 n-유형 컬럼(108)의 위에서, 그리고 인접한 트렌치 게이트(111) 사이에서 형성된다. 특히, 각 트렌치(125)는 대응하는 n-유형 컬럼(108)의 세로축에 따라서 정렬되며- 일 구체예에서, 트렌치(125)의 세로축이 n-유형 컬럼(108)의 세로축과 일치하여 트렌치가 n-유형 컬럼(column) 위에 중심에 있다. 트렌치(125)는 소스 금속(124)으로 채워진다.
- [0024] p+ 영역(p-유형 접촉 영역(112))은 대응하는 n-유형 컬럼(108)으로부터 각 트렌치(125)의 소스 금속(124)을 분리한다. p- 영역(p-유형 바디 영역(114))은 각 트렌치(125)의 양쪽에, 트렌치 및 트렌치 게이트(111)의 사이, 또한 소스 금속(124) 및 n-유형 컬럼(108) 사이에 위치한다. 또한, n+ 영역(n-유형 소스 영역(116))은 도 1에 도시된 것처럼 각 트렌치(125)의 양쪽에 위치한다.
- [0025] p-유형 (p-) 바디 영역(114) 및 n-유형 (n+) 소스 영역(116)은 다른 소자분리막(120)(예를 들면, 게이트 산화물)에 의해 각 트렌치 게이트(111)로부터 분리된다. 도시된 것처럼, 소자분리막(110, 120)은 제작 과정에서 다른 시점에 형성되어서 도 1에 도시된 것처럼 정렬되지 않을 수도 있다. 또한, 소자분리막(110, 120)은 다른 물질을 사용하여 형성될 수도 있다. 또한, 소자분리막(110, 120)은 도 1의 y 방향에서 대체로 연속적인 경계를 제공하고, 그 점에서 절연 물질(isolation material)의 단일 컬럼(column)으로 특장화될 수 있다.
- [0026] 소자분리막(118)이 각 n-유형 소스 영역(116) 및 각 트렌치 게이트(111) 위에 형성될 수 있다. 소스 금속층(124)이 소자분리막(118) 위에 형성되고, 상술한 것처럼, 트렌치(125)로 길게 형성된다.
- [0027] 본 발명의 구체예에 따르면, p-유형 컬럼(106)이 픽업(pick up)되고 전기적으로 소스 금속층(124)에서 단락된다. 이것을 달성하는 한 가지의 방법은, 도 1의 커트 라인 A-A을 따른 장치(100)의 단면도인, 도 2에 나타난다; 다시 말하면, 도 2에서 제시된 도면은 도 1에 도시된 2차원(x와 y)에 직각인 3차원(z)에 있다.
- [0028] 도 2의 구체예에서, 트렌치(225)가 소스 금속층(124)에 대응하는 p-유형 컬럼(106)을 연결하도록 형성된다. 트렌치(225)는 금속으로 채워지고, 도면에 도시된 것처럼 트렌치(225)의 금속은 n-유형 컬럼(108), 폴리 영역(211), 및 소자분리막(120)에 의해 트렌치 게이트(111)에서 분리된다. 소스 금속층(124)에서 p-유형 컬럼(106)을 단락시켜서, 결과물인 바디 다이오드가 온(on)에서 오프(off)로 전환될 때 p-유형 컬럼(106)의 캐리어가 급속하게 유실될 수 있다. 그러므로, 장치(100)는 고속 회로(high speed circuit)에서의 사용에 더 적합하다.
- [0029] 도 3a, 3b 및 3c는 도 1 및 2의 장치와 같은 반도체 장치의 제작에 사용되는 일 구체예의 과정의 순서도(300)를 도시한다. 특정한 단계가 도 3a-3c에 개시되더라도, 그런 단계는 대표적인 예이다. 다시 말하면, 본 발명에 따른 구체예는 다양한 다른 단계 또는 도 3a-3c에서 언급된 단계의 변이를 실행하는데 적절하다. 도 3a, 3b 및 3c는, 본 발명의 구체예에 따른 반도체 장치의 제작에서 선택된 단계를 도시하는 단면도인, 도 4 내지 25와 함께 논의된다.
- [0030] 도 3a의 블록(302)에서, p- 도펀트의 에피택셜 층(402)(도 4)이 n+ 기질(104) 위에서 성장한다. 기질(104)은 드레인 전극층(102)(도 1)을 포함할 수도 있다.
- [0031] 블록(304)에서, 제1 유전층(502)이 에피택셜 층(402) 위에 증착되고, 포토레지스트(PR) 층(504)이 유전층 위

에 증착된다(도 5). 예를 들면, 유전층(502)은 SACVD(sub-atmospheric pressure chemical vapor deposition)를 통해 증착된 열 산화물 또는 산화물일 수도 있다.

- [0032] 블록(306)에서, (도시하지 않은) 제1 마스크가 형성되고, 도 6에 도시된 것처럼 포토레지스트 층(504) 및 유전층(502)의 노출된 부분이 에칭(etching)된다. 유전층(502)의 나머지 부분은 도 1의 소자분리막(109)에 대응한다.
- [0033] 블록(308)에서, p-유형 에피택셜 층(402)의 일부가 또한 에칭(etching)되어, 도 7에 도시된 것처럼 p-유형 컬럼(106)을 형성한다. 에피택셜 층(402)의 에칭은 기질(104)로 상대적으로 경미한 깊이까지 연장될 수도 있다. 블록(308)에서 적용된 에칭 물질이 블록(306)에서 사용된 것과 다를 수도 있다. 블록(310)에서, 나머지 포토레지스트 층(504)이 제거된다(도 8).
- [0034] 도 3a의 블록(312)에서, 제2 유전층(902)(도 9)이 소자분리막(109) 및 p-유형 컬럼(106)의 노출된 표면 위에서 성장하거나 증착된다. 특히, 유전층(902)은 소자분리막(109)뿐만 아니라 p-유형 컬럼(106)의 양쪽에 형성되어, 사실상 p-유형 컬럼(column)의 양쪽에 유전 물질의 층 또는 컬럼(column)을 형성한다. 제2 유전층(902)에 사용된 물질은 소자분리막(109)에 사용된 물질과 다를 수도 있다. 또한, 제2 유전층(902)은 소자분리막(109)의 두께와 비교하여 비교적 얇을 수도 있다(약 300-500 옹스트롬).
- [0035] 도 3a의 블록(314)에서, 바닥 산화물 브레이크스로우(bottom oxide breakthrough)로 불릴 수도 있는 과정에서도 도 10에 도시된 것처럼 기질(104)에 인접한 유전층(902)의 부분(도 9)이 제거된다. p-유형 컬럼(106)의 양쪽의 유전층(902)의 부분은 제거되지 않는다; 그 부분은 도 1의 소자분리막(110)에 대응한다. 소자분리막(109) 위의 유전층(902)의 부분은 또한 바닥 산화물 브레이크스로우(bottom oxide breakthrough) 과정의 일부로서 부분적 또는 완전히 제거될 수도 있다. 즉, 바닥 산화물 브레이크스로우(bottom oxide breakthrough) 후에, 도 10에 도시된 것처럼 기질(104)이 노출되고, 반면에 소자분리막(109)이 제1 유전층(502)(도 5)의 일부로서 증착되는 물질로만 또는 제1 유전층(502) 및 제2 유전층(902)에서 포함되는 물질과 조합하여 이루어져 있을 수도 있다. 또한 블록(314)에서, 바닥 산화물 브레이크스로우(bottom oxide breakthrough) 후에, n-도펀트의 에피택셜 층(1002)이 기질(104) 위에서 그리고 p-유형 컬럼(106) 및 소자분리막(109, 110)을 포함하는 구조물의 주위에서 성장한다.
- [0036] 도 3a의 블록(316)에서, 포토레지스트 층이 도포되고 나서 도 11에 도시된 것처럼 마스크(1102)를 형성하기 위하여 선택적으로 제거된다. 마스크(1102)는 도 12에 도시된 것처럼 n-유형 에피택셜 층(1002)에 종단 트렌치(termination trench; 1202)를 형성하는데 이용될 것이다. 종단 트렌치(1202)가 기질(104)로 연장될 수도 있다. 그리고 나서 마스크(1102)가 도 12에 도시된 것처럼 또한 제거될 수 있다.
- [0037] 도 3a의 블록(318)에서, 도 13에 도시된 것처럼 종단 트렌치(termination trench; 1202)의 안쪽에 그리고 n-유형 에피택셜 층(1002) 위에서 (예를 들면, SACVD를 이용하여) 제3 유전층(1302)이 성장하거나 증착된다. 제3 유전층(1302)에서 사용된 물질은 소자분리막(109, 110)에서 사용된 물질과 다를 수도 있다. 그리고 나서 치밀화(densification) 과정을 이용하여 제3 유전층(1302)을 경화하거나 어닐링(annealing)할 수 있다. 중요한 사실은, 치밀화(densification) 과정 동안 그리고 구조물이 가열될 수 있는 동안의 제작 과정의 어느 때에서 소자분리막(110)이 p-유형 컬럼(106) 및 n-유형 에피택셜 층(1002)이 서로 확산(diffusion)하는 것을 방지하거나 제한한다.
- [0038] 도 3a의 블록(320)에서, 도 14에 도시된 것처럼 종단 트렌치(termination trench; 1202)에서 유전체의 높이가 n-유형 에피택셜 층(1002)의 상부 표면과 근본적으로 같은 높이가 되도록 유전층(1302)을 에칭(etching)한다.
- [0039] 도 3b의 블록(322)에서, 포토레지스트 층이 도포되고 나서 도 15에 도시된 것처럼 마스크(1502)를 형성하도록 포토레지스트 층이 선택적으로 제거된다. 마스크의 오프닝(1504)은 p-유형 컬럼(106)의 위치와 일치한다. (도 15의 x 방향에서 측정된) 오프닝(1504)의 너비는 오프닝과 p-유형 컬럼(column)의 정렬과 관련된 문제점을 피하기 위하여 p-유형 컬럼(106)의 너비보다 작을 수도 있다. 즉, 도시된 것처럼, 마스크(1502)가 p-유형 컬럼(106) 위에 트렌치를 형성하는데 이용되고, 이상적으로 그 트렌치는 p-유형 컬럼(column)의 외부 가장자리 너머로 길게 형성되지 않을 것이다.
- [0040] 도 3b의 블록(324)에서, 도 15와 16에 관하여, 오프닝(1504)의 아래에 있는 n-유형 에피택셜 층(1002)의 부분이 에칭(etching)되어, 소자분리막(109)까지 연장하는 트렌치(1602)를 형성한다. 에칭(etching)되지 않는 에피택셜 층(1002)의 부분은 도 1의 n-유형 컬럼(108)에 대응한다. 그리고 나서 마스크(1502)가 제거될 수 있다.

- [0041] 도 3b의 블록(326)에서, 게이트 산화물층(1702)(도 17)이 소자분리막(109) 및 n-유형 컬럼(108)의, 트렌치(1602)의 측면 및 바닥면을 포함하는, 노출된 표면 위에서 성장한다. 게이트 산화물층(1702)에서 사용된 물질은 제1 유전층(502)(도 5) 및 제2 유전층(902)(도 9)에 포함된 물질과 다를 수도 있다. 도 1의 소자분리막(109)은 제1 유전층(502) 및 제2 유전층(902)의 물질(들)뿐만 아니라 게이트 산화물층(1702)을 포함할 수도 있다- 즉, 도면에 단일 균일층으로서 도시되어 있더라도, 실제로 소자분리막(109)은 다른 절연 물질(isolation material)을 포함할 수도 있다. 게다가, 트렌치(1602)의 너비에 따라서, 그 트렌치와 일렬인 게이트 산화물층(1702)의 부분이 소자분리막(110)과 일치하여, 근본적으로 도 17의 수직(y 방향)의 절연 물질(isolation material)의 연속하는 컬럼(column)을 형성할 수도 있다.
- [0042] 도 3b의 블록(328)에서, 폴리실리кон(polysilicon) (폴리) 층(1802)이 도 18에 도시된 것처럼 게이트 산화물층(1702) 위에 그리고 트렌치(1602) 안에서 증착된다.
- [0043] 도 3b의 블록(330)에서, 화학적-기계적 평탄화 또는 연마(chemical-mechanical planarization or polishing; CMP) 과정이 게이트 산화물층(1702)의 아래까지, 폴리 층(1802)(도 18)의 일부를 제거하는데 이용될 수 있다. 그리고 나서 도 19에 도시된 것처럼 오목 요소를 형성하기 위하여, 폴리 층(1802)을 더 제거하는데 에칭(etching) 과정이 이용될 수 있다. 이 오목 요소는 도 1의 트렌치 게이트(111)에 대응한다.
- [0044] 도 20을 참조하면서, 도 3b의 블록(332)에서, 블랭킷 p-도펀트(blanket p-dopant)가 장치(100)로 - 즉, n-유형 컬럼(108)으로 - 도 1의 p-유형 (p-) 바디 영역(114)을 형성하기 위하여 주입된다. p-유형 바디 영역(114)은 트렌치 게이트(111)보다 (도 20의 y 방향에서) 깊이가 낮다.
- [0045] 도 3b의 블록(334)에서, 소스 마스크(2102)가 도 21에 도시된 것처럼 종단 트렌치(termination trench; 1202) 및 인접한 영역 위에 형성되고 나서, 도 1의 n-유형 (n+) 소스 영역(116)을 형성하기 위해 n+ 도펀트가 p-유형 바디 영역(114)으로 주입된다. 이런 방식으로, 트렌치 게이트가 n-유형 컬럼(108) 대신에 p-유형 컬럼(106) 위에 형성된다. p-유형 컬럼(106) 위에 트렌치 게이트를 형성해서, 게이트가 함께 더 가깝게 위치할 수 있어서, 셀 밀도가 증가하여, R_{dson}를 감소시키는 효력을 가진다. n-유형 소스 임플란트 후에, 마스크(2102)가 제거될 수 있다.
- [0046] 도 3b의 블록(336)에서, BPSG(borophosphosilicate glass) 층에 선행된 저온 산화물(low temperature oxide; LTO) 층이 증착된다 - 이 층들은 도 22의 층(2202)으로 확인된다. (명확하게, 게이트 산화물 영역(1702)의 전부가 도 22 및 23에서 확인되지 않는다.)
- [0047] 도 3b의 블록(338)에서, 포토레지스트 층이 층(2202) 위에 도포되고 나서 도 23에 도시된 것처럼, n-유형 컬럼(108)과 일치하는 오프닝(2304)을 가지는 마스크(2302)를 형성하도록 포토레지스트 층이 선택적으로 제거된다. 그리고 나서, 도 1의 소자분리막(118)을 형성하고, n+ 소스 영역(116), p-유형 바디 영역(114), 및 게이트 픽업 영역을 노출하는 트렌치(125)를 형성하기 위하여 오프닝(2304) 아래의 물질 - 층(2202)의 일부, 게이트 산화물(1702), n+ 소스 영역(116), 및 그 오프닝 아래의 p-유형 바디 영역(114)의 일부 -이 에칭(etching)될 수 있다. 도 1의 소자분리막(118)은 층(2202)의 나머지 부분 및 게이트 산화물층(1702)의 나머지 수평(x 방향) 부분을 모두 포함한다; 게이트 산화물층(1702)의 y 방향 (수직) 부분은 도 1의 소자분리막(120)과 일치한다. 그리고 나서 도 1의 p-유형 (p+) 접촉 영역(112)을 형성하기 위하여 각 트렌치(125)의 바닥에, p+ 도펀트가 주입된다.
- [0048] 유사한 방식으로, 도 3c의 블록(340)에서, 도 24에 도시된 것처럼, p-유형 컬럼(106)과 일치하는 오프닝(2404)을 가지는 마스크(2402)가 도 23의 z 방향에서 형성될 수 있다. 그리고 나서 절연된 폴리 영역(211) 및 p-유형 컬럼(106) 및 폴리 영역(211)을 노출하는 트렌치(225)를 형성하기 위하여, 오프닝(2404) 아래의 물질 - 층(2202)의 부분, 트렌치 게이트(111), 및 그 오프닝 아래의 소자분리막(109) - 이 에칭(etching)될 수 있다. p-유형 컬럼 접촉 트렌치(225)가 산화물층(게이트 산화물)(120), n-유형 컬럼(108), 및 다른 산화물층(120)에 의해 게이트 폴리(111)로부터 절연되며, 트렌치(225) 또한 산화물층(120)에 의해 절연된다.
- [0049] 도 23, 24 및 25를 참조하면서, 도 3c의 블록(342)에서, 마스크(2302, 2402)가 제거되고, 금속이 트렌치(2304, 2404)로 그리고 소자분리막(118) 위에 증착된다. 포토레지스트 층이 금속 위에 도포되고 나서 오프닝을 가진 (도시하지 않은) 마스크를 형성하기 위하여 선택적으로 제거되고, 오프닝 아래의 금속이 도 1 및 2의 소스 금속층(124)을 형성하고, (도시하지 않은) 게이트 버스(gate bus)를 형성하기 위하여 에칭(etching)된다. 그러므로, p-유형 컬럼(106) 및 n-유형 컬럼(108) 모두 도 1 및 2에 도시된 것처럼 소스 금속층(124)에 전기적으로 연결된다. 따라서, 결과물인 바디 다이오드가 온(on)에서 오프(off)로 전환될 때

p-유형 컬럼(106)의 캐리어가 급속하게 유실될 수 있다.

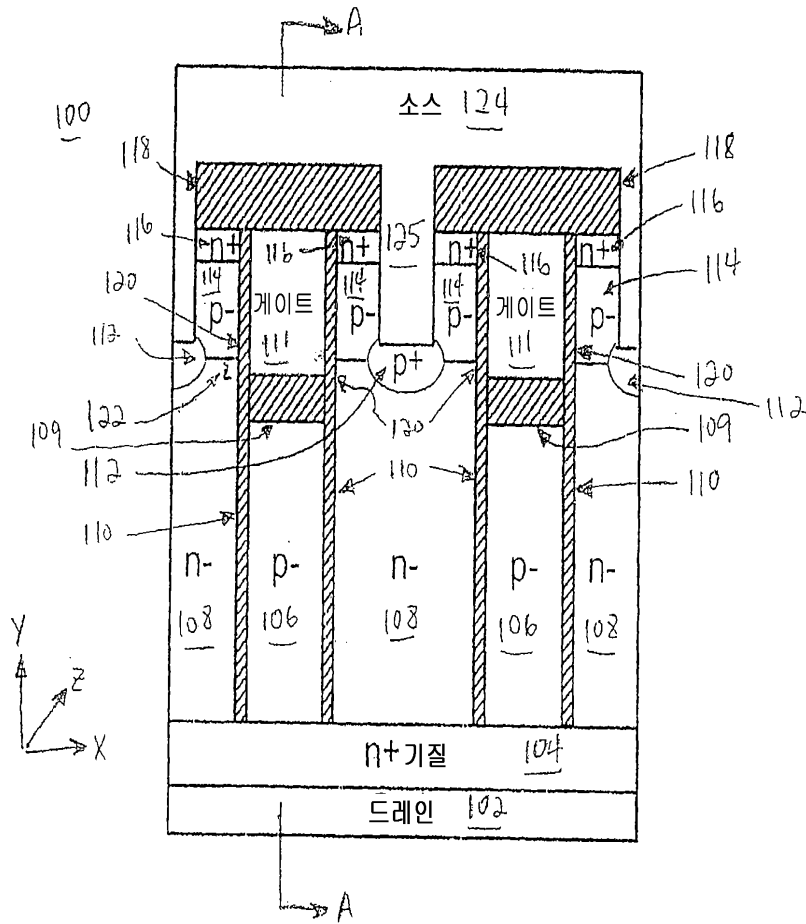
- [0050] 도 3c의 블록(344)에서, 패시베이션 층이 선택적으로 증착된다. 그리고 나서, 게이트 및 소스 패드를 정의하기 위하여 패시베이션 층을 에칭(etching)하기 위한 마스크가 도포될 수 있다.
- [0051] 상술한 것처럼, 여기에 기술된 특징은 p-채널(p-channel) SJ 트랜치 전력 MOSFET 장치에 또한 적용 가능하다. 도 26은 본 발명의 구체예에 따른 p-채널(p-channel) SJ 트랜치 전력 MOSFET 장치(2600)의 구성요소를 도시하는 단면도이다. 장치(2600)는 p+ 드레인층 또는 기질(2604)의 바닥면에 (도시하지 않은) 드레인 전극을 포함한다. 교대로 존재하는 p-드리프트 영역(p-drift region) 또는 p-유형 컬럼(2606) 및 n-드리프트 영역(n-drift region) 또는 n-유형 컬럼(2608)이 초집합을 형성하기 위하여 기질(2604)의 위에 위치한다. p-유형 도펀트의 컬럼(2606)은 소자분리막(isolation layer) 또는 컬럼(110)에 의해 n-유형 도펀트의 인접한 컬럼(2608)으로부터 분리되어서 구조물이 제작하는 동안 가열될 때 n-유형 컬럼 및 p-유형 컬럼이 확산하는 것을 막는다.
- [0052] 도 26의 구체예에서, 각 n-유형 컬럼(2608)이 각 폴리실리콘(polysilicon) 트랜치 게이트(111)의 아래에 위치한다. n-유형 컬럼(2608)은 각 소자분리막(109)에 의해 트랜치 게이트(111)로부터 분리된다. n-유형 컬럼(2608)을 트랜치 게이트(111)에 정렬하여, p-유형 컬럼(2606)의 너비가 감소하여 트랜치 게이트가 함께 가깝게 위치할 수 있다.
- [0053] 트랜치(125)는 인접한 트랜치 게이트(111) 사이에서, p-유형 컬럼(2606) 위에 형성된다. 트랜치(125)가 소스 금속(124)으로 채워진다. n+ 영역(n-접촉 영역(2612))이 대응하는 p-유형 컬럼(2606)으로부터 각 트랜치(125)에서 소스 금속(124)을 분리한다. n-영역(n-바디 영역(2614))은 각 트랜치(125)의 양쪽에, 트랜치 및 트랜치 게이트(111)의 사이에, 그리고 소스 금속(124) 및 p-유형 컬럼(2606)의 사이에 위치한다. 또한, p+ 영역(p-소스 영역(2616))은 각 트랜치(125)의 양쪽에 위치한다. n-유형 바디 영역(2614) 및 p-유형 소스 영역(2616)이 다른 소자분리막(120)(예를 들면, 게이트 산화물)에 의해 각 트랜치 게이트(111)에서 분리된다. 소자분리막(118)은 각 p-유형 소스 영역(2616) 및 각 트랜치 게이트(111) 위에 형성될 수 있다. 소스 금속층(124)이 소자분리막(118) 위에 형성되고, 상술한 것처럼, 트랜치(125)까지 연장한다.
- [0054] 본 발명의 구체예에 따르면, n-유형 컬럼(2608)이 픽업(pick up)되고 도 2에 도시된 것과 유사하게, 소스 금속층(124)에서 전기적으로 단락된다.
- [0055] 요약하자면, SJ 트랜치 전력 MOSFET 장치의 구체예, 및 그 장치의 제조 방법의 구체예가 기술된다. 여기에 기술된 특징은 스플릿 게이트(split gate), 이중 트랜치(dual-trench) 및 다른 종래의 고전압 초집합 장치의 대안으로서 1000-볼트 전력 MOSFETs와 같은 고전압 장치뿐만 아니라 낮은 전압 장치에서 이용될 수 있다.
- [0056] 대체로, 이 문서는 다음을 개시했다. 초집합 트랜치 전력 MOSFET(금속 산화물 반도체 전계효과 트랜지스터) 장치에서, 초집합의 p-유형 도펀트의 컬럼은 산화물의 제1 컬럼(column)에 의해 n-유형 도펀트의 제1 컬럼(column)으로부터 그리고 산화물의 제2 컬럼에 의해 n-유형 도펀트의 제2 컬럼(column)으로부터 분리된다. n-채널(n-channel) 장치에서, FET를 위한 게이트 요소는 유리하게 p-유형 도펀트의 컬럼 위에 위치하며; p-채널(p-channel) 장치에서, FET를 위한 게이트 요소는 유리하게 n-유형 도펀트의 컬럼 위에 위치한다.
- [0057] 대체로, 이 문서는 다음을 개시한다. 초집합 트랜치 전력 MOSFET(금속 산화물 반도체 전계효과 트랜지스터) 장치에서, 초집합의 p-유형 도펀트의 컬럼은 산화물의 제1 컬럼에 의해 n-유형 도펀트의 제1 컬럼으로부터 그리고 산화물의 제2 컬럼에 의해 n-유형 도펀트의 제2 컬럼으로부터 분리된다. n-채널(n-channel) 장치에서, FET를 위한 게이트 요소는 유리하게 p-유형 도펀트의 컬럼 위에 위치하며; p-채널(p-channel) 장치에서, FET를 위한 게이트 요소는 유리하게 n-유형 도펀트의 컬럼 위에 위치한다.
- [0058] 본 발명의 특정한 구체예의 앞의 묘사는 설명 및 기술을 목적으로 제공되었다. 그들은 개시된 정확한 형태로 발명을 완전한 것으로 또는 제한하지 않으며, 상기 개시에 비추어 많은 수정 및 변이가 가능하다. 본 발명의 이론 및 그 실제 적용을 가장 잘 설명하기 위해 구체예가 선택되고 기술되고, 그로 인하여 기술분야의 숙련자가 본 발명을 가장 잘 이용할 수 있고 다양한 변형을 가지는 다양한 구체예가 특별한 용도로 관조되기에 적당하다. 본 발명의 범위는 여기에 추가된 청구항 및 그들의 동등안에 의해 정의되는 것으로 예정된다. 여기에서 제공된 모든 요소 및 단계가 바람직하게 포함되는 것으로 이해된다. 이 요소 및 단계 중 일부가 생략되고 또는 기술분야의 숙련자에게 자명한 것으로 대체될 수도 있다.

- [0059] 요약으로, 이 문서는 적어도 다음의 광의를 개시했다.
- [0060] 개념 1: 제1 유형 도펀트의 채널을 가지는 초접합 트렌치 전력 금속 산화물 반도체 전계효과 트랜지스터 (super junction trench power MOSFET(metal oxide semiconductor field effect transistor)) 장치로서,
- [0061] 상기 장치는:
- [0062] 상기 제1 유형 도펀트의 제1 컬럼(column)으로부터 제2 유형 도펀트의 컬럼을 분리하는 절연 물질(insulating material)을 포함하는 제1 컬럼;
- [0063] 상기 제1 유형 도펀트의 제2 컬럼(column)으로부터 상기 제2 유형 도펀트의 상기 컬럼을 분리하는 절연 물질 (insulating material)을 포함하는 제2 컬럼; 및
- [0064] 전계효과 트랜지스터를 위한 게이트 요소;를 포함하며, 상기 게이트 요소는 절연 물질의 상기 제1 컬럼 및 절연 물질의 상기 제2 컬럼 사이에 정렬되어 있는 초접합 트렌치 전력 MOSFET 장치.
- [0065] 개념 2: 상기 제2 유형 도펀트의 상기 제2 컬럼으로부터 상기 게이트 요소를 분리하는 소자분리막(isolation layer)을 더 포함하는 개념 1의 초접합 트렌치 전력 MOSFET 장치.
- [0066] 개념 3: 상기 제1 유형 도펀트가 n-유형 도펀트일 때 상기 제2 유형 도펀트는 p-유형 도펀트를 포함하며, 상기 제1 유형 도펀트가 p-유형 도펀트를 포함하면 상기 제2 유형 도펀트는 n-유형 도펀트를 포함하는 개념 1의 초접합 트렌치 전력 MOSFET 장치.
- [0067] 개념 4: 상기 제2 유형 도펀트의 상기 컬럼에서 전기적으로 단락되는 소스 금속의 층을 더 포함하는 개념 1의 초접합 트렌치 전력 MOSFET 장치.
- [0068] 개념 5: 상기 게이트 요소 및 인접한 게이트 요소 사이에 형성된 트렌치를 더 포함하며, 상기 소스 금속이 상기 트렌치를 채우는 개념 4의 초접합 트렌치 전력 MOSFET 장치.
- [0069] 개념 6: 상기 게이트 요소 및 상기 트렌치 사이에 배치된 상기 제2 유형 도펀트의 바디 영역 및 제1 유형 도펀트의 소스 영역을 더 포함하는 개념 5의 초접합 트렌치 전력 MOSFET 장치.
- [0070] 개념 7: 상기 트렌치는 상기 제1 유형 도펀트의 상기 제1 컬럼의 세로축에 정렬되는 개념 5의 초접합 트렌치 전력 MOSFET 장치.
- [0071] 개념 8: 상기 트렌치는 상기 제2 유형 도펀트의 영역에 의해 상기 제1 유형 도펀트의 상기 제1 컬럼으로부터 분리되는 개념 7의 초접합 트렌치 전력 MOSFET 장치.
- [0072] 개념 9: 제1 유형 도펀트의 채널을 가지는 반도체 장치로서,
- [0073] 상기 반도체 장치는
- [0074] 상기 제1 유형 도펀트의 기질;
- [0075] 상기 기질에 연결되고 상기 제1 유형 도펀트의 제1 컬럼 영역(columnar first region) 및 상기 제1 유형 도펀트의 제2 컬럼 영역(columnar second region) 사이에 배치된 제2 유형 도펀트의 컬럼 영역을 포함하는 초접합 구조물(super junction structure) (상기 제2 유형 도펀트의 상기 영역이 제1 소자분리막(isolation layer)에 의해 상기 제1 유형 도펀트의 상기 제1 컬럼 영역으로부터 분리되고 제2 소자분리막에 의해 상기 제1 유형 도펀트의 상기 제2 컬럼 영역으로부터 분리된다) ; 및
- [0076] 상기 초접합 구조물에 연결되고 게이트 요소를 포함하는 전계효과 트랜지스터(field effect transistor) (상기 게이트 요소는 상기 제2 유형 도펀트의 상기 컬럼 영역의 세로축에 정렬된다); 를 포함하는 반도체 장치.
- [0077] 개념 10: 상기 제2 유형 도펀트의 상기 컬럼 영역으로부터 상기 게이트 요소를 분리하는 산화물층을 더 포함하는 개념 9의 반도체 장치.
- [0078] 개념 11: 상기 제2 유형 도펀트의 상기 컬럼 영역에서 전기적으로 단락되는 소스 금속의 층을 더 포함하는 개념 9의 반도체 장치.
- [0079] 개념 12: 상기 게이트 요소 및 인접하는 게이트 요소 사이에 형성된 트렌치를 더 포함하고, 상기 소스 금속이 상기 트렌치를 채우는 개념 11의 반도체 장치.

- [0080] 개념 13: 상기 게이트 요소 및 상기 트렌치 사이에 배치된 상기 제2 유형 도펀트의 바디 영역 및 상기 제1 유형 도펀트의 소스 영역을 더 포함하는 개념 12의 반도체 장치.
- [0081] 개념 14: 상기 트렌치는 상기 제1 유형 도펀트의 상기 제1 컬럼 영역의 세로축에 정렬되는 개념 12의 반도체 장치.
- [0082] 개념 15: 제1 유형 도펀트의 채널을 가지는 반도체 장치로서,
- [0083] 상기 제1 유형 도펀트의 기질;
- [0084] 상기 기질에 연결되고 상기 제1 유형 도펀트의 제1 영역 및 상기 제1 유형 도펀트의 제2 영역 사이에 배치되는 제2 유형 도펀트의 영역을 포함하는 초접합 구조물(super junction structure) (상기 제2 유형 도펀트의 상기 영역 및 상기 제1 유형 도펀트의 상기 제1 및 제2 영역은 각각 제2 치수보다 큰 제1 치수를 가지며, 상기 제1 치수는 제1 방향에서 측정되고, 상기 제2 치수는 상기 제1 방향과 수직인 제2 방향에서 측정된다);
- [0085] 게이트 요소를 포함하는 전계효과 트랜지스터(field effect transistor), (상기 제2 유형 도펀트의 상기 영역이 상기 제1 방향에서 상기 게이트 요소 및 상기 기질과 일렬이다); 및
- [0086] 상기 제1 및 제2 방향 모두와 수직인 제3 방향에서 상기 제2 유형 도펀트의 상기 영역에서 전기적으로 단락되는 소스 금속의 층;을 포함하는 반도체 장치.
- [0087] 개념 16: 상기 제2 유형 도펀트의 상기 영역이 제1 소자분리막(isolation layer)에 의해 상기 제1 유형 도펀트의 상기 제1 영역으로부터 분리되고 제2 소자분리막에 의해 상기 제1 유형 도펀트의 상기 제2 영역으로부터 분리되는 개념 15의 반도체 장치.
- [0088] 개념 17: 상기 제2 유형 도펀트의 상기 영역으로부터 상기 게이트 요소를 분리하는 산화물층을 더 포함하는 개념 15의 반도체 장치.
- [0089] 개념 18: 상기 게이트 요소 및 인접하는 게이트 요소 사이에 형성된 트렌치를 더 포함하고, 상기 소스 금속이 상기 트렌치를 채우는 개념 15의 반도체 장치.
- [0090] 개념 19: 상기 게이트 요소 및 상기 트렌치 사이에 배치되는 상기 제2 유형 도펀트의 바디 영역 및 상기 제1 유형 도펀트의 소스 영역을 더 포함하는 개념 18의 반도체 장치.
- [0091] 개념 20: 상기 제1 유형 도펀트의 상기 제1 영역이 상기 제1 방향에서 상기 트렌치 및 상기 기질 사이에서 일렬인 반도체 장치.

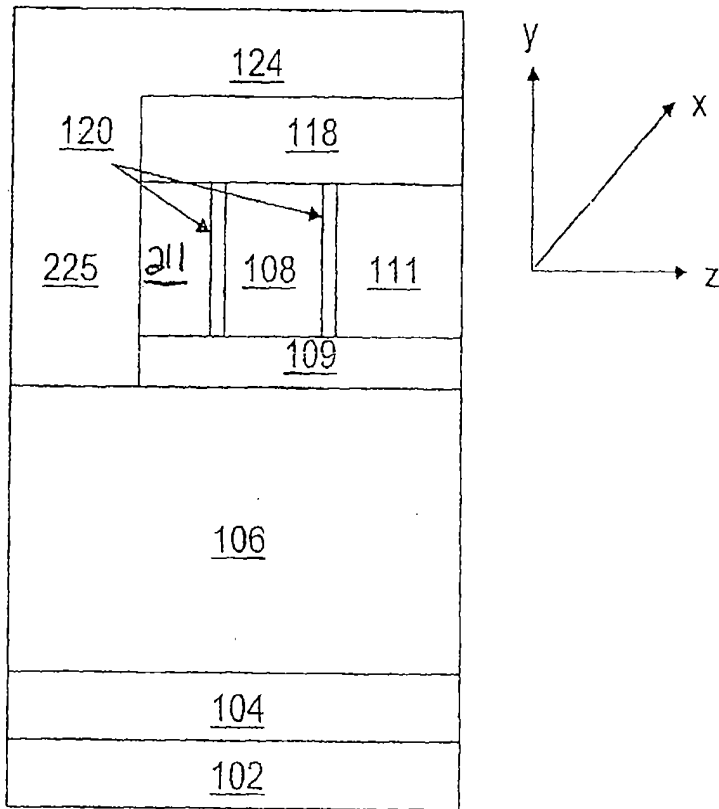
도면

도면1



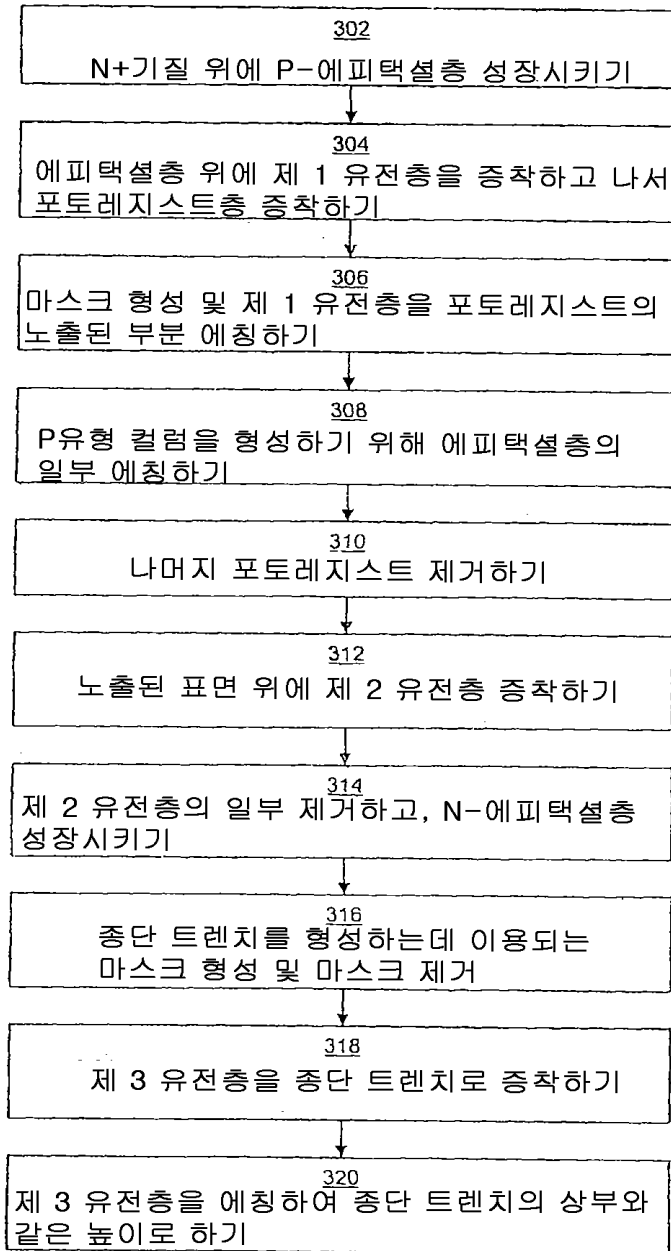
도면2

100



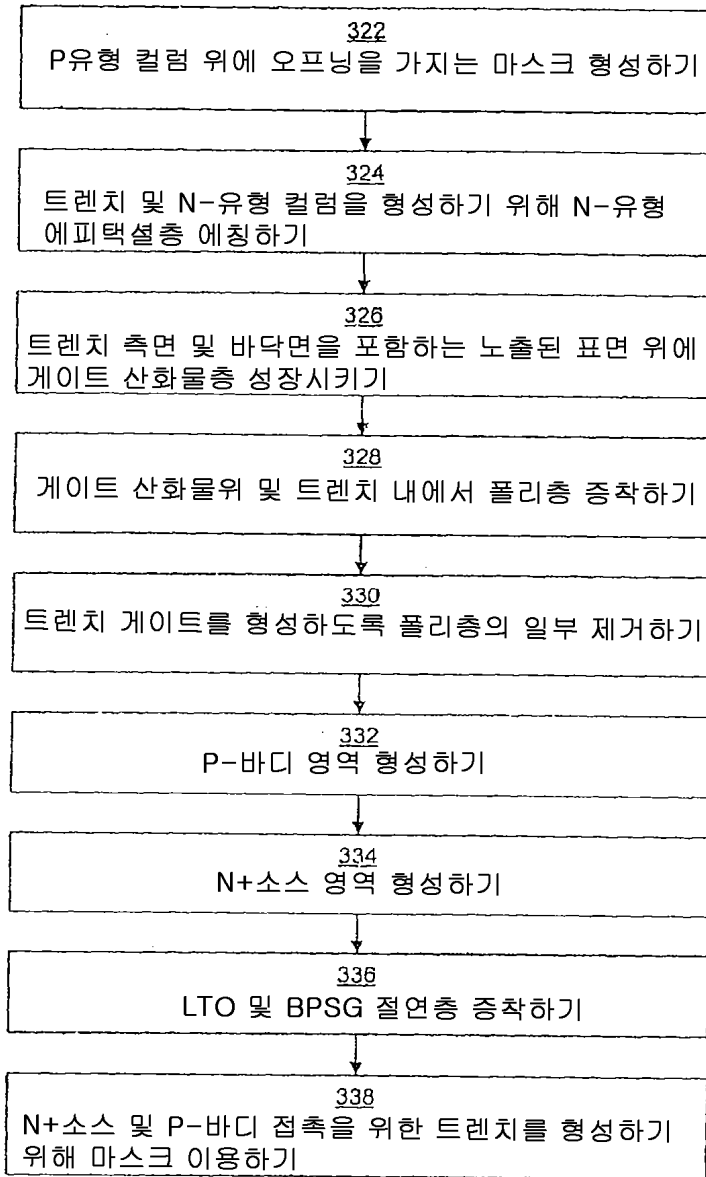
도면3a

300



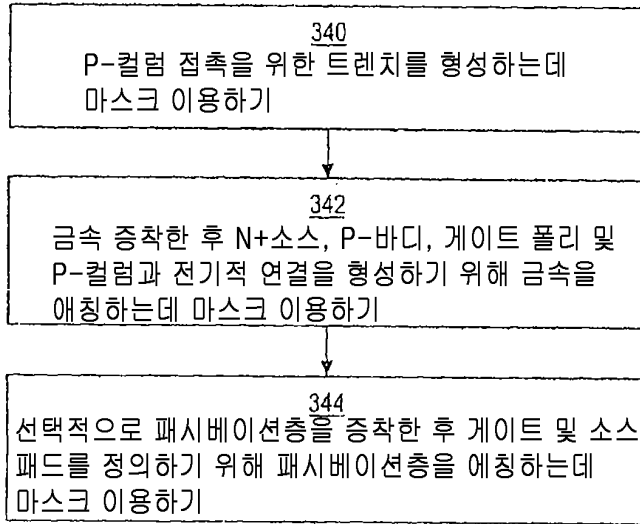
도면3b

300

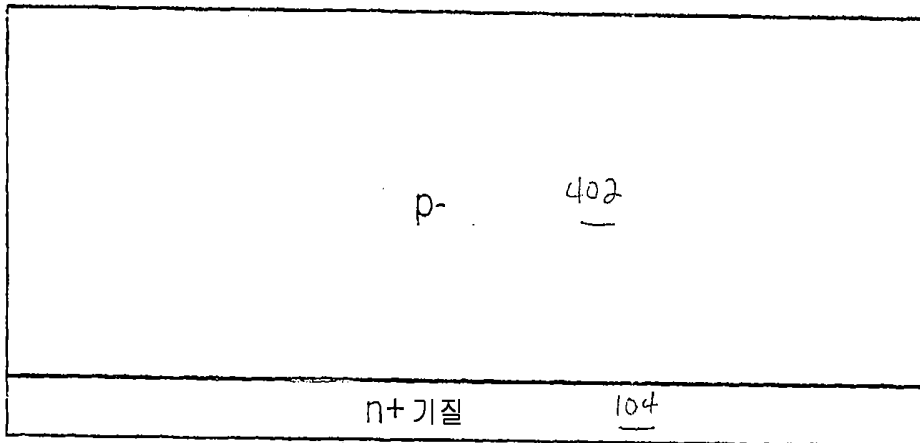


도면3c

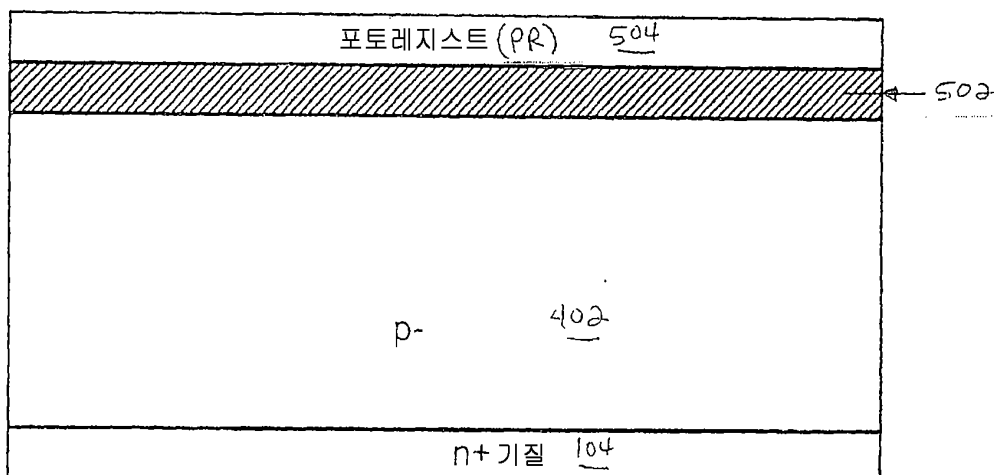
300



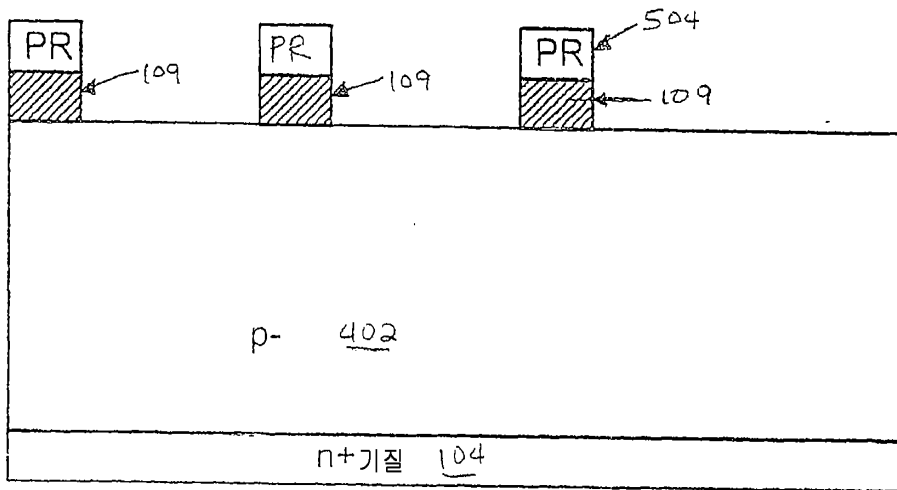
도면4



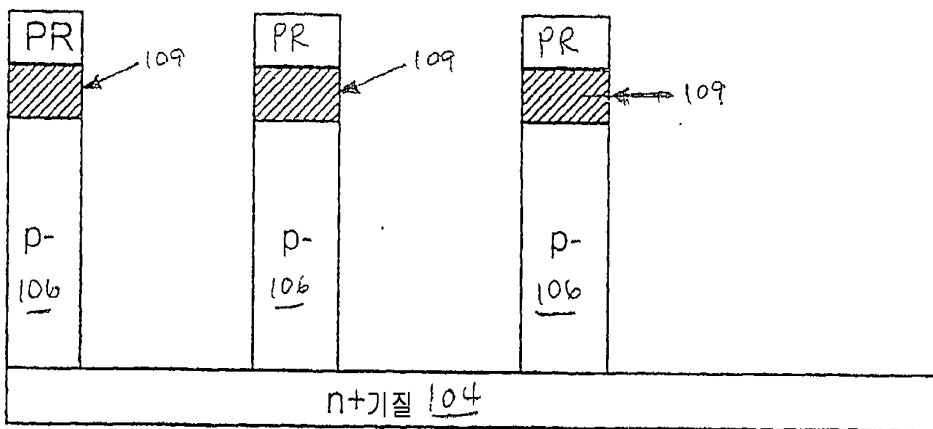
도면5



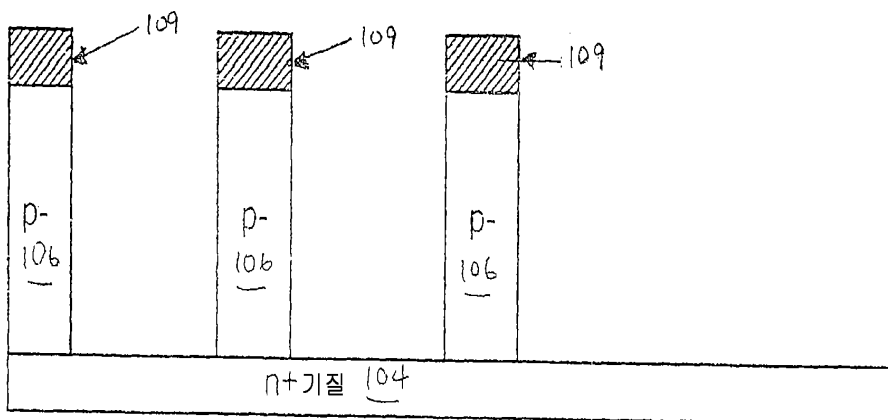
도면6



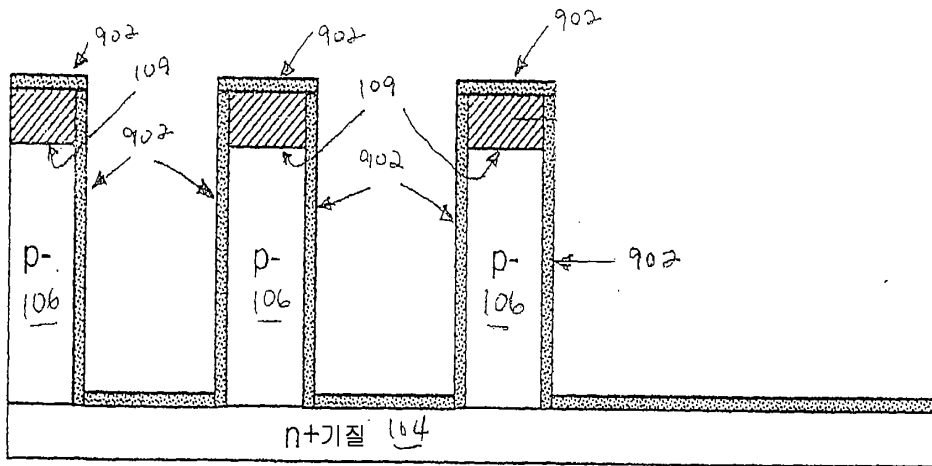
도면7



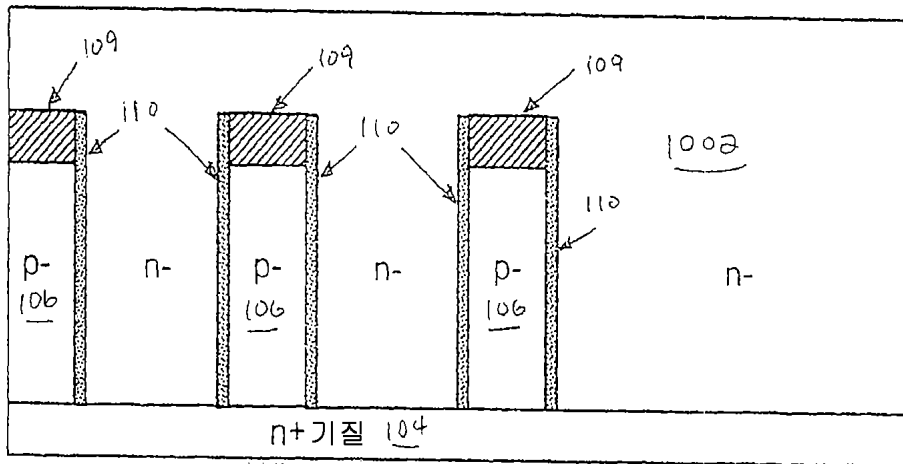
도면8



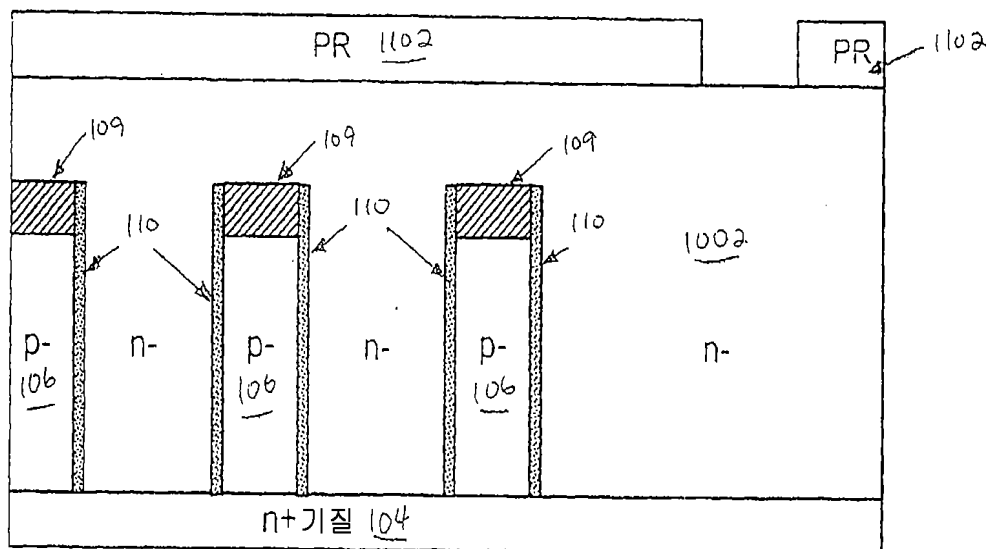
도면9



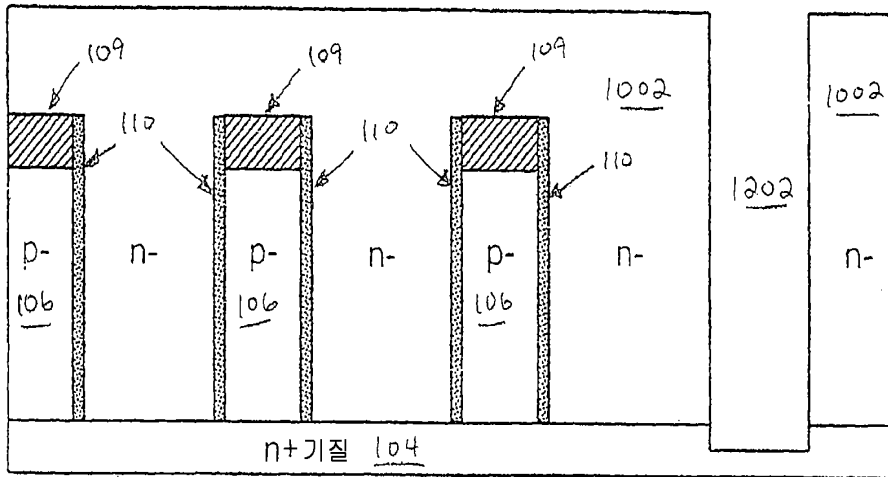
도면10



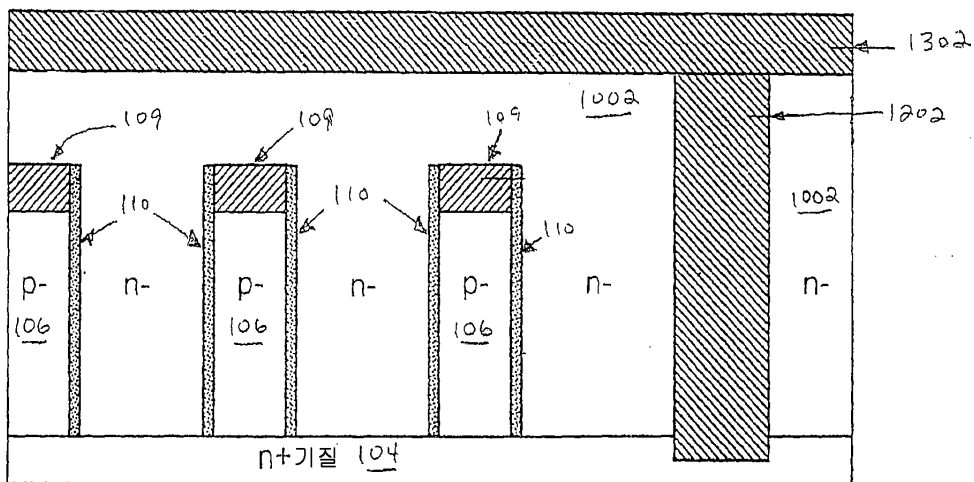
도면11



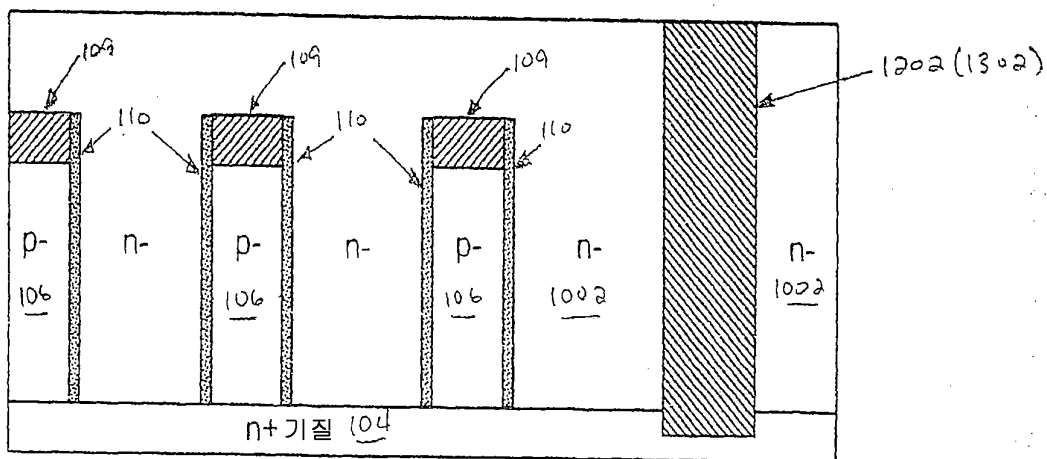
도면12



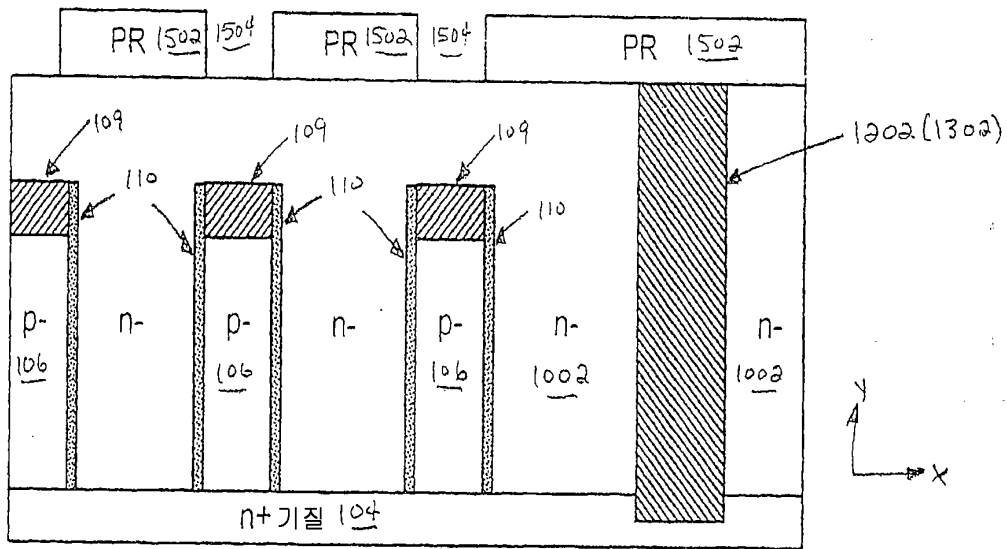
도면13



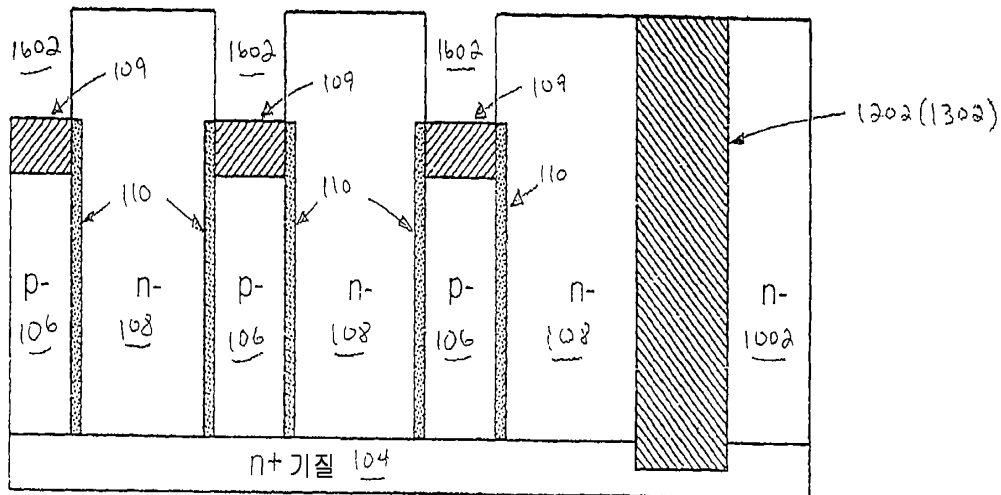
도면14



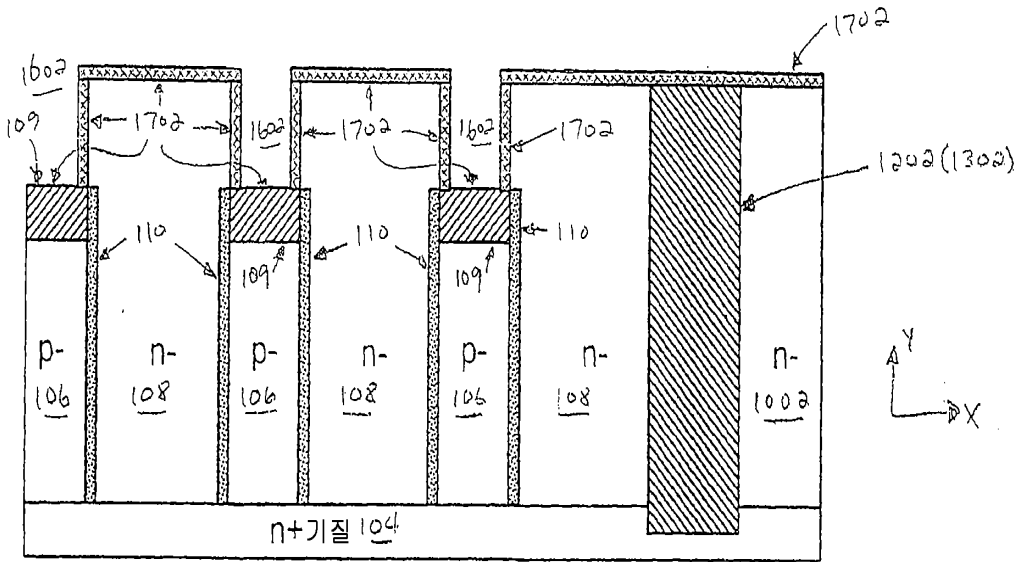
도면15



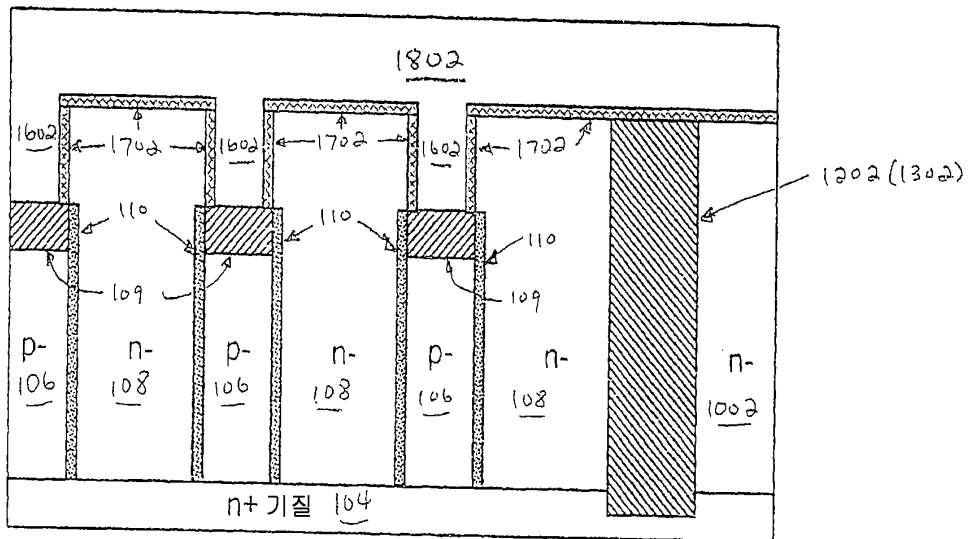
도면16



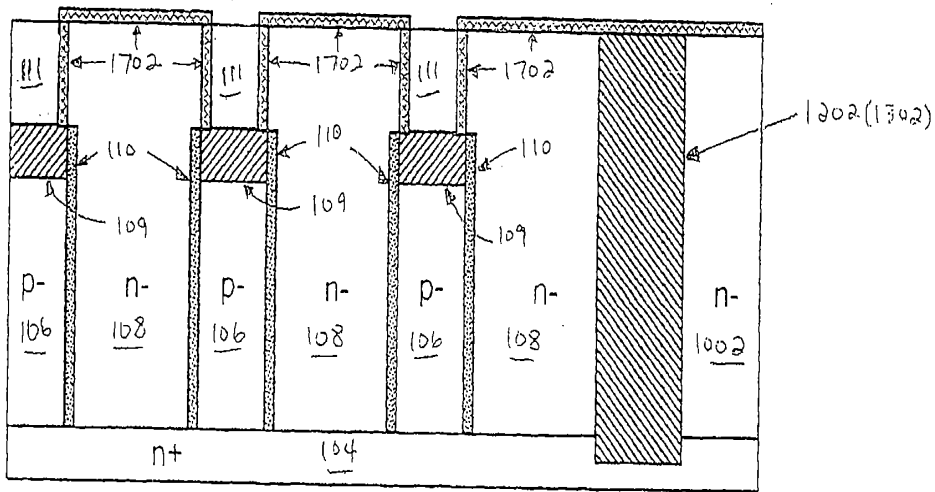
도면17



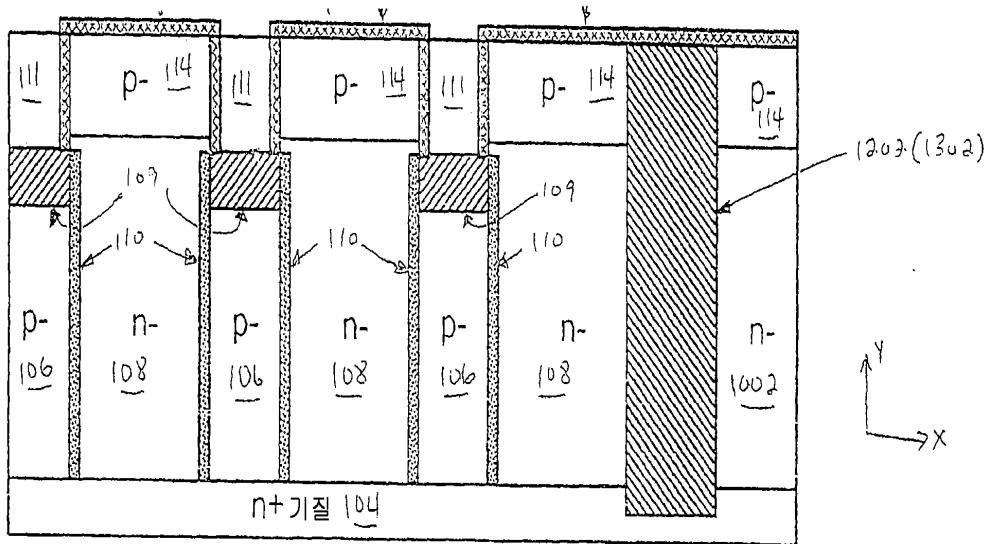
도면18



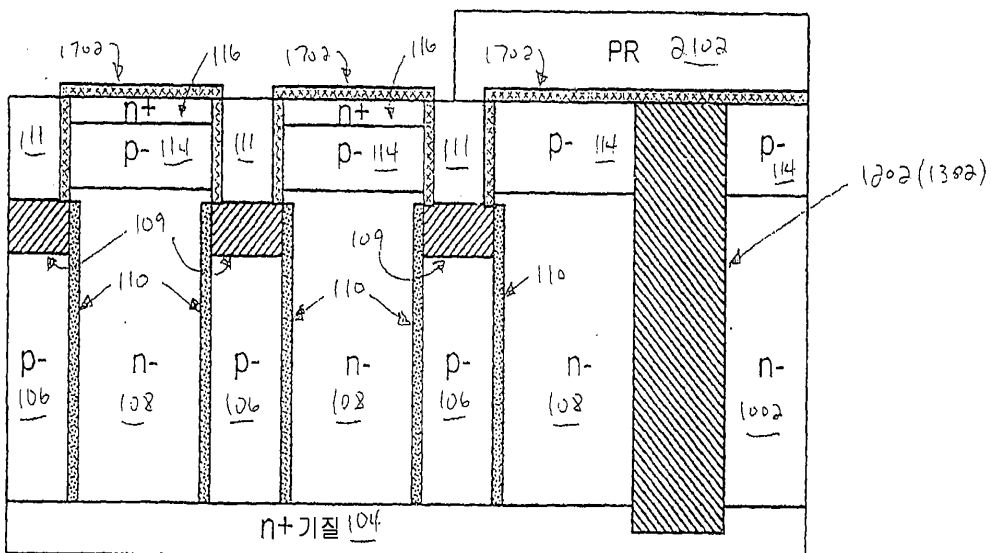
도면19



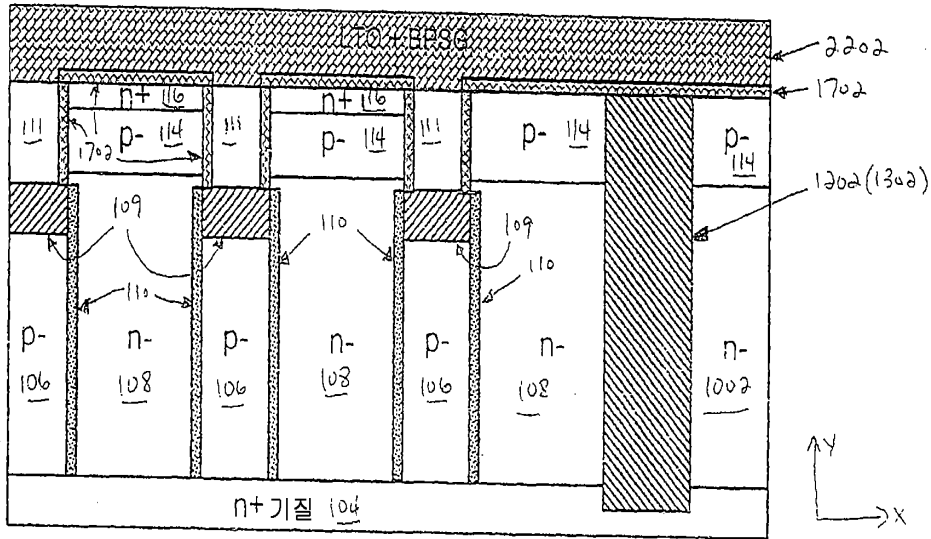
도면20



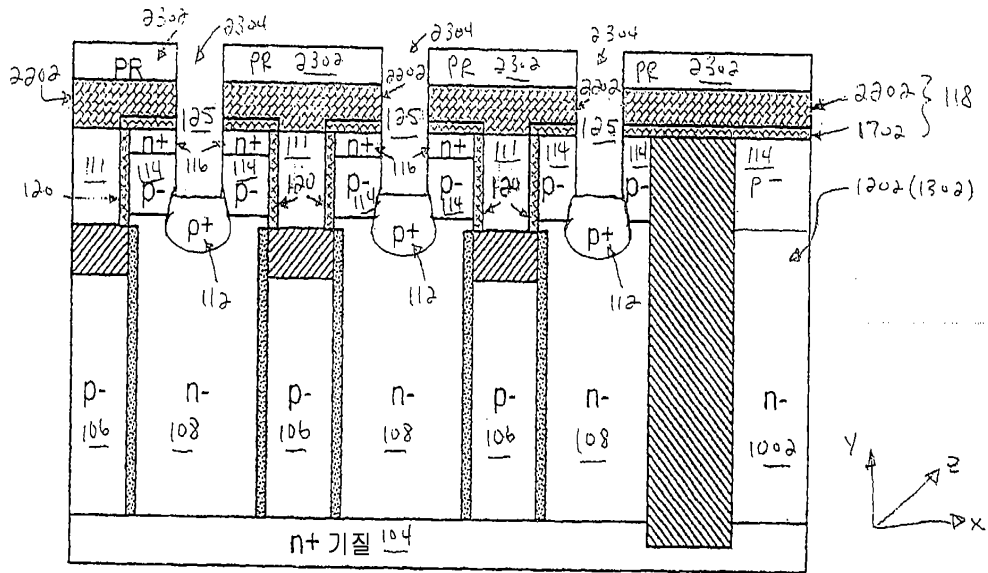
도면21



도면22



도면23



도면26

2600

