



(12)发明专利

(10)授权公告号 CN 105245218 B

(45)授权公告日 2019.01.22

(21)申请号 201510558152.8

(22)申请日 2011.02.03

(65)同一申请的已公布的文献号
申请公布号 CN 105245218 A

(43)申请公布日 2016.01.13

(30)优先权数据
2010-044949 2010.03.02 JP

(62)分案原申请数据
201180011894.9 2011.02.03

(73)专利权人 株式会社半导体能源研究所
地址 日本神奈川县厚木市

(72)发明人 丰高耕平

(74)专利代理机构 中国专利代理(香港)有限公司
72001

代理人 叶晓勇 姜甜

(51)Int.Cl.

- H03K 19/00(2006.01)
- H03K 19/096(2006.01)
- H03K 23/44(2006.01)
- G11C 19/28(2006.01)
- G11C 19/18(2006.01)
- H01L 29/78(2006.01)
- H01L 21/28(2006.01)

(56)对比文件

- CN 100566158 C,2009.12.02,
- CN 100435203 C,2008.11.19,
- US 2005062515 A1,2005.03.24,
- US 2006280279 A1,2006.12.14,
- CN 101166023 A,2008.04.23,

审查员 叶璇

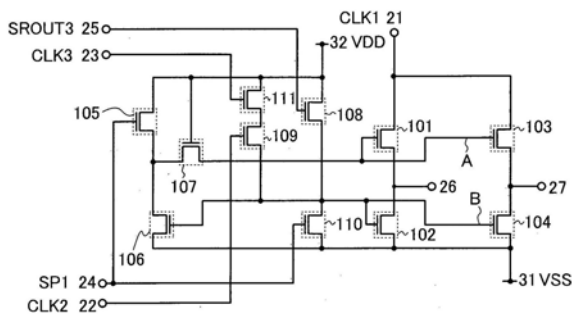
权利要求书11页 说明书24页 附图18页

(54)发明名称

脉冲信号输出电路和移位寄存器

(57)摘要

本发明的一个目的是提供能够稳定操作的脉冲信号输出电路以及包括脉冲信号输出电路的移位寄存器。在脉冲信号输出电路的一个实施例中,晶体管具有连接到具有形成脉冲信号输出电路的输出端子的源极端子或漏极端子的另一个晶体管的栅电极的源极端子或漏极端子,晶体管的沟道长度比另一个晶体管的沟道长度要长。由此,修改另一个晶体管的栅电位的泄漏电流能够降低,并且能够防止脉冲信号输出电路的故障。



1. 一种半导体器件,包括移位寄存器,所述移位寄存器包括:

第一晶体管和第二晶体管,所述第一晶体管的第一端子和所述第二晶体管的第一端子电连接至第一输出端子;

第三晶体管 and 第四晶体管,所述第三晶体管的第一端子和所述第四晶体管的第一端子电连接至第二输出端子;以及

第五晶体管 and 第六晶体管,

其中所述第五晶体管的第一端子、所述第一晶体管的栅极端子和所述第三晶体管的栅极端子彼此电连接,

其中所述第五晶体管的栅极端子、所述第六晶体管的第一端子、所述第二晶体管的栅极端子和所述第四晶体管的栅极端子彼此电连接,并且

其中所述第五晶体管的沟道长度和所述第六晶体管的沟道长度中的每一个比所述第三晶体管的沟道长度长。

2. 如权利要求1所述的半导体器件,

其中所述第一晶体管至所述第六晶体管中的任何一个包括作为半导体材料的氧化物半导体。

3. 如权利要求1所述的半导体器件,

其中所述第一晶体管的所述第一端子和所述第二晶体管的所述第一端子直接连接至所述第一输出端子,

其中所述第三晶体管的所述第一端子和所述第四晶体管的所述第一端子直接连接至所述第二输出端子,

其中所述第一晶体管的所述栅极端子和所述第三晶体管的所述栅极端子直接彼此连接,并且

其中所述第五晶体管的所述栅极端子、所述第六晶体管的所述第一端子、所述第二晶体管的所述栅极端子和所述第四晶体管的所述栅极端子直接彼此连接。

4. 一种半导体器件,包括移位寄存器,所述移位寄存器包括:

第一晶体管 and 第二晶体管,所述第一晶体管的第一端子和所述第二晶体管的第一端子电连接至第一输出端子;

第三晶体管 and 第四晶体管,所述第三晶体管的第一端子和所述第四晶体管的第一端子电连接至第二输出端子;以及

第五晶体管至第九晶体管,

其中所述第五晶体管的第一端子、所述第九晶体管的第一端子、所述第一晶体管的栅极端子和所述第三晶体管的栅极端子彼此电连接,

其中所述第五晶体管的栅极端子、所述第七晶体管的第一端子、所述第八晶体管的第一端子、所述第六晶体管的第一端子、所述第二晶体管的栅极端子和所述第四晶体管的栅极端子彼此电连接,并且

其中所述第五晶体管的沟道长度和所述第六晶体管的沟道长度中的每一个比所述第三晶体管的沟道长度长。

5. 如权利要求4所述的半导体器件,

其中所述第一晶体管至所述第九晶体管中的任何一个包括作为半导体材料的氧化物

半导体。

6. 如权利要求4所述的半导体器件，

其中所述第一晶体管的所述第一端子和所述第二晶体管的所述第一端子直接连接至所述第一输出端子，

其中所述第三晶体管的所述第一端子和所述第四晶体管的所述第一端子直接连接至所述第二输出端子，

其中所述第五晶体管的所述第一端子和所述第九晶体管的所述第一端子直接彼此连接，

其中所述第一晶体管的所述栅极端子和所述第三晶体管的所述栅极端子直接彼此连接，并且

所述第五晶体管的所述栅极端子、所述第七晶体管的所述第一端子、所述第八晶体管的所述第一端子、所述第六晶体管的所述第一端子、所述第二晶体管的所述栅极端子以及所述第四晶体管的所述栅极端子直接彼此连接。

7. 如权利要求4所述的半导体器件，还包括第一电源线和第二电源线，

其中所述第一电源线电连接至所述第七晶体管的第二端子，并且

其中所述第二电源线电连接至所述第五晶体管的第二端子、所述第六晶体管的第二端子、所述第二晶体管的第二端子和所述第四晶体管的第二端子。

8. 一种半导体器件，包括移位寄存器，所述移位寄存器包括：

第一晶体管和第二晶体管，所述第一晶体管的第一端子和所述第二晶体管的第一端子电连接至第一输出端子；

第三晶体管 and 第四晶体管，所述第三晶体管的第一端子和所述第四晶体管的第一端子电连接至第二输出端子；以及

第五晶体管至第十晶体管，

其中所述第五晶体管的第一端子、所述第九晶体管的第一端子、所述第一晶体管的栅极端子和所述第三晶体管的栅极端子彼此电连接，

其中所述第五晶体管的栅极端子、所述第七晶体管的第一端子、所述第八晶体管的第一端子、所述第六晶体管的第一端子、所述第二晶体管的栅极端子和所述第四晶体管的栅极端子彼此电连接，

其中所述第十晶体管的第一端子和所述第八晶体管的第二端子彼此电连接，

其中所述第九晶体管的第二端子、所述第十晶体管的第二端子和所述第七晶体管的第二端子彼此电连接，并且

其中所述第五晶体管的沟道长度和所述第六晶体管的沟道长度中的每一个比所述第三晶体管的沟道长度长。

9. 如权利要求8所述的半导体器件，

其中所述第一晶体管至所述第十晶体管中的任何一个包括作为半导体材料的氧化物半导体。

10. 如权利要求8所述的半导体器件，

其中所述第一晶体管的所述第一端子和所述第二晶体管的所述第一端子直接连接至所述第一输出端子，

其中所述第三晶体管的所述第一端子和所述第四晶体管的所述第一端子直接连接至所述第二输出端子，

其中所述第五晶体管的所述第一端子和所述第九晶体管的所述第一端子直接彼此连接，

其中所述第一晶体管的所述栅极端子和所述第三晶体管的所述栅极端子直接彼此连接，

其中所述第五晶体管的所述栅极端子、所述第七晶体管的所述第一端子、所述第八晶体管的所述第一端子、所述第六晶体管的所述第一端子、所述第二晶体管的所述栅极端子以及所述第四晶体管的所述栅极端子直接彼此连接，

其中所述第十晶体管的所述第一端子和所述第八晶体管的所述第二端子彼此电连接，并且

其中所述第九晶体管的所述第二端子、所述第十晶体管的所述第二端子和所述第七晶体管的所述第二端子直接彼此连接。

11. 一种半导体器件，包括移位寄存器，所述移位寄存器包括：

第一晶体管和第二晶体管，所述第一晶体管的第一端子和所述第二晶体管的第一端子电连接至第一输出端子；

第三晶体管 and 第四晶体管，所述第三晶体管的第一端子和所述第四晶体管的第一端子电连接至第二输出端子；以及

第五晶体管至第十一晶体管，

其中所述第五晶体管的第一端子、所述第九晶体管的第一端子、和所述第十一晶体管的第一端子彼此电连接，

其中所述第十一晶体管的第二端子、所述第一晶体管的栅极端子、和所述第三晶体管的栅极端子彼此电连接，

其中所述第五晶体管的栅极端子、所述第七晶体管的第一端子、所述第八晶体管的第一端子、所述第六晶体管的第一端子、所述第二晶体管的栅极端子和所述第四晶体管的栅极端子彼此电连接，

其中所述第十晶体管的第一端子和所述第八晶体管的第二端子彼此电连接，

其中所述第九晶体管的第二端子、所述第十晶体管的第二端子、所述第七晶体管的第二端子和所述第十一晶体管的栅极端子彼此电连接，并且

其中所述第五晶体管的沟道长度和所述第六晶体管的沟道长度中的每一个比所述第三晶体管的沟道长度长。

12. 如权利要求11所述的半导体器件，

其中所述第一晶体管至所述第十一晶体管中的任何一个包括作为半导体材料的氧化物半导体。

13. 如权利要求11所述的半导体器件，

其中所述第一晶体管的所述第一端子和所述第二晶体管的所述第一端子直接连接至所述第一输出端子，

其中所述第三晶体管的所述第一端子和所述第四晶体管的所述第一端子直接连接至所述第二输出端子，

其中所述第五晶体管的所述第一端子、所述第九晶体管的所述第一端子和所述第十一晶体管的所述第一端子直接彼此连接，

其中所述第十一晶体管的所述第二端子、所述第一晶体管的所述栅极端子和所述第三晶体管的所述栅极端子直接彼此连接，

其中所述第五晶体管的所述栅极端子、所述第七晶体管的所述第一端子、所述第八晶体管的所述第一端子、所述第六晶体管的所述第一端子、所述第二晶体管的所述栅极端子以及所述第四晶体管的所述栅极端子直接彼此连接，

其中所述第十晶体管的所述第一端子和所述第八晶体管的所述第二端子彼此电连接，并且

其中所述第九晶体管的所述第二端子、所述第十晶体管的所述第二端子、所述第七晶体管的所述第二端子和所述第十一晶体管的所述栅极端子直接彼此连接。

14. 如权利要求4、权利要求8和权利要求11中的任何一个所述的半导体器件，

其中所述第五晶体管的第二端子、所述第六晶体管的第二端子、所述第二晶体管的第二端子和所述第四晶体管的第二端子彼此电连接，并且

其中所述第六晶体管的栅极端子和所述第九晶体管的栅极端子彼此电连接。

15. 如权利要求4、权利要求8和权利要求11中的任何一个所述的半导体器件，

其中所述第五晶体管的第二端子、所述第六晶体管的第二端子、所述第二晶体管的第二端子和所述第四晶体管的第二端子直接彼此连接，并且

其中所述第六晶体管的栅极端子和所述第九晶体管的栅极端子直接彼此连接。

16. 如权利要求8或者权利要求11所述的半导体器件，还包括第一电源线和第二电源线，

其中所述第一电源线电连接至所述第七晶体管的所述第二端子，并且

其中所述第二电源线电连接至所述第五晶体管的第二端子、所述第六晶体管的第二端子、所述第二晶体管的第二端子和所述第四晶体管的第二端子。

17. 如权利要求1、权利要求4、权利要求8和权利要求11中的任何一个所述的半导体器件，

其中所述第五晶体管和所述第六晶体管中的任何一个是具有至少两个栅极端子的晶体管。

18. 如权利要求1、权利要求4、权利要求8和权利要求11中任何一个所述的半导体器件，还包括电连接在所述第二晶体管的所述栅极端子和所述第二晶体管的第二端子之间的电容器。

19. 一种显示装置，包括如权利要求1、权利要求4、权利要求8和权利要求11中任何一个所述的半导体器件。

20. 一种半导体器件，包括移位寄存器，所述移位寄存器包括：

第一晶体管至第十二晶体管；以及

第一电容器和第二电容器，

其中所述第一晶体管至所述第十二晶体管具有相同的导电型，

其中所述第四晶体管具有两个栅极端子，

其中所述第十晶体管具有两个栅极端子，

其中所述第一晶体管的源极端子和漏极端子中的一个电连接至所述第二晶体管的源极端子和漏极端子中的一个，

其中所述第三晶体管的源极端子和漏极端子中的一个电连接至所述第四晶体管的源极端子和漏极端子中的一个，

其中所述第四晶体管的所述两个栅极端子电连接至所述第二晶体管的栅极端子，

其中所述第五晶体管的源极端子和漏极端子中的一个电连接至所述第三晶体管的所述源极端子和所述漏极端子中的所述一个，

其中所述第五晶体管的其它的所述源极端子和所述漏极端子电连接至所述第一晶体管的栅极端子，

其中所述第六晶体管的源极端子和漏极端子中的一个直接连接至所述第二晶体管的所述栅极端子，

其中所述第一电容器的第一电极电连接至所述第二晶体管的所述栅极端子，

其中所述第七晶体管的源极端子和漏极端子中的一个电连接至所述第八晶体管的源极端子和漏极端子中的一个，

其中所述第九晶体管的源极端子和漏极端子中的一个电连接至所述第十晶体管的源极端子和漏极端子中的一个，

其中所述第十晶体管的所述两个栅极端子电连接至所述第八晶体管的栅极端子，

其中所述第十一晶体管的源极端子和漏极端子中的一个电连接至所述第九晶体管的所述源极端子和所述漏极端子中的所述一个，

其中所述第十一晶体管的其它的所述源极端子和所述漏极端子电连接至所述第七晶体管的栅极端子，

其中所述第十二晶体管的源极端子和漏极端子中的一个直接连接至所述第八晶体管的所述栅极端子，

其中所述第二电容器的第一电极电连接至所述第八晶体管的所述栅极端子，

其中所述第九晶体管的栅极端子电连接至所述第一晶体管的所述源极端子和所述漏极端子中的所述一个，

其中所述第二晶体管的其它的所述源极端子和所述漏极端子电连接至第一布线，

其中所述第四晶体管的其它的所述源极端子和所述漏极端子电连接至所述第一布线，

其中所述第八晶体管的其它的所述源极端子和所述漏极端子电连接至所述第一布线，

其中所述第十晶体管的其它的所述源极端子和所述漏极端子电连接至所述第一布线，

其中所述第一电容器的第二电极电连接至所述第一布线，

其中所述第二电容器的第二电极电连接至所述第一布线，

其中所述第五晶体管的栅极端子电连接至第二布线，

其中所述第六晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第二布线，

其中所述第十一晶体管的栅极端子电连接至所述第二布线，

其中所述第十二晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第二布线，

其中所述第一晶体管的其它的所述源极端子和所述漏极端子电连接至第三布线，

其中所述第七晶体管的其它的所述源极端子和所述漏极端子电连接至第四布线，
其中所述第六晶体管的栅极端子电连接至所述第四布线，并且
其中所述第十二晶体管的栅极端子电连接至第五布线。

21. 一种半导体器件，包括移位寄存器，所述移位寄存器包括：

第一晶体管至第十二晶体管；以及

第一电容器和第二电容器，

其中所述第一晶体管至所述第十二晶体管具有相同的导电型，

其中所述第四晶体管具有两个栅极端子，

其中所述第十晶体管具有两个栅极端子，

其中所述第一晶体管的源极端子和漏极端子中的一个直接连接至所述第二晶体管的源极端子和漏极端子中的一个，

其中所述第三晶体管的源极端子和漏极端子中的一个直接连接至所述第四晶体管的源极端子和漏极端子中的一个，

其中所述第四晶体管的所述两个栅极端子直接连接至所述第二晶体管的栅极端子，

其中所述第五晶体管的源极端子和漏极端子中的一个直接连接至所述第三晶体管的所述源极端子和所述漏极端子中的所述一个，

其中所述第五晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第一晶体管的栅极端子，

其中所述第六晶体管的源极端子和漏极端子中的一个直接连接至所述第二晶体管的所述栅极端子，

其中所述第一电容器的第一电极直接连接至所述第二晶体管的所述栅极端子，

其中所述第七晶体管的源极端子和漏极端子中的一个直接连接至所述第八晶体管的源极端子和漏极端子中的一个，

其中所述第九晶体管的源极端子和漏极端子中的一个直接连接至所述第十晶体管的源极端子和漏极端子中的一个，

其中所述第十晶体管的所述两个栅极端子直接连接至所述第八晶体管的栅极端子，

其中所述第十一晶体管的源极端子和漏极端子中的一个直接连接至所述第九晶体管的所述源极端子和所述漏极端子中的所述一个，

其中所述第十一晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第七晶体管的栅极端子，

其中所述第十二晶体管的源极端子和漏极端子中的一个直接连接至所述第八晶体管的所述栅极端子，

其中所述第二电容器的第一电极直接连接至所述第八晶体管的所述栅极端子，

其中所述第九晶体管的栅极端子直接连接至所述第一晶体管的所述源极端子和所述漏极端子中的所述一个，

其中所述第二晶体管的其它的所述源极端子和所述漏极端子直接连接至第一布线，

其中所述第四晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第一布线，

其中所述第八晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第一布

线，

其中所述第十晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第一布线，

其中所述第一电容器的第二电极直接连接至所述第一布线，

其中所述第二电容器的第二电极直接连接至所述第一布线，

其中所述第五晶体管的栅极端子直接连接至第二布线，

其中所述第六晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第二布线，

其中所述第十一晶体管的栅极端子直接连接至所述第二布线，

其中所述第十二晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第二布线，

其中第一信号输入进入所述第一晶体管的其它的所述源极端子和所述漏极端子，

其中第二信号输入进入所述第七晶体管的其它的所述源极端子和所述漏极端子，

其中所述第二信号输入进入所述第六晶体管的栅极端子，并且

其中第三信号输入进入所述第十二晶体管的栅极端子。

22. 一种半导体器件，包括移位寄存器，所述移位寄存器包括：

第一晶体管至第十六晶体管、第一电容器和第二电容器，

其中所述第一晶体管至所述第十六晶体管具有相同的导电型，

其中所述第一晶体管的源极端子和漏极端子中的一个直接连接至所述第二晶体管的源极端子和漏极端子中的一个，

其中所述第三晶体管的源极端子和漏极端子中的一个直接连接至所述第四晶体管的源极端子和漏极端子中的一个，

其中所述第五晶体管的源极端子和漏极端子中的一个直接连接至所述第六晶体管的源极端子和漏极端子中的一个，

其中所述第七晶体管的源极端子和漏极端子中的一个直接连接至所述第五晶体管的其它的所述源极端子和所述漏极端子，

其中所述第八晶体管的源极端子和漏极端子中的一个直接连接至所述第三晶体管的所述源极端子和所述漏极端子中的所述一个，

其中所述第八晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第一晶体管的栅极端子，

其中所述第二晶体管的栅极端子直接连接至所述第四晶体管的栅极端子，

其中所述第二晶体管的所述栅极端子直接连接至所述第五晶体管的所述源极端子和所述漏极端子中的所述一个，

其中所述第二晶体管的所述栅极端子直接连接至所述第一电容器的第一电极，

其中所述第三晶体管的栅极端子直接连接至所述第六晶体管的栅极端子，

其中所述第九晶体管的源极端子和漏极端子中的一个直接连接至所述第十晶体管的源极端子和漏极端子中的一个，

其中所述第十一晶体管的源极端子和漏极端子中的一个直接连接至所述第十二晶体管的源极端子和漏极端子中的一个，

其中所述第十三晶体管的源极端子和漏极端子中的一个直接连接至所述第十四晶体管的源极端子和漏极端子中的一个，

其中所述第十五晶体管的源极端子和漏极端子中的一个直接连接至所述第十三晶体管的其它的所述源极端子和所述漏极端子，

其中所述第十六晶体管的源极端子和漏极端子中的一个直接连接至所述第十一晶体管的所述源极端子和所述漏极端子中的所述一个，

其中所述第十六晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第九晶体管的栅极端子，

其中所述第十晶体管的栅极端子直接连接至所述第十二晶体管的栅极端子，

其中所述第十晶体管的所述栅极端子直接连接至所述第十三晶体管的所述源极端子和所述漏极端子中的所述一个，

其中所述第十晶体管的所述栅极端子直接连接至所述第二电容器的第一电极，

其中所述第十一晶体管的栅极端子直接连接至所述第十四晶体管的栅极端子，

其中所述第十一晶体管的所述栅极端子直接连接至所述第一晶体管的所述源极端子和所述漏极端子中的所述一个，

其中所述第二晶体管的其它的所述源极端子和所述漏极端子直接连接至第一布线，

其中所述第四晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第一布线，

其中所述第六晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第一布线，

其中所述第十晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第一布线，

其中所述第十二晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第一布线，

其中所述第十四晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第一布线，

其中所述第一电容器的第二电极直接连接至所述第一布线，

其中所述第二电容器的第二电极直接连接至所述第一布线，

其中所述第五晶体管的栅极端子直接连接至第二布线，并且

其中所述第九晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第二布线。

23. 一种半导体器件，包括移位寄存器，所述移位寄存器包括：

第一晶体管至第十六晶体管，

其中所述第四晶体管具有两个栅极端子，

其中所述第十二晶体管具有两个栅极端子，

其中所述第一晶体管至所述第十六晶体管具有相同的导电型，

其中所述第一晶体管的源极端子和漏极端子中的一个直接连接至所述第二晶体管的源极端子和漏极端子中的一个，

其中所述第三晶体管的源极端子和漏极端子中的一个直接连接至所述第四晶体管的

源极端子和漏极端子中的一个，

其中所述第五晶体管的源极端子和漏极端子中的一个直接连接至所述第六晶体管的源极端子和漏极端子中的一个，

其中所述第七晶体管的源极端子和漏极端子中的一个直接连接至所述第五晶体管的其它的所述源极端子和所述漏极端子，

其中所述第八晶体管的源极端子和漏极端子中的一个直接连接至所述第三晶体管的所述源极端子和所述漏极端子中的所述一个，

其中所述第八晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第一晶体管的栅极端子，

其中所述第二晶体管的栅极端子直接连接至所述第四晶体管的栅极端子，

其中所述第二晶体管的所述栅极端子直接连接至所述第五晶体管的所述源极端子和所述漏极端子中的所述一个，

其中所述第三晶体管的栅极端子直接连接至所述第六晶体管的栅极端子，

其中所述第九晶体管的源极端子和漏极端子中的一个直接连接至所述第十晶体管的源极端子和漏极端子中的一个，

其中所述第十一晶体管的源极端子和漏极端子中的一个直接连接至所述第十二晶体管的源极端子和漏极端子中的一个，

其中所述第十三晶体管的源极端子和漏极端子中的一个直接连接至所述第十四晶体管的源极端子和漏极端子中的一个，

其中所述第十五晶体管的源极端子和漏极端子中的一个直接连接至所述第十三晶体管的其它的所述源极端子和所述漏极端子，

其中所述第十六晶体管的源极端子和漏极端子中的一个直接连接至所述第十一晶体管的所述源极端子和所述漏极端子中的所述一个，

其中所述第十六晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第九晶体管的栅极端子，

其中所述第十晶体管的栅极端子直接连接至所述第十二晶体管的栅极端子，

其中所述第十晶体管的所述栅极端子直接连接至所述第十三晶体管的所述源极端子和所述漏极端子中的所述一个，

其中所述第十一晶体管的栅极端子直接连接至所述第十四晶体管的栅极端子，

其中所述第十一晶体管的所述栅极端子直接连接至所述第一晶体管的所述源极端子和所述漏极端子中的所述一个，

其中所述第二晶体管的其它的所述源极端子和所述漏极端子直接连接至第一布线，

其中所述第四晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第一布线，

其中所述第六晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第一布线，

其中所述第十晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第一布线，

其中所述第十二晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第一

布线，

其中所述第十四晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第一布线，

其中所述第五晶体管的栅极端子直接连接至第二布线，并且

其中所述第九晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第二布线。

24. 如权利要求22或者权利要求23所述的半导体器件，

其中所述第六晶体管具有两个栅极端子，并且

其中所述第十四晶体管具有两个栅极端子。

25. 一种半导体器件，包括移位寄存器，所述移位寄存器包括：

第一晶体管至第十六晶体管，

其中所述第六晶体管具有两个栅极端子，

其中所述第十四晶体管具有两个栅极端子，

其中所述第一晶体管至所述第十六晶体管具有相同的导电型，

其中所述第一晶体管的源极端子和漏极端子中的一个直接连接至所述第二晶体管的源极端子和漏极端子中的一个，

其中所述第三晶体管的源极端子和漏极端子中的一个直接连接至所述第四晶体管的源极端子和漏极端子中的一个，

其中所述第五晶体管的源极端子和漏极端子中的一个直接连接至所述第六晶体管的源极端子和漏极端子中的一个，

其中所述第七晶体管的源极端子和漏极端子中的一个直接连接至所述第五晶体管的其它的所述源极端子和所述漏极端子，

其中所述第八晶体管的源极端子和漏极端子中的一个直接连接至所述第三晶体管的所述源极端子和所述漏极端子中的所述一个，

其中所述第八晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第一晶体管的栅极端子，

其中所述第二晶体管的栅极端子直接连接至所述第四晶体管的栅极端子，

其中所述第二晶体管的所述栅极端子直接连接至所述第五晶体管的所述源极端子和所述漏极端子中的所述一个，

其中所述第三晶体管的栅极端子直接连接至所述第六晶体管的栅极端子，

其中所述第九晶体管的源极端子和漏极端子中的一个直接连接至所述第十晶体管的源极端子和漏极端子中的一个，

其中所述第十一晶体管的源极端子和漏极端子中的一个直接连接至所述第十二晶体管的源极端子和漏极端子中的一个，

其中所述第十三晶体管的源极端子和漏极端子中的一个直接连接至所述第十四晶体管的源极端子和漏极端子中的一个，

其中所述第十五晶体管的源极端子和漏极端子中的一个直接连接至所述第十三晶体管的其它的所述源极端子和所述漏极端子，

其中所述第十六晶体管的源极端子和漏极端子中的一个直接连接至所述第十一晶体

管的所述源极端子和所述漏极端子中的所述一个，

其中所述第十六晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第九晶体管的栅极端子，

其中所述第十晶体管的栅极端子直接连接至所述第十二晶体管的栅极端子，

其中所述第十晶体管的所述栅极端子直接连接至所述第十三晶体管的所述源极端子和所述漏极端子中的所述一个，

其中所述第十一晶体管的栅极端子直接连接至所述第十四晶体管的栅极端子，

其中所述第十一晶体管的所述栅极端子直接连接至所述第一晶体管的所述源极端子和所述漏极端子中的所述一个，

其中所述第二晶体管的其它的所述源极端子和所述漏极端子直接连接至第一布线，

其中所述第四晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第一布线，

其中所述第六晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第一布线，

其中所述第十晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第一布线，

其中所述第十二晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第一布线，

其中所述第十四晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第一布线，

其中所述第五晶体管的栅极端子直接连接至第二布线，并且

其中所述第九晶体管的其它的所述源极端子和所述漏极端子直接连接至所述第二布线。

26. 如权利要求22或者权利要求25所述的半导体器件，

其中所述第四晶体管具有两个栅极端子，并且

其中所述第十二晶体管具有两个栅极端子。

27. 一种显示装置，包括：

衬底；

扫描线驱动电路，位于所述衬底上；以及

像素部分，位于所述衬底上，

其中所述扫描线驱动电路包括如权利要求1所述的移位寄存器。

脉冲信号输出电路和移位寄存器

技术领域

[0001] 所公开的本发明涉及脉冲信号输出电路和移位寄存器。

背景技术

[0002] 在诸如玻璃衬底之类的平板之上形成并且通常在液晶显示装置中使用的晶体管一般包括诸如非晶硅或多晶硅之类的半导体材料。虽然包括非晶硅的晶体管具有低场效应迁移率,但是它们能够在大玻璃衬底之上形成。相比之下,虽然包括多晶硅的晶体管具有高场效应迁移率,但是它们需要诸如激光退火之类的晶化过程并且不是一直适合于大玻璃衬底。

[0003] 另一方面,包括氧化物半导体作为半导体材料的晶体管引起关注。例如,专利文献1和2公开用以使用氧化锌或In-Ga-Zn-O基氧化物半导体作为半导体材料来形成晶体管并且将其用作图像显示装置的开关元件的技术。

[0004] 在沟道区中包括氧化物半导体的晶体管具有比包括非晶硅的晶体管要高的场效应迁移率。此外,氧化物半导体膜能够通过溅射方法等在300°C或更低的温度下形成;因此,包括氧化物半导体的晶体管的制造过程比包括多晶硅的晶体管的制造过程要简单。

[0005] 预计包括氧化物半导体的这类晶体管用作诸如液晶显示器、电致发光显示器和电子纸之类的显示装置的像素部分和驱动器电路中包括的开关元件。例如,非专利文献1公开一种显示装置的像素部分和驱动器电路包括具有氧化物半导体的晶体管所使用的技术。

[0006] 注意,包括氧化物半导体的晶体管全部是n沟道晶体管。因此,在驱动器电路包括具有氧化物半导体的晶体管的情况下,驱动器电路仅包括n沟道晶体管。

[0007] [专利文献]

[0008] [专利文献1]日本已公开专利申请2007-123861

[0009] [专利文献2]日本已公开专利申请2007-096055

[0010] [非专利文献]

[0011] [非专利文献1]T.Osada等人,“Development of Driver-Integrated Panel using Amorphous In-Ga-Zn-Oxide TFT”,Proc.SID'09Digest,2009,第184-187页。

发明内容

[0012] 驱动器电路包括例如具有脉冲信号输出电路的移位寄存器。在移位寄存器包括具有相同导电性类型的晶体管的情况下,例如,移位寄存器可能具有不稳定操作的问题。

[0013] 鉴于此问题,本发明的一个实施例的一个目的是提供能够稳定操作的脉冲信号输出电路以及包括脉冲信号输出电路的移位寄存器。

[0014] 本发明的目的之一是提供能够稳定操作的脉冲信号输出电路以及包括脉冲信号输出电路的移位寄存器。在脉冲信号输出电路的一个实施例中,晶体管具有连接到具有形成脉冲信号输出电路的输出端子的源极端子或漏极端子的另一个晶体管的栅电极的源极

端子或漏极 端子,晶体管的沟道长度比另一个晶体管的沟道长度要长。由此,修改另一个晶体管的栅电 位的泄漏电流能够降低,并且能够防止脉冲信号输出电路的故障。

[0015] 下面描述能够采用的配置的具体示例。

[0016] 本发明的一个实施例是包括第一至第九晶体管、第一输入信号发生电路和第二输入 信号发生电路的脉冲信号输出电路。第一晶体管的第一端子和第二晶体管的第一端子电连接 到第一输出端子,并且第三晶体管的第一端子和第四晶体管的第一端子电连接到 第二输出端 子。第一输入信号发生电路包括第五晶体管和第六晶体管。第五晶体管的第一 端子和第六晶 体管的第一端子相互电连接,并且共同用作第一输入信号发生电路的输出 端子。第二输入信 号发生电路包括第七至第九晶体管。第七晶体管的第二端子、第八晶体 管的第二端子和第九 晶体管的第一端子相互电连接,并且共同用作第二输入信号发生电 路的输出端子。第一晶体 管的栅极端子、第三晶体管的栅极端子和第一输入信号发生电路 的输出端子相互电连接。第 二晶体管的栅极端子、第四晶体管的栅极端子和第二输入信号 发生电路的输出端子相互电连 接。第六晶体管的沟道长度比第三晶体管的沟道长度要长 并且比第四晶体管的沟道长度要 长。第九晶体管的沟道长度比第三晶体管的沟道长度要 长并且比第四晶体管的沟道长度要 长。

[0017] 在脉冲信号输出电路中,优选的是,将第一时钟信号输入到第一晶体管的第二端 子和第三晶体管的第二端子;将第一电位提供给第二晶体管的第二端子、第四晶体管的第 二端 子、第六晶体管的第二端子和第九晶体管的第二端子;将比第一电位要高的第二电位 提供给 第五晶体管的第二端子、第七晶体管的第二端子和第八晶体管的第二端子;将第一 脉冲信号 输入到第五晶体管的栅极端子和第九晶体管的栅极端子;将第二输入信号发生 电路的输出信 号输入到第六晶体管的栅极端子;将第三脉冲信号输入到第七晶体管的栅 极端子;将第二时 钟信号输入到第八晶体管的栅极端子;以及将第二脉冲信号从第一输出 端子或第二输出端子 输出。

[0018] 在脉冲信号输出电路中,第六晶体管和第九晶体管中的至少一个可以是具有其中 至 少两个栅极串联布置的多栅结构的晶体管。

[0019] 本发明的另一个实施例是包括第一至第十一晶体管、第一输入信号发生电路和第 二 输入信号发生电路的脉冲信号输出电路。第一晶体管的第一端子和第二晶体管的第一 端子电 连接到第一输出端子,并且第三晶体管的第一端子和第四晶体管的第一端子电连 接到第二输 出端子。第一输入信号发生电路包括第五至第七晶体管。第五晶体管的第一端 子、第六晶体 管的第一端子和第七晶体管的第一端子相互电连接,并且第七晶体管的第二 端子用作第一输 入信号发生电路的输出端子。第二输入信号发生电路包括第八至第十一 晶体管。第十一晶体 管的第二端子和第九晶体管的第一端子相互电连接,以及第九晶体管 的第二端子、第八晶体 管的第二端子和第十晶体管的第一端子相互电连接并且共同用作 第二输入信号发生电路的输 出端子。第一晶体管的栅极端子、第三晶体管的栅极端子和第 一输入信号发生电路的输出端 子相互电连接。第二晶体管的栅极端子、第四晶体管的栅极 端子和第二输入信号发生电路的 输出端子相互电连接。第六晶体管的沟道长度比第三晶 体管的沟道长度要长并且比第四晶体 管的沟道长度要长。第十晶体管的沟道长度比第三 晶体管的沟道长度要长并且比第四晶体管 的沟道长度要长。

[0020] 在脉冲信号输出电路中,优选的是,将第一时钟信号输入到第一晶体管的第二端

子 和第三晶体管的第二端子;将第一电位提供给第二晶体管的第二端子、第四晶体管的第二端子、第六晶体管的第二端子和第十晶体管的第二端子;将比第一电位要高的第二电位提供给 第五晶体管的第二端子、第七晶体管的栅极端子、第八晶体管的第一端子和第十一晶体管的 第一端子;将第一脉冲信号输入到第五晶体管的栅极端子和第十晶体管的栅极端子;将第二 输入信号发生电路的输出信号输入到第六晶体管的栅极端子;将第三脉冲信号输入到第八晶 体管的栅极端子;将第二时钟信号输入到第九晶体管的栅极端子;将第三 时钟信号输入到第 十一晶体管的栅极端子;以及将第二脉冲信号从第一输出端子或第二 输出端子输出。

[0021] 在脉冲信号输出电路中,第六晶体管 and 第十晶体管中的至少一个可以是具有其中至 少两个栅极串联布置的多栅结构的晶体管。

[0022] 在作为本发明的实施例的脉冲信号输出电路中,可包括一种电容器,其端子电连接 到其中第二晶体管的栅极端子、第四晶体管的栅极端子和第二输入信号发生电路的输出端子 相互电连接的结点。

[0023] 在脉冲信号输出电路中,晶体管的至少一个优选地包括氧化物半导体。此外,移位 寄存器能够包括多个脉冲信号输出电路。

[0024] 注意,在脉冲信号输出电路中,晶体管在一些情况下包括氧化物半导体;但是所公开 的本发明并不局限于此。

[0025] 注意,本说明书等中,诸如“之上”或“之下”之类的术语不一定表示组件放置于 “直接在”另一个组件“之上”或“之下”。例如,表述“栅绝缘层之上的栅电极”并不排 除另一个组件放置在栅绝缘层与栅电极之间的情况。

[0026] 另外,在本说明书等中,诸如“电极”和“布线”之类的术语并没有限制组件的功能。例如,“电极”能够用作“布线”的一部分,而“布线”能够用作“电极”的一部分。例如,诸 如“电极”和“布线”之类的术语还能够表示多个“电极”和“布线”的组合。

[0027] 当例如使用相反极性的晶体管时或者电流流动方向在电路操作中改变时,“源”和 “漏”的功能可能相互交换。因此,在本说明书中,术语“源”和“漏”能够相互交换。

[0028] 注意,在本说明书等中,术语“电连接”包括组件通过具有任何电功能的对象相互 连接的情况。在这里,对于具有任何电功能的对象没有特殊限制,只要电信号能够在通过该 对象相互连接的组件之间传送和接收。

[0029] 除了电极和布线之外,“具有任何电功能的对象”的示例还有诸如晶体管、电阻器、 电感器、电容器之类的开关元件和具有各种功能的元件。

[0030] 能够提供能够稳定操作的脉冲信号输出电路以及包括脉冲信号输出电路的移位 寄存器。

附图说明

[0031] 图1A至图1C示出脉冲信号输出电路和移位寄存器的配置示例。

[0032] 图2是移位寄存器的时序图。

[0033] 图3A至图3C示出脉冲信号输出电路的操作。

[0034] 图4A至图4C示出脉冲信号输出电路的操作。

[0035] 图5A和图5B示出脉冲信号输出电路的配置示例。

- [0036] 图6A至图6C示出脉冲信号输出电路和移位寄存器的配置示例。
- [0037] 图7是移位寄存器的时序图。
- [0038] 图8A至图8C示出脉冲信号输出电路的操作。
- [0039] 图9A和图9B示出脉冲信号输出电路的操作。
- [0040] 图10A和图10B示出脉冲信号输出电路的配置示例。
- [0041] 图11A至图11D示出晶体管的结构示例。
- [0042] 图12A至图12E示出用于制造晶体管的方法的示例。
- [0043] 图13A至图13C示出半导体装置的示例。
- [0044] 图14A至图14F示出电子装置。

具体实施方式

[0045] 下面将参照附图来描述本发明的实施例的示例。注意，本发明并不局限于以下描述。本领域的技术人员将易于理解，本发明的模式和细节能够按照各种方式改变，而没有背离本发明的精神和范围。因此，本发明不应当被理解为局限于实施例的以下描述。

[0046] 注意，附图等中所示的各组件的位置、尺寸、范围等在一些情况下为了易于理解而没有精确表示。因此，所公开的本发明不一定局限于附图等中公开的位置、尺寸、范围等。

[0047] 注意，在本说明书等中使用诸如“第一”、“第二”和“第三”之类的序数以便避免组件之间的混淆，而不是限制数量。

[0048] (实施例1)

[0049] 在这个实施例中，将参照图1A至图1C、图2、图3A至图3C和图4A至图4C来描述脉冲信号输出电路以及包括脉冲信号输出电路的移位寄存器的配置示例。

[0050] <电路配置>

[0051] 首先，将参照图1A至图1C来描述脉冲信号输出电路以及包括脉冲信号输出电路的移位寄存器的电路配置的示例。

[0052] 这个实施例中所述的移位寄存器包括第一至第n脉冲信号输出电路10₁至10_n ($n \geq 2$) 以及传送时钟信号的第一至第四信号线11至14 (参见图1A)。将第一时钟信号 (CLK1) 提供给第一信号线11。将第二时钟信号 (CLK2) 提供给第二信号线12。将第三时钟信号 (CLK3) 提供给第三信号线13。将第四时钟信号 (CLK4) 提供给第四信号线14。

[0053] 时钟信号是以规则间隔在H电平信号 (高电位) 与L电平信号 (低电位) 之间交替的信号。在这里，第一至第四时钟信号 (CK1至CK4) 依次延迟1/4周期。在这个实施例中，通过使用时钟信号，执行脉冲信号输出电路的控制等。

[0054] 第一至第n脉冲信号输出电路10₁至10_n的每个包括第一输入端子21、第二输入端子22、第三输入端子23、第四输入端子24、第五输入端子25、第一输出端子26以及第二输出端子27 (参见图1B)。

[0055] 第一输入端子21、第二输入端子22和第三输入端子23电连接到第一至第四信号线11至14的任一个。例如，第一脉冲信号输出电路10₁中的第一输入端子21电连接到第一信号线11，第一脉冲信号输出电路10₁中的第二输入端子22电连接到第二信号线12，以及第一脉冲信号输出电路10₁中的第三输入端子23电连接到第三信号线13。另外，第二脉冲信号输出电路10₂中的第一输入端子21电连接到第二信号线12，第二脉冲信号输出电路 10₂

中的第二输入端子22电连接到第三信号线13,以及第二脉冲信号输出电路10₂中的第三输入端子23电连接到第四信号线14。注意,在这里,描述第二至第四信号线12至14连接到第n脉冲信号输出电路10_n的情况。但是,哪些信号线连接到第n脉冲信号输出电路10_n取决于n的值。因此,要注意,本文所述的配置只是一个示例。

[0056] 在这个实施例中所述的移位寄存器的第m脉冲信号输出电路($m \geq 2$)中,第四输入端子24电连接到第(m-1)脉冲信号输出电路的第一输出端子26。在第m脉冲信号输出电路($m \leq n-2$)中,第五输入端子25电连接到第(m+2)脉冲信号输出电路的第一输出端子26;第一输出端子26电连接到第(m+1)脉冲信号输出电路的第四输入端子24;以及第二输出端子27向OUT(m)输出信号。

[0057] 例如,第三脉冲信号输出电路10₃中的第四输入端子24电连接到第二脉冲信号输出电路10₂中的第一输出端子26。第三脉冲信号输出电路10₃中的第五输入端子25电连接到第五脉冲信号输出电路10₅中的第一输出端子26。第三脉冲信号输出电路10₃中的第一输出端子26电连接到第四脉冲信号输出电路10₄中的第四输入端子24以及第一脉冲信号输出电路10₁中的第五输入端子25。

[0058] 另外,第一起始脉冲(SP1)从第五布线15输入到第一脉冲信号输出电路10₁中的第四输入端子24。将从前一级输出的脉冲输入到第k脉冲信号输出电路10_k(k是大于或等于2且小于或等于n的自然数)中的第四输入端子24。将第二起始脉冲(SP2)输入到第(n-1)脉冲信号输出电路10_{n-1}中的第五输入端子25。将第三起始脉冲(SP3)输入到第n脉冲信号输出电路10_n中的第五输入端子25。第二起始脉冲(SP2)和第三起始脉冲(SP3)可从外部输入或者在电路内部生成。

[0059] 接下来将描述第一至第n脉冲信号输出电路10₁至10_n的具体配置。

[0060] 第一至第n脉冲信号输出电路10₁至10_n的每个包括:脉冲信号发生电路,其中包括第一至第四晶体管101至104;第一输入信号发生电路,其中包括第五至第七晶体管105至107;以及第二输入信号发生电路,其中包括第八至第十一晶体管108至111(参见图1C)。此外,除了第一至第五输入端子21至25之外,还从第一和第二电源线31和32提供信号给第一至第十一晶体管101至111。

[0061] 脉冲信号发生电路的配置的一个具体示例如下。

[0062] 第一晶体管101的第一端子(下文中,“第一端子”表示源极端子和漏极端子其中之一)和第二晶体管102的第一端子电连接到第一输出端子26。类似地,第三晶体管103的第一端子和第四晶体管104的第一端子电连接到第二输出端子27。第一晶体管101的栅极端子、第三晶体管103的栅极端子和第一输入信号发生电路的输出端子相互电连接。第二晶体管102的栅极端子、第四晶体管104的栅极端子和第二输入信号发生电路的输出端子相互电连接。

[0063] 将第一时钟信号输入到第一晶体管101的第二端子(下文中,“第二端子”表示源极端子和漏极端子中的另一个)。第一晶体管101的第二端子还用作脉冲信号输出电路中的第一输入端子21。第一电位(例如低电位V_{SS})通过第一电源线31提供给第二晶体管102的第二端子。将第一时钟信号输入到第三晶体管103的第二端子。第三晶体管103的第二端子还用作脉冲信号输出电路中的第一输入端子21。第一电位通过第一电源线31提供给第四晶体管104的第二端子。

[0064] 第一输入信号发生电路的配置的一个具体示例如下。

[0065] 第五晶体管105的第一端子、第六晶体管106的第一端子和第七晶体管107的第一端子相互电连接。此外,第七晶体管107的第二端子用作第一输入信号发生电路的输出端子。

[0066] 第二电位通过第二电源线32提供给第五晶体管105的第二端子。第一电位通过第一电源线31提供给第六晶体管106的第二端子。把来自前一级的脉冲信号(在第一脉冲信号输出电路中,脉冲信号包括起始脉冲信号)输入到第五晶体管105的栅极端子。第五晶体管105的栅极端子用作第一输入信号发生电路的第一输入端子,并且用作脉冲信号输出电路的第四输入端子24。将第二输入信号发生电路的输出信号输入到第六晶体管106的栅极端子。第六晶体管106的栅极端子用作第一输入信号发生电路的第二输入端子。第二电位通过第二电源线32提供给第七晶体管107的栅极端子。

[0067] 虽然在这个实施例中设置第七晶体管107,但是可采用没有第七晶体管107的配置。通过第七晶体管107,能够抑制可能由引导操作引起的第五晶体管105的第一端子的电位的升高。也就是说,能够防止将高偏压施加到第五晶体管105的栅极与源极之间(或者栅极与漏极之间)的区域;因此能够抑制第五晶体管105的退化。

[0068] 第二输入信号发生电路的配置的一个具体示例如下。

[0069] 第十一晶体管111的第二端子和第九晶体管109的第一端子相互电连接。第九晶体管的第二端子、第八晶体管的第二端子和第十晶体管的第一端子相互电连接,并且用作第二输入信号发生电路的输出端子。

[0070] 第二电位通过第二电源线32提供给第八晶体管108的第一端子和第十一晶体管111的第一端子。第一电位通过第一电源线31提供给第十晶体管110的第二端子。把来自第二后级的脉冲信号输入到第八晶体管108的栅极端子,如图1A和图1B中所示。第八晶体管108的栅极端子用作第二输入信号发生电路的第一输入端子并且用作脉冲信号输出电路的第五输入端子25。将第二时钟信号输入到第九晶体管109的栅极端子。第九晶体管109的栅极端子用作第二输入信号发生电路的第二输入端子以及脉冲信号输出电路中的第二输入端子22。把来自前一级的脉冲信号(在第一脉冲信号输出电路中,脉冲信号是起始脉冲信号)输入到第十晶体管110的栅极端子。第十晶体管110的栅极端子用作第二输入信号发生电路的第三输入端子以及脉冲信号输出电路中的第四输入端子24。将第三时钟信号输入到第十一晶体管111的栅极端子。第十一晶体管111的栅极端子用作第二输入信号发生电路的第四输入端子以及脉冲信号输出电路中的第三输入端子23。

[0071] 注意,在这个实施例中所述的脉冲信号输出电路中,第六晶体管106的沟道长度比第三晶体管103的沟道长度要长并且比第四晶体管104的沟道长度要长。此外,第十晶体管110的沟道长度比第三晶体管103的沟道长度要长并且比第四晶体管104的沟道长度要长。因此,第六晶体管106和第十晶体管110的阈值电压的偏移量能够降低,使得能够抑制退化。

[0072] 注意,脉冲信号输出电路的组件(例如脉冲信号发生电路、第一输入信号发生电路和第二输入信号发生电路的配置示例)只是示例,并且所公开的本发明并不局限于此。

[0073] 在这个实施例的以下描述中,其中第一晶体管101的栅极端子、第三晶体管103的栅极端子和第一输入信号发生电路的输出端子在图1C中所示的脉冲信号输出电路中相互

连接的结点称作结点A。另外,其中第二晶体管102的栅极端子、第四晶体管104的栅极端子和第二输入信号发生电路的输出端子相互连接的结点称作结点B。

[0074] 用于有利地执行引导操作的电容器可设置在结点A与第一输出端子26之间。此外,还可设置电连接到结点B的电容器,以便保持结点B的电位。

[0075] 注意,第一至第十一晶体管101至111的每个优选地包括氧化物半导体。当氧化物半导体被包括在晶体管中,晶体管的断态电流能够降低。此外,与包括非晶硅等的晶体管相比,包括氧化物半导体的晶体管的通态电流和场效应迁移率能够增加。此外,能够抑制晶体管的退化。因此,实现消耗低功率、能够以高速度进行操作并且以较高精度进行操作的电子电路。注意,在这里省略包括氧化物半导体的晶体管的描述,因为它在下面的实施例中详细描述。

[0076] <操作>

[0077] 接下来参照图2、图3A至图3C以及图4A至图4C来描述图1A至图1C中所示移位寄存器的操作。具体来说,参照图3A至图3C以及图4A至图4C来描述图2中所示时序图中的第一至第六期间51至56的每个中的操作。在时序图中,CLK1至CLK4表示时钟信号;SP1表示第一起始脉冲;OUT1至OUT4表示来自第一至第四脉冲信号输出电路10₁至10₄的第二输出端子的输出;结点A和B表示在结点A和B的电位;以及SROUT1至SROUT4表示来自第一至第四脉冲信号输出电路10₁至10₄的第一输出端子的输出。

[0078] 注意,在以下描述中,第一至第十一晶体管101至111全部是n沟道晶体管。此外,在图3A至图3C以及图4A至图4C中,由实线所指示的晶体管表示晶体管处于传导状态(导通),而由虚线所指示的晶体管表示晶体管处于非传导状态(截止)。

[0079] 描述第一脉冲信号输出电路10₁的典型操作。第一脉冲信号输出电路10₁的配置如上所述。此外,所输入的信号和所提供的电位之间的关系如上所述。注意,在以下描述中, V_{DD} 用于将要提供给输入端子和电源线的具有高电位(又称作H电平、H电平信号等),并且 V_{SS} 用于将要提供给输入端子和电源线的具有低电位(又称作L电平、L电平信号等)。

[0080] 在第一期间51中,SP1处于H电平,使得将高电位提供给用作第一脉冲信号输出电路10₁中的第四输入端子24的第五晶体管105的栅极端子和第十晶体管110的栅极端子。因此,第五晶体管105和第十晶体管110导通。在第一期间51中,CLK3也处于H电平,使得第十一晶体管111也导通。另外,由于将高电位提供给第七晶体管107的栅极端子,所以第七晶体管107也导通(参见图3A)。

[0081] 当第五晶体管105和第七晶体管107导通时,结点A的电位升高。当第十晶体管110导通时,结点B的电位下降。第五晶体管105的第二端子的电位为 V_{DD} 。因此,第五晶体管105的第一端子的电位变为 $V_{DD}-V_{th105}$,其是通过从第二端子的电位中减去第五晶体管105的阈值电压所获得的电位。第七晶体管107的栅极端子的电位为 V_{DD} 。因此,在作为第七晶体管107的阈值电压的 V_{th107} 高于或等于 V_{th105} 的情况下,结点A的电位变为 $V_{DD}-V_{th107}$,由此第七晶体管107截止。另一方面,在 V_{th107} 低于 V_{th105} 的情况下,结点A的电位升高到 $V_{DD}-V_{th105}$,同时第七晶体管107保持为导通。下文中,在第一期间51中所得到的结点A的电位表示为 V_{AH} 。在这里, V_{th105} 和 V_{th107} 分别是第五晶体管105的阈值电压和第七晶体管107的阈值电压。对于其它晶体管,情况也会是这样。当结点A的电位达到 V_{AH} 时,第五晶体管105和第七晶体管107截止;因此,使结点A处于浮态,同时其电位保持在 V_{AH} 。

[0082] 当结点A的电位变为 V_{AH} 时,第一晶体管101和第三晶体管103导通。在这里,CLK1处于L电平,从第一输出端子26和第二输出端子27输出L电平信号。

[0083] 在第二期间52中,CLK1的电位从L电平改变成H电平。由于第一晶体管101和第三晶体管103导通,所以第一输出端子26的电位和第二输出端子27的电位升高。此外,在第一晶体管101的栅极端子与源极端子(或漏极端子)之间生成电容;通过该电容,其栅极端子和源极端子(或漏极端子)电容性地耦合。类似地,在第三晶体管103的栅极端子与源极端子(或漏极端子)之间生成电容;通过该电容,其栅极端子和源极端子(或漏极端子)电容性地耦合。因此,当第一输出端子26的电位和第二输出端子27的电位升高(引导操作)时,处于浮态的结点A的电位升高。结点A的电位最终变成高于 $V_{DD}+V_{th101}$,并且第一输出端子26的电位和第二输出端子27的电位的每个变为 V_{DD} (H电平)(参见图2和图3B)。

[0084] 在第二期间52中,第十晶体管110导通;因此,结点B保持在L电平。因此,能够抑制当第一输出端子26的电位从L电平改变成H电平时发生的因电容耦合引起的结点B的电位的变化,使得能够防止因电位的变化引起的故障。

[0085] 在第三期间53中,SP1变为L电平,使得第五晶体管105和第十晶体管110截止。此外,CLK1保持在H电平,并且结点A的电位没有改变;因此,从第一输出端子26和第二输出端子27输出 V_{DD} (H电平信号)(参见图3C)。注意,在第三期间53中,虽然结点B处于浮态,但是第一输出端子26的电位没有改变;因此,因电容耦合引起的故障是可忽略的。

[0086] 在第四期间54中,由于CLK2和CLK3均处于H电平,所以结点B的电位在短时间期间中升高。此外,CLK1变为L电平。因此,第二晶体管102和第四晶体管104导通,使得第一输出端子26和第二输出端子27的电位在短时间期间中下降(参见图4A)。

[0087] 在第五期间55中,第五输入端子25(即,SR0UT3)的电位保持在H电平,由此保持结点B的电位。因此,第二晶体管102、第四晶体管104和第六晶体管106保持为导通,使得第一输出端子26和第二输出端子27的电位保持在L电平(参见图4B)。

[0088] 在第六期间56中,第五输入端子25(即,SR0UT3)变为L电平,使得第八晶体管108截止。这时,使结点B处于浮态,同时保持电位。因此,第二晶体管102、第四晶体管104和第六晶体管106保持为导通(参见图4C)。

[0089] 注意,例如,结点B的电位因晶体管的断态电流而下降。但是,具有充分低断态电流的晶体管(例如包括氧化物半导体的晶体管)没有这种问题;因此能够抑制结点B的电位的下降。

[0090] 通过掺杂来控制包括硅的晶体管的阈值电压,但是无法通过掺杂来控制包括诸如氧化物半导体之类的宽能隙半导体(wide-gap semiconductor)的晶体管的阈值电压。因此,在包括宽能隙半导体的晶体管中,甚至当没有施加偏压到栅极时(甚至当栅极和源极具有相同电位时),电流也可能在源极与漏极之间流动。但是,在这个实施例中所描述的脉冲信号输出电路中,使第十晶体管110的沟道长度比第三晶体管103的沟道长度要长并且比第四晶体管104的沟道长度要长,由此能够抑制从结点B所生成的泄漏电流量;因此能够稳定地保持结点B的电位。此外,使第六晶体管106的沟道长度比第三晶体管103的沟道长度要长并且比第四晶体管104的沟道长度要长,由此能够抑制从结点A所生成的泄漏电流量;因此能够使结点A中的引导操作稳定。也就是说,通过这个实施例的结构,结点A的电位和结点B的电位能够保持长时间期间;因此,例如甚至当该结构用于具有低频的电路时,也能

够防止故障。

[0091] 注意,为了进一步抑制结点B的电位的下降,还可设置具有电连接到结点B的一个电极的电容器120,如图5A中所示。例如,电容器120的另一个电极可电连接到第一电源线31。

[0092] 此外,能够通过使用具有其中至少两个栅极串联布置的多栅结构的第六晶体管106或第十晶体管110,来进一步抑制结点B的电位的下降,如图5B中所示。注意,虽然图5B示出其中第六晶体管106和第十晶体管110均具有多栅结构的示例,但是第六晶体管106和第十晶体管110中只有一个可具有多栅结构。当然,图5A中所示的结构和图5B中所示的结构可结合使用。

[0093] 借助于具有图5B中所示多栅结构的晶体管,能够实现晶体管的冗余度。因此,能够改进脉冲信号输出电路的产量。

[0094] 在CLK2和CLK3在下一个期间中均变为H电平的情况下,第九晶体管109和第十晶体管111导通,并且电位周期地提供给结点B。因此,甚至当使用具有较高断态电流的晶体管时,能够防止脉冲信号输出电路的故障。

[0095] 另外,通过其中从第m脉冲信号输出电路输出的脉冲与从第(m+1)脉冲信号输出电路输出的脉冲的一半重叠的驱动方法来驱动这个实施例中的移位寄存器。因此,与没有使用该驱动方法的情况相比,能够对布线充电较长时间期间。也就是说,通过该驱动方法,提供耐受重负荷并且以高频率进行操作的脉冲信号输出电路。

[0096] (实施例2)

[0097] 在这个实施例中,将参照图6A至图6C、图7、图8A至图8C以及图9A和图9B来描述与以上实施例中所述的脉冲信号输出电路和移位寄存器不同模式的脉冲信号输出电路以及包括脉冲信号输出电路的移位寄存器的配置示例及其操作。

[0098] <电路配置>

[0099] 首先,将参照图6A至图6C来描述脉冲信号输出电路以及包括脉冲信号输出电路的移位寄存器的电路配置的示例。

[0100] 这个实施例中所述的移位寄存器的配置与以上实施例中所述的移位寄存器类似。它们之间的差别之一在于,在第一至第n脉冲信号输出电路10₁至10_n中没有设置第三输入端子23(参见图6A至图6C)。也就是说,将两种类型的时钟信号输入到一个脉冲信号输出电路。其它结构与上述实施例中类似。

[0101] 由于在第一至第n脉冲信号输出电路10₁至10_n中没有设置第三输入端子23,所以没有设置连接到第三输入端子23的第十一晶体管(参见图6C)。相应地,第二输入信号发生电路中的连接关系部分改变。

[0102] 第二输入信号发生电路的配置的一个具体示例如下。

[0103] 第九晶体管109的第二端子、第八晶体管108的第二端子和第十晶体管110的第一端子相互电连接,并且用作第二输入信号发生电路的输出端子。

[0104] 第二电位通过第二电源线32提供给第八晶体管108的第一端子和第九晶体管109的第一端子。第一电位通过第一电源线31提供给第十晶体管110的第二端子。将脉冲信号输入到第八晶体管108的栅极端子。第八晶体管108的栅极端子用作第二输入信号发生电路的第一输入端子并且用作脉冲信号输出电路的第五输入端子25。将第二时钟信号输入

到第九晶体管109的栅极端子。第九晶体管109的栅极端子用作第二输入信号发生电路的第二输入端子以及脉冲信号输出电路中的第二输入端子22。将脉冲信号输入到第十晶体管110的栅极端子。第十晶体管110的栅极端子用作第二输入信号发生电路的第三输入端子以及脉冲信号输出电路中的第四输入端子24。

[0105] 注意,在这个实施例中所述的脉冲信号输出电路中,第六晶体管106的沟道长度比第三晶体管103的沟道长度要长并且比第四晶体管104的沟道长度要长。此外,第十晶体管110的沟道长度比第三晶体管103的沟道长度要长并且比第四晶体管104的沟道长度要长。因此,第六晶体管106和第十晶体管110的阈值电压的偏移量能够降低,使得能够抑制退化。

[0106] 注意,上述配置只是一个示例,并且所公开的本发明并不局限于此。

[0107] 在这个实施例的以下描述中,按照与上述实施例类似的方式,其中第一晶体管101的栅极端子、第三晶体管103的栅极端子和第一输入信号发生电路的输出端子在图6C中所示的脉冲信号输出电路中相互连接的结点称作结点A。另外,其中第二晶体管102的栅极端子、第四晶体管104的栅极端子和第二输入信号发生电路的输出端子相互连接的结点称作结点B。

[0108] 用于有利地执行引导操作的电容器可设置在结点A与第一输出端子26之间。此外,还可设置电连接到结点B的电容器,以便保持结点B的电位。

[0109] 注意,第一至第十晶体管101至110的每个优选地包括氧化物半导体。当氧化物半导体被包括在晶体管中,晶体管的断态电流能够降低。此外,与包括非晶硅等的晶体管相比,包括氧化物半导体的晶体管的通态电流和场效应迁移率能够增加。此外,能够抑制晶体管的退化。因此,实现消耗低功率、能够以高速度进行操作并且以较高精度进行操作的电子电路。注意,在这里省略包括氧化物半导体的晶体管的描述,因为它在下面的实施例中详细描述。

[0110] <操作>

[0111] 接下来参照图7、图8A至图8C以及图9A和图9B来描述图6A至图6C中所示移位寄存器的操作。具体来说,参照图8A至图8C以及图9A和图9B来描述图7中所示时序图中的第一至第五期间51至55的每个中的操作。在时序图中,CLK1至CLK4表示时钟信号;SP1表示第一起始脉冲;OUT1至OUT4表示来自第一至第四脉冲信号输出电路10₁至10₄的第二输出端子的输出;结点A和B表示在结点A和B的电位;以及SROUT1至SROUT4表示来自第一至第四脉冲信号输出电路10₁至10₄的第一输出端子的输出。

[0112] 注意,在以下描述中,第一至第十晶体管101至110全部是n沟道晶体管。此外,在图8A至图8C以及图9A和图9B中,由实线所指示的晶体管表示晶体管处于传导状态(导通),而由虚线所指示的晶体管表示晶体管处于非传导状态(截止)。

[0113] 描述第一脉冲信号输出电路10₁的典型操作。第一脉冲信号输出电路10₁的配置如上所述。此外,所输入的信号和所提供的电位之间的关系如上所述。注意,在以下描述中, V_{DD} 用于将要提供给输入端子和电源线的所有高电位(又称作H电平、H电平信号等),并且 V_{SS} 用于将要提供给输入端子和电源线的所有低电位(又称作L电平、L电平信号等)。

[0114] 在第一期间51中,SP1处于H电平,使得将高电位提供给用作第一脉冲信号输出电路10₁中的第四输入端子24的第五晶体管105的栅极端子和第十晶体管110的栅极端子。因

此,第五晶体管105和第十晶体管110导通。另外,由于将高电位提供给第七晶体管107的栅极端子,所以第七晶体管107也导通(参见图8A)。

[0115] 当第五晶体管105和第七晶体管107导通时,结点A的电位升高。当第十晶体管110导通时,结点B的电位下降。第五晶体管105的第二端子的电位为 V_{DD} 。因此,第五晶体管105的第一端子的电位变为 $V_{DD}-V_{th105}$,其是通过从第二端子的电位中减去第五晶体管105的阈值电压所获得的电位。第七晶体管107的栅极端子的电位为 V_{DD} 。因此,在作为第七晶体管107的阈值电压的 V_{th107} 高于或等于 V_{th105} 的情况下,结点A的电位变为 $V_{DD}-V_{th107}$,由此第七晶体管107截止。另一方面,在 V_{th107} 低于 V_{th105} 的情况下,结点A的电位升高到 $V_{DD}-V_{th105}$,同时第七晶体管107保持为导通。下文中,在第一期间51中所得到的结点A的电位表示为 V_{AH} 。当结点A的电位达到 V_{AH} 时,第五晶体管105和第七晶体管107截止;因此,使结点A处于浮态,同时其电位保持在 V_{AH} 。

[0116] 当结点A的电位变为 V_{AH} 时,第一晶体管101和第三晶体管103导通。在这里,由于CLK1处于L电平,所以从第一输出端子26和第二输出端子27输出L电平信号。

[0117] 在第二期间52中,CLK1的电位从L电平改变成H电平。由于第一晶体管101和第三晶体管103导通,所以第一输出端子26的电位和第二输出端子27的电位升高。此外,在第一晶体管101的栅极端子与源极端子(或漏极端子)之间生成电容;通过该电容,其栅极端子和源极端子(或漏极端子)电容性地耦合。类似地,在第三晶体管103的栅极端子与源极端子(或漏极端子)之间生成电容;通过该电容,其栅极端子和源极端子(或漏极端子)电容性地耦合。因此,当第一输出端子26的电位和第二输出端子27的电位升高(引导操作)时,处于浮态的结点A的电位升高。结点A的电位最终变成高于 $V_{DD}+V_{th101}$,并且第一输出端子26的电位和第二输出端子27的电位的每个变为 V_{DD} (H电平)(参见图7和图8B)。

[0118] 在第三期间53中,CLK2变为H电平,并且第九晶体管109导通。相应地,结点B的电位升高。当结点B的电位升高时,第二晶体管102、第四晶体管104和第六晶体管106导通,并且结点A的电位下降。因此,第一输出端子26的电位和第二输出端子27的电位变为L电平(参见图8C)。

[0119] 在第四期间54中,CLK2变为L电平,并且第九晶体管109截止。第五输入端子25(即,SR0UT3)变为H电平,并且第八晶体管108导通。因此,保持结点A的电位和结点B的电位,并且第一输出端子26的电位和第二输出端子27的电位保持在L电平(参见图9A)。

[0120] 在第五期间55中,第五输入端子25(即,SR0UT3)的电位变为L电平,由此保持结点B的电位。因此,第二晶体管102、第四晶体管104和第六晶体管106保持为导通,使得第一输出端子26和第二输出端子27的电位保持在L电平(参见图9B)。

[0121] 注意,例如,结点B的电位因晶体管的断态电流而下降。但是,具有充分低断态电流的晶体管(例如包括氧化物半导体的晶体管)没有这种问题。

[0122] 通过掺杂来控制包括硅的晶体管的阈值电压,但是无法通过掺杂来控制包括诸如氧化物半导体之类的宽能隙半导体的晶体管的阈值电压。因此,在包括宽能隙半导体的晶体管中,甚至当没有施加偏压到栅极时(甚至当栅极和源极具有相同电位时),电流也可能在源极与漏极之间流动。但是,在这个实施例中所描述的脉冲信号输出电路中,使第十晶体管110的沟道长度比第三晶体管103的沟道长度要长并且比第四晶体管104的沟道长度要长,由此能够抑制从结点B所生成的泄漏电流量;因此能够稳定地保持结点B的电位。此外,

使第六晶体管106的沟道长度比第三晶体管103的沟道长度要长并且比第四晶体管104的沟道长度要长,由此能够抑制从结点A所生成的泄漏电流量;因此能够使结点A中的引导操作稳定。也就是说,通过这个实施例的结构,结点A的电位和结点B的电位能够保持长期间;因此,例如甚至当该结构用于具有低频的电路时,也能够防止故障。

[0123] 注意,为了进一步抑制结点B的电位的下降,还可设置具有电连接到结点B的一个电极的电容器120,如图10A中所示。例如,电容器120的另一个电极可电连接到第一电源线31。

[0124] 此外,能够通过使用具有其中至少两个栅极串联布置的多栅结构的第六晶体管106或第十晶体管110,来进一步抑制结点B的电位的下降,如图10B中所示。注意,虽然图10B示出其中第六晶体管106和第十晶体管110均具有多栅结构的示例,但是第六晶体管106和第十晶体管110其中之一可具有多栅结构。当然,图10A中所示的结构和图10B中所示的结构可结合使用。

[0125] 借助于具有图10B中所示多栅结构的晶体管,能够实现晶体管的冗余度。因此,能够改进脉冲信号输出电路的产量。

[0126] 在下一个期间中CLK2变为H电平的情况下,第九晶体管109导通,并且电位周期地提供给结点B。因此,甚至当使用具有较高断态电流的晶体管时,能够防止脉冲信号输出电路的故障。

[0127] 如上所述,这个实施例中所述的结构、方法等能够与其它实施例中所述的结构、方法等的任一个适当组合。

[0128] (实施例3)

[0129] 在这个实施例中,参照图11A至图11D来描述能够在以上实施例中所述的脉冲信号输出电路和移位寄存器中使用的晶体管的示例。对于晶体管的结构没有特殊限制。例如,能够采用诸如顶栅结构、底栅结构、交错结构或平面结构之类的适合结构。备选地,晶体管可具有其中形成一个沟道形成区的单栅结构或者其中形成两个或更多沟道形成区的多栅结构。备选地,晶体管可具有一种结构,其中两个栅电极层在沟道区之上和之下隔着栅绝缘层形成。

[0130] 图11A至图11D示出晶体管的截面结构的示例。图11A至图11D中所示的晶体管各包括氧化物半导体作为半导体。使用氧化物半导体的优点是能够通过简单低温过程来获得的高迁移率和低断态电流。

[0131] 图11A中所示的晶体管410是底栅晶体管的示例,并且又称作反交错晶体管。

[0132] 晶体管410包括设置在具有绝缘表面的衬底400之上的栅电极层401、栅绝缘层402、氧化物半导体层403、源电极层405a和漏电极层405b。此外,设置与氧化物半导体层403相接触的绝缘层407。在绝缘层407之上形成保护绝缘层409。

[0133] 图11B中所示的晶体管420是称作沟道保护(沟道阻止)晶体管的底栅晶体管的示例,并且又称作反交错晶体管。

[0134] 晶体管420包括设置在具有绝缘表面的衬底400之上的栅电极层401、栅绝缘层402、氧化物半导体层403、用作沟道保护层的绝缘层427、源电极层405a和漏电极层405b。此外,设置保护绝缘层409。

[0135] 图11C中所示的晶体管430是底栅晶体管的示例。晶体管430包括设置在具有绝缘

表面的衬底400之上的栅电极层401、栅绝缘层402、源电极层405a、漏电极层405b和氧化物半导体层403。此外,设置与氧化物半导体层403相接触的绝缘层407。此外,在绝缘层407之上形成保护绝缘层409。

[0136] 在晶体管430中,栅绝缘层402设置在衬底400和栅电极层401之上并且与其接触,以及源电极层405a和漏电极层405b设置在栅绝缘层402之上并且与其接触。此外,氧化物半导体层403设置在栅绝缘层402、源电极层405a和漏电极层405b之上。

[0137] 图11D中所示的晶体管440是顶栅晶体管的示例。晶体管440包括设置在具有绝缘表面的衬底400之上的绝缘层437、氧化物半导体层403、源电极层405a、漏电极层405b、栅绝缘层402和栅电极层401。布线层436a和布线层436b设置成分别与源电极层405a和漏电极层405b相接触。

[0138] 在这个实施例中,如上所述,氧化物半导体层403用作半导体层。作为用于氧化物半导体层403的氧化物半导体,能够使用诸如In-Sn-Ga-Zn-O基氧化物半导体之类的四金属元素的氧化物;诸如In-Ga-Zn-O基氧化物半导体、In-Sn-Zn-O基氧化物半导体、In-Al-Zn-O基氧化物半导体、Sn-Ga-Zn-O基氧化物半导体、Al-Ga-Zn-O基氧化物半导体层或Sn-Al-Zn-O基氧化物半导体之类的三金属元素的氧化物;诸如In-Zn-O基氧化物半导体、Sn-Zn-O基氧化物半导体、Al-Zn-O基氧化物半导体、Zn-Mg-O基氧化物半导体、Sn-Mg-O基氧化物半导体或In-Mg-O基氧化物半导体之类的两金属元素的氧化物;In-O基氧化物半导体、Sn-O基氧化物半导体或者Zn-O基氧化物半导体。此外,SiO₂可添加到氧化物半导体。在这里,例如,In-Ga-Zn-O基氧化物半导体是至少包括In、Ga和Zn的氧化物,而对其组成比没有特殊限制。此外,In-Ga-Zn-O基氧化物半导体可包含除了In、Ga和Zn之外的元素。

[0139] 对于氧化物半导体层403,能够使用由化学式InMO₃(ZnO)_m(m>0)所表示的氧化物半导体。在这里,M表示从Ga、Al、Mn或Co中选取的一种或多种金属元素。例如,M能够是Ga、Ga和Al、Ga和Mn、Ga和Co等。

[0140] 包括氧化物半导体层403的晶体管410、晶体管420、晶体管430和晶体管440的断态电流能够显著降低。因此,在脉冲信号输出电路和移位寄存器中使用这类晶体管时,能够易于保持各结点的电位,使得脉冲信号输出电路和移位寄存器的故障的可能性能够显著降低。

[0141] 对于能够用作具有绝缘表面的衬底400的衬底没有特殊限制。例如,能够使用用于液晶显示装置等的玻璃衬底、石英衬底等。备选地,例如,可使用在硅晶圆之上形成绝缘层的衬底。

[0142] 在底栅晶体管410、420和430的每个中,用作基底的绝缘膜可设置在衬底与栅电极层之间。绝缘层具有防止杂质元素从衬底扩散的功能,并且能够形成为具有包括从氮化硅膜、氧化硅膜、氮氧化硅膜或氧氮化硅膜中选取的一个或多个膜的单层结构或分层结构。

[0143] 栅电极层401能够使用诸如钼、钛、铬、钽、钨、铝、铜、钽或铟之类的金属材料或者包括这些材料的任一种作为主要成分的合金材料来形成。栅电极层401可具有单层结构或分层结构。

[0144] 栅绝缘层402能够使用从氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜、氮氧化铝膜、氧化钪膜等中选取的一个或多个膜通过等离子体增强CVD方法、溅射方法等形成。例如,总厚度大约为300nm的栅绝缘层能够按照如下方式

来形成:使得厚度为50至200nm的氮化硅膜(SiN_y ($y > 0$))通过等离子体增强CVD来形成 为第一栅绝缘层,并且厚度为5至300nm的氧化硅膜(SiO_x ($x > 0$))通过溅射方法堆叠在第一栅绝缘层之上作为第二栅绝缘层。

[0145] 源电极层405a和漏电极层405b能够使用诸如钼、钛、铬、钽、钨、铝、铜、钽或钷 之类的金属材料或者包括这些材料的任一种作为主要成分的合金材料来形成。例如,源电极层405a和漏电极层405b能够具有包括铝、铜等的金属层以及包括钛、钼、钨等的耐火金属层的分层结构。借助于添加了用于防止小丘和触须的生成的元素(例如硅、钽或钷)的铝材料,可提高耐热性。

[0146] 备选地,导电金属氧化物膜可作为用作源电极层405a和漏电极层405b(包括使用与源电极层405a和漏电极层405b相同的层所形成的布线层)的导电膜来使用。氧化铟(In_2O_3)、氧化锡(SnO_2)、氧化锌(ZnO)、氧化铟和氧化锡的合金($\text{In}_2\text{O}_3\text{-SnO}_2$,在一些情况下缩写成ITO)、氧化铟和氧化锌的合金($\text{In}_2\text{O}_3\text{-ZnO}$)、包括氧化硅的这些金属氧化物材料的任一种等能够用作导电材料氧化物。

[0147] 分别与源电极层405a和漏电极层405b相接触的布线层436a和布线层436b能够使用与源电极层405a和漏电极层405b的材料类似的材料来形成。

[0148] 对于绝缘层407、427和437的每个,通常能够使用诸如氧化硅膜、氮化硅膜、氧化铝膜或氮化铝膜之类的无机绝缘膜。

[0149] 对于保护绝缘层409,能够使用诸如氮化硅膜、氮化铝膜、氮氧化硅膜或氮氧化铝膜 之类的无机绝缘膜。

[0150] 另外,可在保护绝缘层409之上形成用于降低因晶体管引起的表面不匀性的平面化绝缘膜。对于平面化绝缘膜,能够使用诸如聚酰亚胺、丙烯酸或苯并环丁烯之类的有机材料。除了这种有机材料之外,还能够使用低介电常数材料(低k材料)等。注意,可通过堆叠包括这些材料的多个绝缘膜来形成平面化绝缘膜。

[0151] 如上所述,这个实施例中所述的结构、方法等能够与其它实施例中所述的结构、方法等的任一个适当组合。

[0152] (实施例4)

[0153] 在这个实施例中,将参照图12A至图12E来详细描述包括氧化物半导体层的晶体管的示例 及其制造方法的示例。

[0154] 图12A至图12E是示出晶体管的制造过程的截面图。这里所示的晶体管510是与图11A中所示的晶体管410类似的反交错晶体管。

[0155] 用于这个实施例的半导体层的氧化物半导体是i型(本征)氧化物半导体或者基本上i型(本征)氧化物半导体。按照如下方式来获得i型(本征)氧化物半导体或者基本上i型(本征)氧化物半导体:使得从氧化物半导体中去除作为n型杂质的氢,并且氧化物半导体纯化成使得尽可能少地包含不是氧化物半导体的主要成分的杂质。

[0156] 注意,纯化氧化物半导体包括极少载流子,并且载流子浓度低于 $1 \times 10^{14}/\text{cm}^3$,优选地低于 $1 \times 10^{12}/\text{cm}^3$,更优选地低于 $1 \times 10^{11}/\text{cm}^3$ 。这样少的载流子使截止状态中的电流(断态电流)能够足够小。

[0157] 具体来说,在包括上述氧化物半导体层的晶体管中,室温(25°C)下的每 μm 沟道宽度的断态电流密度在晶体管的沟道长度L为 $10\mu\text{m}$ 并且源-漏电压为3V的条件下能够为100

$\text{zA}/\mu\text{m}$ ($1 \times 10^{-19} \text{A}/\mu\text{m}$) 或更低、或者进一步为 $10 \text{zA}/\mu\text{m}$ ($1 \times 10^{-20} \text{A}/\mu\text{m}$) 或更低。

[0158] 包括纯化氧化物半导体层的晶体管510几乎没有通态电流的温度相关性,并且还具有极小断态电流。

[0159] 将参照图12A至图12E来描述用于在衬底505之上制造晶体管510的过程。

[0160] 首先,在具有绝缘表面的衬底505之上形成导电膜,并且然后通过第一光刻过程来形成栅电极层511。注意,可通过喷墨方法来形成光刻过程中使用的抗蚀剂掩模。通过喷墨方法来形成抗蚀剂掩模不需要光掩模;因此,制造成本能够降低。

[0161] 作为具有绝缘表面的衬底505,能够使用与以上实施例中所述的衬底400类似的衬底。在这个实施例中,玻璃衬底用作衬底505。

[0162] 用作基底的绝缘层可设置在衬底505与栅电极层511之间。绝缘层具有防止杂质元素从衬底505扩散的功能,并且能够由从氮化硅膜、氧化硅膜、氮氧化硅膜、氧氮化硅膜等中选取的一个或多个膜来形成。

[0163] 栅电极层511能够使用诸如钼、钛、铬、钽、钨、铝、铜、钽或铟之类的金属材料或者包括这些金属材料的任一种作为主要成分的合金材料来形成。栅电极层511能够具有单层结构或堆叠结构。

[0164] 随后,在栅电极层511之上形成栅绝缘层507。能够通过等离子体增强CVD方法、溅射方法等,形成栅绝缘层507。栅绝缘层507能够由从氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜、氮氧化铝膜、氧化钪膜等中选取的一个或多个膜来形成。

[0165] 此外,为了在栅绝缘层507和氧化物半导体膜530中尽可能少地包括氢、羟基和水分,优选的是,在溅射设备的预热室中预热其上形成了栅电极层511的衬底505或者其上形成了栅电极层511和栅绝缘层507的衬底505,作为氧化物半导体膜530的形成的预处理,使得消除衬底505上吸附的诸如氢和水分之类的杂质。作为排空单元,优选地为预热室设置低温泵。可对其上形成了一直到并且包括源电极层515a和漏电极层515b的层的衬底505来执行这个预热步骤。注意,能够省略这个预热处理。

[0166] 随后,在栅绝缘层507之上,形成厚度大于或等于2nm且小于或等于200nm、优选地大于或等于5nm且小于或等于30nm的氧化物半导体膜530(参见图12A)。

[0167] 对于氧化物半导体膜530,能够使用以上实施例中描述的四成分金属氧化物、三成分金属氧化物、两成分金属氧化物、In-O基氧化物半导体、Sn-O基氧化物半导体、Zn-O基氧化物半导体等的任一个。

[0168] 作为用于通过溅射方法来形成氧化物半导体膜530的靶,特别优选的是使用组成比为In:Ga:Zn=1:x:y(x为0或更大,以及y大于或等于0.5且小于或等于5)的靶。例如,能够使用组成比为 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [摩尔比]的靶。备选地,能够使用组成比为 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [摩尔比]的靶、组成比为 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:4$ [摩尔比]的靶或者组成比为 $\text{In}_2\text{O}_3:\text{ZnO}=1:0:2$ [摩尔比]的靶。

[0169] 在这个实施例中,使用In-Ga-Zn-O基金属氧化物靶通过溅射方法来形成具有非晶结构的氧化物半导体层。

[0170] 金属氧化物靶中的金属氧化物的相对密度大于或等于80%,优选地大于或等于95%,以及更优选地大于或等于99.9%。具有高相对密度的金属氧化物靶的使用使得有可

能形成具有致密结构的氧化物半导体层。

[0171] 其中形成氧化物半导体膜530的气氛优选地为稀有气体(通常为氩)气氛、氧气氛或者包含稀有气体(通常为氩)和氧的混合气氛。具体来说,优选的是使用例如去除了诸如氢、水、羟基或氢化物之类的杂质以使得杂质浓度为1ppm或更低(优选地,杂质浓度为10ppb或更低)的高纯度气体气氛。

[0172] 在氧化物半导体膜530的形成中,例如,加工对象保持在控制为降低压力的处理室中,并且可加热加工对象以使得加工对象的温度高于或等于100℃且低于550℃,优选地高于或等于200℃且低于或等于400℃。备选地,氧化物半导体膜530的形成中的加工对象的温度可以是室温(25℃±10℃)。然后,在去除处理室中的水分的同时引入去除了氢、水等的溅射气体,并且使用上述靶,由此形成氧化物半导体膜530。在加热加工对象的同时形成氧化物半导体膜530,使得氧化物半导体层中包含的杂质能够降低。此外,因溅射引起的损坏能够降低。为了去除处理室中的水分,优选地使用捕集真空泵(entrapment vacuum pump)。例如,能够使用低温泵、离子泵、钛升华泵等。备选地,可使用提供有冷阱的涡轮分子泵。通过采用低温泵等的排空,能够从处理室中去除氢、水等,由此能够降低氧化物半导体膜530中的杂质浓度。

[0173] 能够在例如下列条件下形成氧化物半导体膜530:加工对象与靶之间的距离为170mm,压力为0.4Pa,直流(DC)功率为0.5kW,以及气氛是氧气氛(氧的比例为100%)、氩气氛(氩的比例为100%)或者包括氧和氩的混合气氛。优选地使用脉冲直流(DC)电源,因为能够降低膜形成中生成的粉状物质(又称作微粒或灰尘),并且膜厚度能够是均匀的。氧化物半导体膜530的厚度大于或等于1nm且小于或等于50nm,优选地大于或等于1nm且小于或等于30nm,更优选地大于或等于1nm且小于或等于10nm。通过具有这种厚度的氧化物半导体膜530,能够抑制因小型化引起的短沟道效应。注意,适当厚度根据要使用的氧化物半导体材料、半导体装置的预计用途等而有所不同;因此,可按照材料、预计用途等确定厚度。

[0174] 注意,在通过溅射方法形成氧化物半导体膜530之前,附于将要形成氧化物半导体膜530的表面(例如栅绝缘层507的表面)的物质优选地通过其中引入氩气体并且生成等离子体的反向溅射被去除。在这里,反向溅射是一种方法,其中离子与加工表面碰撞,使得表面经过修改,同离子与溅射靶碰撞的标准溅射相反。作为用于使离子与加工表面碰撞的方法的示例,存在一种方法,其中高频电压在氩气氛中施加到加工表面,使得在加工对象附近生成等离子体。注意,氮、氦、氧等的气氛可用来代替氩气氛。

[0175] 接下来,通过第二光刻过程将氧化物半导体膜530加工为岛状氧化物半导体层。注意,光刻过程中使用的抗蚀剂掩模可通过喷墨方法来形成。通过喷墨方法来形成抗蚀剂掩模不需要光掩模;因此,制造成本能够降低。

[0176] 在栅绝缘层507中形成接触孔的情况下,形成接触孔的步骤能够与加工氧化物半导体膜530同时执行。

[0177] 作为氧化物半导体膜530的蚀刻,可采用湿式蚀刻或干式蚀刻或者它们两者。作为用于氧化物半导体膜530的湿式蚀刻的蚀刻剂,能够使用通过混合磷酸、醋酸和硝酸等所获得的溶液。还可使用诸如(由日本关东化学公司生产的)ITO-07N之类的蚀刻剂。

[0178] 然后,对氧化物半导体层执行热处理(第一热处理),使得形成氧化物半导体层531(参见图12B)。通过第一热处理,去除氧化物半导体层中的过剩氢(包括水和羟基),并且改

进氧化物半导体层的结构,使得能够降低能隙中的缺陷等级(defect level)。第一热处理的温度例如高于或等于300°C且低于550°C,或者高于或等于400°C且低于或等于500°C。

[0179] 能够按照如下方式来执行热处理:例如,将加工对象引入其中使用电阻加热元件等的电炉,并且在氮气氛中以450°C加热一小时。在热处理期间,氧化物半导体层没有暴露于空气,以使防止水和氢的污染。

[0180] 热处理设备并不局限于电炉;热处理设备能够是使用来自诸如加热气体等的介质的热传导或热辐射来加热加工对象的设备。例如,能够使用诸如GRTA(气体快速热退火)设备或LRTA(灯快速热退火)设备之类的RTA(快速热退火)设备。LRTA设备是使用从诸如卤素灯、金属卤化物灯、氙弧灯、碳弧灯、高压钠灯或高压水银灯之类的灯所发射的光(电磁波)的辐射来加热加工对象的设备。GRTA设备是使用高温气体进行热处理的设备。作为气体,使用不会通过热处理而与加工对象发生反应的诸如氮之类的惰性气体或者诸如氩之类的稀有气体。

[0181] 例如,作为第一热处理,可按照如下方式来执行GRTA处理。将加工对象放进已经加热的惰性气体气氛中,加热数分钟,并且然后从惰性气体气氛中取出。GRTA处理实现短时间的高温热处理。此外,在GRTA处理中,甚至能够采用超过加工对象的温度上限的温度条件。注意,在该过程期间,惰性气体可改变成包括氧的气体。这是因为因缺氧引起的能隙中的缺陷等级能够通过包括氧的气氛中执行第一热处理来降低。

[0182] 注意,作为惰性气体气氛,优选地使用包括氮或稀有气体(例如氦、氖或氩)作为其主要成分但没有包含水、氢等的气氛。例如,引入热处理设备中的氮或者诸如氦、氖或氩之类的稀有气体的纯度设置为6N(99.9999%)或更大、优选地为7N(99.99999%)或更大(即,杂质浓度为1ppm或更小,优选地为0.1ppm或更小)。

[0183] 在任何情况下,通过第一热处理来降低杂质,使得获得i型(本征)或基本上i型氧化物半导体层。相应地,能够实现具有优良特性的晶体管。

[0184] 上述热处理(第一热处理)具有去除氢、水等的效果,并且因而能够称作脱水处理、脱氢处理等。能够在形成氧化物半导体膜530之后并且在将氧化物半导体膜530加工成岛状氧化物半导体层之前执行脱水处理或脱氢处理。这种脱水处理或脱氢处理可执行一次或多次。

[0185] 第一热处理能够在代替上述定时的下列定时的任一个来执行:在形成源电极层和漏电极层之后,在源电极层和漏电极层之上形成绝缘层之后,等等。

[0186] 接下来,在栅绝缘层507和氧化物半导体层531之上形成将要作为源电极层和漏电极层(包括从与源电极层和漏电极层相同的层所形成的布线)的导电膜。能够使用以上实施例中所述材料的任一种来形成用于形成源电极层和漏电极层的导电膜。

[0187] 在第三光刻过程中在导电膜之上形成抗蚀剂掩模,并且通过有选择地蚀刻来形成源电极层515a和漏电极层515b,然后去除抗蚀剂掩模(参见图12C)。

[0188] 在第三光刻过程中形成抗蚀剂掩模时的曝光可使用紫外光、KrF激光或ArF激光来执行。注意,由源电极层与漏电极层之间的距离来确定晶体管的沟道长度(L)。因此,在用于形成沟道长度(L)小于25nm的晶体管的掩模的曝光中,优选的是使用其波长短至数纳米至数十纳米的超紫外光。在使用超紫外光的曝光中,分辨率高,并且焦深大。由于这些原因,后来完成的晶体管的沟道长度(L)能够大于或等于10nm且小于或等于1000nm(1 μ m),并

且电路能够以高速度进行操作。此外,半导体装置的功率消耗能够通过小型化来降低。

[0189] 为了降低光掩模的数量和光刻过程的数量,可使用采用多色调掩模所形成的抗蚀剂掩模来执行蚀刻步骤。由于采用多色调掩模所形成的抗蚀剂掩模包括多个厚度的区域并且能够通过执行蚀刻进一步改变形状,所以能够在多个蚀刻步骤中使用抗蚀剂掩模以提供不同的图案。因此,能够采用一个多色调掩模来形成与至少两种不同图案对应的抗蚀剂掩模。因此,曝光掩模的数量能够降低,并且对应光刻过程的数量也能够降低,由此能够实现过程的简化。

[0190] 注意,优选的是,优化蚀刻条件,以使得在蚀刻导电膜时没有蚀刻和分割氧化物半导体层531。但是,难以获得仅蚀刻导电膜但完全没有蚀刻氧化物半导体层531的蚀刻条件。在一些情况下,在蚀刻导电膜时蚀刻氧化物半导体层531的一部分,由此形成具有凹槽部分(凹陷部分)的氧化物半导体层531。

[0191] 湿式蚀刻或干式蚀刻可用于导电膜的蚀刻。注意,在元件的小型化方面,优选地使用干式蚀刻。蚀刻气体和蚀刻剂能够按照要蚀刻的材料来适当地选择。在这个实施例中,钛膜用作导电膜,以及In-Ga-Zn-O基材料用于氧化物半导体层531;相应地,在采用湿式蚀刻的情况下,氮过氧化氢(氨、水和过氧化氢的混合溶液)用作蚀刻剂。

[0192] 接下来,优选地执行使用诸如 N_2O 、 N_2 或Ar之类的气体的等离子体处理,使得可去除附于氧化物半导体层的外露部分的表面的水、氢等。在执行等离子体处理的情况下,形成用作保护绝缘膜的绝缘层516,而在等离子体处理之后没有使氧化物半导体层暴露于空气。

[0193] 绝缘层516优选地通过没有将诸如水或氢之类的杂质引入绝缘层516的方法(例如溅射方法)来形成为至少1nm的厚度。当在绝缘层516中包含氢时,引起氢进入氧化物半导体层或者通过氢抽取氧化物半导体层中的氧,由此使氧化物半导体层的背沟道具有较低电阻(以具有n型导电性),使得可形成寄生沟道。作为绝缘层516,优选地使用氧化硅膜、氮化硅膜、氧化铝膜、氮化铝膜等。

[0194] 在这个实施例中,氧化硅膜通过溅射方法作为绝缘层516形成到200nm的厚度。沉积中的衬底温度可高于或等于室温(25°C)且低于或等于300°C,并且在这个实施例中为100°C。能够通过溅射方法在稀有气体(通常为氩)气氛、氧气氛或者包含稀有气体和氧的混合气氛中沉积氧化硅膜。作为靶,可使用氧化硅靶或硅靶。

[0195] 为了在与沉积氧化物半导体膜530同时去除绝缘层516的沉积室中剩余的水分,优选地使用捕集真空泵(例如低温泵)。在使用低温泵排空的沉积室中沉积绝缘层516时,绝缘层516中的杂质浓度能够降低。设置有冷阱的涡轮分子泵可作用于去除用于形成绝缘层516的沉积室中剩余的水分的排空单元。

[0196] 用于形成绝缘层516的溅射气体优选地是去除了诸如氢或水之类的杂质的高纯度气体。

[0197] 接下来,在惰性气体气氛或氧气体气氛中执行第二热处理。在高于或等于200°C且低于或等于450°C、优选地高于或等于250°C且低于或等于350°C的温度执行第二热处理。例如,热处理可在氮气气氛中以250°C执行1小时。第二热处理能够降低晶体管的电特性的变化。通过从绝缘层516向氧化物半导体层531提供氧,氧化物半导体层531中的氧空位降低,由此能够形成i型(本征)或基本上i型氧化物半导体层。

[0198] 在这个实施例中,在形成绝缘层516之后执行第二热处理;但是,第二热处理的定

时并不局限于此。例如,第一热处理和第二热处理可接连执行,或者第一热处理可兼任第二热处理。

[0199] 按照上述方式,通过第一热处理和第二热处理,氧化物半导体层531经过纯化,以使得尽可能少地包含不是氧化物半导体层的主要成分的杂质,由此氧化物半导体层531能够成为i型(本征)氧化物半导体层。

[0200] 通过上述过程,形成晶体管510(参见图12D)。

[0201] 优选的是在绝缘层516之上进一步形成保护绝缘层506(参见图12E)。保护绝缘层506防止氢、水等从外部进入。作为保护绝缘层506,例如能够使用氮化硅膜、氮化铝膜等。保护绝缘层506的形成方法不受具体限制;但是,RF溅射方法适合于形成保护绝缘层506,因为它实现高产率。

[0202] 在形成保护绝缘层506之后,热处理可在空气中以高于或等于100℃且低于或等于200℃的温度进一步执行1小时至30小时。

[0203] 包括纯化氧化物半导体层并且按照以上所述的这个实施例来制造的晶体管具有相当小的断态电流的特性。因此,借助于这种晶体管,能够易于保持结点的电位。这种晶体管用于脉冲信号输出电路和移位寄存器能够显著降低引起脉冲信号输出电路和移位寄存器的故障的概率。

[0204] 如上所述,这个实施例中所述的结构、方法等能够与其它实施例中所述的结构、方法等的任一个适当组合。

[0205] (实施例5)

[0206] 借助于其示例在实施例1或实施例2中所示的移位寄存器,能够制造具有显示功能的半导体装置(又称作显示装置)。此外,驱动器电路的部分或全部能够在与像素部分相同的衬底之上形成,由此能够获得面板上系统(system-on-panel)。

[0207] 作为用于显示装置的显示元件,能够使用液晶元件(又称作液晶显示元件)或发光元件(又称作发光显示元件)。发光元件在其范畴内包括其亮度通过电流或电压来控制的元件,并且在其范畴内具体包括无机电致发光(EL)元件、有机EL元件等等。此外,能够使用其对比度通过电效应来改变的显示介质,如电子墨水。

[0208] 图13A中,密封剂4005设置成使得包围设置在第一衬底4001之上的像素部分4002,并且在第一衬底4001与第二衬底4006之间密封像素部分4002。图13A中,在分开制备的衬底之上形成的扫描线驱动器电路4004和信号线驱动器电路4003安装在第一衬底4001之上的密封剂4005所包围的区域中没有包括的区域中。此外,各种信号和电位从柔性印刷电路(FPC)4018a和4018b提供给分开形成的信号线驱动器电路4003以及扫描线驱动器电路4004或像素部分4002。

[0209] 图13B和图13C中,密封剂4005设置成使得包围设置在第一衬底4001之上的像素部分4002和扫描线驱动器电路4004。第二衬底4006设置在像素部分4002和扫描线驱动器电路4004之上。因此,像素部分4002和扫描线驱动器电路4004连同显示元件一起由第一衬底4001、密封剂4005和第二衬底4006来密封。图13B和图13C中,在分开制备的衬底之上形成的信号线驱动器电路4003安装在第一衬底4001之上的与密封剂4005所包围的区域不同的区域中。图13B和图13C中,各种信号和电位从FPC4018提供给分开形成的信号线驱动器电路4003以及扫描线驱动器电路4004或像素部分4002。

[0210] 虽然图13B和图13C各示出其中信号线驱动器电路4003被分开形成并且被安装在第一衬底4001之上的示例,但是本发明并不局限于这种结构。扫描线驱动器电路可被分开形成并且然后被安装,或者只有信号线驱动器电路的部分或者扫描线驱动器电路的部分可被分开形成并且然后被安装。

[0211] 注意,分开形成的驱动器电路的连接方法不受具体限制,并且能够使用玻璃上芯片(COG)方法、丝焊(wire bonding)方法、带式自动接合(tape automated bonding,TAB)方法等。图13A示出其中通过COG方法来安装信号线驱动器电路4003和扫描线驱动器电路4004的一个示例。图13B示出其中通过COG方法来安装信号线驱动器电路4003的一个示例。图13C示出其中通过TAB方法来安装信号线驱动器电路4003的一个示例。

[0212] 另外,显示装置包括其中密封了显示元件的面板以及其中在面板上安装包括控制器的IC等的模块。

[0213] 注意,本说明书中的显示装置表示图像显示装置、显示装置或者光源(包括照明装置)。此外,显示装置在其范畴内还包括下列模块:诸如FPC、TAB带或TCP之类的连接器与其附连的模块;具有TAB带或TCP的模块,在其尖部设置了印刷线路板(printed wiring board);以及其中集成电路(IC)通过COG方法直接安装在显示元件上的模块。

[0214] 此外,设置在第一衬底之上的像素部分包括多个晶体管,并且上述实施例中作为示例所示的晶体管能够用于晶体管。

[0215] 在液晶元件用作显示元件的情况下,使用热致液晶、低分子液晶、高分子液晶、聚合物扩散液晶、铁电液晶、反铁电液晶等。这些液晶材料根据条件而呈现胆甾相、近晶相、立方相、手性向列相、各向同性相等。

[0216] 备选地,可使用对其不需要配向膜(alignment film)的呈现蓝相的液晶。蓝相是液晶相之一,其刚好在胆甾型液晶的温度增加时胆甾相变成各向同性相之前生成。由于蓝相仅在窄温度范围中出现,所以混合了数重量百分比或更大的手性试剂的液晶组成用于液晶层,以便改进温度范围。包括呈现蓝相的液晶和手性试剂的液晶组成具有1毫秒或更小的短响应时间,具有使得不需要配向过程的光学各向同性,并且具有小视角相关性。另外,不需要设置配向膜,并且因而不需要研磨处理(rubbing treatment)。因此,能够防止研磨处理所引起的静电放电损坏,并且能够降低制造过程中的液晶显示装置的缺陷和损坏。因此,液晶显示装置的产率能够提高。

[0217] 液晶材料的比电阻(specific resistivity)大于或等于 $1 \times 10^9 \Omega \cdot \text{cm}$,优选地大于或等于 $1 \times 10^{11} \Omega \cdot \text{cm}$,更优选地大于或等于 $1 \times 10^{12} \Omega \cdot \text{cm}$ 。注意,在本说明书中,在20°C测量比电阻。

[0218] 考虑像素部分中设置的晶体管的泄漏电流等,来设置液晶显示装置中形成的存储电容器的大小,使得电荷能够保持预定期间。可考虑晶体管的断态电流等,来设置存储电容器的大小。

[0219] 对于液晶显示装置,使用扭转向列(TN)模式、平面内转换(IPS)模式、边缘场转换(FFS)模式、轴向对称配向微单元(ASM)模式、光学补偿双折射(OCB)模式、铁电液晶(FLC)模式、反铁电液晶(AFLC)模式等。

[0220] 诸如利用垂直配向(VA)模式的透射液晶显示装置之类的常黑型液晶显示装置是优选的。给出作为垂直配向模式的一些示例。例如,能够采用MVA(多域垂直配向)模式、

PVA (图案垂直配向) 模式、ASV模式等。

[0221] 此外,本发明能够应用于VA液晶显示装置。VA液晶显示装置具有一种形式,其中控制液晶显示元件的液晶分子的配向。在VA液晶显示装置中,液晶分子在没有施加电压时相对于面板表面沿垂直方向配向。此外,有可能使用称作域乘法或多域设计的方法,其中像素分为一些区域(子像素),并且分子在其相应区域中沿不同方向配向。

[0222] 在显示装置中,适当地设置黑色矩阵(挡光层)、诸如起偏振元件之类的光学元件(光学衬底)、推迟元件或者抗反射元件等。例如,可通过使用起偏振衬底和推迟衬底来获得圆偏振。另外,背光、侧光等可用作光源。

[0223] 作为像素部分中的显示方法,能够采用渐进式方法、隔行扫描方法等。此外,在彩色显示时的像素中控制的彩色元件并不局限于三种颜色:R、G和B(R、G和B分别对应于红色、绿色和蓝色)。例如,能够使用R、G、B和W(W对应于白色);R、G、B以及黄色、青色、品红等中的一个或多个,等等。此外,显示区的大小在彩色元件的相应点之间可以是不同的。注意,所公开的本发明并不局限于应用于彩色显示的显示装置;所公开的本发明还能够应用于供单色显示的显示装置。

[0224] 备选地,作为显示装置中包括的显示元件,能够使用利用电致发光的发光元件。利用电致发光的发光元件按照发光材料是有机化合物还是无机化合物来分类。一般来说,前者称作有机EL元件,而后者称作无机EL元件。

[0225] 在有机EL元件中,通过向发光元件施加电压,电子和空穴从一对电极分开注入包含发光有机化合物的层,并且电流流动。载流子(即电子和空穴)重新组合,并且因而激发发光有机化合物。发光有机化合物从激发状态返回到基态,由此发光。由于这种机制,发光元件称作电流激发发光元件。

[0226] 无机EL元件按照其元件结构分为分散型无机EL元件和薄膜无机EL元件。分散类型无机EL元件具有发光层,其中发光材料的颗粒在粘合剂中分散,并且其发光机制是利用施主能级(donor level)和受主能级(acceptor level)的施主-受主重组类型光发射。薄膜无机EL元件具有一种结构,其中发光层夹在介电层之间,介电层又夹在电极之间,并且其光发射机制是利用金属离子的内壳电子跃迁的局部类型光发射。

[0227] 此外,其中驱动电子墨水的电子纸能够作为显示装置来提供。电子纸又称作电泳显示装置(电泳显示器),并且其优点在于,它具有与常规纸张相同等级的可读性,它具有比其它显示装置更小的功率消耗,并且它能够设置成具有细小轻便形式。

[0228] 电泳显示装置能够具有各种模式。电泳显示装置包含分散于溶剂或溶解物中的多个微胶囊,每个微胶囊包含带正电的第一微粒和带负电的第二微粒。通过将电场施加到微胶囊,微胶囊中的微粒沿彼此相反的方向移动,并且仅显示在一侧聚集的微粒的颜色。注意,第一微粒和第二微粒各包含色素,并且在没有电场时不移动。此外,第一微粒和第二微粒具有不同颜色(其可以是无色的)。

[0229] 因此,电泳显示装置是利用所谓的介电泳效应的显示装置,通过介电泳效应,具有高介电常数的物质移动到高电场区域。

[0230] 其中上述微胶囊分散于溶剂中的溶液称作电子墨水。此电子墨水能够印刷到玻璃、塑料、布匹、纸张等的表面上。此外,通过使用滤色片或者具有色素的微粒,还能够实现彩色显示器。

[0231] 注意,微胶囊中的第一微粒和第二微粒可以各使用从导电材料、绝缘材料、半导体材料、磁性材料、液晶材料、铁电材料、电致发光材料、电致变色材料、磁泳材料中选取的单一材料来形成,或者使用这些材料的任一种的合成材料来形成。

[0232] 作为电子纸,能够使用采用扭转球显示系统的显示装置。扭转球显示系统指的是一种方法,其中,各以黑色和白色着色的球形微粒布置在作为用于显示元件的电极层的第一电极层与第二电极层之间,并且在第一电极层与第二电极层之间生成电位差,以便控制球形微粒的配向,从而执行显示。

[0233] 实施例1或实施例2中所示的脉冲信号输出电路用于其示例如上所示的显示装置,由此显示装置能够具有各种功能。

[0234] 如上所述,这个实施例中所述的结构、方法等能够与其它实施例中所述的结构、方法等的任一个适当组合。

[0235] (实施例6)

[0236] 本说明书中公开的半导体装置能够在各种电子装置(包括游戏机)中使用。电子装置的示例是电视机(又称作电视或电视接收器)、计算机等的监视器、诸如数码相机或数码摄像机之类的摄像机、数码相框、蜂窝电话手机(又称作蜂窝电话或蜂窝电话装置)、便携游戏机、个人数字助理、音频再现装置、诸如弹球机之类的大型游戏机等。

[0237] 图14A示出膝上型个人计算机,其至少包括本说明书中公开的半导体装置作为组件。膝上型个人计算机包括主体3001、壳体3002、显示部分3003、键盘3004等。

[0238] 图14B示出个人数字助理(PDA),其至少包括本说明书中公开的半导体装置作为组件。个人数字助理在主体3021中包括显示部分3023、外部接口3025、操作按钮3024等。包括触控笔3022作为用于操作的配件。

[0239] 本说明书中公开的半导体装置能够用作电子纸。图14C示出包括电子纸作为组件的电子书阅读器。图14C示出电子书阅读器的示例。例如,电子书阅读器2700包括两个壳体2701和2703。壳体2701和2703采用铰链2711相互结合,使得电子书阅读器2700能够采用铰链2711作为轴来开启和闭合。通过这种结构,电子书阅读器2700能够像纸书一样进行操作。

[0240] 显示部分2705和显示部分2707分别结合在壳体2701和壳体2703中。显示部分2705和显示部分2707可显示一个图像或者不同图像。在显示部分2705和显示部分2707显示不同图像的情况下,例如右侧的显示部分(图14C中的显示部分2705)能够显示文本,而左侧的显示部分(图14C中的显示部分2707)能够显示图像。

[0241] 图14C示出其中壳体2701包括操作部分等的示例。例如,壳体2701包括电源开关2721、操作按键2723、扬声器2725等。通过操作按键2723能够翻页。注意,键盘、定点装置等可设置在与壳体的显示部分相同的表面上。此外,外部连接端子(例如耳机端子或USB端子)、记录介质插入部分等可设置在壳体的背面或侧面上。此外,电子书阅读器2700可用作电子词典。

[0242] 此外,电子书阅读器2700可无线地传送和接收数据。通过无线通信,能够从电子书籍服务器购买和下载预期书籍数据等等。

[0243] 图14D示出蜂窝电话,其至少包括本说明书中公开的半导体装置作为组件。蜂窝电话包括两个壳体2800和2801。壳体2801包括显示面板2802、扬声器2803、麦克风2804、定点

装置2806、摄像机镜头2807、外部连接端子2808等。另外,壳体2800包括用于存储个人数字助理中的电力的太阳能电池2810、外部存储器槽2811等。此外,天线被结合在壳体2801中。

[0244] 此外,显示面板2802包括触摸板。在图14D中由虚线指示显示为图像的多个操作按键2805。注意,蜂窝电话包括用于将从太阳能电池2810所输出的电压升高到各电路中所需的电压的DC-DC转换器。

[0245] 根据使用模式来适当改变显示面板2802的显示方向。此外,由于蜂窝电话包括与显示面板2802相同的表面上的摄像机镜头2807,所以它能够用作视频电话。扬声器2803和麦克风2804能够用于视频电话呼叫、记录、回放等以及语音呼叫。此外,如图14D中所示展开的壳体2800和2801能够通过滑动来相互重叠;因此,蜂窝电话的尺寸能够降低,这使蜂窝电话适合携带。

[0246] 外部连接端子2808能够连接到AC适配器以及诸如USB缆线之类的各种缆线,并且充电以及与个人计算机的数据通信等是可能的。此外,大量数据能够通过将存储介质插入外部存储器槽2811来存储和移动。

[0247] 另外,除了上述功能之外,蜂窝电话还可具有红外通信功能、电视接收功能等。

[0248] 图14E示出数码摄像机,其至少包括本说明书中公开的半导体装置作为组件。数码摄像机包括主体3051、第一显示部分3057、目镜部分3053、操作开关3054、第二显示部分3055、电池3056等。

[0249] 图14F示出电视机的示例,其至少包括本说明书中公开的半导体装置作为组件。在电视机9600中,显示部分9603被结合在壳体9601中。显示部分9603能够显示图像。在这里,壳体9601由支架9605来支持。

[0250] 电视机9600能够通过壳体9601的操作开关或遥控来操作。此外,遥控可包括用于显示从遥控所输出的数据的显示部分。

[0251] 注意,电视机9600包括接收器、调制解调器等。通过接收器,能够接收一般电视广播。此外,当电视机经由调制解调器连接到有线或无线的通信网络时,能够执行单向(从发送器到接收器)或双向(在发送器与接收器之间或者在接收器之间)数据通信。

[0252] 如上所述,这个实施例中所述的结构、方法等能够与其它实施例中所述的结构、方法等的任一个适当组合。

[0253] 本申请基于2010年3月2日向日本专利局提交的日本专利申请2010-044949,通过引用将其完整内容结合于此。

[0254] 参考标号

[0255] 11:信号线,12:信号线,13:信号线,14:信号线,21:输入端子,22:输入端子,23:输入端子,24:输入端子,25:输入端子,26:输出端子,27:输出端子,31:电源线,32:电源线,51:期间,52:期间,53:期间,54:期间,55:期间,56:期间,101:晶体管,102:晶体管,103:晶体管,104:晶体管,105:晶体管,106:晶体管,107:晶体管,108:晶体管,109:晶体管,110:晶体管,111:晶体管,120:电容器,400:衬底,401:栅电极层,402:栅绝缘层,403:氧化物半导体层,405a:源电极层,405b:漏电极层,407:绝缘层,409:保护绝缘层,410:晶体管,420:晶体管,427:绝缘层,430:晶体管,436a:布线层,436b:布线层,437:绝缘层,440:晶体管,505:衬底,506:保护绝缘层,507:栅绝缘层,510:晶体管,511:栅电极层,515a:源电极层,515b:漏电极层,516:绝缘层,530:氧化物半导体膜,531:氧化物半导体

层,2700:电子书阅读器,2701:壳体,2703:壳体,2705:显示部分,2707:显示部分,2711:铰链,2721:电源开关,2723:操作按键,2725:扬声器,2800:壳体,2801:壳体,2802:显示面板,2803:扬声器,2804:麦克风,2805:操作按键,2806:定点装置,2807:摄像机镜头,2808:外部连接端子,2810:太阳能电池,2811:外部存储器槽,3001:主体,3002:壳体,3003:显示部分,3004:键盘,3021:主体,3022:触控笔,3023:显示部分,3024:操作按钮,3025:外部接口,3051:主体,3053:目镜部分,3054:操作开关,3055:第二显示部分,3056:电池,3057:第一显示部分,4001:衬底,4002:像素部分,4003:信号线驱动器电路,4004:扫描线驱动器电路,4005:密封剂,4006:衬底,4018:FPC,9600:电视机,9601:壳体,9603:显示部分,9605:支架。

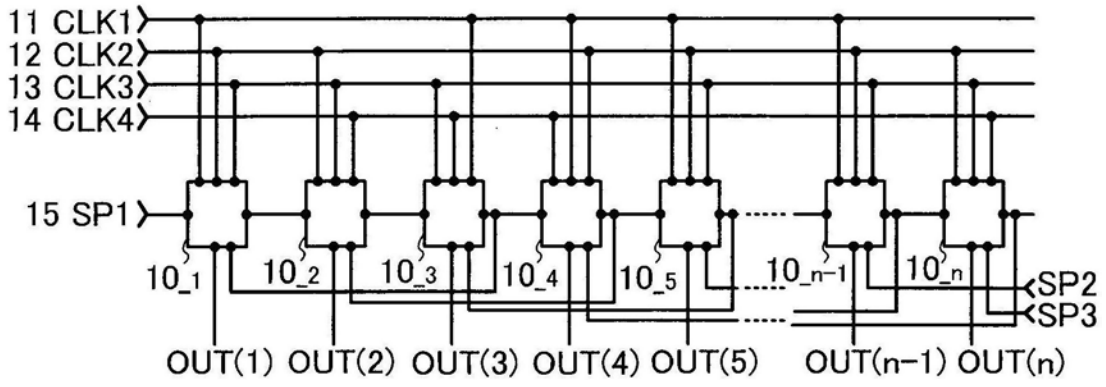


图1A

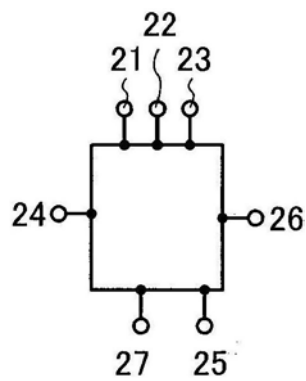


图1B

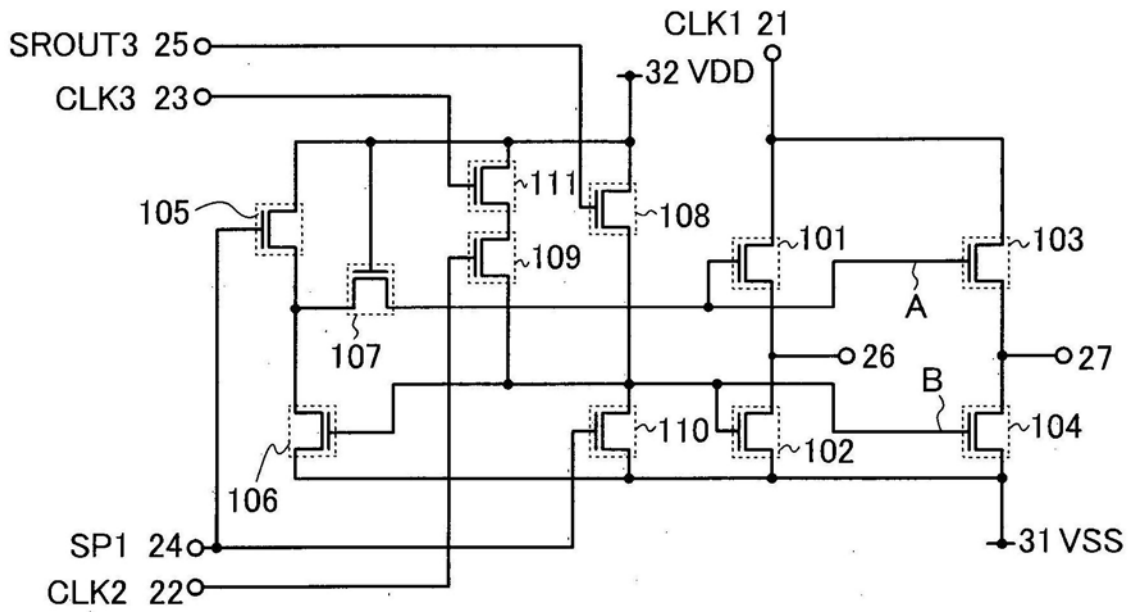


图1C

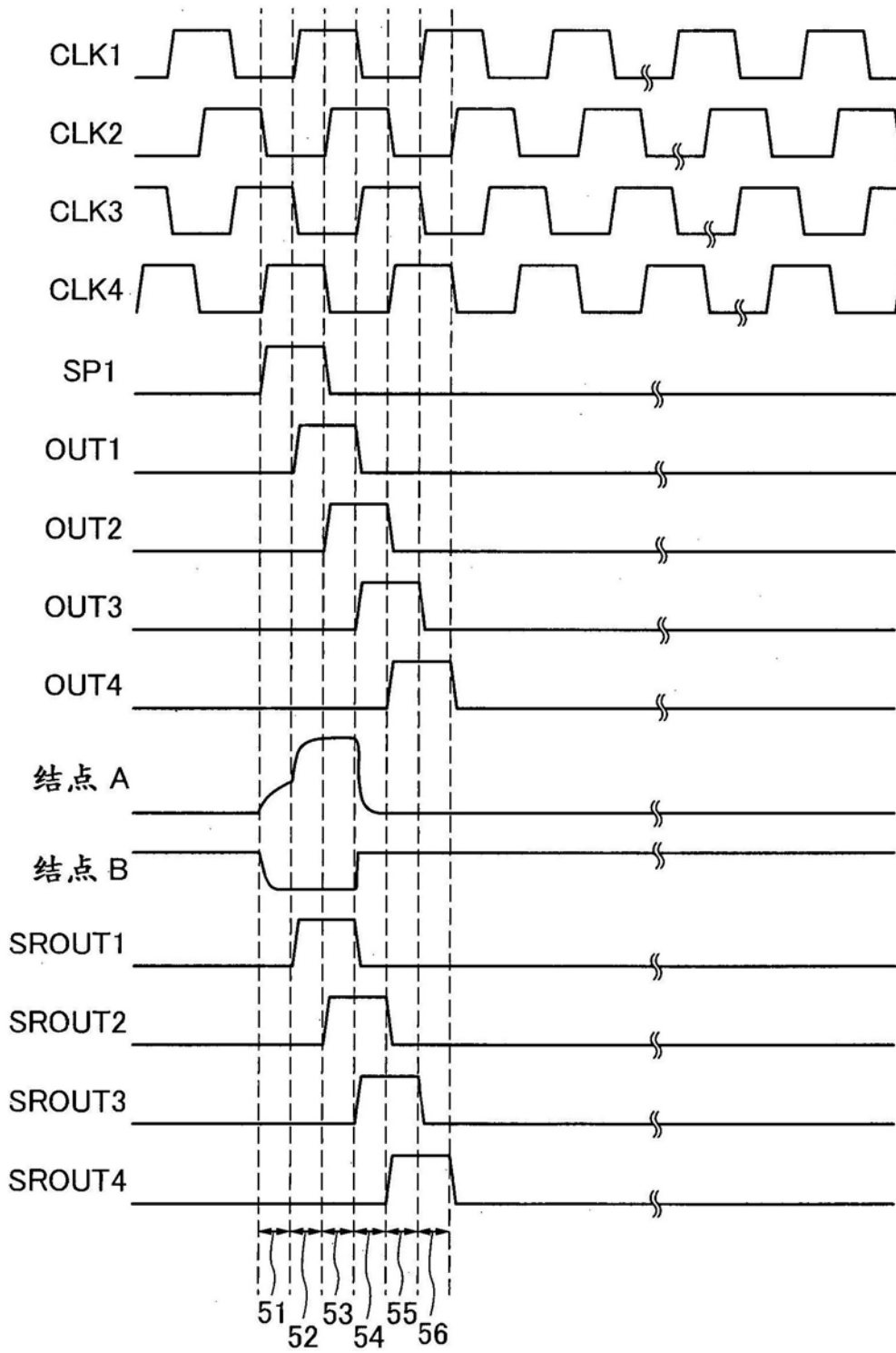


图2

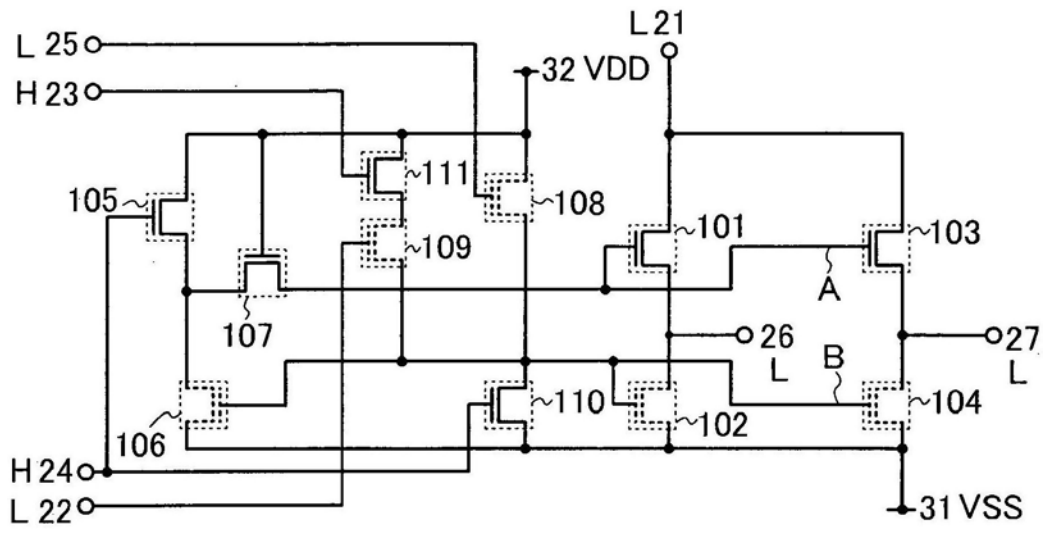


图3A

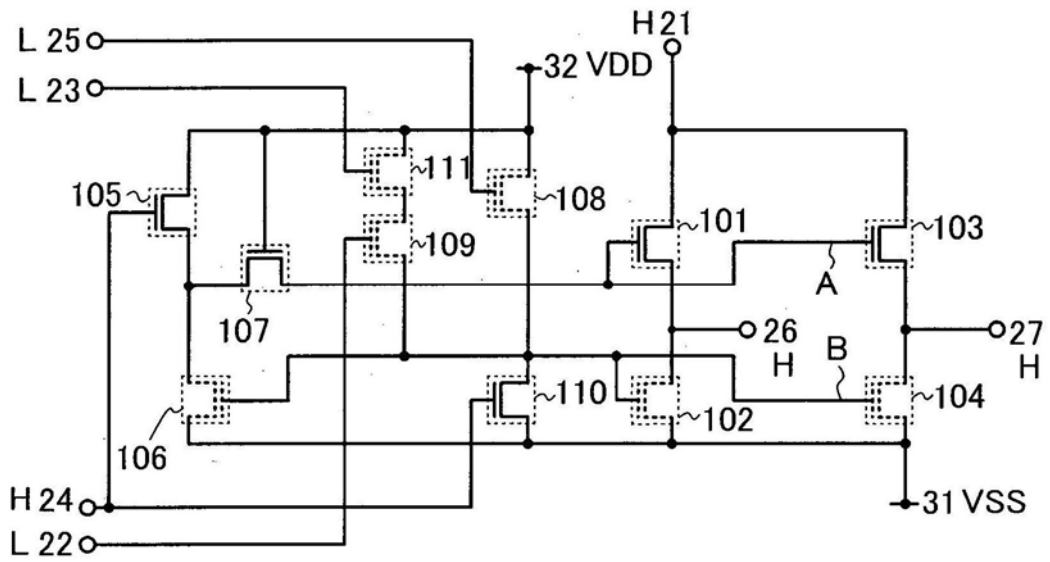


图3B

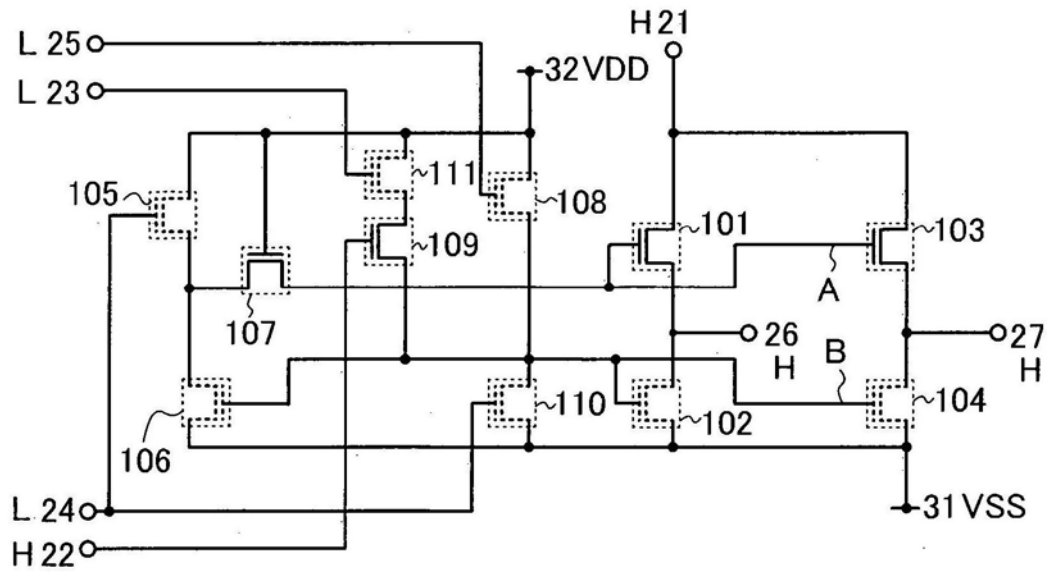


图3C

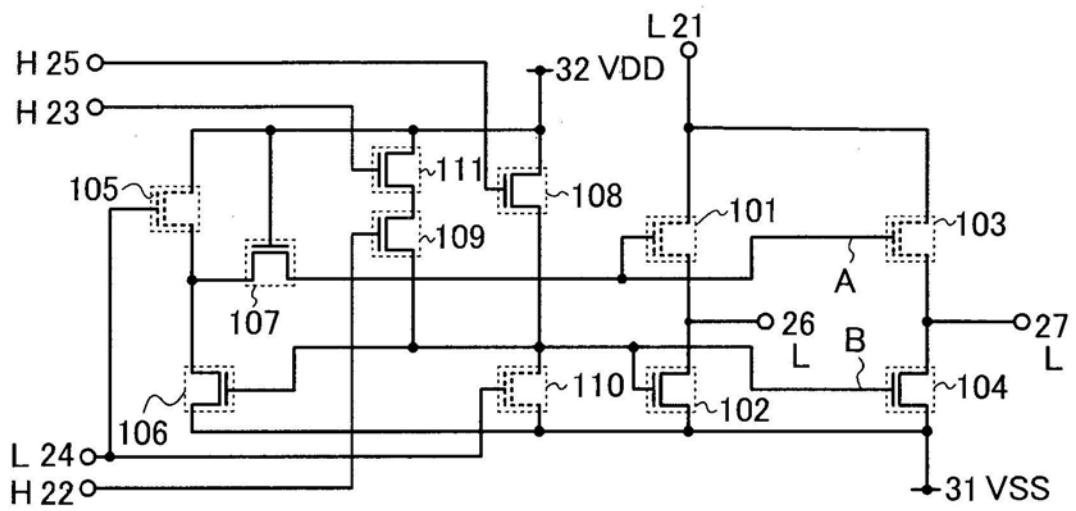


图4A

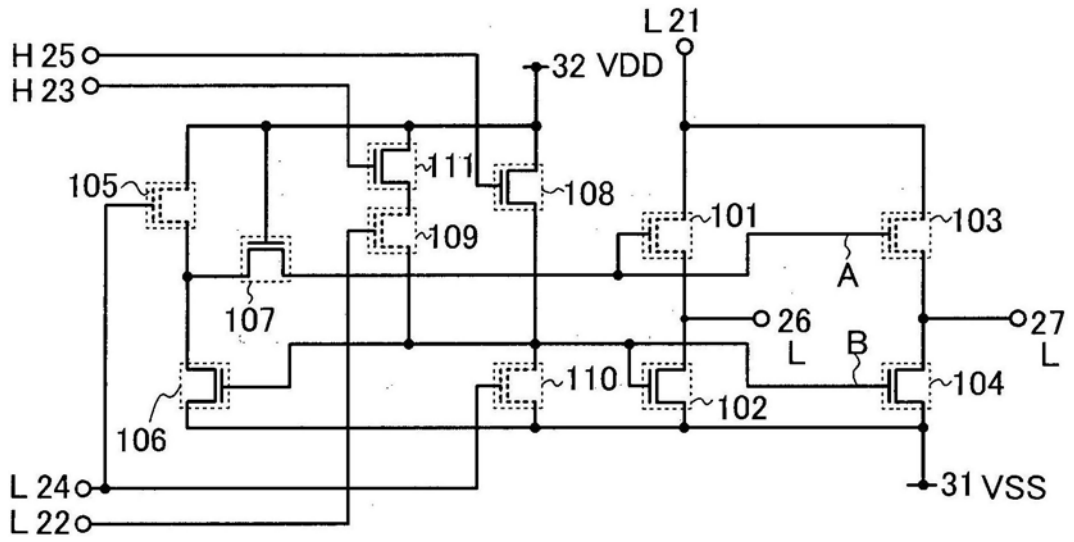


图4B

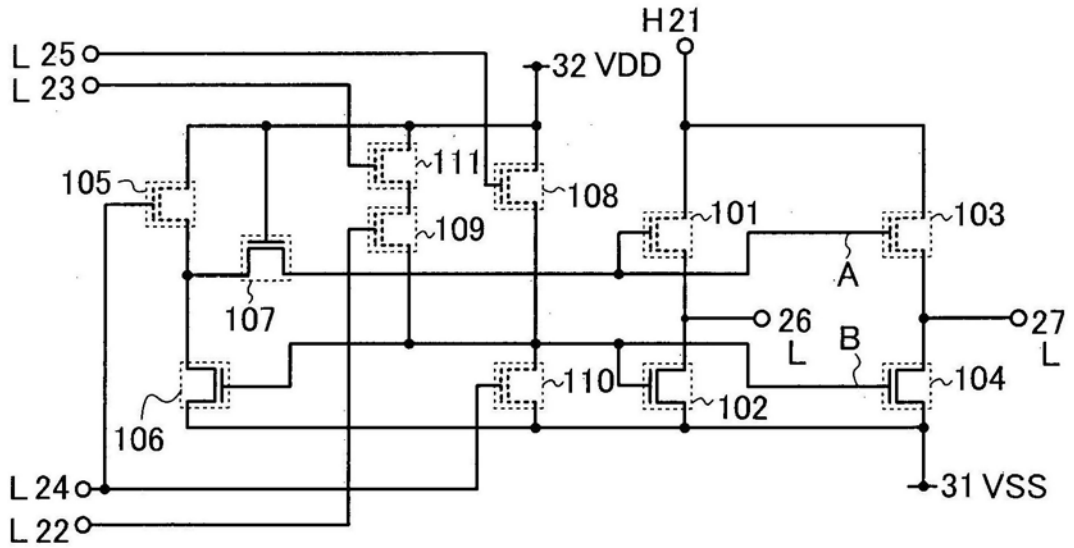


图4C

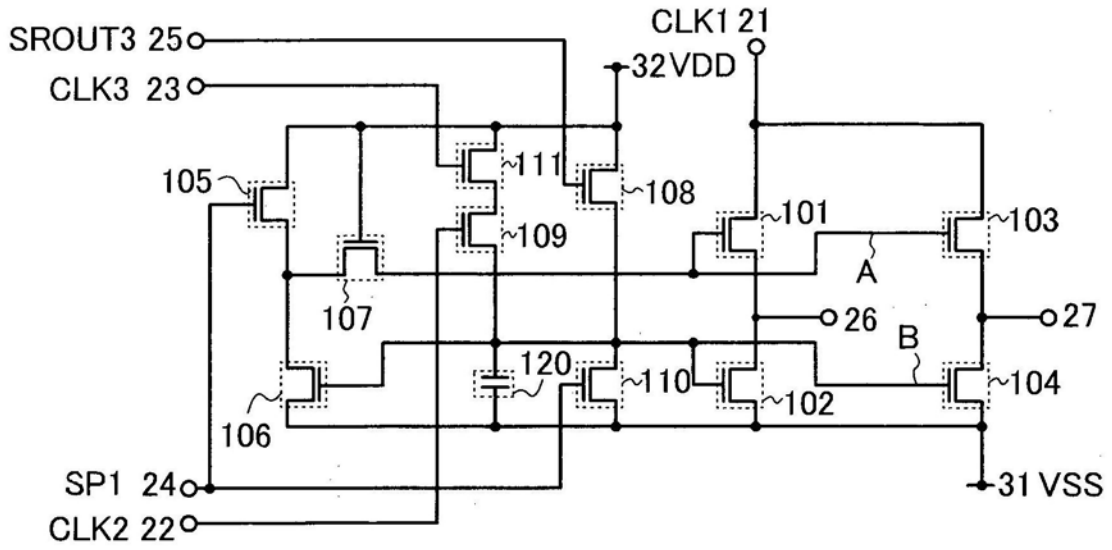


图5A

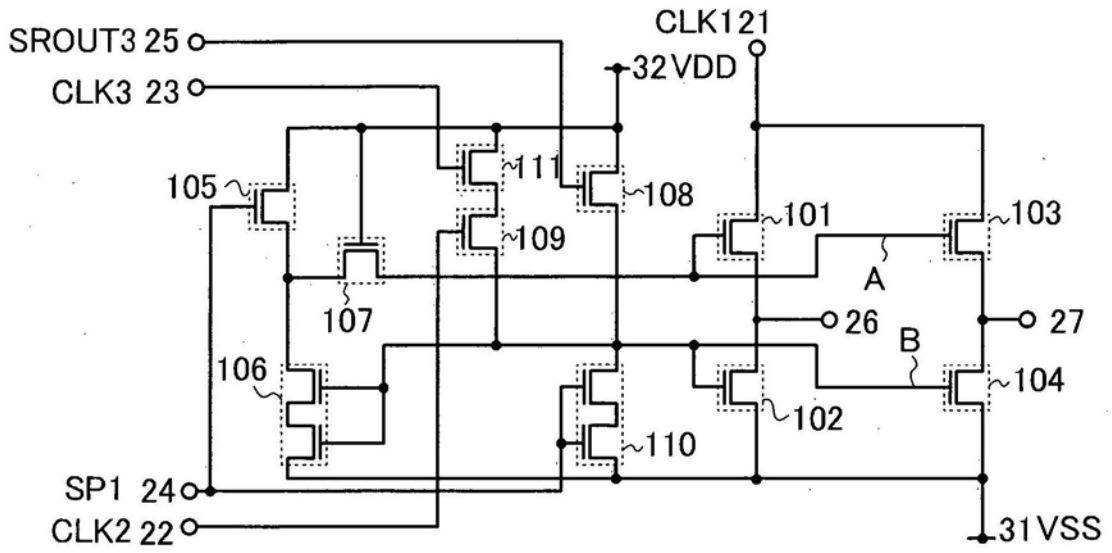


图5B

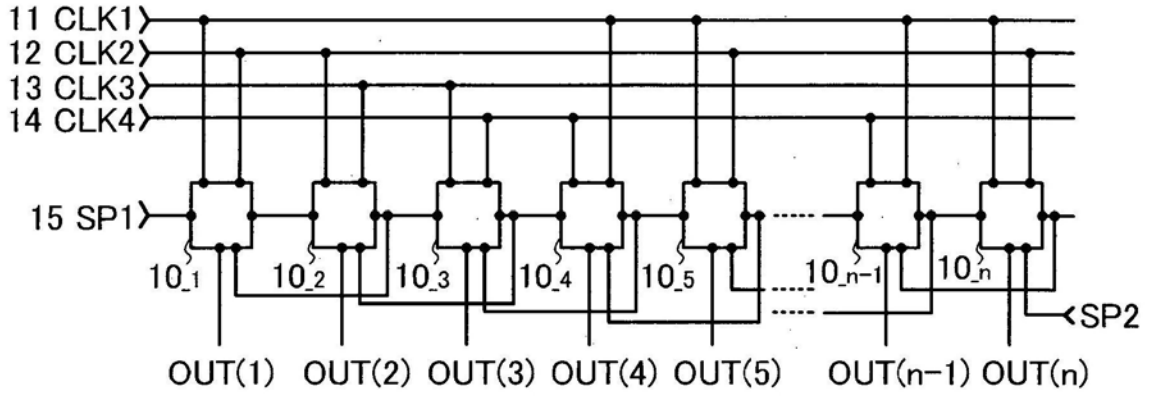


图6A

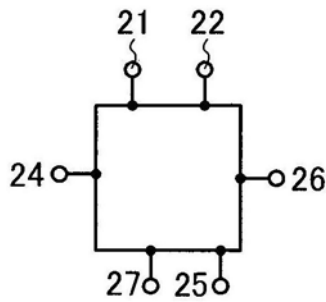


图6B

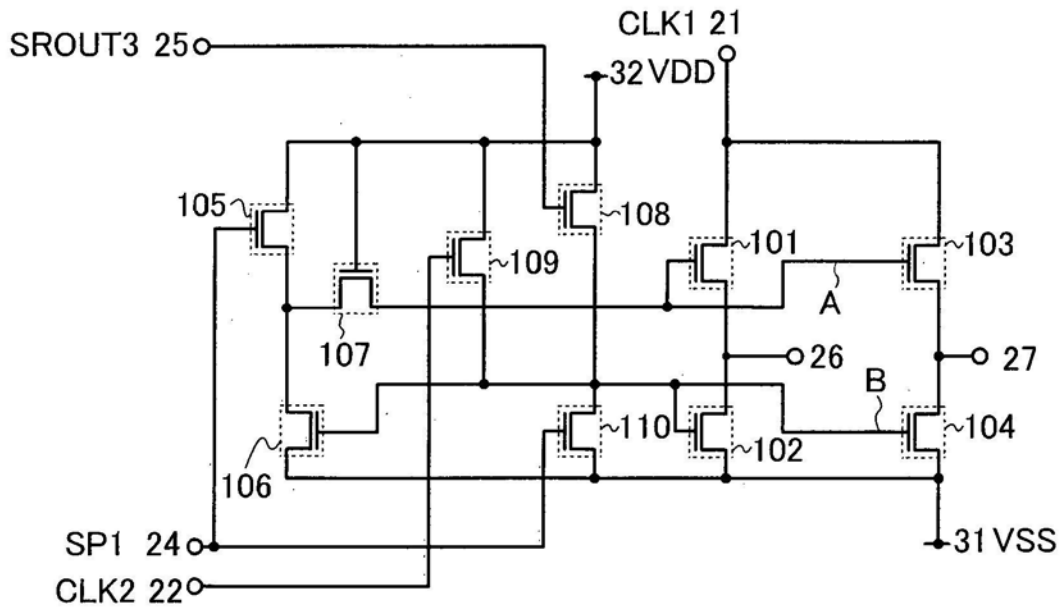


图6C

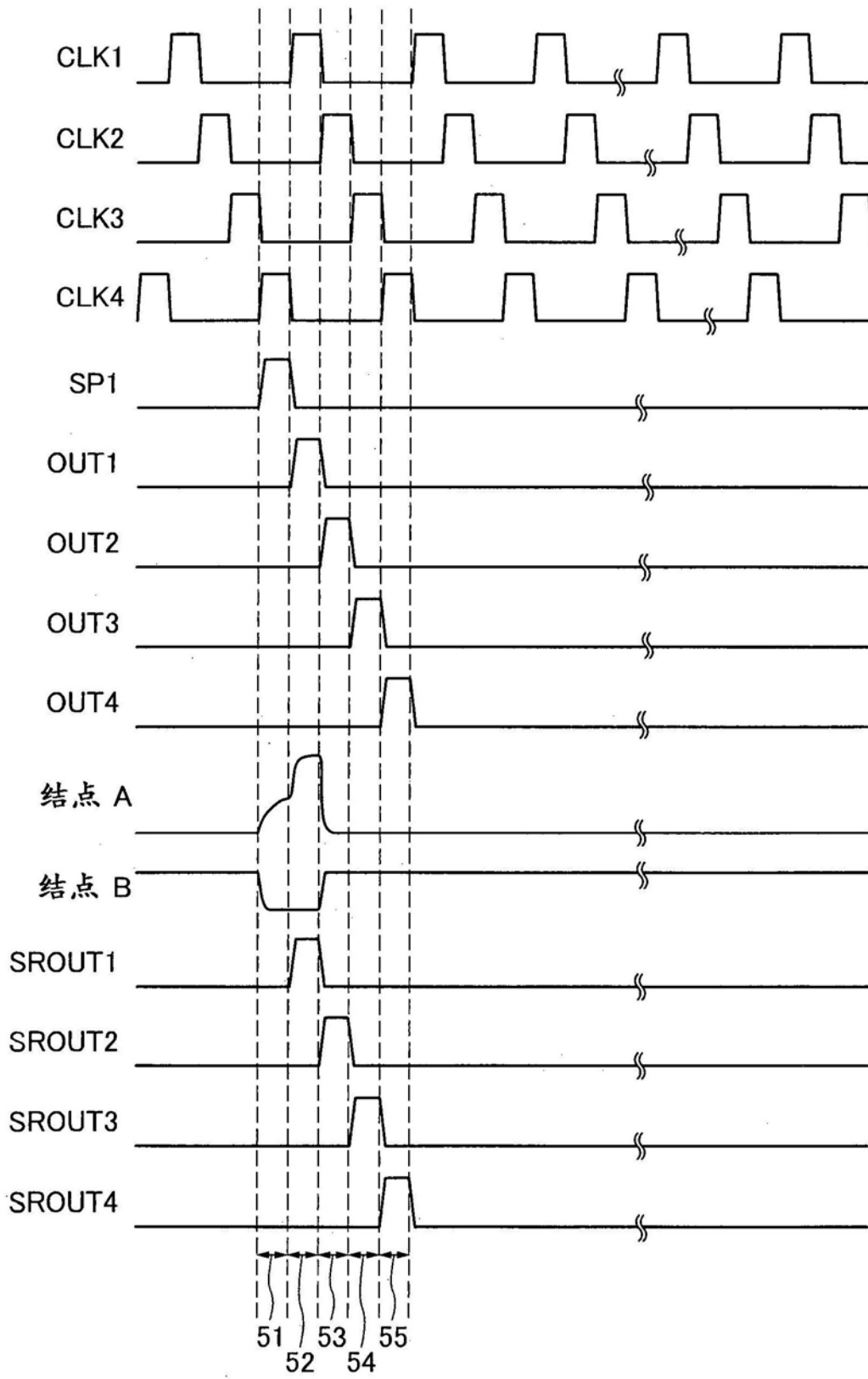


图7

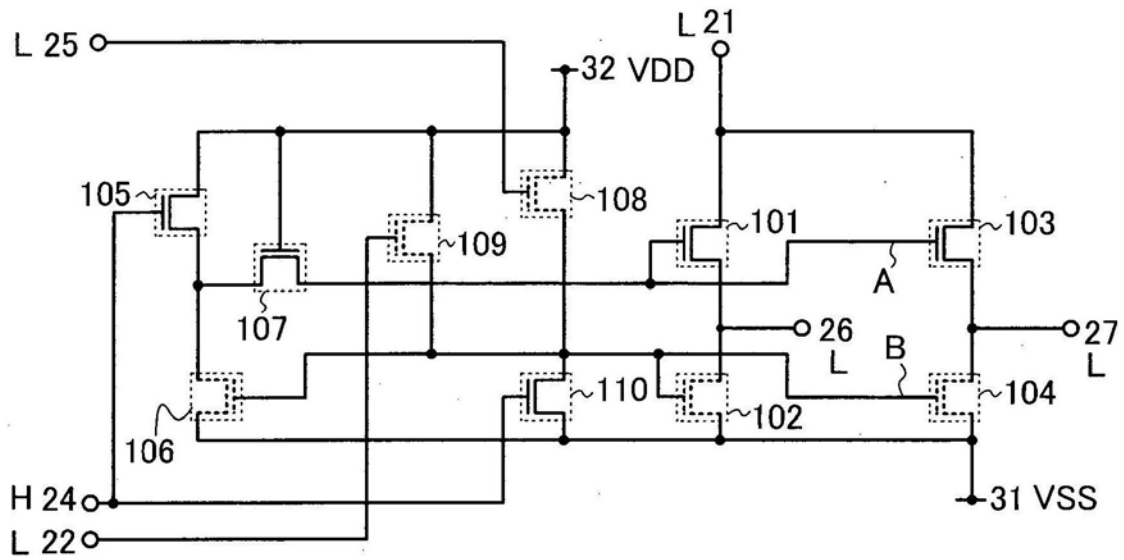


图8A

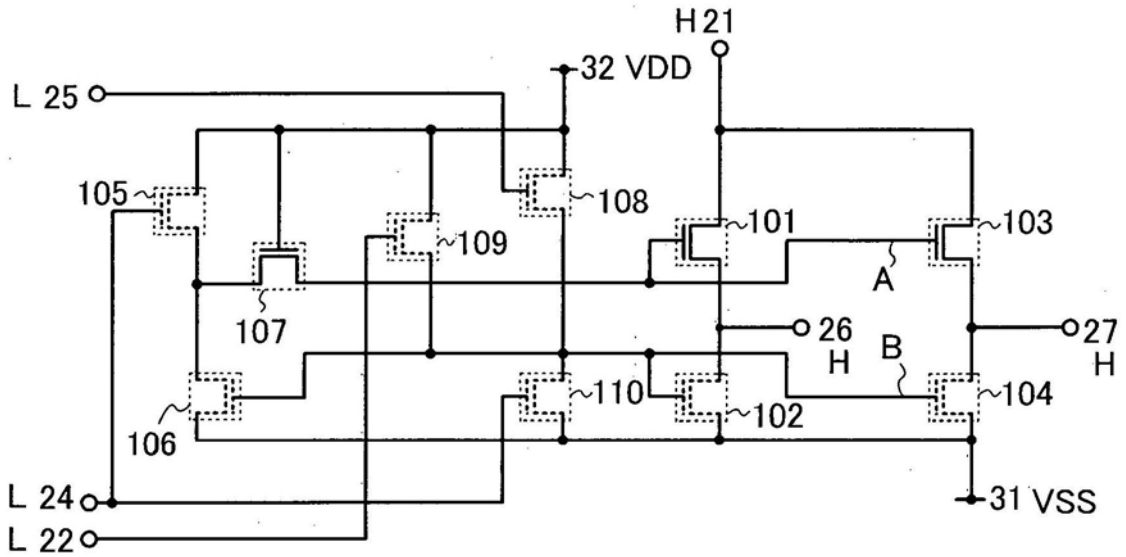


图8B

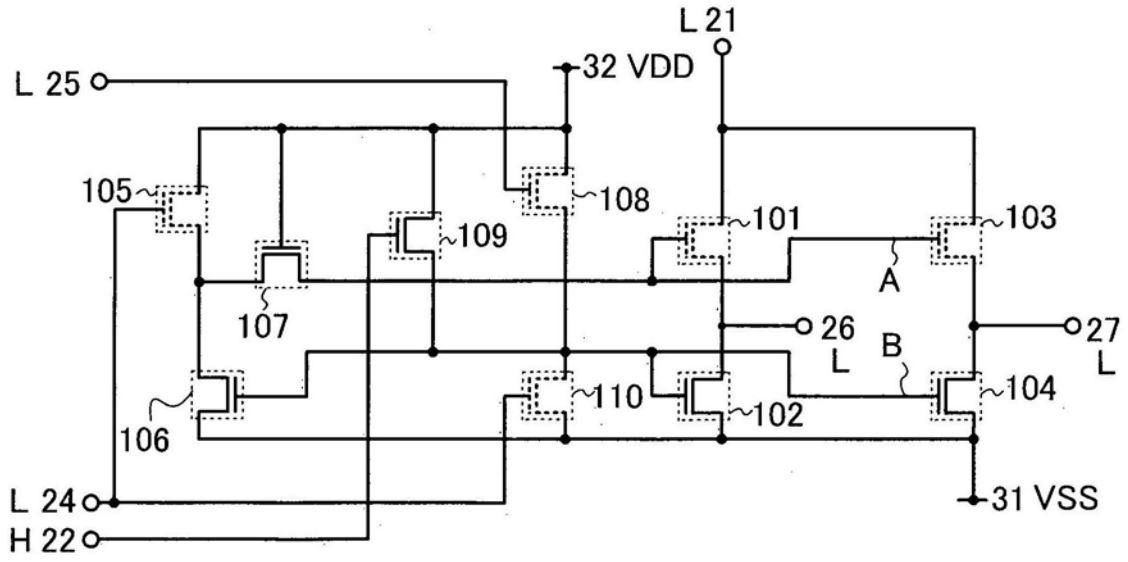


图8C

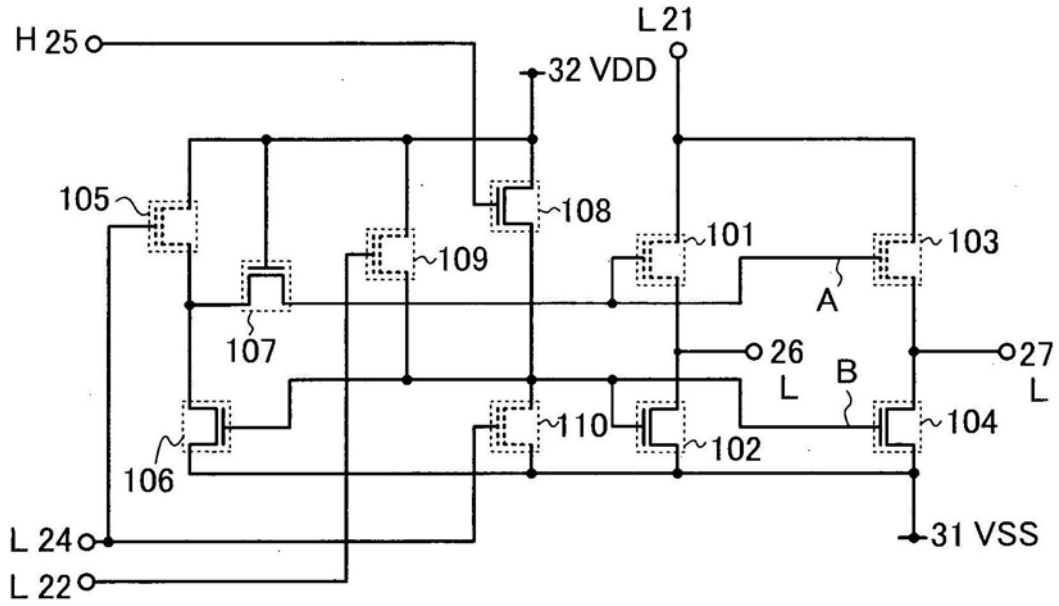


图9A

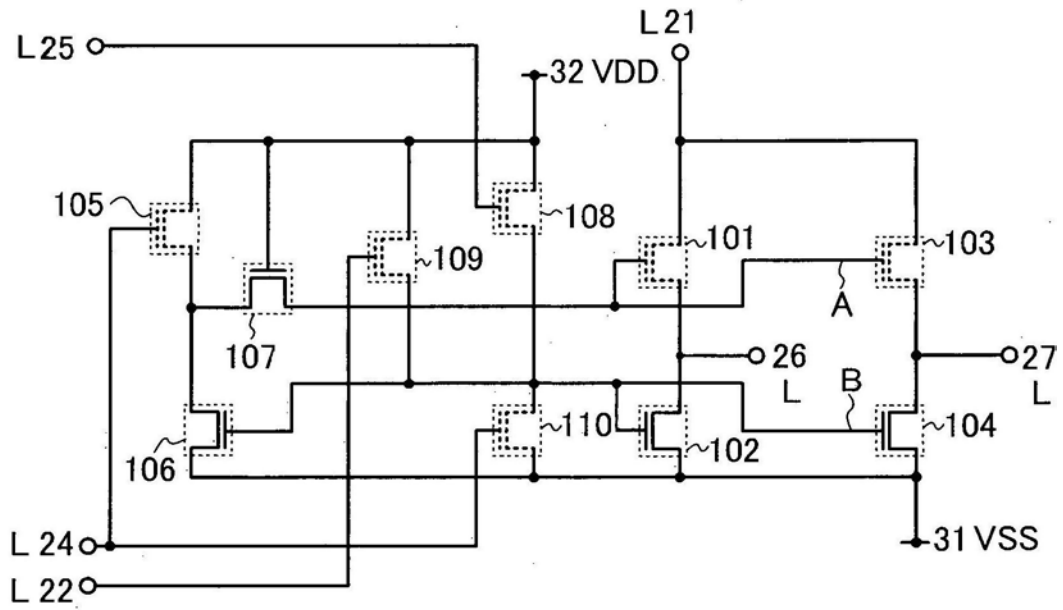


图9B

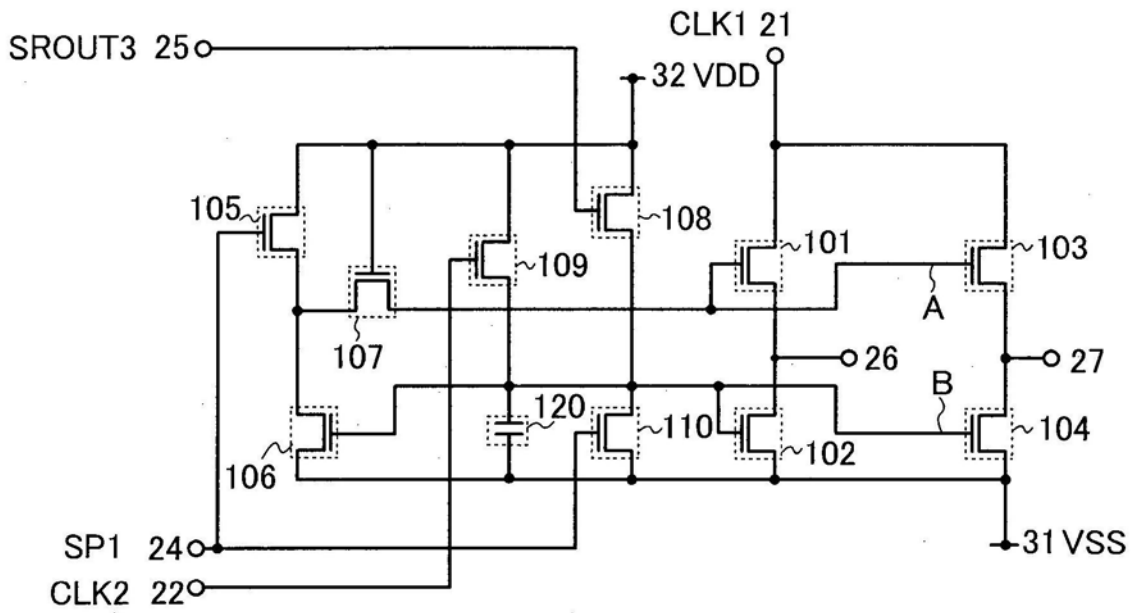


图10A

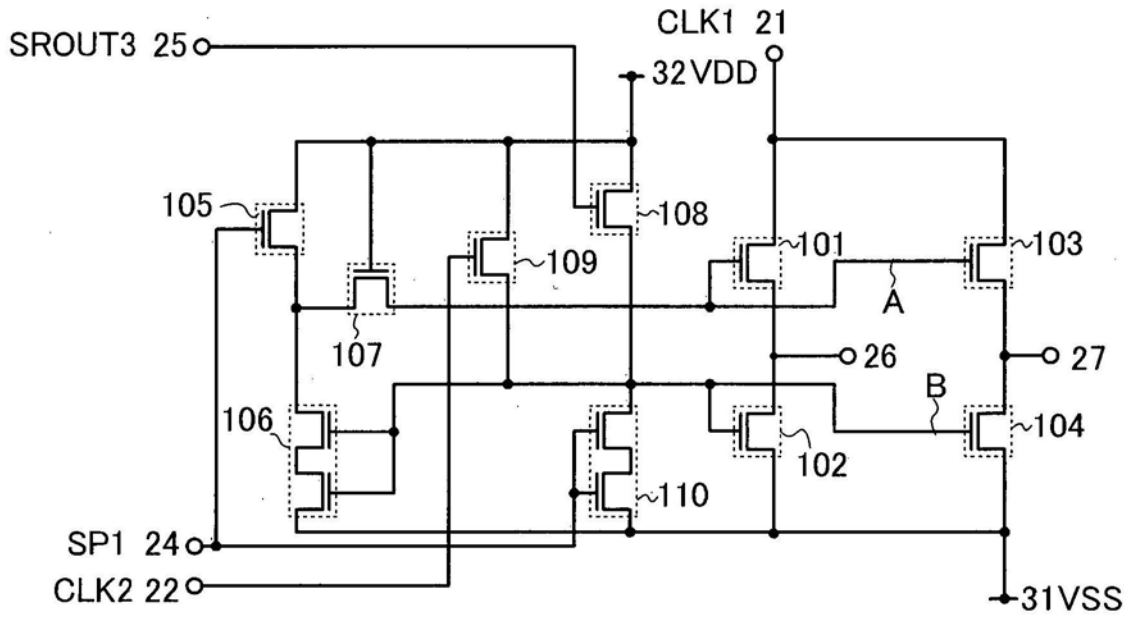


图10B

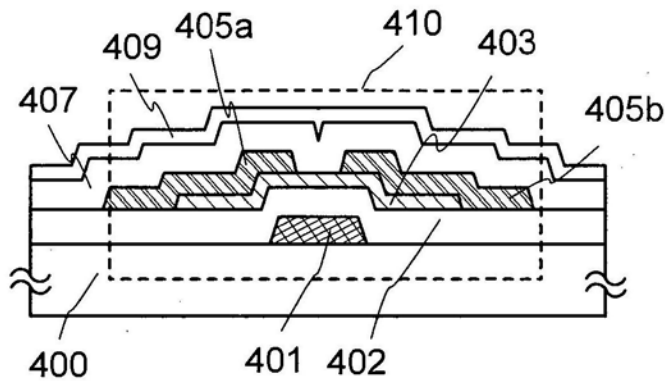


图11A

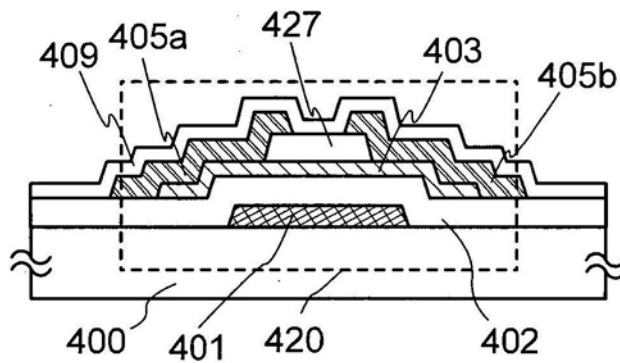


图11B

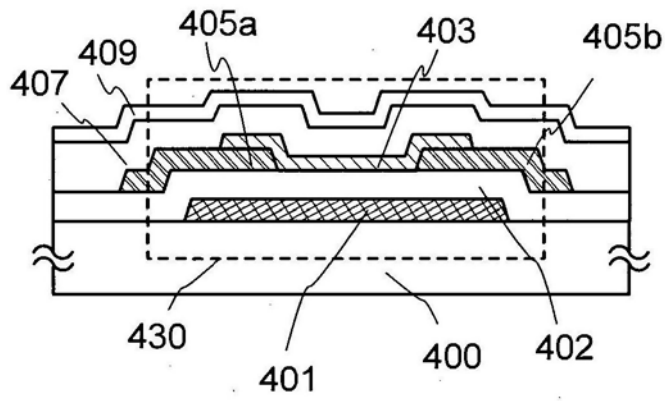


图11C

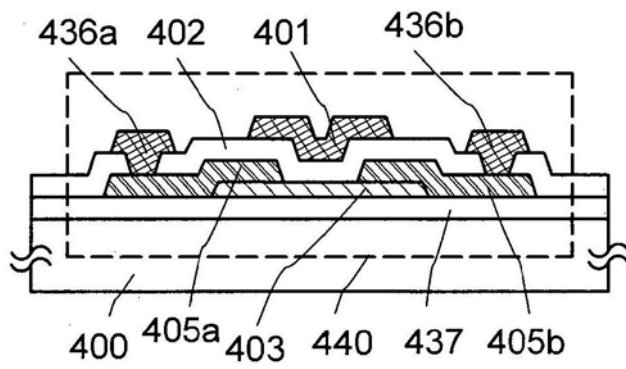


图11D

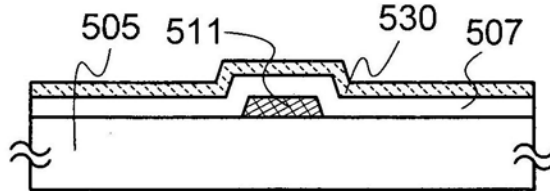


图12A

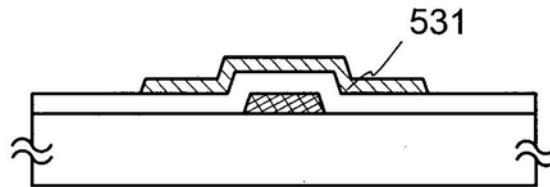


图12B

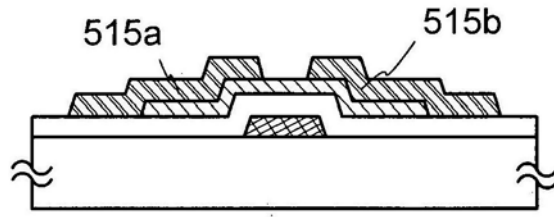


图12C

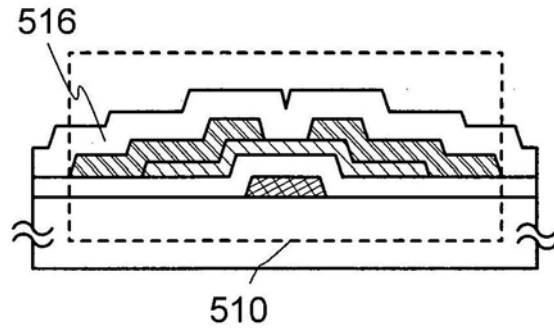


图12D

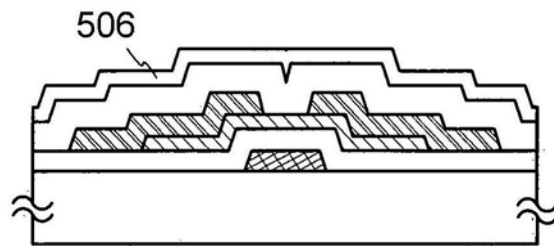


图12E

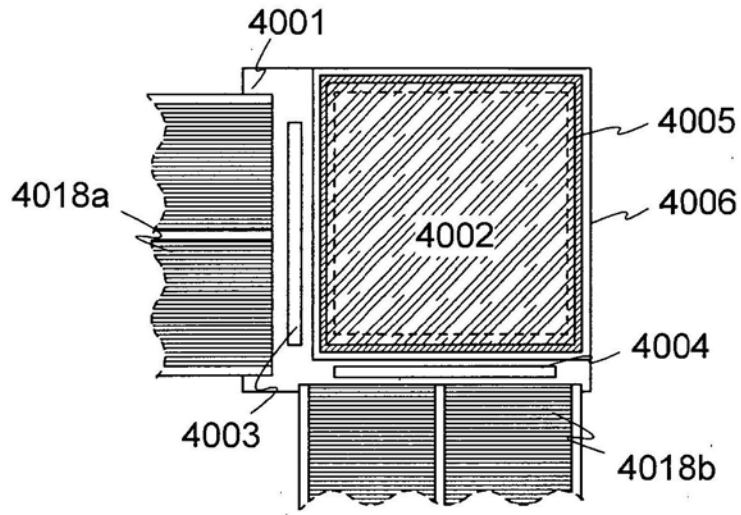


图13A

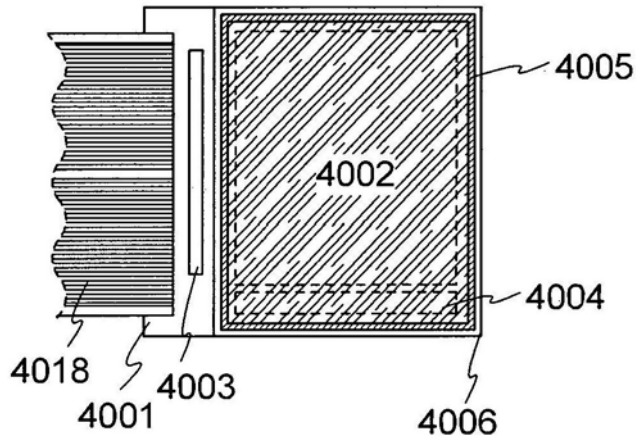


图13B

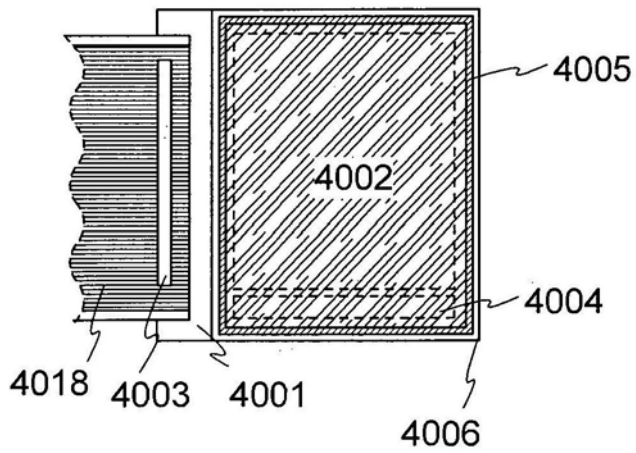


图13C

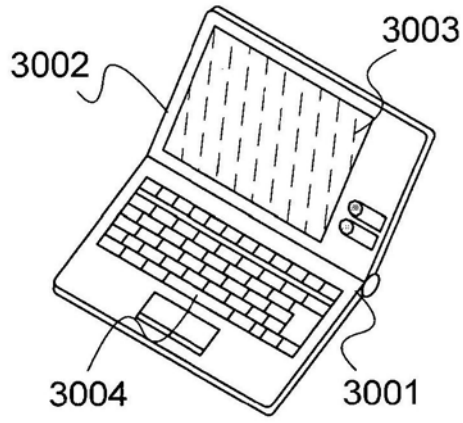


图14A

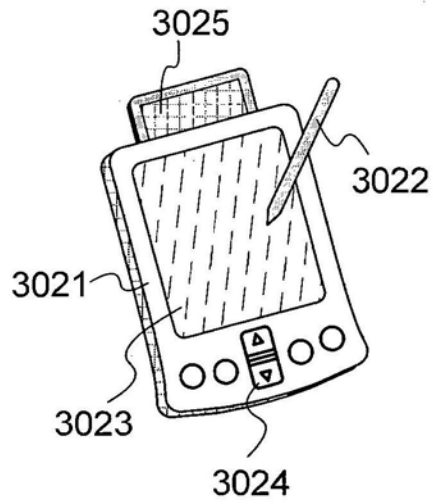


图14B

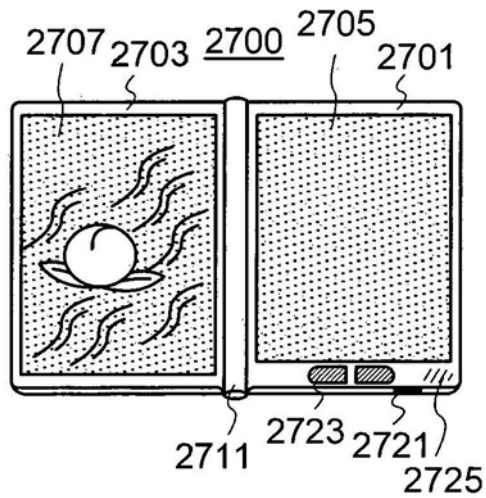


图14C

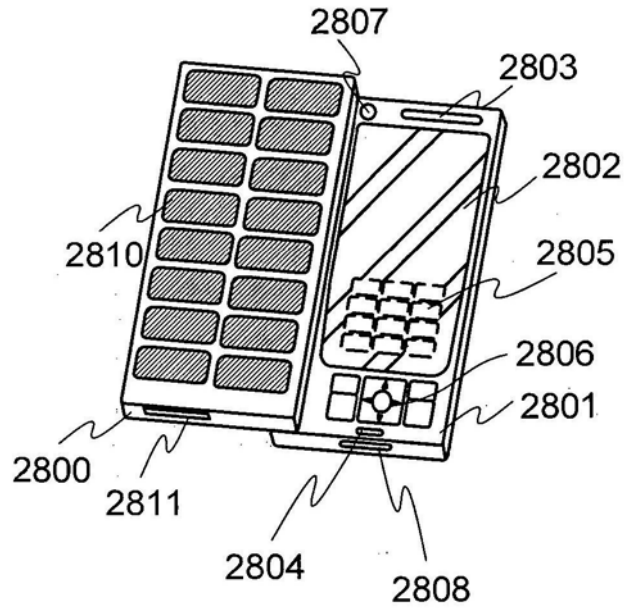


图14D

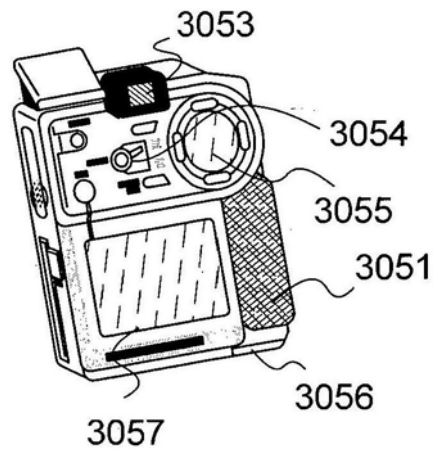


图14E

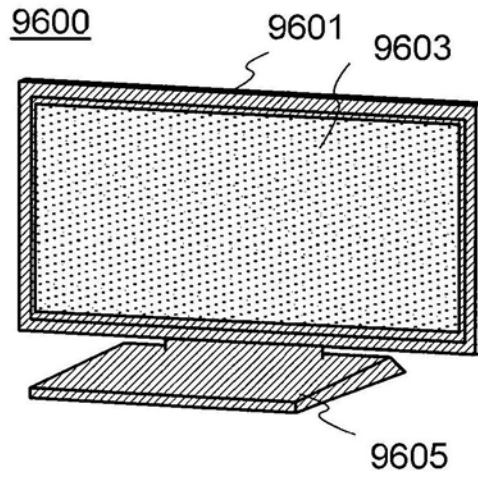


图14F