



(12)发明专利

(10)授权公告号 CN 104900268 B

(45)授权公告日 2018.10.30

(21)申请号 201510373566.3

(22)申请日 2015.06.30

(65)同一申请的已公布的文献号

申请公布号 CN 104900268 A

(43)申请公布日 2015.09.09

(73)专利权人 上海天马有机发光显示技术有限公司

地址 201201 上海市浦东新区龙东大道
6111号1幢509室

专利权人 天马微电子股份有限公司

(72)发明人 吴桐 钱栋 张通

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 王宝筠

(51)Int.Cl.

G11C 19/28(2006.01)

G09G 3/36(2006.01)

G09G 3/32(2016.01)

(56)对比文件

CN 102237031 A,2011.11.09,

CN 104157252 A,2014.11.19,

US 2011/0193622 A1,2011.08.11,

审查员 耿翠萍

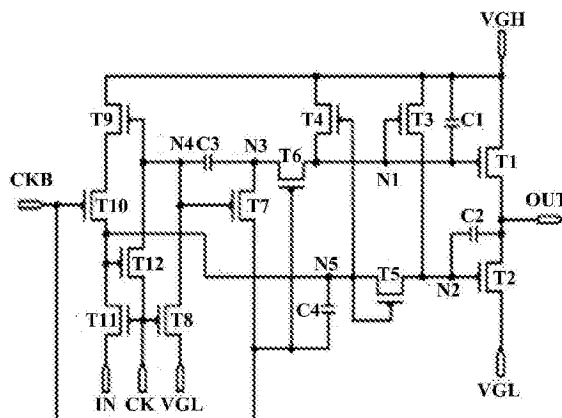
权利要求书4页 说明书9页 附图6页

(54)发明名称

移位寄存器及其驱动方法、栅极驱动电路、显示装置

(57)摘要

本发明公开了一种移位寄存器及其驱动方法、栅极驱动电路、显示装置,通过各个输入端输入的信号控制,以及各个晶体管之间的配合,使开启信号输入端输入的有效信号实现移位,保证了栅极驱动电路的正常扫描。本发明提供的移位寄存器,其第一节点和第二节点的信号分别对应控制第一晶体管和第二晶体管,使得第一晶体管和第二晶体管在第一时段至第五时段只有一个导通,避免了输出端出现悬空状态。第五晶体管的设置等效于二极管,避免了第四电容的耦合对第二节点造成影响,避免了流至第五节点的漏电流对第二节点造成影响,保证输出端的信号稳定。此外,移位寄存器的结构简单,减小了移位寄存器占用的版图面积,有利于显示装置的窄边框优化。



1. 一种移位寄存器,其特征在於,包括:第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十一晶体管、第十二晶体管、第一电容、第二电容、第三电容和第四电容,还包括第一时钟信号输入端、第二时钟信号输入端、第一电平信号输入端、第二电平信号输入端、开启信号输入端和输出端;

其中,所述第一晶体管由第一节点的信号控制,用于传输由所述第一电平信号输入端输入的第一电平信号至所述输出端;

所述第二晶体管由第二节点的信号控制,用于传输由所述第二电平信号输入端输入的第二电平信号至所述输出端;

所述第三晶体管由所述第一节点的信号控制,用于传输由所述第一电平信号输入端输入的第一电平信号至所述第二节点;

所述第四晶体管由第五节点的信号控制,用于传输所述由所述第一电平信号输入端输入的第一电平信号至所述第一节点;

所述第五晶体管由所述第五节点的信号控制,用于控制所述第二节点和第五节点之间的导通或截止;

所述第六晶体管由所述第一时钟信号输入端输入的第一时钟信号控制,用于控制所述第一节点和第三节点之间的导通或截止;

所述第七晶体管由第四节点的信号控制,用于传输由所述第一时钟信号输入端输入的第一时钟信号至所述第三节点;

所述第八晶体管由所述第二时钟信号输入端输入的第二时钟信号控制,用于传输由所述第二电平信号输入端输入的第二电平信号至所述第四节点;

所述第九晶体管由所述第四节点的信号控制,用于传输由所述第一电平信号输入端输入的第一电平信号至所述第十晶体管;

所述第十晶体管由所述第一时钟信号输入端输入的第一时钟信号控制,用于传输所述第九晶体管输出的信号至所述第五节点;

所述第十一晶体管由所述第二时钟信号输入端输入的第二时钟信号控制,用于传输所述开启信号输入端输入的开启信号至所述第五节点;

所述第十二晶体管由所述第五节点的信号控制,用于传输所述第二时钟信号输入端输入的第二时钟信号至所述第四节点;

所述第一电容的第一极板连接所述第一电平信号输入端,所述第一电容的第二极板连接所述第一节点,所述第二电容的第一极板连接所述输出端,所述第二电容的第二极板连接所述第二节点,所述第三电容的第一极板连接所述第四节点,所述第三电容的第二极板连接所述第三节点,所述第四电容的第一极板连接所述第五节点,所述第四电容的第二极板连接所述第一时钟信号输入端,其中,所述第一电平信号和第二电平信号为极性相反的电平信号。

2. 根据权利要求1所述的移位寄存器,其特征在於,所述第一晶体管的栅极连接所述第一节点,所述第一晶体管的第一电极连接所述第一电平信号输入端,所述第一晶体管的第二电极连接所述输出端;

所述第二晶体管的栅极连接所述第二节点,所述第二晶体管的第一电极连接所述第二

电平信号输入端,所述第二晶体管的第二电极连接所述输出端;

所述第三晶体管的栅极连接所述第一节点,所述第三晶体管的第一电极连接所述第一电平信号输入端,所述第三晶体管的第二电极连接所述第二节点;

所述第四晶体管的栅极连接所述第五节点,所述第四晶体管的第一电极连接所述第一电平信号输入端,所述第四晶体管的第二电极连接所述第一节点;

所述第五晶体管的栅极连接所述第五节点,所述第五晶体管的第一电极连接所述第五节点,所述第五晶体管的第二电极连接所述第二节点;

所述第六晶体管的栅极连接所述第一时钟信号输入端,所述第六晶体管的第一电极连接所述第三节点,所述第六晶体管的第二电极连接所述第一节点;

所述第七晶体管的栅极连接所述第四节点,所述第七晶体管的第一电极连接所述第一时钟信号输入端,所述第七晶体管的第二电极连接所述第三节点;

所述第八晶体管的栅极连接所述第二时钟信号输入端,所述第八晶体管的第一电极连接所述第二电平信号输入端,所述第八晶体管的第二电极连接所述第四节点;

所述第九晶体管的栅极连接所述第四节点,所述第九晶体管的第一电极连接所述第一电平信号输入端,所述第九晶体管的第二电极连接所述第十晶体管的第一电极,所述第十晶体管的栅极连接所述第一时钟信号输入端,所述第十晶体管的第二电极连接所述第五节点;

所述第十一晶体管的栅极连接所述第二时钟信号输入端,所述第十一晶体管的第一电极连接所述开启信号输入端,所述第十一晶体管的第二电极连接所述第五节点;

所述第十二晶体管的栅极连接所述第五节点,所述第十二晶体管的第一电极连接所述第二时钟信号输入端,所述第十二晶体管的第二电极连接所述第四节点;

所述第一电容的第一极板连接所述第一电平信号输入端,所述第一电容的第二极板连接所述第一节点,所述第二电容的第一极板连接所述输出端,所述第二电容的第二极板连接所述第二节点,所述第三电容的第一极板连接所述第四节点,所述第三电容的第二极板连接所述第三节点,所述第四电容的第一极板连接所述第五节点,所述第四电容的第二极板连接所述第一时钟信号输入端。

3. 根据权利要求1所述的移位寄存器,其特征在于,所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十一晶体管和第十二晶体管均为P型晶体管。

4. 根据权利要求1所述的移位寄存器,其特征在于,所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十一晶体管和第十二晶体管均为N型晶体管。

5. 一种驱动方法,用于驱动权利要求1~4任意一项所述的移位寄存器,其特征在于,所述驱动方法包括:

在第一时段,所述第一时钟信号为所述第一电平信号,所述第二时钟信号和开启信号均为所述第二电平信号;所述第二时钟信号控制所述第十一晶体管导通,使所述第五节点的信号为所述第二电平信号;所述第五节点的信号控制所述第四晶体管导通和第五晶体管导通,使所述第一节点的信号为第一电平信号,而所述第二节点的信号为所述第二电平信号;所述第一节点的信号控制所述第一晶体管和第三晶体管截止;所述第二节点的信号控

制所述第二晶体管导通,使所述输出端的信号为所述第二电平信号;

在第二时段,所述第一时钟信号和开启信号均为所述第二电平信号,所述第二时钟信号为所述第一电平信号,所述第五节点保持为所述第二电平信号;所述第五节点的信号控制所述第二晶体管和第五晶体管导通,使所述第一节点的信号为第一电平信号,而所述第二节点的信号为所述第二电平信号;所述第一节点的信号控制所述第一晶体管和第三晶体管截止;所述第二节点的信号控制所述第二晶体管导通,使所述输出端的信号为所述第二电平信号;

在第三时段,所述第一时钟信号和开启信号均为第一电平信号,所述第二时钟信号为第二电平信号,所述第二时钟信号控制所述第八晶体管导通,使所述第四节点的信号为所述第二电平信号;所述第二节点保持为所述第二电平信号;所述第二节点的信号控制所述第二晶体管导通,使所述输出端的信号为所述第二电平信号;

在第四阶段,所述第一时钟信号和开启信号均为第二电平信号,所述第二时钟信号为第二电平信号,所述第四节点保持为第二电平信号;所述第四节点的信号控制所述第七晶体管和第九晶体管导通,使所述第三节点的信号为第二电平信号;所述第一时钟信号控制所述第六晶体管导通,使所述第一节点的信号为所述第二电平信号;所述第一节点的信号控制所述第一晶体管和第三晶体管导通,所述第一晶体管导通使所述输出端的信号为所述第一电平信号;所述第三晶体管导通使所述第二节点的信号为所述第一电平信号,所述第二节点的信号控制所述第二晶体管截止;所述第一时钟信号控制所述第十晶体管导通,使所述第五节点的信号为所述第一电平信号;所述第五节点的信号控制所述第五晶体管截止;

在第五阶段,所述第一时钟信号为第一电平信号,所述第二时钟信号和开启信号为第二电平信号,所述第二时钟信号控制所述第十一晶体管导通,使所述第五节点的信号为所述第二电平信号;所述第五节点的信号控制所述第四晶体管和第五晶体管导通,使所述第一节点的信号为第一电平信号,而所述第二节点的信号为所述第二电平信号;所述第一节点的信号控制所述第一晶体管和第三晶体管截止;所述第二节点的信号控制所述第二晶体管导通,使所述输出端的信号为所述第二电平信号。

6. 根据权利要求5所述的驱动方法,其特征在于,所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十一晶体管和第十二晶体管均为P型晶体管,其中,所述第一电平信号为高电平信号,所述第二电平信号为低电平信号。

7. 根据权利要求6所述的驱动方法,其特征在于,所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十一晶体管和第十二晶体管均为N型晶体管,其中,所述第一电平信号为低电平信号,所述第二电平信号为高电平信号。

8. 一种栅极驱动电路,其特征在于,包括第一级移位寄存器至第N级移位寄存器,其中,所述第一级移位寄存器至第N级移位寄存器均为权利要求1~4所述的移位寄存器,其中,上一级移位寄存器的输出端连接下一级移位寄存器的开启信号输入端。

9. 根据权利要求8所述的栅极驱动电路,其特征在于,所述上一级移位寄存器的第一时钟信号输入端和下一级移位寄存器的第二时钟信号输入端为同一输入端,所述上一级移位

寄存器的第二时钟信号输入端和下一级移位寄存器的第一时钟信号输入端为同一输入端。

10. 一种显示装置,其特征在於,包括权利要求8或9所述的栅极驱动电路。

移位寄存器及其驱动方法、栅极驱动电路、显示装置

技术领域

[0001] 本发明涉及显示技术领域,更为具体的说,涉及一种移位寄存器及其驱动方法、栅极驱动电路、显示装置。

背景技术

[0002] 现今,显示装置主要包括LCD(Liquid Crystal Display,液晶显示)显示装置和OLED(Organic Light-Emitting Diode,有机电激光显示)显示装置,而两种显示装置均包括有栅极驱动电路。其中,栅极驱动电路包括多级移位寄存器,在工作时,通过多级移位寄存器对显示装置的像素阵列进行逐级扫描,以达到显示画面的目的。但是现有的移位寄存器输出信号不稳定,降低了显示装置的显示效果。

发明内容

[0003] 有鉴于此,本发明提供了一种移位寄存器及其驱动方法、栅极驱动电路、显示装置,不仅输出信号稳定,而且占用版图面积小,有利于显示装置的窄边框优化。

[0004] 为实现上述目的,本发明提供的技术方案如下:

[0005] 一种移位寄存器,其特征在于,包括:第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十一晶体管、第十二晶体管、第一电容、第二电容、第三电容和第四电容,还包括第一时钟信号输入端、第二时钟信号输入端、第一电平信号输入端、第二电平信号输入端、开启信号输入端和输出端;

[0006] 其中,所述第一晶体管由第一节点的信号控制,用于传输由所述第一电平信号输入端输入的第一电平信号至所述输出端;

[0007] 所述第二晶体管由第二节点的信号控制,用于传输由所述第二电平信号输入端输入的第二电平信号至所述输出端;

[0008] 所述第三晶体管由所述第一节点的信号控制,用于传输由所述第一电平信号输入端输入的第一电平信号至所述第二节点;

[0009] 所述第四晶体管由第五节点的信号控制,用于传输所述由所述第一电平信号输入端输入的第一电平信号至所述第一节点;

[0010] 所述第五晶体管由所述第五节点的信号控制,用于控制所述第二节点和第五节点之间的导通或截止;

[0011] 所述第六晶体管由所述第一时钟信号输入端输入的第一时钟信号控制,用于控制所述第一节点和第三节点之间的导通或截止;

[0012] 所述第七晶体管由第四节点的信号控制,用于传输由所述第一时钟信号输入端输入的第一时钟信号至所述第三节点;

[0013] 所述第八晶体管由所述第二时钟信号输入端输入的第二时钟信号控制,用于传输由所述第二电平信号输入端输入的第二电平信号至所述第四节点;

[0014] 所述第九晶体管由所述第四节点的信号控制,用于传输由所述第一电平信号输入端输入的第一电平信号至所述第十晶体管;

[0015] 所述第十晶体管由所述第一时钟信号输入端输入的第一时钟信号控制,用于传输所述第九晶体管输出的信号至所述第五节点;

[0016] 所述第十一晶体管由所述第二时钟信号输入端输入的第二时钟信号控制,用于传输所述开启信号输入端输入的开启信号至所述第五节点;

[0017] 所述第十二晶体管由所述第五节点的信号控制,用于传输所述第二时钟信号输入端输入的第二时钟信号至所述第四节点;

[0018] 所述第一电容的第一极板连接所述第一电平信号输入端,所述第一电容的第二极板连接所述第一节点,所述第二电容的第一极板连接所述输出端,所述第二电容的第二极板连接所述第二节点,所述第三电容的第一极板连接所述第四节点,所述第三电容的第二极板连接所述第三节点,所述第四电容的第一极板连接所述第五节点,所述第四电容的第二极板连接所述第一时钟信号输入端,其中,所述第一电平信号和第二电平信号为极性相反的电平信号。

[0019] 相应的,本发明还提供了一种驱动方法,用于驱动上述的移位寄存器,所述驱动方法包括:

[0020] 在第一时段,所述第一时钟信号为所述第一电平信号,所述第二时钟信号和开启信号均为所述第二电平信号;所述第二时钟信号控制所述第十一晶体管导通,使所述第五节点的信号为所述第二电平信号;所述第五节点的信号控制所述第四晶体管导通和第五晶体管导通,使所述第一节点的信号为第一电平信号,而所述第二节点的信号为所述第二电平信号;所述第一节点的信号控制所述第一晶体管和第三晶体管截止;所述第二节点的信号控制所述第二晶体管导通,使所述输出端的信号为所述第二电平信号;

[0021] 在第二时段,所述第一时钟信号和开启信号均为所述第二电平信号,所述第二时钟信号为所述第一电平信号,所述第五节点保持为所述第二电平信号;所述第五节点的信号控制所述第二晶体管和第五晶体管导通,使所述第一节点的信号为第一电平信号,而所述第二节点的信号为所述第二电平信号;所述第一节点的信号控制所述第一晶体管和第三晶体管截止;所述第二节点的信号控制所述第二晶体管导通,使所述输出端的信号为所述第二电平信号;

[0022] 在第三时段,所述第一时钟信号和开启信号均为第一电平信号,所述第二时钟信号为第二电平信号,所述第二时钟信号控制所述第八晶体管导通,使所述第四节点的信号为所述第二电平信号;所述第二节点保持为所述第二电平信号;所述第二节点的信号控制所述第二晶体管导通,使所述输出端的信号为所述第二电平信号;

[0023] 在第四阶段,所述第一时钟信号和开启信号均为第二电平信号,所述第二时钟信号为第二电平信号,所述第四节点保持为第二电平信号;所述第四节点的信号控制所述第七晶体管和第九晶体管导通,使所述第三节点的信号为第二电平信号;所述第一时钟信号控制所述第六晶体管导通,使所述第一节点的信号为所述第二电平信号;所述第一节点的信号控制所述第一晶体管和第三晶体管导通,所述第一晶体管导通使所述输出端的信号为所述第一电平信号;所述第三晶体管导通使所述第二节点的信号为所述第一电平信号,所述第二节点的信号控制所述第二晶体管截止;所述第一时钟信号控制所述第十晶体管导

通,使所述第五节点的信号为所述第一电平信号;所述第五节点的信号控制所述第五晶体管截止;

[0024] 在第五阶段,所述第一时钟信号为第一电平信号,所述第二时钟信号和开启信号为第二电平信号,所述第二时钟信号控制所述第十一晶体管导通,使所述第五节点的信号为所述第二电平信号;所述第五节点的信号控制所述第四晶体管和第五晶体管导通,使所述第一节点的信号为第一电平信号,而所述第二节点的信号为所述第二电平信号;所述第一节点的信号控制所述第一晶体管和第三晶体管截止;所述第二节点的信号控制所述第二晶体管导通,使所述输出端的信号为所述第二电平信号。

[0025] 相应的,本发明还提供了一种栅极驱动电路,包括第一级移位寄存器至第N级移位寄存器,其中,所述第一级移位寄存器至第N级移位寄存器均为上述的移位寄存器,其中,所述上一级移位寄存器的输出端连接下一级移位寄存器的开启信号输入端。

[0026] 相应的,本发明还提供了一种显示装置,包括上述的栅极驱动电路。

[0027] 相较于现有技术,本发明提供的技术方案至少具有以下优点:

[0028] 本发明提供一种移位寄存器及其驱动方法、栅极驱动电路、显示装置,包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十一晶体管、第十二晶体管、第一电容、第二电容、第三电容和第四电容,还包括第一时钟信号输入端、第二时钟信号输入端、第一电平信号输入端、第二电平信号输入端、开启信号输入端和输出端,通过各个输入端输入的信号控制,以及各个晶体管之间的配合,使开启信号输入端输入的有效信号实现移位,即第三时段开启信号为第一电平信号,而在第四时段输出端的信号为第一电平信号,保证了栅极驱动电路的正常扫描。本发明提供的移位寄存器,其第一节点和第二节点的信号分别对应控制第一晶体管和第二晶体管,使得第一晶体管和第二晶体管在第一时段至第五时段只有一个导通,避免了输出端出现悬空状态。另外,第五晶体管的设置等效于二极管,避免了第四电容的耦合对第二节点造成影响,以及,避免了流至第五节点的漏电流对第二节点造成影响,保证输出端的信号稳定,保证显示装置的显示效果高。此外,移位寄存器的结构简单,晶体管数量少,减小了移位寄存器占用的版图面积,有利于显示装置的窄边框优化。

附图说明

[0029] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据提供的附图获得其他的附图。

[0030] 图1为本申请实施例提供的一种移位寄存器的结构示意图;

[0031] 图2为本申请实施例提供的一种时序图;

[0032] 图3a为图2中第一时段对应的移位寄存器的晶体管的导通和截止示意图;

[0033] 图3b为图2中第二时段对应的移位寄存器的晶体管的导通和截止示意图;

[0034] 图3c为图2中第三时段对应的移位寄存器的晶体管的导通和截止示意图;

[0035] 图3d为图2中第四时段对应的移位寄存器的晶体管的导通和截止示意图;

[0036] 图3e为图2中第五时段对应的移位寄存器的晶体管的导通和截止示意图;

[0037] 图4为本申请实施例提供的一种栅极驱动电路的结构示意图。

具体实施方式

[0038] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0039] 正如背景技术所述,现有的移位寄存器输出信号不稳定,降低了显示装置的显示效果。

[0040] 基于此,本申请实施例提供一种移位寄存器,不仅输出信号稳定,而且占用版图面积小,有利于显示装置的窄边框优化。

[0041] 参考图1所示,为本申请实施例提供的一种移位寄存器的结构示意图,其中,移位寄存器包括:第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9、第十晶体管T10、第十一晶体管T11、第十二晶体管T12、第一电容C1、第二电容C2、第三电容C3和第四电容C4,还包括第一时钟信号输入端CKB、第二时钟信号输入端CK、第一电平信号输入端VGH、第二电平信号输入端VGL、开启信号输入端IN和输出端OUT;

[0042] 其中,第一晶体管T1由第一节点N1的信号控制,用于传输由第一电平信号输入端VGH输入的第一电平信号至输出端OUT;

[0043] 第二晶体管T2由第二节点N2的信号控制,用于传输由第二电平信号输入端VGL输入的第二电平信号至输出端OUT;

[0044] 第三晶体管T3由第一节点N1的信号控制,用于传输由第一电平信号输入端VGH输入的第一电平信号至第二节点N2;

[0045] 第四晶体管T4由第五节点N5的信号控制,用于传输由第一电平信号输入端VGH输入的第一电平信号至第一节点N1;

[0046] 第五晶体管T5由第五节点N5的信号控制,用于控制第二节点N2和第五节点N5之间的导通或截止;

[0047] 第六晶体管T6由第一时钟信号输入端CKB输入的第一时钟信号控制,用于控制第一节点N1和第三节点N3之间的导通或截止;

[0048] 第七晶体管T7由第四节点N4的信号控制,用于传输由第一时钟信号输入端CKB输入的第一时钟信号至第三节点N3;

[0049] 第八晶体管T8由第二时钟信号输入端CK输入的第二时钟信号控制,用于传输由第二电平信号输入端VGL输入的第二电平信号至第四节点N4;

[0050] 第九晶体管T9由第四节点N4的信号控制,用于传输由第一电平信号输入端VGH输入的第一电平信号至第十晶体管T10;

[0051] 第十晶体管T10由第一时钟信号输入端CKB输入的第一时钟信号控制,用于传输第九晶体管T9输出的信号至第五节点N5;

[0052] 第十一晶体管T11由第二时钟信号输入端CK输入的第二时钟信号控制,用于传输开启信号输入端IN输入的开启信号至第五节点N5;

[0053] 第十二晶体管T12由第五节点N5的信号控制,用于传输第二时钟信号输入端CK输入的第二时钟信号至第四节点N4;

[0054] 第一电容C1的第一极板连接第一电平信号输入端VGH,第一电容C1的第二极板连接第一节点N1,第二电容C2的第一极板连接输出端OUT,第二电容C2的第二极板连接第二节点N2,第三电容C3的第一极板连接第四节点N4,第三电容C3的第二极板连接第三节点N3,第四电容C4的第一极板连接第五节点N5,第四电容C4的第二极板连接第一时钟信号输入端CKB,其中,第一电平信号和第二电平信号为极性相反的电平信号。

[0055] 具体的,在上述实施例的基础上,本发明提供的一实施例中,第一晶体管T1的栅极连接第一节点N1,第一晶体管T1的第一电极连接第一电平信号输入端VGH,第一晶体管T1的第二电极连接输出端OUT;

[0056] 第二晶体管T2的栅极连接第二节点N2,第二晶体管T2的第一电极连接第二电平信号输入端VGL,第二晶体管T2的第二电极连接输出端OUT;

[0057] 第三晶体管T3的栅极连接第一节点N1,第三晶体管T3的第一电极连接第一电平信号输入端VGH,第三晶体管T3的第二电极连接第二节点N2;

[0058] 第四晶体管T4的栅极连接第五节点N5,第四晶体管T4的第一电极连接第一电平信号输入端VGH,第四晶体管T4的第二电极连接第一节点N1;

[0059] 第五晶体管T5的栅极连接第五节点N5,第五晶体管T5的第一电极连接第五节点N5,第五晶体管T5的第二电极连接第二节点N2;

[0060] 第六晶体管T6的栅极连接第一时钟信号输入端CKB,第六晶体管T6的第一电极连接第三节点N3,第六晶体管T6的第二电极连接第一节点N1;

[0061] 第七晶体管T7的栅极连接第四节点N4,第七晶体管T7的第一电极连接第一时钟信号输入端CKB,第七晶体管T7的第二电极连接第三节点N3;

[0062] 第八晶体管T8的栅极连接第二时钟信号输入端CK,第八晶体管T8的第一电极连接第二电平信号输入端VGL,第八晶体管T8的第二电极连接第四节点N4;

[0063] 第九晶体管T9的栅极连接第四节点N4,第九晶体管T9的第一电极连接第一电平信号输入端VGH,第九晶体管T9的第二电极连接第十晶体管T10的第一电极,第十晶体管T10的栅极连接第一时钟信号输入端CKB,第十晶体管T10的第二电极连接第五节点N5;

[0064] 第十一晶体管T11的栅极连接第二时钟信号输入端CK,第十一晶体管T11的第一电极连接开启信号输入端IN,第十一晶体管T11的第二电极连接第五节点N5;

[0065] 第十二晶体管T12的栅极连接第五节点N5,第十二晶体管T12的第一电极连接第二时钟信号输入端CK,第十二晶体管T12的第二电极连接第四节点N4;

[0066] 第一电容C1的第一极板连接第一电平信号输入端VGH,第一电容C1的第二极板连接第一节点N1,第二电容C2的第一极板连接输出端OUT,第二电容C2的第二极板连接第二节点N2,第三电容C3的第一极板连接第四节点N4,第三电容C3的第二极板连接第三节点N3,第四电容C4的第一极板连接第五节点N5,第四电容C4的第二极板连接第一时钟信号输入端CKB。

[0067] 需要说明的是,在图1所示的本申请实施例提供的第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9、第十晶体管T10、第十一晶体管T11和第十二晶体管T12均优选为P型晶体

管。对此本申请实施例不作具体限制,第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9、第十晶体管T10、第十一晶体管T11和第十二晶体管T12还可以均为N型晶体管。此外,本申请实施例提供的所有晶体管中,还可以部分为P型晶体管,部分为N型晶体管,对此需要在实际应用中视具体情况而定。

[0068] 相应的,本申请实施例还提供了一种驱动方法,用于驱动上述任一实施例提供的移位寄存器,驱动方法包括:

[0069] 在第一时段,第一时钟信号为第一电平信号,第二时钟信号和开启信号均为第二电平信号;第二时钟信号控制第十一晶体管T11导通,使第五节点N5的信号为第二电平信号;第五节点N5的信号控制第四晶体管T4导通和第五晶体管T5导通,使第一节点N1的信号为第一电平信号,而第二节点N2的信号为第二电平信号;第一节点N1的信号控制第一晶体管T1和第三晶体管T3截止;第二节点N2的信号控制第二晶体管T2导通,使输出端OUT的信号为第二电平信号;

[0070] 在第二时段,第一时钟信号和开启信号均为第二电平信号,第二时钟信号为第一电平信号,第五节点N5保持为第二电平信号;第五节点N5的信号控制第二晶体管T2和第五晶体管T5导通,使第一节点N1的信号为第一电平信号,而第二节点N2的信号为第二电平信号;第一节点N1的信号控制第一晶体管T1和第三晶体管T3截止;第二节点N2的信号控制第二晶体管T2导通,使输出端OUT的信号为第二电平信号;

[0071] 在第三时段,第一时钟信号和开启信号均为第一电平信号,第二时钟信号为第二电平信号,第二时钟信号控制第八晶体管T8导通,使第四节点N4的信号为第二电平信号;第二节点N2保持为第二电平信号;第二节点N2的信号控制第二晶体管T2导通,使输出端OUT的信号为第二电平信号;

[0072] 在第四阶段,第一时钟信号和开启信号均为第二电平信号,第二时钟信号为第二电平信号,第四节点N4保持为第二电平信号;第四节点N4的信号控制第七晶体管T7和第九晶体管T9导通,使第三节点N3的信号为第二电平信号;第一时钟信号控制第六晶体管T6导通,使第一节点N1的信号为第二电平信号;第一节点N1的信号控制第一晶体管T1和第三晶体管T3导通,第一晶体管T1导通使输出端OUT的信号为第一电平信号;第三晶体管T3导通使第二节点N2的信号为第一电平信号,第二节点N2的信号控制第二晶体管T2截止;第一时钟信号控制第十晶体管T10导通,使第五节点N5的信号为第一电平信号;第五节点N5的信号控制第五晶体管T5截止;

[0073] 在第五阶段,第一时钟信号为第一电平信号,第二时钟信号和开启信号为第二电平信号,第二时钟信号控制第十一晶体管T11导通,使第五节点N5的信号为第二电平信号;第五节点N5的信号控制第四晶体管T4和第五晶体管T5导通,使第一节点N1的信号为第一电平信号,而第二节点N2的信号为第二电平信号;第一节点N1的信号控制第一晶体管T1和第三晶体管T3截止;第二节点N2的信号控制第二晶体管T2导通,使输出端OUT的信号为第二电平信号。

[0074] 在上述实施例的基础上,本申请实施例提供的第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9、第十晶体管T10、第十一晶体管T11和第十二晶体管T12均为P型晶体管时,其

中,第一电平信号为高电平信号,第二电平信号为低电平信号。

[0075] 此外,当第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9、第十晶体管T10、第十一晶体管T11和第十二晶体管T12均为N型晶体管时,其中,第一电平信号为低电平信号,第二电平信号为高电平信号。

[0076] 进一步的,下面以移位寄存器中所有晶体管均为P型晶体管,第一电平信号为高电平信号,第二电平信号为低电平信号为例,对本申请实施例提供的移位寄存器进行具体的说明。

[0077] 结合图2至图3e所示,其中,图2为本申请实施例提供的一种时序图,图3a为图2中第一时段对应的移位寄存器的晶体管的导通和截止示意图;图3b为图2中第二时段对应的移位寄存器的晶体管的导通和截止示意图;图3c为图2中第三时段对应的移位寄存器的晶体管的导通和截止示意图;图3d为图2中第四时段对应的移位寄存器的晶体管的导通和截止示意图;图3e为图2中第五时段对应的移位寄存器的晶体管的导通和截止示意图。需要说明的是,图3a至图3e中带有“X”的晶体管即为截止的晶体管。

[0078] 在第一时段L1,第一时钟信号为第一电平信号,第二时钟信号和开启信号均为第二电平信号,即,第一时钟信号输入端CKB输入的第一时钟信号为高电平信号,开启信号输入端IN输入的开启信号和第二时钟信号输入端CK输入的第二时钟信号均为低电平信号;

[0079] 第一时钟信号控制第六晶体管T6和第十晶体管T10截止;第二时钟信号控制第八晶体管T8和第十一晶体管T11导通,第八晶体管T8导通使第四节点N4的信号为低电平信号,第十一晶体管T11导通使第五节点N5的信号为开启信号输入端IN输入的低电平信号;第五节点N5的低电平信号控制第四晶体管T4导通、第五晶体管T5和第十二晶体管T12导通,第四晶体管T4导通使第一节点N1的信号为第一电平信号输入端VGH输入的高电平信号,第五晶体管T5导通使第二节点N2的信号为低电平信号,第十二晶体管T12导通使第四节点N4的信号为第二时钟信号输入端CK输入的低电平信号;第四节点N4的信号控制第七晶体管T7和第九晶体管T9导通,第七晶体管T7导通,使第三节点N3为第一时钟信号输入端CKB输入的高电平信号;第一节点N1的信号控制第一晶体管T1和第三晶体管T3截止;第二节点N2的信号控制第二晶体管T2导通,使输出端OUT的信号为第二电平信号输入端VGL输入的低电平信号,即,在第一时段L1移位寄存器输出低电平信号。

[0080] 在第二时段L2,第一时钟信号输入端CKB输入的第一时钟信号和开启信号输入端IN输入的开启信号均为低电平信号,第二时钟信号输入端CK输入的第二时钟信号为高电平信号;

[0081] 第一时钟信号控制第六晶体管T6和第十晶体管T10导通;第二时钟信号控制第八晶体管T8和第十一晶体管T11截止;第五节点N5通过第四电容C4保持第一时段的低电平信号;第五节点N5的信号控制第二晶体管T2、第五晶体管T5和第十二晶体管T12导通,第四晶体管T4导通使第一节点N1为第一电平信号输入端VGH输入的高电平信号,第五晶体管T5导通使第二节点N2的信号为低电平信号,第十二晶体管T12导通使第四节点N4的信号为第二时钟信号输入端CK输入的高电平信号;由于第六晶体管T6导通,因此第三节点N3的信号为第一电平信号输入端VGH输入的高电平信号;第四节点N4的高电平信号控制第七晶体管T7和第九晶体管T9截止;第一节点N1的高电平信号控制第一晶体管T1和第三晶体管T3截止;

第二节点N2的低电平信号控制第二晶体管T2导通,使输出端OUT的信号为第二电平信号输入端VGL输入的低电平信号,即,在第二时段L2移位寄存器输出低电平信号。

[0082] 在第三时段L3,第一时钟信号输入端CKB输入的第一时钟信号和开启信号端IN输入的开启信号均为高电平信号,第二时钟信号输入端CK输入的第二时钟信号为低电平信号;

[0083] 第一时钟信号控制第六晶体管T6和第十晶体管T10截止;第二时钟信号控制第八晶体管T8和第十一晶体管T11导通,第八晶体管T8导通使第四节点N4的信号为第二电平信号输入端VGL输入的低电平信号,第十一晶体管T11导通使第五节点N5的信号为开启信号端IN输入的高电平信号;第四节点N4的低电平信号控制第七晶体管T7和第九晶体管T9导通,第七晶体管T7的导通使第三节点N3的信号为第一时钟信号输入端CKB输入的高电平信号;第五节点N5的高电平信号控制第四晶体管T4、第五晶体管T5和第十二晶体管T12截止;第二节点N2的信号通过第二电容C2保持为上一时段的低电平信号;第一节点N1的信号通过第一电容C1保持为上一时段的高电平信号;第一节点N1的高电平信号控制第一晶体管T1和第三晶体管T3截止;第二节点N2的信号控制第二晶体管T2导通,使输出端OUT的信号为第二电平信号输入端VGL输入的低电平信号,即,在第三时段L3移位寄存器输出低电平信号。

[0084] 在第四阶段L4,第一时钟信号输入端CKB输入的第一时钟信号和开启信号输入端IN输入的开启信号均为低电平信号,第二时钟信号输入端CK输入的第二时钟信号为高电平信号;

[0085] 第一时钟信号控制第六晶体管T6和第十晶体管T10导通;第二时钟信号控制第八晶体管T8和第十一晶体管T11截止;第四节点N4通过第三电容C3保持为上一时段的低电平信号;第四节点N4的低电平信号控制第七晶体管T7和第九晶体管T9导通,第七晶体管T7导通使第三节点N3的信号为第一时钟信号输入端CKB输入的低电平信号,第九晶体管T9和第十晶体管T10导通使第五节点N5的信号为第一电平信号输入端VGH输入的高电平信号;第一时钟信号控制第六晶体管T6导通,使第一节点N1的信号为低电平信号;第一时钟信号输入端CKB输入的第一时钟信号控制第十晶体管T10导通,使第五节点N5的信号为第一电平信号输入端VGH输入的高电平信号;第五节点N5的高电平信号控制第四晶体管T4、第五晶体管T5和第十二晶体管T12截止;第一节点N1的低电平信号控制第一晶体管T1和第三晶体管T3导通,第三晶体管T3导通使第二节点N2的信号为第一电平信号输入端VGH输入的高电平信号,第二节点N2的高电平信号控制第二晶体管T2截止,第一晶体管T1导通使输出端OUT的信号为第一电平信号输入端VGH输入的高电平信号,即,在第四阶段L4移位寄存器输出高电平信号。

[0086] 在第五阶段L5,第一时钟信号输入端CKB输入的第一时钟信号为高电平信号,第二时钟信号输入端CK输入的第二时钟信号和开启信号输入端IN输入的开启信号为低电平信号;

[0087] 第一时钟信号控制第六晶体管T6和第十晶体管T10截止;第二时钟信号控制第八晶体管T8和第十一晶体管T11导通,第八晶体管T8导通使第四节点N4的信号为第二电平信号输入端VGL输入的低电平信号,第十一晶体管T11导通使第五节点N5的信号为开启信号端IN输入的低电平信号;第五节点N5的低电平信号控制第四晶体管T4、第五晶体管T5和第十二晶体管T12导通,第四晶体管T4导通使第一节点N1的信号为第一电平信号输入端VGH输入

的高电平信号,第五晶体管T5导通使第二节点N2的信号为第五节点N5的低电平信号,第十二晶体管T12导通使第四节点N4的信号为第二时钟信号输入端CK输入的低电平信号;第四节点N4的低电平信号控制第七晶体管T7和第九晶体管T9导通,第七晶体管T7导通使第三节点N3的信号为第一时钟信号输入端CKB输入的高电平信号;第一节点N1的高电平信号控制第一晶体管T1和第三晶体管T3截止;第二节点N2的低电平信号控制第二晶体管T2导通,使输出端OUT的信号为第二电平信号输入端VGL输入的低电平信号,即,在第五阶段L5移位寄存器输出低电平信号。

[0088] 需要说明的是,对于图2所示的驱动方法,是以移位寄存器中所有晶体管均为P型晶体管,第一电平信号为高电平信号,第二电平信号为低电平信号为例进行的说明,当把移位寄存器中的所有晶体管替换为N型晶体管,相应的将图2中的相位取反即可驱动纯N型晶体管的移位寄存器,在此不再赘述。

[0089] 相应的,参考图4所示,为本申请实施例提供的一种栅极驱动电路的结构示意图,栅极驱动电路包括第一级移位寄存器SR1至第N级移位寄存器SRn,其中,第一级移位寄存器SR1至第N级移位寄存器SRn均为上述任意一实施例提供的移位寄存器,其中,上一级移位寄存器的输出端连接下一级移位寄存器的开启信号输入端。

[0090] 进一步的,上一级移位寄存器的第一时钟信号输入端和下一级移位寄存器的第二时钟信号输入端为同一输入端,上一级移位寄存器的第二时钟信号输入端和下一级移位寄存器的第一时钟信号输入端为同一输入端。

[0091] 相应的,本申请实施例还提供了一种显示装置,显示装置包括上述任意一实施例提供的栅极驱动电路。

[0092] 本申请实施例提供一种移位寄存器及其驱动方法、栅极驱动电路、显示装置,包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十一晶体管、第十二晶体管、第一电容、第二电容、第三电容和第四电容,还包括第一时钟信号输入端、第二时钟信号输入端、第一电平信号输入端、第二电平信号输入端、开启信号输入端和输出端,通过各个输入端输入的信号控制,以及各个晶体管之间的配合,使开启信号输入端输入的有效信号实现移位,即第三时段开启信号为第一电平信号,而在第四时段输出端的信号为第一电平信号,保证了栅极驱动电路的正常扫描。本申请实施例提供的移位寄存器,其第一节点和第二节点的信号分别对应控制第一晶体管和第二晶体管,使得第一晶体管和第二晶体管在第一时段至第五时段只有一个导通,避免了输出端出现悬空状态。另外,第五晶体管的设置等效于二极管,避免了第四电容的耦合对第二节点造成影响,以及,避免了流至第五节点的漏电流对第二节点造成影响,保证输出端的信号稳定,保证显示装置的显示效果高。此外,移位寄存器的结构简单,晶体管数量少,减小了移位寄存器占用的版图面积,有利于显示装置的窄边框优化。

[0093] 对所公开的实施例的上述说明,使本领域专业技术人员能够实现或使用本发明。对这些实施例的多种修改对本领域的专业技术人员来说将是显而易见的,本文中所定义的一般原理可以在不脱离本发明的精神或范围的情况下,在其它实施例中实现。因此,本发明将不会被限制于本文所示的这些实施例,而是要符合与本文所公开的原理和和特点相一致的最宽的范围。

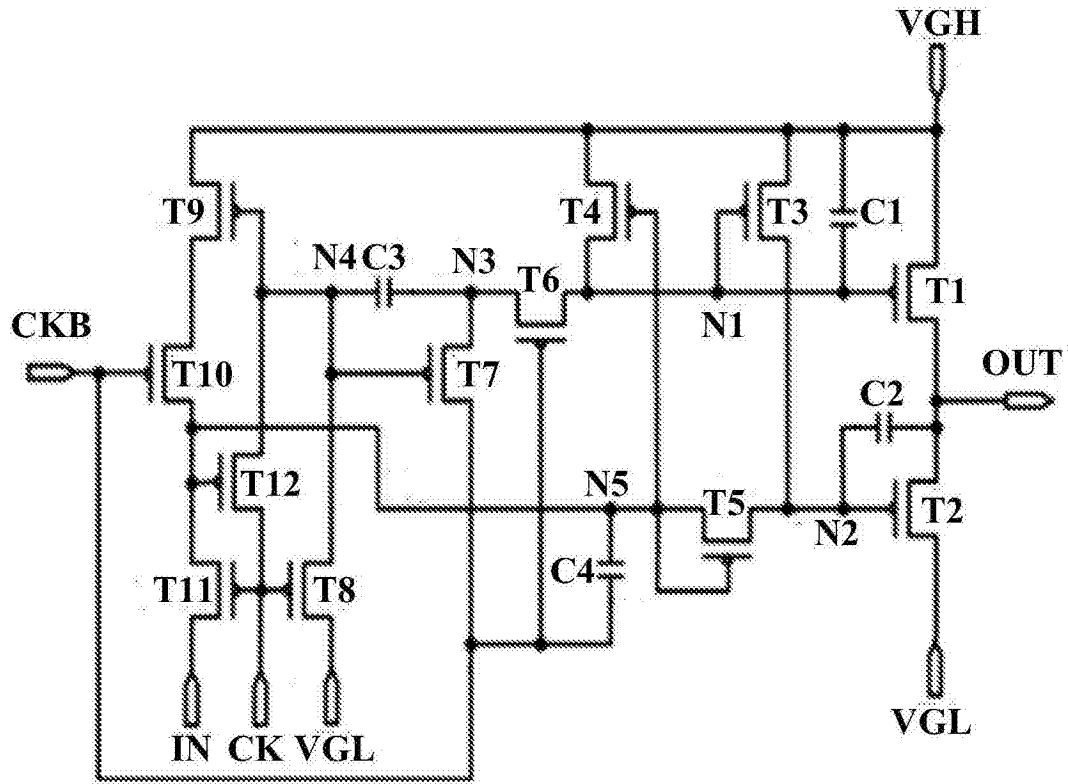


图1

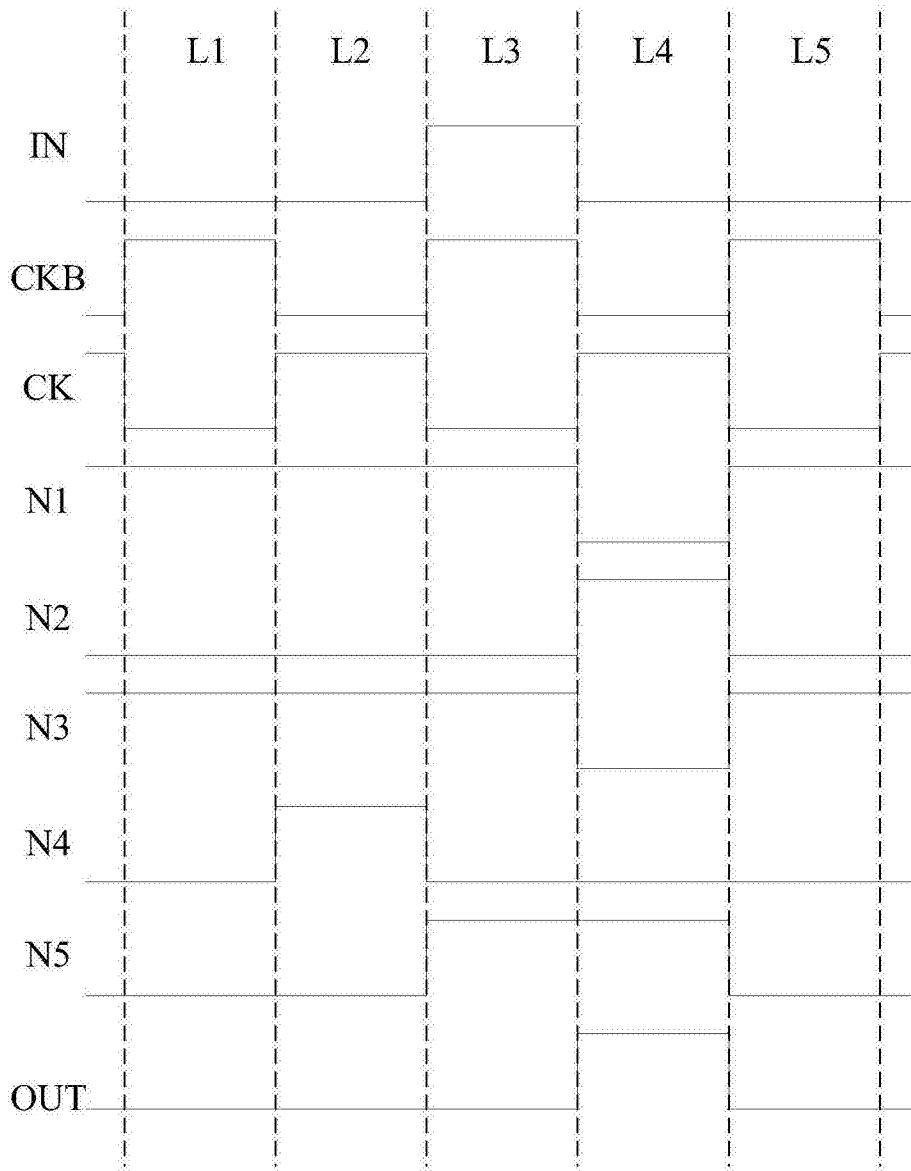


图2

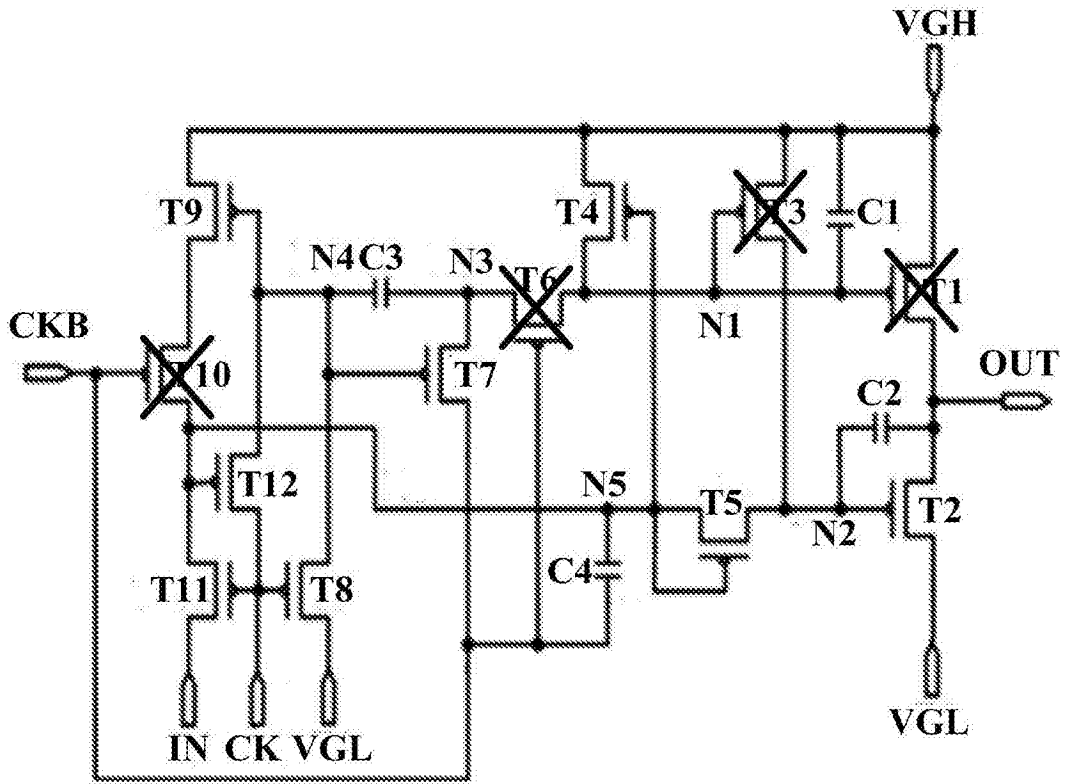


图3a

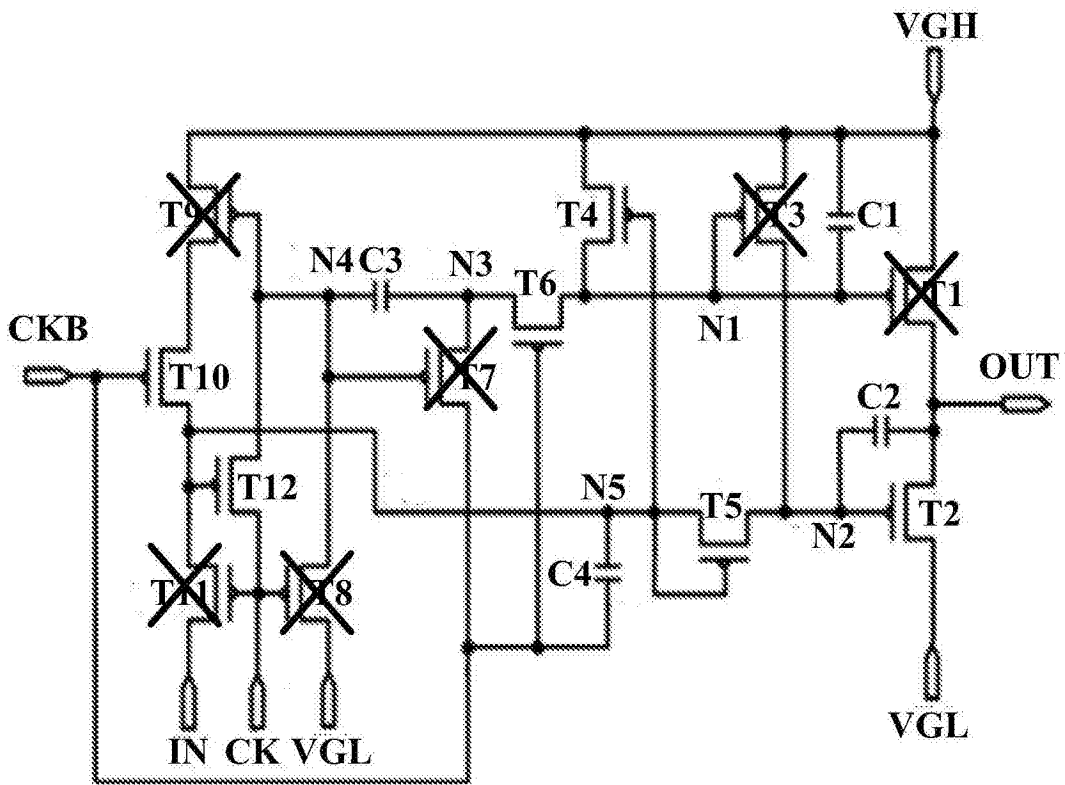


图3b

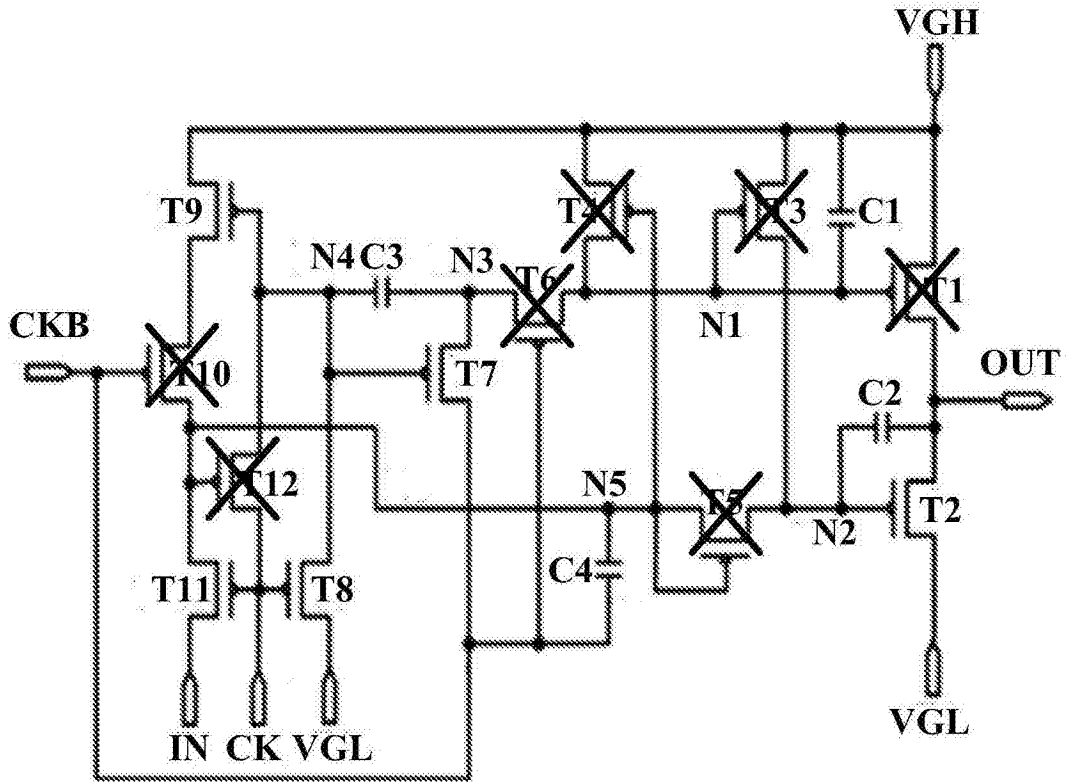


图3c

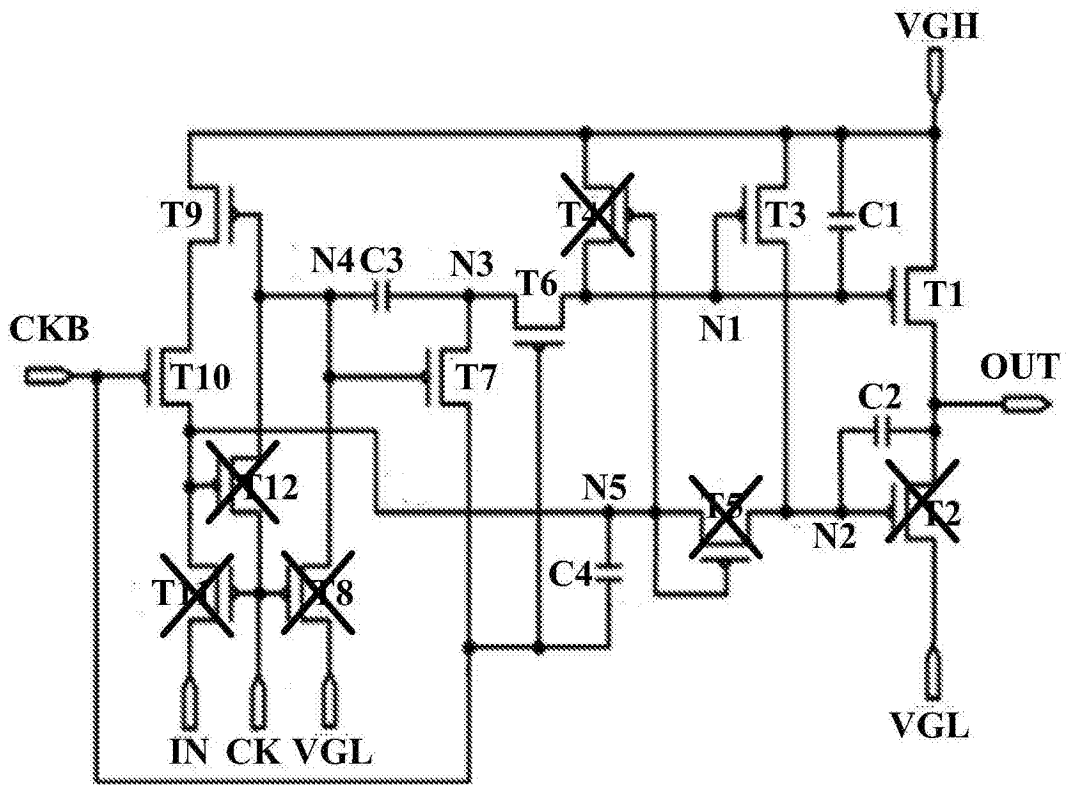


图3d

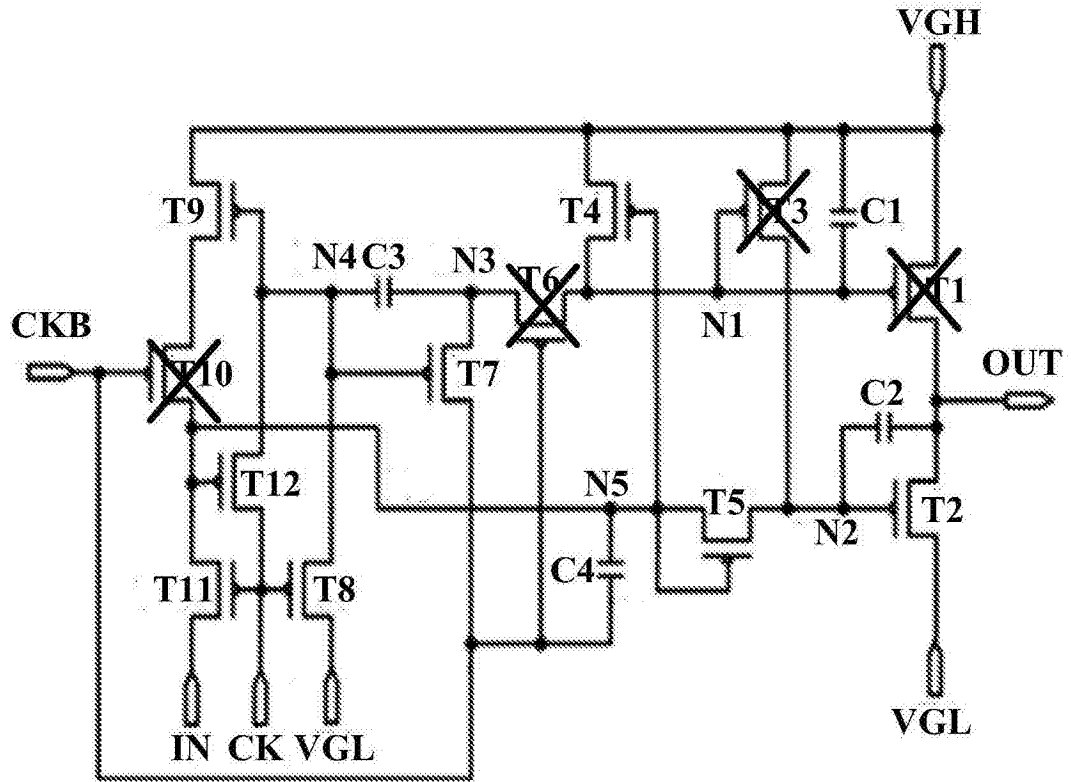


图3e

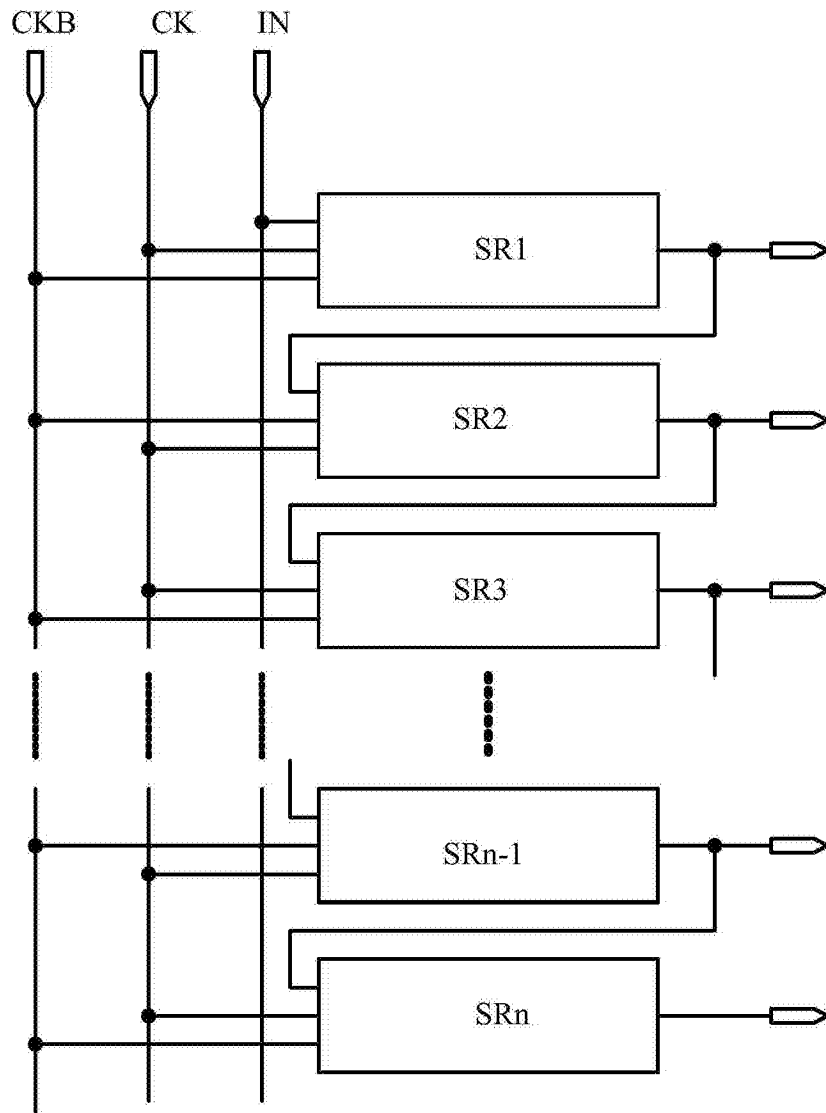


图4