

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

**特許第3753972号**  
**(P3753972)**

(45) 発行日 平成18年3月8日(2006.3.8)

(24) 登録日 平成17年12月22日(2005.12.22)

(51) Int. Cl.		F I		
<b>G 1 1 C 11/407 (2006.01)</b>		G 1 1 C 11/34	3 5 4 F	
<b>G 1 1 C 11/409 (2006.01)</b>		G 1 1 C 11/34	3 5 3 F	
<b>G 1 1 C 11/406 (2006.01)</b>		G 1 1 C 11/34	3 6 3 K	

請求項の数 11 (全 25 頁)

(21) 出願番号	特願2001-354302 (P2001-354302)	(73) 特許権者	000005821
(22) 出願日	平成13年11月20日(2001.11.20)		松下電器産業株式会社
(65) 公開番号	特開2003-157674 (P2003-157674A)		大阪府門真市大字門真1006番地
(43) 公開日	平成15年5月30日(2003.5.30)	(74) 代理人	110000040
審査請求日	平成14年12月3日(2002.12.3)		特許業務法人池内・佐藤アンドパートナーズ
		(72) 発明者	折笠 憲一
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	大田 清人
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	廣瀬 雅庸
			大阪府門真市大字門真1006番地 松下電器産業株式会社内

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

複数のメモリセルと、前記メモリセルが接続されたビット線対と、第1の制御信号に応じて前記ビット線対を第1の電圧にプリチャージするための複数のプリチャージ回路と、前記プリチャージ回路にプリチャージ用の電圧を供給するビット線プリチャージ電圧発生装置とを備え、ビット線のイコライズ電圧と前記第1の電圧が異なる半導体記憶装置であって、

前記ビット線プリチャージ電圧発生装置は、前記第1の電圧を発生して前記プリチャージ回路に供給するプリチャージ電圧発生回路と、第1のキャパシタと、前記第1のキャパシタと外部電源との間に接続され前記第1のキャパシタを前記外部電源のレベルに充電する充電手段と、前記第1のキャパシタと前記プリチャージ回路との接続・切断を制御するトランスファークロウ回路と、前記充電手段と前記トランスファークロウ回路を制御する第1の制御回路とを具備し、

前記第1の制御回路は、前記ビット線のプリチャージ時に前記第1のキャパシタと前記プリチャージ回路とを接続するように前記トランスファークロウ回路を制御することを特徴とする半導体記憶装置。

【請求項2】

前記プリチャージ電圧発生回路は、第2の電圧を発生する基準電圧発生装置と、前記第1の電圧を前記第2の電圧と等しい電圧に駆動するドライバー回路とを備え、前記ドライバー回路の出力と、前記プリチャージ回路とが接続されていることを特徴とする請求項1

に記載の半導体記憶装置。

【請求項 3】

前記第 1 のキャパシタはソース・ドレインが接地された第 1 の MOS トランジスタで構成され、前記充電手段はゲートが第 2 の制御信号に、ソースが第 1 の外部電源に、ドレインが前記第 1 の MOS トランジスタのゲートに接続された第 1 の P チャネル MOS トランジスタで構成され、前記トランスファークゲート回路は、ゲートに第 2 の制御信号が入力され、ソースを前記第 1 の MOS トランジスタのゲートに、ドレインをプリチャージ回路に接続された第 1 の N チャネル MOS トランジスタと、入力に前記第 2 の制御信号が供給される第 1 のインバータと、ゲートに前記第 1 のインバータの出力が入力され、ソースを前記第 1 の MOS トランジスタのゲートに、ドレインを前記プリチャージ回路に接続された第 2 の P チャネル MOS トランジスタで構成されたことを特徴とする請求項 1 に記載の半導体記憶装置。

10

【請求項 4】

前記第 1 の制御回路は、前記第 1 の制御信号が、前記プリチャージ回路を活性化する電圧にされてから第 1 の遅延時間の後に前記第 2 の制御信号を第 1 の電圧レベルに制御し、さらに第 2 の遅延時間の後に、前記第 2 の制御信号を第 1 の電圧レベルと逆相の電圧に制御することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 5】

第 1 の外部電源電圧と前記第 2 の電圧との差を第 1 の電圧差とし、前記ビット線対の各電圧の平均の電圧と前記第 2 の電圧との差を第 2 の電圧差とし、同時にプリチャージする前記ビット線対の総静電容量を第 1 の静電容量とするとき、前記第 1 のキャパシタの静電容量は、前記第 1 の電圧差に対する前記第 2 の電圧差の比に前記第 1 の静電容量を乗じた第 2 の静電容量に等しいことを特徴とする請求項 2 に記載の半導体記憶装置。

20

【請求項 6】

第 1 の外部電源電圧と前記第 2 の電圧との差を第 1 の電圧差とし、前記ビット線対の各電圧の平均の電圧と前記第 2 の電圧との差を第 2 の電圧差とし、同時にプリチャージする前記ビット線対の総静電容量を第 1 の静電容量とするとき、前記第 1 のキャパシタの静電容量は、前記第 1 の電圧差に対する前記第 2 の電圧差の比に前記第 1 の静電容量を乗じた第 2 の静電容量の約 50% から 80% の値であることを特徴とする請求項 2 に記載の半導体記憶装置。

30

【請求項 7】

複数のメモリセルと、前記メモリセルが接続されたビット線対と、第 1 の制御信号に応じて前記ビット線対を第 1 の電圧にプリチャージするための複数のプリチャージ回路と、前記プリチャージ回路にプリチャージ用の電圧を供給するビット線プリチャージ電圧発生装置とを備え、ビット線のイコライズ電圧と前記第 1 の電圧が異なり、前記複数のメモリセルのデータを、リフレッシュ制御信号に応じてリフレッシュするための機能を有し、前記複数のメモリセルは複数のメモリブロックに分割され、リフレッシュ動作時には、通常動作より多くの前記メモリブロックを活性化するように構成された半導体記憶装置であつて、

前記ビット線プリチャージ電圧発生装置は、前記第 1 の電圧を発生して前記プリチャージ回路に供給するプリチャージ電圧発生回路と、第 1 のキャパシタと、前記第 1 のキャパシタと外部電源との間に接続され前記第 1 のキャパシタを前記外部電源のレベルに充電する充電手段と、前記第 1 のキャパシタと前記プリチャージ回路との接続・切断を制御するトランスファークゲート回路と、前記充電手段と前記トランスファークゲート回路を制御する第 1 の制御回路とを具備し、

40

前記第 1 の制御回路は前記リフレッシュ制御信号がリフレッシュ動作時を示すレベルの時のみに、前記第 1 の制御信号に応じて前記トランスファークゲート回路を開放することを特徴とする半導体記憶装置。

【請求項 8】

テスト信号が入力されることによりテストモードに入る機能を有し、前記テストモード

50

でない場合には、前記第 1 の制御信号に応じて前記トランスファークゲート回路を開放し、前記テストモードの場合には、前記ドライバー回路が停止し、前記ドライバー回路の出力がハイインピーダンスとなり、前記トランスファークゲート回路を閉じていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 9】

前記プリチャージ電圧発生回路は、前記複数のプリチャージ回路のうち、最遠部近傍に配置された前記プリチャージ回路に供給される前記第 1 の電圧を前記第 2 の電圧と比較し、その比較結果に基づいて、最近部近傍に配置された前記プリチャージ回路に供給される前記第 1 の電圧を駆動することを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 10】

前記複数のメモリセルは複数のメモリアレイブロックに区分され、各々の前記メモリアレイブロックは、前記第 1 の制御信号によって同時に駆動される前記複数のプリチャージ回路に接続された前記複数のメモリセルを含み、前記メモリアレイブロックごとにノイズキャンセラーが配置され、前記ノイズキャンセラーは、第 2 のインバータと、第 2 のキャパシタで構成され、前記第 1 の制御信号が前記第 2 のインバータに入力され、前記第 2 のインバータの出力が、前記第 2 のキャパシタの 1 端子に入力され、前記第 2 のキャパシタの別端子に、前記プリチャージ用の電圧が供給されることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 11】

複数のメモリセルと、前記メモリセルが接続されたビット線対と、第 1 の制御信号に応じて前記ビット線対を第 1 の電圧にプリチャージするための複数のプリチャージ回路と、前記プリチャージ回路にプリチャージ用の電圧を供給するビット線プリチャージ電圧発生装置とを備え、ビット線のイコライズ電圧と前記第 1 の電圧が異なり、前記複数のメモリセルは複数のメモリブロックに分割され、さらに第 3 の制御信号に応じて同時に活性化させる前記メモリブロックの数を変更する機能を有する半導体記憶装置であって、

前記ビット線プリチャージ電圧発生装置は、前記第 1 の電圧を発生して前記プリチャージ回路に供給するプリチャージ電圧発生回路と、複数のキャパシタ制御回路と、前記複数のキャパシタ制御回路を制御する第 2 の制御回路とを具備し、

各々の前記キャパシタ制御回路は、第 3 のキャパシタと、前記第 3 のキャパシタと外部電源との間に接続され前記第 3 のキャパシタを前記外部電源のレベルに充電する充電手段と、前記第 3 のキャパシタと前記プリチャージ回路との接続・切断を制御するトランスファークゲート回路から構成され、

前記第 2 の制御回路は、前記第 3 の制御信号に応じて、制御する前記複数のキャパシタ制御回路の数を、同時に活性化される前記メモリブロックの数が増える場合には増やし、少なくなる場合には減らす機能を具備することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置、特に、DRAM（ダイナミック・ランダム・アクセスメモリ）において、ビット線のプリチャージ電位が、ビット線対の電位の間電位と異なる場合に、プリチャージ動作を高速に行なうことが可能なビット線プリチャージ電圧発生装置を備えた半導体記憶装置に関する。

【0002】

【従来の技術】

従来のビット線プリチャージ電圧発生装置が搭載される、半導体記憶装置の回路構成および動作について図面を参照しながら説明する。

【0003】

図 19 は、一般的な DRAM 5000 の機能ブロック図を示す。4000 はメモリアレイ、4001 はメモリアレイブロック、4002 は電源ブロック、4003 はロウコントローラ、4004 はコラムコントローラ、4005 は制御回路、4006 は I/O バッファ

10

20

30

40

50

ーである。

【 0 0 0 4 】

メモリアレイ 4 0 0 0 は、複数のメモリアレイブロック 4 0 0 1 を含む。各メモリアレイブロック 4 0 0 1 には、電源ブロック 4 0 0 2 よりビット線プリチャージ電圧 V B P および、メモリセルプレート電圧 V C P 等のメモリアレイ 4 0 0 0 に必要な電圧が供給される。各メモリアレイブロック 4 0 0 1 は、ロウコントローラ 4 0 0 3 より入力される、ビット線プリチャージ信号 N E Q、センスアンプ起動信号 S A N、S A P、およびワード線駆動信号 W L [ 6 3 : 0 ] により制御される。また、各メモリアレイブロック 4 0 0 1 には、カラムコントローラ 4 0 0 4 が接続される。

【 0 0 0 5 】

ロウコントローラ 4 0 0 4 には制御回路 4 0 0 5 より、アクセスコントロール信号 S E、ロウアドレス信号 R A D が入力される。カラムコントローラ 4 0 0 4 には制御回路 4 0 0 5 より、ライトイネーブル信号 W E N、カラムアドレス信号 C A D が入力される。

【 0 0 0 6 】

制御回路 4 0 0 5 には外部クロック信号 C L K、ロウアドレスストロープ信号 N R A S、カラムアドレスストロープ信号 N C A S、ライト制御信号 N W E、アドレス A D D R、リフレッシュ制御信号 R E F が入力される。

【 0 0 0 7 】

カラムコントローラ 4 0 0 4 は、I / O バッファ 4 0 0 6 に接続される。I / O バッファ 4 0 0 6 には、データ入力信号 D I が入力され、データ出力信号 D O を出力する。

【 0 0 0 8 】

図 2 0 は、メモリアレイブロック 4 0 0 1 の回路図を示す。4 1 0 0 はメモリセル、4 1 0 1 はセンスアンプ、4 1 0 2 はプリチャージ回路、B L [ n ] ( n = 0、1、・・・ ) はビット線、/ B L [ n ] ( n = 0、1、・・・ ) は、B L [ n ] と対となるビット線である。メモリセル 4 1 0 0 は、P チャネルトランジスタである 1 つのアクセストランジスタ 4 1 0 3 とキャパシタ 4 1 0 4 で構成される。アクセストランジスタ 4 1 0 3 は、ソースがビット線 B L [ n ] または、/ B L [ n ] に、ドレインがキャパシタ 4 1 0 4 に、ゲートがワード線駆動信号 W L [ n ] 線に接続される。キャパシタ 4 1 0 4 の他方のノードは、メモリセルプレート電圧 V C P に接続される。

【 0 0 0 9 】

センスアンプ 4 1 0 1 は一般的なクロスカップル方式のセンスアンプであり、対となるビット線 B L [ n ]、/ B L [ n ] に接続される。センスアンプ 4 1 0 1 は、センスアンプ起動信号 S A N、S A P で制御される。プリチャージ回路 4 1 0 2 は、3 つの P チャネルトランジスタ、すなわち、ソースがビット線 B L [ n ] に、ドレインがビット線 / B L [ n ] に、ゲートがビット線プリチャージ信号 N E Q 線に接続されるトランジスタと、ソースがビット線 B L [ n ] に、ドレインがビット線プリチャージ電圧 V B P に、ゲートがビット線プリチャージ信号 N E Q 線に接続されるトランジスタと、ソースがビット線プリチャージ電圧 V B P に、ドレインがビット線 / B L [ n ] に、ゲートがビット線プリチャージ信号 N E Q 線に接続されるトランジスタで構成される。

【 0 0 1 0 】

図 2 1 は、ビット線プリチャージ電圧 V B P の電源配線ネットの図を示す。メモリセルアレイ 4 0 0 0 上には、複数配置されるメモリアレイブロック 4 0 0 1 内に配置される、プリチャージ回路 4 1 0 2 にビット線プリチャージ電圧 V B P を供給するためのビット線プリチャージ電源配線 V B P [ n ] が配置される。ビット線プリチャージ電源配線 V B P [ n ] は、プリチャージ電圧発生回路 4 2 0 0 に近い側から、V B P [ 0 ]、V B P [ 1 ]、・・・ V B P [ n ] とする。ビット線プリチャージ電源配線 V B P [ n ] は、各メモリアレイブロック 4 0 0 1 の上層の配線層でカラム方向に配置される ( 図上では実線で示される )。各ビット線プリチャージ電源配線 V B P [ n ] はインピーダンスを下げるために、それぞれロウ方向に金属配線で接続される ( 図上では破線で示される )。このようにメッシュ状に配置され、またできるだけ太い配線が使用される。ビット線プリチャージ電

10

20

30

40

50

源配線  $VBP[0]$  は、プリチャージ電圧発生回路 4200 に接続される。

【0011】

図 22 は、従来のプリチャージ電圧発生回路 4200 の回路構成を示す。4300 は基準電圧発生回路、4301 はオペアンプ、4302 は P チャネルトランジスタである。 $VBPREF$  はビット線プリチャージ基準電圧、 $VOUT$  はビット線プリチャージ保持電圧、 $PEN$  はドライバーイネーブル信号である。基準電圧発生回路 4300 は、ビット線プリチャージ基準電圧  $VBPREF$  およびビット線プリチャージ保持電圧  $VOUT$  を発生する構成である。ビット線プリチャージ基準電圧  $VBPREF$  はオペアンプ 4301 の - 入力に、ビット線プリチャージ保持電圧  $VOUT$  は、ビット線プリチャージ電源配線  $VBP[0]$  に接続される。オペアンプ 4301 の + 入力にはビット線プリチャージ電源配線  $VBP[0]$  が接続され、出力はドライバーイネーブル信号  $PEN$  であり、P チャネルトランジスタ 4302 のゲートに入力される。P チャネルトランジスタ 4302 のソースは  $VDD$  に、ドレインはビット線プリチャージ電源配線  $VBP[0]$  に接続される。

10

【0012】

図 23 は、基準電圧発生回路 4300 の回路図を示す。4400 は抵抗 (抵抗値  $R1$ )、4401 は抵抗 (抵抗値  $R2$ ) である。回路構成は一般的な  $1/2 VDD$  発生回路であり、例えば超  $LSI$  メモリ (伊藤清男著、培風館) に詳しく説明されているので詳細な説明は省略する。出力段は、ビット線プリチャージ基準電圧  $VBPREF$  発生用、およびビット線プリチャージ保持電圧  $VOUT$  用に 2 つ用意される。出力される電圧は、 $VOUT = VBPREF = R2 / (R1 + R2) \times VDD$  となる。 $R1$  および  $R2$  の値としては、この回路を構成するトランジスタのオン抵抗よりも十分に大きい抵抗値が用いられる。

20

【0013】

オペアンプ 4301 は、図 24 に示すような一般的なカレントミラー負荷型差動オペアンプ回路である。 $AMPEN$  は差動アンプ制御信号である。差動入力として - 入力にビット線プリチャージ基準電圧  $VBPREF$  が、+ 入力にビット線プリチャージ電源配線  $VBP[0]$  が接続される。出力はドライバーイネーブル信号  $PEN$  である。差動アンプ制御信号  $AMPEN$  が  $VDD$  レベルの場合にはオペアンプ 4301 は動作状態で、 $VSS$  レベルの場合にはオペアンプ 4301 は停止状態となり、消費電流を減らすことができる。本回路は一般的に知られている回路であり、その他詳しい動作原理は省略する。

【0014】

図 25 は、この  $DRAM$  の動作タイミングおよび内部電圧タイミングを示す。ここではリード動作のみが示される。非動作状態 (スタンバイ状態) では全てのワード線  $WL[n]$  はハイレベルであり、全てのアクセストランジスタ 4103 はオフ状態であり、キャパシタ 4104 には任意の電圧が保持されている。またビット線プリチャージ信号  $NEQ$  はローレベルで、全てのプリチャージ回路 4102 は動作状態であり、全てのビット線  $BL[n]$ 、 $/BL[n]$  はビット線プリチャージ電圧  $VBP$  にチャージされている。

30

【0015】

外部クロック信号  $CLK$  の立ち上がりエッジで、ロウアドレスストローブ信号  $NRAS$  をローレベルにし、アドレス  $ADDR$  としてロウアドレスを入力することで、ワード線選択動作が開始される。ワード線選択動作が開始されると、入力されたロウアドレスで決まる任意のメモリアレイブロック 4001 に入力されるビット線プリチャージ信号  $NEQ$  がハイレベルにされる。ビット線プリチャージ信号  $NEQ$  がハイレベルにされると、当該プリチャージ回路 4102 は停止する。また、差動アンプ制御信号  $AMPEN$  がハイレベルにされ、オペアンプが活性化され、プリチャージ動作に備えられる。

40

【0016】

その後、入力されたロウアドレスで決まる任意のワード線  $WL[n]$  1 本がローレベル ( $VSS$ ) にされ、接続された複数のメモリセル 4100 がオン状態となり、キャパシタ 4104 に保持されている電圧が、接続されたビット線  $BL[n]$  もしくは  $/BL[n]$  に読み出される。その後、センスアンプ起動信号  $SAN$  がローレベル ( $VSS$ ) に  $SAP$  がハイレベル ( $VDD$ ) にされ、センスアンプ 4101 は活性化状態となる。センスアンプ

50

4101が活性化状態とされると、ビット線BL[n]もしくは $\overline{BL[n]}$ に読み出された任意の電位に基づいて、ビット線BL[n]、 $\overline{BL[n]}$ がハイレベル(VDD)もしくはローレベル(VSS)にチャージされる。

【0017】

ここで、読み出されたメモリセル4100が接続されたワード線WL[n]はローレベル(VSS)とされているので、接続されたビット線BL[n]、 $\overline{BL[n]}$ の電位がキャパシタ4104に再書き込みされる。アクセストランジスタ4103はPチャネルトランジスタであるため、ローレベルとしてはVtp(VtpはPチャネルトランジスタのしきい値電圧)の電位が、ハイレベルとしてはVDDが書き込まれる。すなわち、キャパシタ4104に書き込まれる電位として、ハイレベルの場合はVDDが、ローレベルの場合 10  
はVtpが書き込まれる。ハイレベル読み出し、ローレベル読み出しの電位を共に最適なマージンで読み出すためには、ビット線プリチャージ電圧VBPは、その中間の値である $1/2(VDD + Vtp)$ が最適となる。

【0018】

その後、外部クロック信号CLKの立ち上がりエッジに同期してカラムアドレスストロブ信号NCASをローレベルにし、アドレスADDRとしてカラムアドレスを入力することで、カラムコントローラ4004が活性化され、データがデータ出力信号DOとして出力される。

【0019】

その後、外部クロック信号CLKの立ち上がりエッジに同期して、ロウアドレスストロブ信号NRAS、カラムアドレスストロブ信号NCASをハイレベルにすることで、プリチャージ動作が開始される。プリチャージ動作が開始されると、ローレベルとなっていたワード線WL[n]がハイレベルにされ、アクセストランジスタ4103がオフし、キャパシタ4104に電荷が保持される。その後次の読み出し動作に備えるために、ビット線プリチャージ信号NEQがローレベルにされ、プリチャージ回路4102が活性化される。 20

【0020】

プリチャージ回路4102が活性化されると、センスアンプ4101により電位をVDD、VSSにされていたビット線BL[n]、 $\overline{BL[n]}$ の電位がイコライズされ、 $1/2VDD$ の電位にチャージされようとする。プリチャージ回路4102は同時に、ビット線BL[n]、 $\overline{BL[n]}$ を対応するビット線プリチャージ電源配線VBP[n]に接続し、ビット線プリチャージ電圧VBPにチャージしようとする。 30

【0021】

図26は、従来の構成によるビット線プリチャージ電源配線VBP[n]の、プリチャージ回路4102の活性時における動作を示す。前述のようにビット線プリチャージ信号NEQがローレベルにされ、プリチャージ回路4102が活性化されると、活性化されていたビット線BL[n]、 $\overline{BL[n]}$ が、ビット線プリチャージ電源配線VBP[n]に接続されるが、その際に電流が消費され、電圧降下が発生する。ビット線プリチャージ電源配線VBP[n]と、ビット線プリチャージ電源配線VBP[0]は、インピーダンスを下げるようにメッシュ状に接続されているが、電圧の伝達は数ns程度の遅れを生じる 40  
。

【0022】

ビット線プリチャージ電源配線VBP[0]は、プリチャージ電圧発生回路4200に接続されており、ビット線プリチャージ電源配線VBP[0]がビット線プリチャージ基準電圧VBPREFより低い電圧になった時点で、オペアンプ4301の出力であるドライバイネーブル信号PENがローレベル方向に下がり、Pチャネルトランジスタ4302がオンになり、ビット線プリチャージ電源配線VBP[0]にハイレベル電圧が供給される。ハイレベル電圧が供給され、ビット線プリチャージ電源配線VBP[0]が、ビット線プリチャージ基準電圧VBPREFより高い電圧になった時点で、オペアンプ4301の出力であるドライバイネーブル信号PENがハイレベル方向に上がり、Pチャネルト 50

ランジスタ4302がオフになる。

【0023】

Pチャンネルトランジスタ4302が電流能力を必要とし、比較的大きなサイズ(W = 50 μm以上)が用いられるため、ドライバインーブル信号PENは、ビット線プリチャージ電源配線VBP[0]と、ビット線プリチャージ基準電圧VBPREFの関係に対して遅れを生じ、図に示すようにPチャンネルトランジスタ4302の流す電流iaも遅れを生ずる。

【0024】

【発明が解決しようとする課題】

次の読み出し動作の際に安定して読み出すためには、ビット線BL[n]、/BL[n]の電圧を所定の範囲内に収める必要があるが、従来のビット線プリチャージ電圧発生装置4200では、オペアンプ4301の動作が遅く、プリチャージ動作を高速化することが困難であり、問題である。オペアンプ4301の消費電流を増加させることで、プリチャージ動作を高速化することは可能となるが、消費電力の増加が問題となる。

【0025】

本発明は、ビット線のプリチャージ動作を高速・高精度に行なうことを可能とした半導体記憶装置を提供することを目的とする。

【0026】

【課題を解決するための手段】

本発明の半導体記憶装置は、複数のメモリセルと、前記メモリセルが接続されたビット線対と、第1の制御信号に応じて前記ビット線対を第1の電圧にプリチャージするための複数のプリチャージ回路と、前記プリチャージ回路にプリチャージ用の電圧を供給するビット線プリチャージ電圧発生装置とを備え、ビット線のイコライズ電圧と前記第1の電圧が異なる。前記ビット線プリチャージ電圧発生装置は、前記第1の電圧を発生して前記プリチャージ回路に供給するプリチャージ電圧発生回路と、第1のキャパシタと、前記第1のキャパシタと外部電源との間に接続され前記第1のキャパシタを前記外部電源のレベルに充電する充電手段と、前記第1のキャパシタと前記プリチャージ回路との接続・切断を制御するトランスファークロウ回路と、前記充電手段と前記トランスファークロウ回路を制御する第1の制御回路とを具備する。前記第1の制御回路は、前記ビット線のプリチャージ時に前記第1のキャパシタと前記プリチャージ回路とを接続するように前記トランス

【0027】

この構成によれば、プリチャージ動作時に第1のキャパシタの電荷を放出することにより、ビット線のプリチャージ動作を高速に行なうことができる。

【0028】

上記構成において、前記プリチャージ電圧発生回路は、第2の電圧を発生する基準電圧発生装置と、前記第1の電圧を前記第2の電圧と等しい電圧に駆動するドライバ回路とを備え、前記ドライバ回路の出力と、前記プリチャージ回路とが接続されている構成とすることができる。

【0029】

また、上記構成において好ましくは、前記第1のキャパシタはソース・ドレインが接地された第1のMOSトランジスタで構成され、前記充電手段はゲートが第2の制御信号に、ソースが第1の外部電源に、ドレインが前記第1のMOSトランジスタのゲートに接続された第1のPチャンネルMOSトランジスタで構成され、前記トランスファークロウ回路は、ゲートに第2の制御信号が入力され、ソースを前記第1のMOSトランジスタのゲートに、ドレインをプリチャージ回路に接続された第1のNチャンネルMOSトランジスタと、入力に前記第2の制御信号が供給される第1のインバータと、ゲートに前記第1のインバータの出力が入力され、ソースを前記第1のMOSトランジスタのゲートに、ドレインを前記プリチャージ回路に接続された第2のPチャンネルMOSトランジスタで構成される。

【0030】

10

20

30

40

50

それにより、最小の回路構成で高速にビット線のプリチャージ動作を高速に行なうことができる。

【0031】

また、前記第1の制御回路は、前記第1の制御信号が、前記プリチャージ回路を活性化する電圧にされてから第1の遅延時間の後に前記第2の制御信号を第1の電圧レベルに制御し、さらに第2の遅延時間の後に、前記第2の制御信号を第1の電圧レベルと逆相の電圧に制御する構成とすることができる。

【0032】

この構成によれば、ドライバー回路が活性化された後に、第1のキャパシタより電流が供給されるため、ビット線のプリチャージ動作を高速に行なうことができる。

10

【0033】

また、第1の外部電源電圧と前記第2の電圧との差を第1の電圧差とし、前記ビット線対の各電圧の平均の電圧と前記第2の電圧との差を第2の電圧差とし、同時にプリチャージする前記ビット線対の総静電容量を第1の静電容量とするとき、前記第1のキャパシタの静電容量は、前記第1の電圧差に対する前記第2の電圧差の比に前記第1の静電容量を乗じた第2の静電容量に等しい構成とすることができる。

【0034】

また好ましくは、第1の外部電源電圧と前記第2の電圧との差を第1の電圧差とし、前記ビット線対の各電圧の平均の電圧と前記第2の電圧との差を第2の電圧差とし、同時にプリチャージする前記ビット線対の総静電容量を第1の静電容量とするとき、前記第1のキャパシタの静電容量は、前記第1の電圧差に対する前記第2の電圧差の比に前記第1の静電容量を乗じた第2の静電容量の約50%から80%の値である構成とする。

20

【0035】

それにより、第1のキャパシタの放電による第1の電圧の上昇と、ドライバー回路からの上昇による電圧の上昇による電圧の過上昇を防ぎ、高精度にビット線のプリチャージ動作を高速に行なうことができる。

【0036】

本発明の他の構成の半導体記憶装置は、複数のメモリセルと、前記メモリセルが接続されたビット線対と、第1の制御信号に応じて前記ビット線対を第1の電圧にプリチャージするための複数のプリチャージ回路と、前記プリチャージ回路にプリチャージ用の電圧を供給するビット線プリチャージ電圧発生装置とを備え、ビット線のイコライズ電圧と前記第1の電圧が異なり、前記複数のメモリセルのデータを、リフレッシュ制御信号に応じてリフレッシュするための機能を有し、前記複数のメモリセルは複数のメモリブロックに分割され、リフレッシュ動作時には、通常動作より多くの前記メモリブロックを活性化するように構成される。前記ビット線プリチャージ電圧発生装置は、前記第1の電圧を発生して前記プリチャージ回路に供給するプリチャージ電圧発生回路と、第1のキャパシタと、前記第1のキャパシタと外部電源との間に接続され前記第1のキャパシタを前記外部電源のレベルに充電する充電手段と、前記第1のキャパシタと前記プリチャージ回路との接続・切断を制御するトランスファークロスタック回路と、前記充電手段と前記トランスファークロスタック回路を制御する第1の制御回路とを具備する。前記第1の制御回路は前記リフレッシュ制御信号がリフレッシュ動作時を示すレベルの時のみに、前記第1の制御信号に応じて前記トランスファークロスタック回路を開放する。

30

40

【0037】

この構成によれば、リフレッシュ動作時にビット線のプリチャージ動作を高速に行なうことができる。また、第1のキャパシタの静電容量をリフレッシュ動作時のみに必要な大きさとすることが可能となり、回路面積を削減でき、回路構成を単純化することが可能となる。

【0038】

また、上記構成において、テスト信号が入力されることによりテストモードに入る機能を有し、前記テストモードでない場合には、前記第1の制御信号に応じて前記トランスファ

50

ーゲート回路を開放し、前記テストモードの場合には、前記ドライバー回路が停止し、前記ドライバー回路の出力がハイインピーダンスとなり、前記トランスファークゲート回路を閉じている構成とすることができる。

【0039】

この構成によれば、例えば検査時など、外部よりビット線のプリチャージ動作を印加し、動作のマージン等の確認を行なう際に、容易に、所望の電圧を実現することが可能となる。

【0040】

また、前記プリチャージ電圧発生回路は、前記複数のプリチャージ回路のうち、最遠部近傍に配置された前記プリチャージ回路に供給される前記第1の電圧を前記第2の電圧と比較し、その比較結果に基づいて、最近部近傍に配置された前記プリチャージ回路に供給される前記第1の電圧を駆動する構成とすることができる。

10

【0041】

この構成によれば、供給されるメモリアレイ全体に対して、ビット線プリチャージ電圧発生装置より遠いメモリアレイに対しても、比較的高速にビット線のプリチャージ動作を行なうことができる。

【0042】

また、前記複数のメモリセルは複数のメモリアレイブロックに区分され、各々の前記メモリアレイブロックは、前記第1の制御信号によって同時に駆動される前記複数のプリチャージ回路に接続された前記複数のメモリセルを含み、前記メモリアレイブロックごとにノイズキャンセラーが配置され、前記ノイズキャンセラーは、第2のインバータと、第2のキャパシタで構成され、前記第1の制御信号が前記第2のインバータに入力され、前記第2のインバータの出力が、前記第2のキャパシタの1端子に入力され、前記第2のキャパシタの別端子に、前記プリチャージ用の電圧が供給される構成とすることができる。

20

【0043】

この構成によれば、第1の制御信号による、ビット線のプリチャージ電圧へのカップリングノイズの影響を相殺することが可能となり、高精度・高速にビット線のプリチャージ動作を行なうことができる。

【0044】

また、本発明の更に他の構成の半導体記憶装置は、複数のメモリセルと、前記メモリセルが接続されたビット線対と、第1の制御信号に応じて前記ビット線対を第1の電圧にプリチャージするための複数のプリチャージ回路と、前記プリチャージ回路にプリチャージ用の電圧を供給するビット線プリチャージ電圧発生装置とを備え、ビット線のイコライズ電圧と前記第1の電圧が異なり、前記複数のメモリセルは複数のメモリブロックに分割され、さらに第3の制御信号に応じて同時に活性化させる前記メモリブロックの数を変更する機能を有する。前記ビット線プリチャージ電圧発生装置は、前記第1の電圧を発生して前記プリチャージ回路に供給するプリチャージ電圧発生回路と、複数のキャパシタ制御回路と、前記複数のキャパシタ制御回路を制御する第2の制御回路とを具備する。各々の前記キャパシタ制御回路は、第3のキャパシタと、前記第3のキャパシタと外部電源との間に接続され前記第3のキャパシタを前記外部電源のレベルに充電する充電手段と、前記第3のキャパシタと前記プリチャージ回路との接続・切断を制御するトランスファークゲート回路から構成される。前記第2の制御回路は、前記第3の制御信号に応じて、制御する前記複数のキャパシタ制御回路の数を、同時に活性化される前記メモリブロックの数が多くなる場合には増やし少なくなる場合には減らす機能を具備する。

30

40

【0045】

この構成によれば、第2の制御信号により、活性化ブロックを変更可能な半導体記憶装置において、活性化ブロックの大きさによらず高速にビット線のプリチャージ動作を行なうことが可能となり、最適なビット線プリチャージ電圧発生装置を提供することが可能となる。

【0046】

50

## 【発明の実施の形態】

## (第1の実施形態)

図1は、本発明の第1の実施形態におけるビット線プリチャージ電圧発生装置が搭載された半導体記憶装置の回路ブロック図を示す。メモリアレイ4000、電源ブロック4002、プリチャージ電圧発生回路4200、およびビット線プリチャージ電源配線VBP[n]は、従来例の構成と同じである。半導体記憶装置の機能ブロック構成は、図19に示した従来の構成と同様である。また、メモリアレイ4000を構成するメモリアレイブロック4001(図19参照)の回路構成も、図20に示した従来の構成と同様である。

## 【0047】

100はビット線プリチャージ電圧発生装置である。ビット線プリチャージ電圧発生装置100内には、従来と同じ構成のプリチャージ電圧発生回路4200に加えて、チャージタンク回路101、および充放電制御回路102が含まれる。ビット線プリチャージ電圧発生装置100は、ビット線プリチャージ電源配線VBP[n]のうち、もっとも近接するビット線プリチャージ電源配線VBP[0]に接続される。

10

## 【0048】

図2は、プリチャージ電圧発生回路4200、およびチャージタンク回路101の回路図を示す。チャージタンク回路101は、第1のキャパシタ200、第1のPチャネルトランジスタ201、第2のPチャネルトランジスタ202、第1のNチャネルトランジスタ203、第1のインバータ204、バッファインバータ205から構成される。CPNDは電荷蓄積ノード、AP、NAP、ACPはトランスファゲート接続信号を示す。プリチャージ電圧発生回路4200の回路構成は、従来例の構成と同じである。

20

## 【0049】

第1のキャパシタ200の1端子は、第1のPチャネルトランジスタ201、第2のPチャネルトランジスタ202、第1のNチャネルトランジスタ203のドレインに接続され、他方の端子は接地される。第1のキャパシタ200の静電容量Ccapは、同時にプリチャージされるビット線BL[n]、/BL[n]の総容量をCblとしたときに、ビット線BL[n]、/BL[n]の電位をビット線プリチャージ基準電圧VBPREFまでチャージするのに必要な電荷と等しくなる $(VBPREF - 1/2VDD) \times Cbl$ を蓄積できるような大きさが必要となる。動作時にはオペアンプ4301により供給される電荷分を考慮し、静電容量 $Ccap < (VBPREF - 1/2VDD) / (VDD - VBPREF) \times Cbl$ が用いられる。

30

## 【0050】

第1のPチャネルトランジスタ201のゲートにはトランスファゲート接続信号APが入力され、ソースは外部電源VDDに接続される。第2のPチャネルトランジスタ202のゲートにはトランスファゲート接続信号NAPが入力され、ソースはビット線プリチャージ電源配線VBP[0]に接続される。第1のNチャネルトランジスタ203のゲートにはトランスファゲート接続信号APが入力され、ソースはビット線プリチャージ電源配線VBP[0]に接続される。第1のインバータ204の入力にはトランスファゲート接続信号APが供給され、出力はトランスファゲート接続信号NAPを構成する。バッファインバータ205は、偶数段のインバータの直列接続で構成され、入力にはトランスファゲート接続信号ACPが供給され、出力はトランスファゲート接続信号APを構成する。

40

## 【0051】

図3は、充放電制御回路102の回路図を示す。300は第1の遅延素子、301は第2の遅延素子、302は第2のインバータ、303は第1のNOR素子である。第1の遅延素子300の遅延時間は1であり、入力にはビット線プリチャージ信号NEQ、出力は第2の遅延素子301、第1のNOR素子303に入力される。第2の遅延素子301の遅延時間は2であり、出力は第2のインバータ302の入力に接続される。第2のインバータ302の出力は第1のNOR素子303に入力され、第1のNOR素子303の出力はトランスファゲート接続信号ACPとなる。

## 【0052】

50

図4は、ビット線プリチャージ電圧発生装置100のプリチャージ動作時における動作タイミング、および主要ノードの電圧を示す。この図を参照しながら動作の説明を行なう。本発明によるビット線プリチャージ電圧発生装置が搭載される半導体記憶装置の動作タイミングは、図25に示されるものと同じである。

【0053】

ビット線プリチャージ信号NEQがローレベルにされ、プリチャージ回路4102(図20参照)が活性化されると、センスアンプ4101により電位をVDD、VSSにされていたビット線BL[n]、/BL[n]の電位がイコライズされ、1/2VDDの電位にチャージされようとする。プリチャージ回路4102は同時に、ビット線BL[n]、/BL[n]を対応するビット線プリチャージ電源配線VBP[n]に接続し、ビット線プリチャージ電圧VBPにチャージしようとする。その際に電流が消費され、電圧降下が発生する。

10

【0054】

ビット線プリチャージ電源配線VBP[n]に電圧降下が発生すると、メッシュ状に接続される配線を通して、ビット線プリチャージ電源配線VBP[0]にも電圧降下が伝達される。それを検知してオペアンプ4301が活性化するが、Pチャンネルトランジスタ4302の流す電流 $i_a$ が大きくなるまでには時間を要する。

【0055】

ビット線プリチャージ信号NEQがハイレベルの場合には、トランスファゲート接続信号APはローレベルで、第2のPチャンネルトランジスタ202、第1のNチャンネルトランジスタ203はオフであり、また第1のPチャンネルトランジスタ201はオンであり、電荷蓄積ノードCPNDはハイレベルにチャージされており、第1のキャパシタ200には電荷が蓄積されている。

20

【0056】

ビット線プリチャージ信号NEQがローレベルにされると、第1の遅延素子300で決まる遅延時間 $t_1$ の後にトランスファゲート接続信号APはハイレベルとなり、第1のPチャンネルトランジスタ201はオフとなり、第2のPチャンネルトランジスタ202、第1のNチャンネルトランジスタ203がオンする。これにより、第1のキャパシタ200と、ビット線プリチャージ電源配線VBP[0]が電氣的に接続されて、電流 $i_b$ が流れる。電荷蓄積ノードCPNDにはハイレベルが接続されており、電流 $i_b$ により、ビット線プリチャージ電源配線VBP[0]は急速に電圧レベルが上昇する。

30

【0057】

レベルの上昇を受けてオペアンプ4301はPチャンネルトランジスタ4302をオフする方向に動作を変えるが、流す電流 $i_a$ が小さくなるまでには時間を要する。

【0058】

その後、第2の遅延素子301で決まる遅延時間 $t_2$ の後にトランスファゲート接続信号APがローレベルとなり、第2のPチャンネルトランジスタ202、第1のNチャンネルトランジスタ203がオフし、また第1のPチャンネルトランジスタ201がオンし、電荷蓄積ノードCPNDはハイレベルにチャージされ、次のプリチャージ動作に備えられる。

【0059】

以上のように、本実施形態によれば、ビット線BL[n]、/BL[n]をハイレベルにプリチャージする際に、動作の遅れを生じるオペアンプ4301に、第1のキャパシタ200に蓄積された電荷を放電する機能を追加することで、急速に、プリチャージ動作を終了することが可能となり、半導体記憶装置の動作を高速に行なうことが可能となる。

40

【0060】

(第2の実施形態)

図5は、本発明の第2の実施形態におけるビット線プリチャージ電圧発生装置が搭載された半導体記憶装置500の機能ブロック図を示す。従来の半導体記憶装置に関して説明した要素と同様の要素については、同一の参照番号を付して説明を省略する。501は制御回路、502はロウコントローラ、503は電源ブロックである。REFENは、リフレ

50

ッシュ動作イネーブル信号である。以下の記載においては、従来と異なる部分を中心として説明する。

【0061】

制御回路501には、外部クロック信号CLK、ロウアドレスストローブ信号NRAS、カラムアドレスストローブ信号NCAS、ライト制御信号NWE、アドレスADDR、リフレッシュ制御信号REFが入力される。制御信号501から出力されるリフレッシュ動作イネーブル信号REFENが、ロウコントローラ502、電源ブロック503に入力される。

【0062】

図6は、本実施形態によるビット線プリチャージ電圧発生装置が搭載された半導体記憶装置のノーマル動作及びリフレッシュ動作時において、それぞれ活性されるメモリアレイブロック4001の状態を示す。リフレッシュ動作イネーブル信号REFENがローレベルの場合にはノーマル動作となり、図6(a)に示すように、ロウコントローラ502からは、1つのメモリアレイブロック4001に対してビット線プリチャージ信号NEQ、センスアンプ起動信号SAN、SAP、ワード線駆動信号WL[63:0]が出力される。リフレッシュ動作イネーブル信号REFENがハイレベルの場合にはリフレッシュ動作となり、図6(b)に示すように、ロウコントローラ502からは、複数のメモリアレイブロック4001に対してビット線プリチャージ信号NEQ、センスアンプ起動信号SAN、SAP、ワード線駆動信号WL[63:0]が出力される。

10

【0063】

図7に、本実施形態における半導体記憶装置の回路ブロック図を示す。メモリアレイ4000、電源ブロック4002、プリチャージ電圧発生回路4200、ビット線プリチャージ電源配線VBP[n]は、従来例の構成と同じである。また、メモリアレイブロック4001の回路構成も、図20に示した従来例の構成と同様である。第1の実施形態における要素と同一の参照符号が付された要素は、同一の構成を有する。700は充放電制御回路である。

20

【0064】

本実施形態の構成が第1の実施形態と異なる点は、充放電制御回路700の構成、およびチャージタンク回路101内に配置される第1のキャパシタ200(図2参照)の静電容量Ccapが、リフレッシュ時に活性化されるビット線対の総容量に応じて最適化されて

30

【0065】

図8に、本実施形態における充放電制御回路700の回路図を示す。102は、第1の実施形態における充放電制御回路と同一の回路構成ブロックを示し、800は第1のAND素子である。第1の実施形態における充放電制御回路102の出力は、第1のAND素子800に入力される。第1のAND素子800の他の入力にはリフレッシュ動作イネーブル信号REFENが入力され、出力はトランスファゲート接続信号ACPとなる。

【0066】

図9に、本実施形態における半導体記憶装置の、ノーマル動作及びリフレッシュ動作時のタイミング図を示す。

40

【0067】

ノーマル動作時は第1の実施形態と同一であるが、リフレッシュ制御信号REFはハイレベルとされる。リフレッシュ制御信号REFがハイレベルとされるとリフレッシュ動作イネーブル信号REFENがローレベルとされる。リフレッシュ動作イネーブル信号REFENがローレベルであると、充放電制御回路700の出力、すなわち第1のAND素子800の出力であるトランスファゲート接続信号ACPはローレベルとなる。従って、トランスファゲート接続信号APはローレベル固定となり、第1のキャパシタ200に蓄積される電荷の放電が行なわれない。

【0068】

リフレッシュ制御信号REFが外部クロック信号CLKの立ち上がりエッジでローレベル

50

にされると、リフレッシュ動作イネーブル信号 R E F E N がハイレベルとされ、内部リフレッシュカウンタ等で決まるロウアドレスに対応する複数のメモリアレイブロック 4 0 0 1 に接続されるビット線プリチャージ信号 N E Q がハイレベルにされる。所定の期間後、ビット線プリチャージ信号 N E Q がローレベルにされると、トランスファゲート接続信号 A P がハイレベルとなる。それにより、第 1 のキャパシタ 2 0 0 に蓄積される電荷の放電が行われ、高速にビット線プリチャージ動作が行なわれる。更に第 2 の遅延素子 3 0 1 で決まる遅延時間 2 の後に、トランスファゲート接続信号 A P がローレベルとなり、第 1 のキャパシタ 2 0 0 に電荷が蓄積される。

#### 【 0 0 6 9 】

以上のように、本実施形態によれば、リフレッシュ動作時に第 1 のキャパシタ 2 0 0 に蓄積された電荷を放電する機能を追加することにより、ノーマル動作より多くのビット線 B L [ n ]、/ B L [ n ] をハイレベルにプリチャージする際に、急速にプリチャージ動作を終了することが可能となり、半導体記憶装置のプリチャージ動作を高速に行なうことが可能となる。

#### 【 0 0 7 0 】

( 第 3 の実施形態 )

図 1 0 は、本発明の第 3 の実施形態における半導体記憶装置 1 0 0 0 の回路ブロック図を示す。従来例あるいは第 1 の実施形態と同一の参照符号が付された要素は、同一の構成を有する。P T E S T はビット線プリチャージ電源テスト信号、1 0 0 1 は制御回路、1 0 0 2 は電源ブロック、1 0 0 3 はビット線プリチャージ電圧発生装置、1 0 0 4 は充放電制御回路、1 0 0 5 は外部パッドである。

#### 【 0 0 7 1 】

電源ブロック 1 0 0 2 内には、ビット線プリチャージ電圧発生装置 1 0 0 3 が配置され、ビット線プリチャージ電圧発生装置 1 0 0 3 は、充放電制御回路 1 0 0 4、チャージタンク回路 1 0 1、プリチャージ電圧発生回路 4 2 0 0 で構成される。制御回路 1 0 0 1 には、ビット線プリチャージ電源テスト信号 P T E S T が入力され、さらにビット線プリチャージ電源テスト信号 P T E S T は充放電制御回路 1 0 0 4 に入力される。外部パッド 1 0 0 5 が、ビット線プリチャージ電圧 V B P に接続されている。

#### 【 0 0 7 2 】

図 1 1 は充放電制御回路 1 0 0 4 の回路図を示す。1 0 2 は実施形態 1 と同じ充放電制御回路、1 1 0 0 は第 3 のインバータ、1 1 0 1 は第 2 の A N D 素子である。充放電制御回路 1 0 2 の出力が第 2 の A N D 素子 1 1 0 1 に入力され、ビット線プリチャージ電源テスト信号 P T E S T が、第 3 のインバータ 1 1 0 0 に入力される。第 3 のインバータ 1 1 0 0 の出力は、差動アンプ制御信号 A M P E N として供給されるとともに、第 2 の A N D 素子 1 1 0 1 に入力される。第 2 の A N D 素子 1 1 0 1 の出力は、トランスファゲート接続信号 A C P となる。

#### 【 0 0 7 3 】

以上のように構成された半導体記憶装置 1 0 0 0 の動作を説明する。ビット線プリチャージ電源テスト信号 P T E S T がローレベルの場合にはノーマル動作であり、第 1 の実施形態と同様の動作を行なうことが可能となる。またビット線プリチャージ電源テスト信号 P T E S T がハイレベルの場合には、差動アンプ制御信号 A M P E N はローレベルとなり、オペアンプ 4 3 0 1 は停止し、トランスファゲート接続信号 A C P はローレベル固定となり、ビット線プリチャージ電圧 V B P への電流供給は行なわれない。

#### 【 0 0 7 4 】

以上のように本実施形態に拠れば、ビット線プリチャージ電源テスト信号 P T E S T をハイレベルにすることで、ビット線プリチャージ電圧 V B P への電流供給が行なわれなくなり、外部パッド 1 0 0 5 から例えばプロービング検査などで任意の電圧を印加することが可能となり、例えば、動作マージン評価等を行なうことが可能となる。

#### 【 0 0 7 5 】

( 第 4 の実施形態 )

10

20

30

40

50

図12は、本発明の第4の実施形態における半導体記憶装置の回路ブロック図を示す。従来例あるいは上記の実施形態と同一の参照符号が付された要素は、同一の構成を有する。1200はビット線プリチャージ電圧発生装置、1201はプリチャージ電圧発生回路である。ビット線プリチャージ電圧発生装置1200は、プリチャージ電圧発生回路1201、チャージタンク回路101、充放電制御回路102で構成される。ビット線プリチャージ電圧発生装置1200には、ビット線プリチャージ電源配線VBP[n]が接続される。

【0076】

図13は、本実施形態によるプリチャージ電圧発生回路1201、チャージタンク回路101の回路図を示す。チャージタンク回路101の回路構成は第1の実施形態と同一である。プリチャージ電圧発生回路1201は、従来例におけるプリチャージ電圧発生回路4200に対して、オペアンプ4301の+入力にビット線プリチャージ電源配線VBP[0]が接続されている代わりに、ビット線プリチャージ電源配線VBP[n]が接続されている点異なる。

10

【0077】

以上のような構成とすることで、ビット線プリチャージ電源配線VBP[0]からビット線プリチャージ電源配線VBP[n]の間のインピーダンスが存在するが、ビット線プリチャージ電源配線VBP[n]に接続されるメモリアレイブロック4001が活性化した場合でも、高速にプリチャージ動作を行なうことが可能となる。またビット線プリチャージ電源配線VBP[0]に接続されるメモリアレイブロック4001が活性化した場合には、オペアンプ4301の検知までに時間を要するが、電圧降下が電源回路近傍に発生することから、プリチャージ動作に問題となるような遅れを生じない。従ってメモリアレイ4000全体で高速にプリチャージ動作を行なうことができる。

20

【0078】

(第5の実施形態)

図14は、本発明の第5の実施形態における半導体記憶装置1400の回路ブロック図を示す。従来例あるいは上記の実施形態と同一の参照符号が付された要素は、同一の構成を有する。1401はノイズキャンセル回路である。

【0079】

ノイズキャンセル回路1401は、メモリアレイ4000内に配置され、メモリアレイブロック4001内を通過するビット線プリチャージ信号NEQに結合される。

30

【0080】

図15は、ノイズキャンセル回路1401、およびメモリアレイブロック4001の回路図を示す。1500は第4のインバーター、1501は第2のキャパシタである。メモリアレイブロック4001の回路構成は従来例と同一である。

【0081】

第4のインバーター1500の入力にはビット線プリチャージ信号NEQが入力され、出力は第2のキャパシタ1501に接続される。第2のキャパシタ1501の他方の端子は、ビット線プリチャージ電源配線VBP[n]に接続される。第2のキャパシタ1501の静電容量は、ビット線プリチャージ信号NEQと、ビット線プリチャージ電源配線VBP[n]との間にトランジスタを介して存在する寄生容量と同一の静電容量とされる。

40

【0082】

ビット線プリチャージ信号NEQをハイレベルもしくはローレベルに駆動する際に、トランジスタを介して存在する寄生容量を介してビット線プリチャージ電源VBP[n]にノイズが発生するが、本構成によれば、そのノイズを第2のキャパシタ1501のカップリング容量によりキャンセルすることができる。従ってビット線のプリチャージをより精度よく行なうことができる。

【0083】

(第6の実施形態)

図16は、本発明の第6の実施形態における半導体記憶装置1600の回路ブロック図を

50

示す。従来例あるいは上記の実施形態と同一の参照符号が付された要素は、同一の構成を有する。1601は制御回路、1602は電源ブロック、1603はビット線プリチャージ電圧発生装置、101Bは第2のチャージタンク回路、1604はロウコントローラ、1605はカラムコントローラである。

#### 【0084】

制御回路1601には、外部クロック信号CLK、ロウアドレスストローブ信号NRAS、カラムアドレスストローブ信号NCAS、ライト制御信号NWE、アドレスADDR、リフレッシュ制御信号REF、およびページ長制御信号PGMDが入力される。制御回路1601より出力される内部ページモード制御信号IPGは、カラムコントローラ1605、ロウコントローラ1604、ビット線プリチャージ電圧発生装置1603に入力される。

10

#### 【0085】

図17は、本実施形態における半導体記憶装置の活性化ブロックの選択の説明図である。図17(a)に示すように、内部ページモード制御信号IPGがローレベルの場合には、ロウコントローラ1604より、1つのメモリアレイブロック4001に対してビット線プリチャージ信号NEQ、センスアンプ起動信号SAN、SAP、ワード線駆動信号WL[63:0]が出力される。図17(b)に示すように、内部ページモード制御信号IPGがハイレベルの場合には、2つのメモリアレイブロック4001に対して、それぞれのビット線プリチャージ信号NEQ、センスアンプ起動信号SAN、SAP、ワード線駆動信号WL[63:0]が出力される。

20

#### 【0086】

図18は、本実施形態におけるビット線プリチャージ電圧発生装置1603のブロック図を示す。1800は第3のAND素子である。プリチャージ電圧発生回路4200の出力、チャージタンク回路101の出力、および第2のチャージタンク回路101Bの出力は、ビット線プリチャージ電源配線VBP[0]に接続される。第2のチャージタンク回路101Bの回路構成は、図2に示したチャージタンク回路101と同一である。チャージタンク回路101および、第2のチャージタンク回路101B内に配置される第1のキャパシタ200の静電容量は、それぞれが1つのメモリアレイブロック4001内に配置されるビット線BL[n]、/BL[n]を充電するのに必要な静電容量とされる。

#### 【0087】

チャージタンク回路101内のバッファインバータ205には、充放電制御回路102から出力されるトランスファゲート接続信号ACPが入力される。第2のチャージタンク回路101B内のバッファインバータ205には、第3のAND素子1800の出力が入力される。第3のAND素子1800には、内部ページモード制御信号IPG、および充放電制御回路102から出力されるトランスファゲート接続信号ACPが入力される。

30

#### 【0088】

上記構成の動作を説明する。内部ページモード制御信号IPGがローレベルの場合には、ビット線プリチャージ信号NEQがローレベルにされ、プリチャージ動作が開始されると、活性化されている1つのメモリアレイブロック4001内に配置されたビット線BL[n]、/BL[n]がプリチャージされる。その際、チャージタンク回路101のみが動作し、第2のチャージタンク回路101Bは停止している。内部ページモード制御信号IPGがハイレベルの場合には、ビット線プリチャージ信号NEQがローレベルにされ、プリチャージ動作が開始されると、活性化されている2つのメモリアレイブロック4001内に配置されるビット線BL[n]、/BL[n]がプリチャージされる。その際には、チャージタンク回路101が動作するとともに、第3のAND素子1800の出力がハイレベルとなり第2のチャージタンク回路101Bが動作する。

40

#### 【0089】

本構成によれば、同時に活性化されるメモリアレイブロック4001の数が異なる場合にも、それぞれ高速にプリチャージ動作を行なうことが可能となり、動作を高速化できる。

#### 【0090】

50

## 【発明の効果】

本発明によれば、従来のオペアンプのみによるビット線プリチャージ電圧発生装置に、キャパシタから放電を行なうチャージタンク回路を設けることにより、ビット線のプリチャージ動作を高速・高精度に行なうことが可能となり、半導体記憶装置の回路動作を高速化することが可能となる。

## 【図面の簡単な説明】

- 【図 1】 本発明の第 1 の実施形態における半導体記憶装置の回路ブロック図
- 【図 2】 第 1 の実施形態におけるプリチャージ電圧発生回路およびチャージタンク回路の回路図
- 【図 3】 第 1 の実施形態における充放電制御回路の回路図 10
- 【図 4】 第 1 の実施形態におけるプリチャージ動作時の動作タイミング、および主要ノードの電圧を示す図
- 【図 5】 第 2 の実施形態における半導体記憶装置の機能ブロック図
- 【図 6】 第 2 の実施形態における半導体記憶装置のノーマル動作及びリフレッシュ動作時に活性化されるメモリアレイブロックの構成図
- 【図 7】 第 2 の実施形態における半導体記憶装置の回路ブロック図
- 【図 8】 第 2 の実施形態における充放電制御回路の回路図
- 【図 9】 第 2 の実施形態における半導体記憶装置のノーマル動作及びリフレッシュ動作時のタイミング図
- 【図 10】 第 3 の実施形態における半導体記憶装置の回路ブロック図 20
- 【図 11】 第 3 の実施形態における充放電制御回路の回路図
- 【図 12】 第 4 の実施形態における半導体記憶装置の回路ブロック図
- 【図 13】 第 4 の実施形態におけるプリチャージ電圧発生回路およびチャージタンク回路の回路図
- 【図 14】 第 5 の実施形態における半導体記憶装置の回路ブロック図
- 【図 15】 第 5 の実施形態におけるノイズキャンセル回路およびメモリアレイブロックの回路図
- 【図 16】 第 6 の実施形態における半導体記憶装置の回路ブロック図
- 【図 17】 第 6 の実施形態における半導体記憶装置の活性化ブロック選択の説明図
- 【図 18】 第 6 の実施形態におけるビット線プリチャージ電圧発生装置のブロック図 30
- 【図 19】 従来一般的な DRAM の機能ブロック図
- 【図 20】 従来メモリアレイブロックの回路図
- 【図 21】 従来ビット線プリチャージ電圧の電源配線ネットを示す図
- 【図 22】 従来プリチャージ電圧発生回路の回路図
- 【図 23】 従来基準電圧発生回路の回路図
- 【図 24】 従来オペアンプの回路図
- 【図 25】 従来 DRAM の動作タイミングおよび内部電圧タイミングのタイミング図
- 【図 26】 従来ビット線プリチャージ電源配線の電圧と、プリチャージ回路の活性時の電流を示す図
- 【符号の説明】 40
- 100 ビット線プリチャージ電圧発生装置
- 101 チャージタンク回路
- 101B 第 2 のチャージタンク回路
- 102 充放電制御回路
- 200 第 1 のキャパシタ
- 201 第 1 の P チャネルトランジスタ
- 202 第 2 の P チャネルトランジスタ
- 203 第 1 の N チャネルトランジスタ
- 204 第 1 のインバータ
- 205 バッファインバータ 50

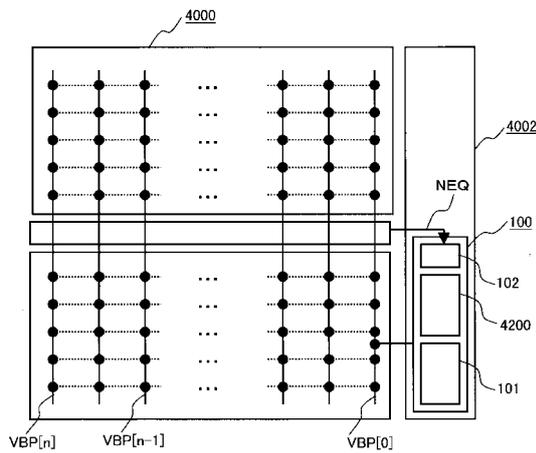
3 0 0	第 1 の遅延素子	
3 0 1	第 2 の遅延素子	
3 0 2	第 2 のインバータ	
3 0 3	第 1 の N O R 素子	
5 0 0	半導体記憶装置	
5 0 1	制御回路	
5 0 2	ロウコントローラ	
5 0 3	電源ブロック	
7 0 0	充放電制御回路	
8 0 0	第 1 の A N D 素子	10
1 0 0 0	半導体記憶装置	
1 0 0 1	制御回路	
1 0 0 2	電源ブロック	
1 0 0 3	ビット線プリチャージ電圧発生装置	
1 0 0 4	充放電制御回路	
1 0 0 5	外部パッド	
1 1 0 0	第 3 のインバータ	
1 1 0 1	第 2 の A N D 素子	
1 2 0 0	ビット線プリチャージ電圧発生装置	
1 2 0 1	プリチャージ電圧発生回路	20
1 4 0 0	半導体記憶装置	
1 4 0 1	ノイズキャンセル回路	
1 5 0 0	第 4 のインバータ	
1 5 0 1	第 2 のキャパシタ	
1 6 0 0	半導体記憶装置	
1 6 0 1	制御回路	
1 6 0 2	電源ブロック	
1 6 0 3	ビット線プリチャージ電圧発生装置	
1 6 0 4	ロウコントローラ	
1 6 0 5	カラムコントローラ	30
1 8 0 0	第 3 の A N D 素子	
4 0 0 0	メモリアレイ	
4 0 0 1	メモリアレイブロック	
4 0 0 2	電源ブロック	
4 0 0 3	ロウコントローラ	
4 0 0 4	カラムデコーダ	
4 0 0 5	制御回路	
4 0 0 6	I / O バッファ	
4 1 0 0	メモリセル	
4 1 0 1	センスアンプ	40
4 1 0 2	プリチャージ回路	
4 1 0 3	アクセストランジスタ	
4 1 0 4	キャパシタ	
4 2 0 0	プリチャージ電圧発生回路	
4 3 0 0	基準電圧発生回路	
4 3 0 1	オペアンプ	
4 3 0 2	P チャネルトランジスタ	
4 4 0 0、4 4 0 1	抵抗	
5 0 0 0	D R A M	
A M P E N	差動アンプ制御信号	50

- AP、NAP、ACP トランスファゲート接続信号
- BL[n]、/BL[n] ビット線
- CAD カラムアドレス信号
- CLK 外部クロック信号
- CPND 電荷蓄積ノード
- DI データ入力信号
- DO データ出力信号
- IPG 内部ページモード制御信号
- NCAS カラムアドレスストロープ信号
- NRAS ロウアドレスストロープ信号
- NWE ライト制御信号
- PEN ドライバイネーブル信号
- PGMD ページ長制御信号
- PTEST ビット線プリチャージ電源テスト信号
- RAD ロウアドレス信号
- REF リフレッシュ制御信号
- REFEN リフレッシュ動作イネーブル信号
- SE アクセスコントロール信号
- VBP ビット線プリチャージ電圧
- VBP[n] ビット線プリチャージ電源配線
- VBPREF ビット線プリチャージ基準電圧
- VCP メモリセルプレート電圧
- VOUT ビット線プリチャージ保持電圧
- WEN ライトイネーブル信号

10

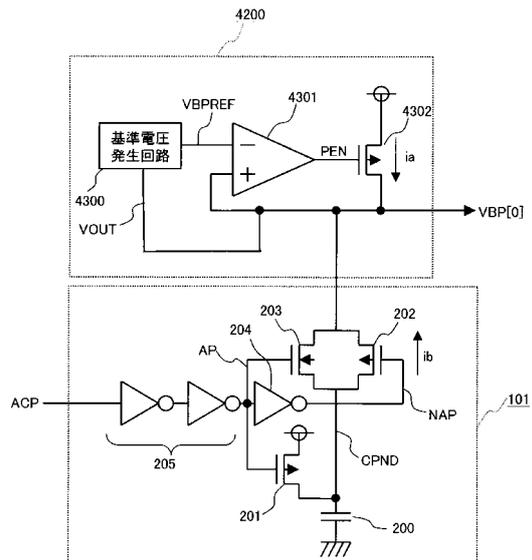
20

【図1】



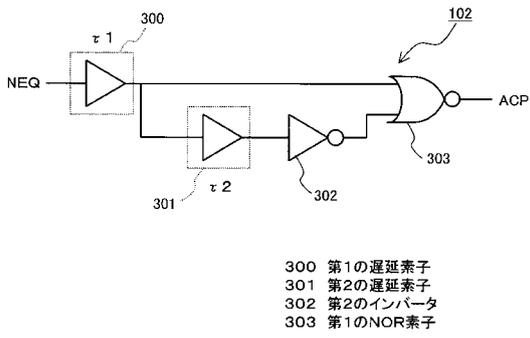
- 100 ビット線プリチャージ電圧発生装置
- 101 チャージタンク回路
- 102 充放電制御回路
- 4200 プリチャージ電圧発生回路
- VBP[n] ビット線プリチャージ電源配線

【図2】

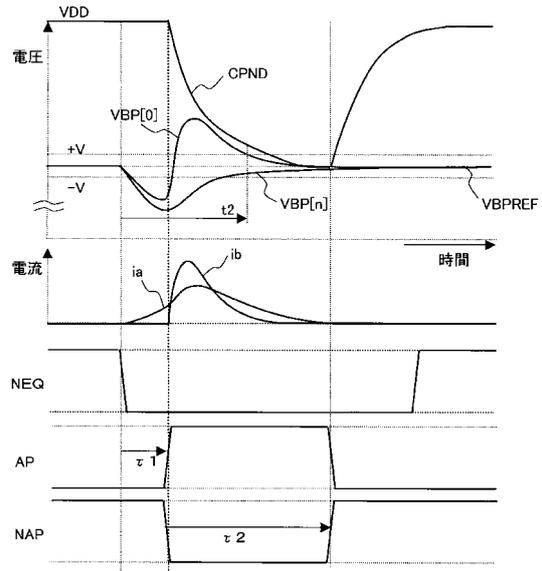


- 200 第1のキャパシタ
- 201 第1のPチャネルトランジスタ
- 202 第2のPチャネルトランジスタ
- 203 第1のNチャネルトランジスタ
- 204 第1のインバータ
- 205 バッファインバータ
- CPND 電荷蓄積ノード
- AP、NAP、ACP トランスファゲート接続信号

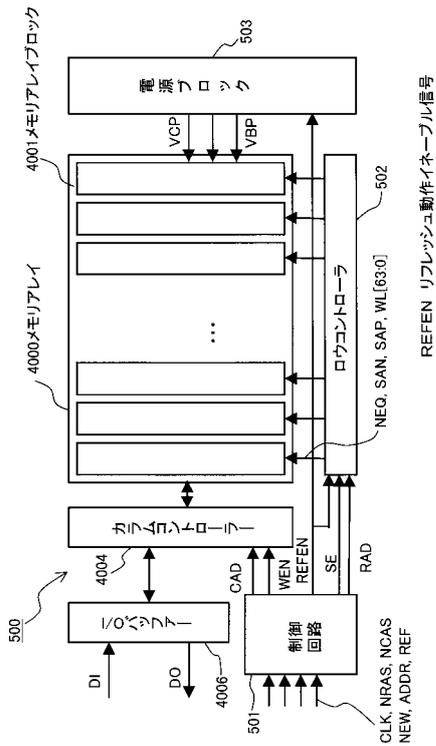
【 図 3 】



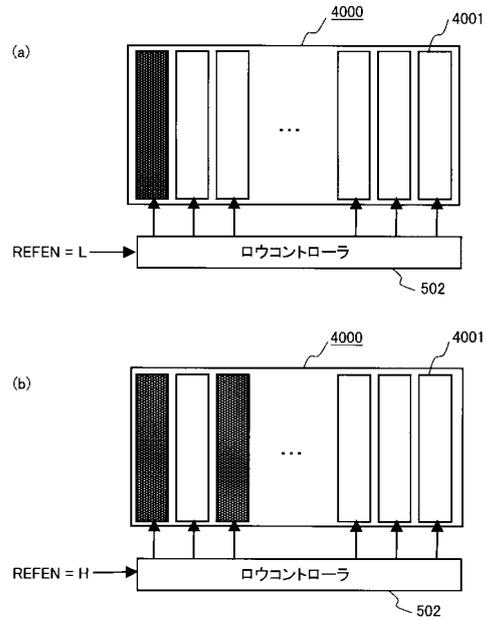
【 図 4 】



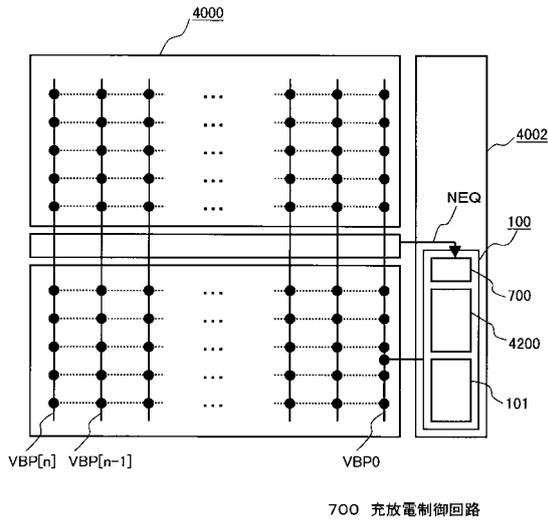
【 図 5 】



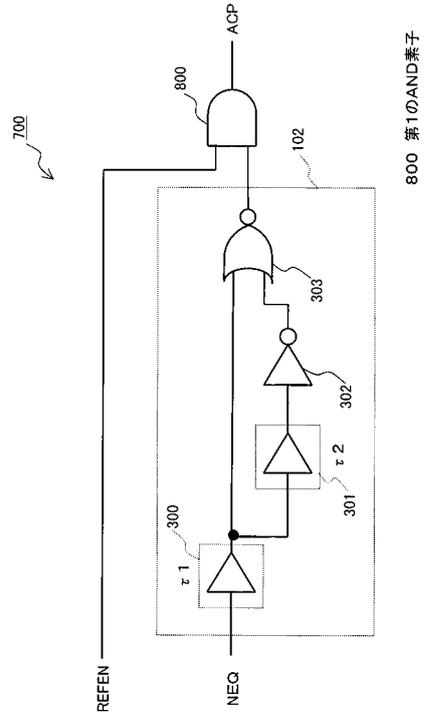
【 図 6 】



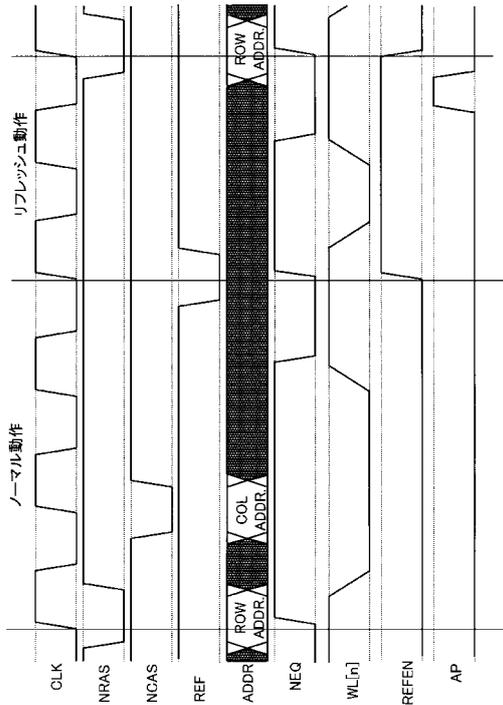
【図7】



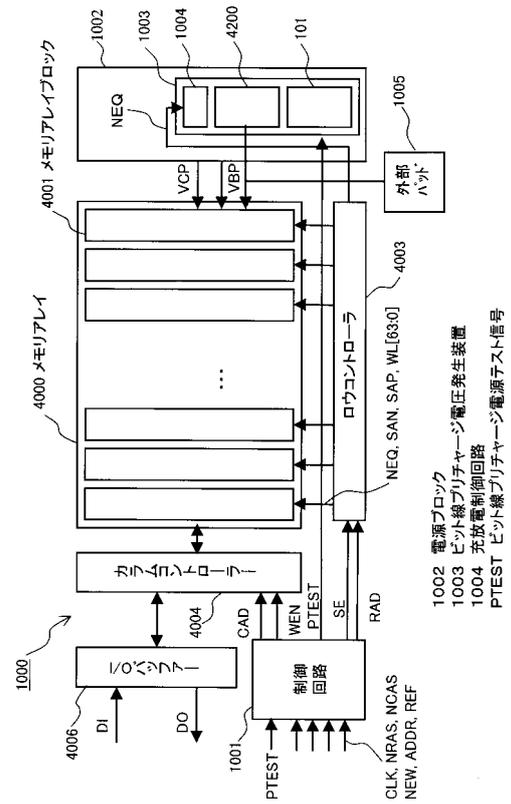
【図8】



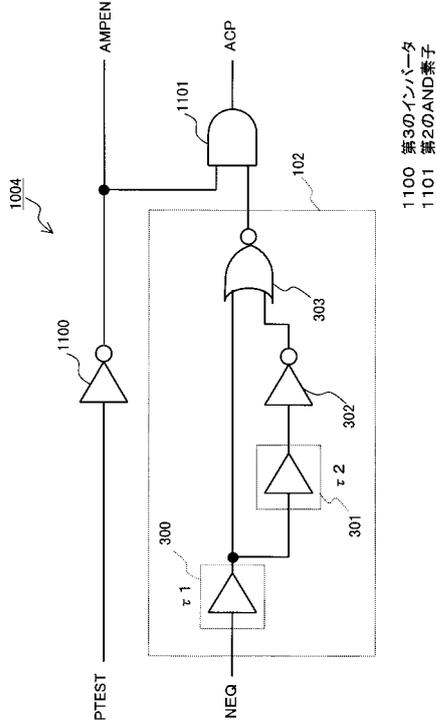
【図9】



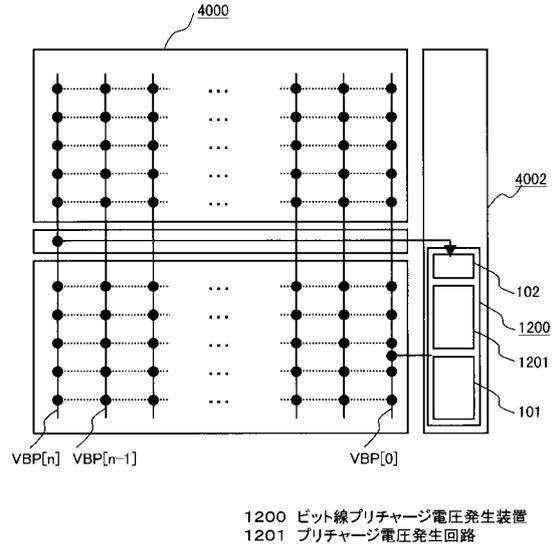
【図10】



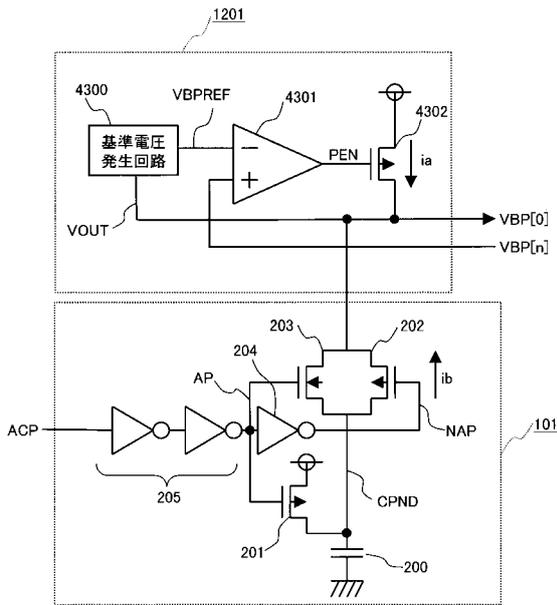
【図11】



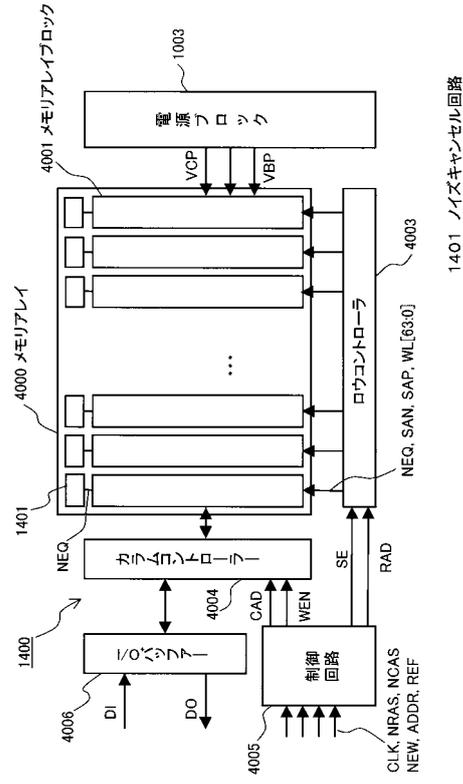
【図12】



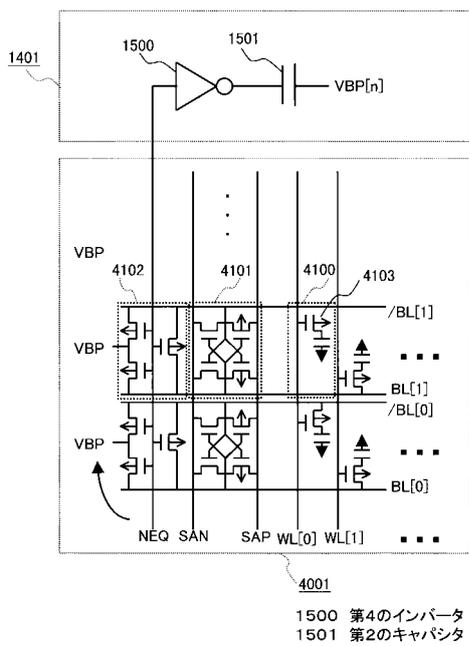
【図13】



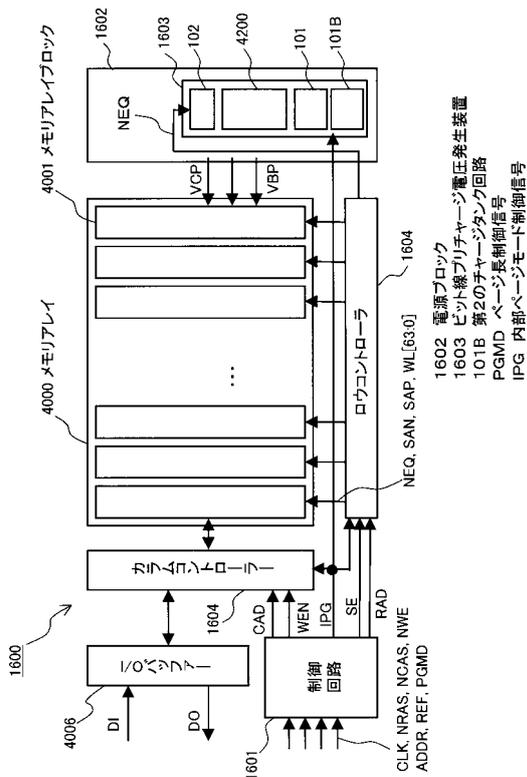
【図14】



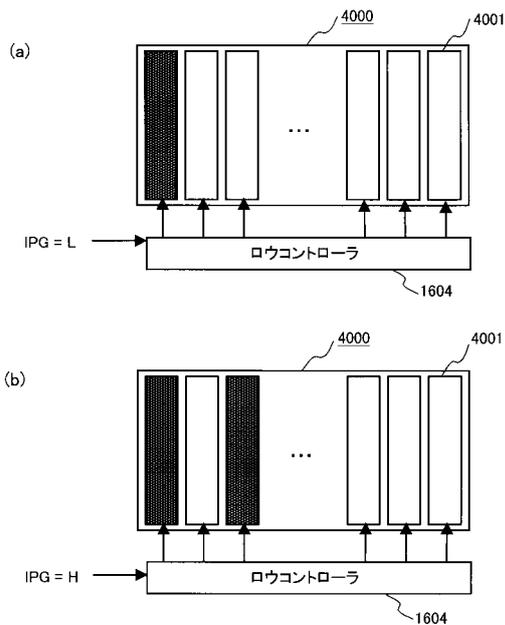
【 図 15 】



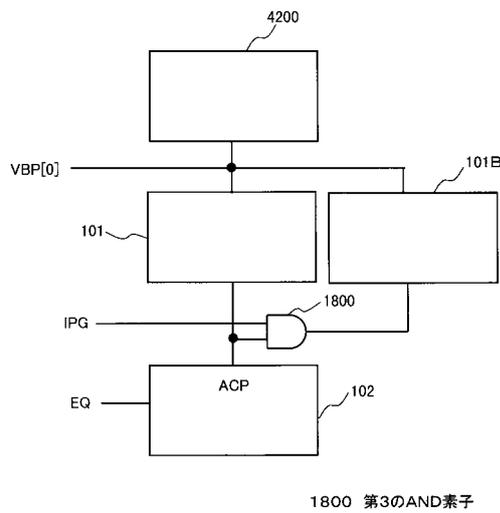
【 図 16 】



【 図 17 】

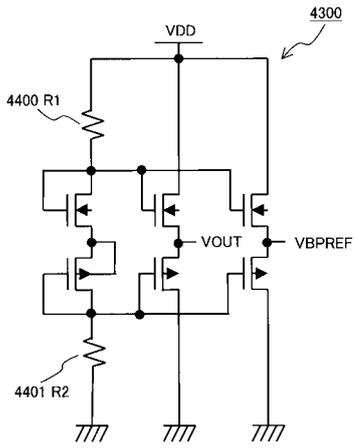


【 図 18 】



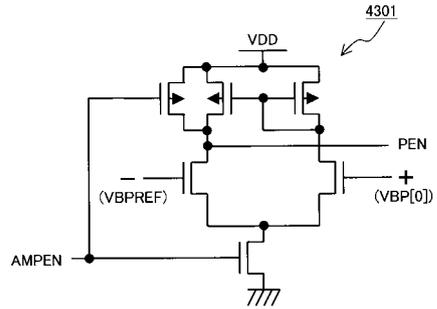


【 図 2 3 】



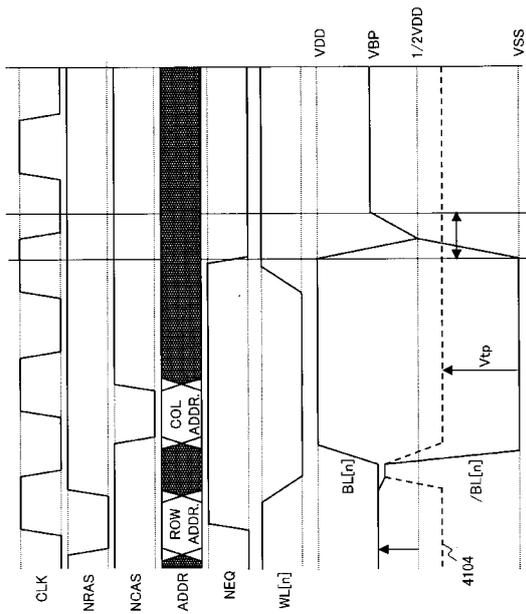
4400 抵抗(抵抗値R1)  
 4401 抵抗(抵抗値R2)

【 図 2 4 】

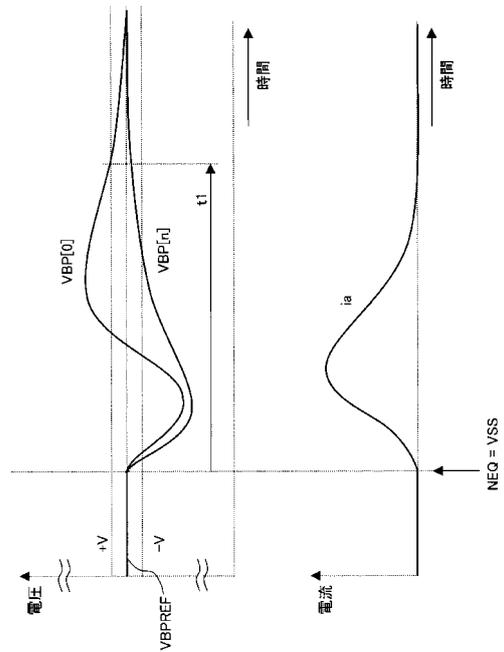


AMPEN 差動アンプ制御信号

【 図 2 5 】



【 図 2 6 】



---

フロントページの続き

審査官 堀田 和義

(56)参考文献 特開平08 - 190437 (JP, A)  
特開2001 - 14848 (JP, A)

(58)調査した分野(Int.Cl., DB名)  
G11C 11/4074