



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년05월02일
 (11) 등록번호 10-1140060
 (24) 등록일자 2012년04월18일

(51) 국제특허분류(Int. Cl.)
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
 (21) 출원번호 10-2009-0080566
 (22) 출원일자 2009년08월28일
 심사청구일자 2009년08월28일
 (65) 공개번호 10-2011-0023002
 (43) 공개일자 2011년03월08일
 (56) 선행기술조사문헌
 KR1020040029582 A
 US20080179668 A1
 전체 청구항 수 : 총 13 항

(73) 특허권자
에스케이하이닉스 주식회사
 경기도 이천시 부발읍 경충대로 2091
 (72) 발명자
김지형
 서울특별시 서대문구 현저동 극동아파트 111동 1001호
 (74) 대리인
특허법인태평양

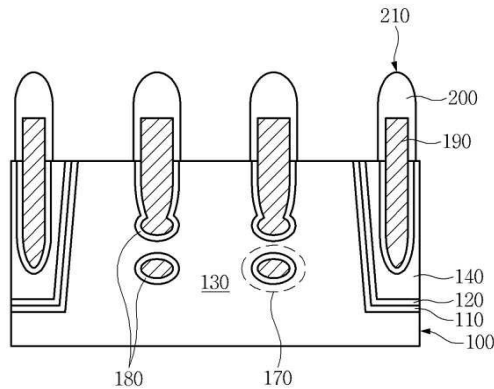
심사관 : 박근용

(54) 발명의 명칭 **반도체 소자 및 그 제조 방법**

(57) 요약

본 발명은 반도체 기판에 리세스 게이트 영역을 형성한 후, 고온 열처리 공정을 이용하여 상기 리세스 게이트 영역과 격리된 분리 영역을 형성하고, 상기 분리 영역에 게이트 전극 물질을 채워 넣어서 더 넓은 채널 영역을 확보함으로써 셀 커런트(Cell Current)를 증가시키고, 트랜지스터의 온/오프 특성을 개선할 수 있는 반도체 소자 및 그 제조 방법을 제공한다.

대표도 - 도2c



특허청구의 범위

청구항 1

반도체 기판상에 리세스 영역을 형성하는 단계;
 어닐링(Annealing) 공정을 실시하여 상기 리세스 영역과 격리된 분리 영역을 형성하는 단계; 및
 상기 리세스 영역과 상기 분리 영역에 게이트 전극층을 형성하는 단계
 를 포함하는 반도체 소자의 제조 방법.

청구항 2

제 1 항에 있어서,
 상기 리세스 영역은 1300Å ~ 2500Å 깊이(depth)로 식각되어 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 3

제 1 항에 있어서,
 상기 어닐링 공정은 H₂ 분위기에서 750℃ ~ 950℃ 온도 범위에서 실시하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 4

제 1 항에 있어서,
 상기 어닐링 공정 시, 온도에 따라서 어닐링 공정 시간을 조절하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 5

제 1 항에 있어서,
 상기 리세스 영역을 형성하는 단계 후, HF 물질을 이용한 클리닝(Cleaning) 공정을 실시하는 단계를 더 포함하는 반도체 소자의 제조 방법.

청구항 6

제 1 항에 있어서,
 상기 어닐링(Annealing) 공정을 실시하는 단계 후, H₂ 분위기에서 750℃ ~ 950℃ 온도 범위에서 어닐링 공정을 추가 실시하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 7

제 1 항에 있어서,
 상기 분리 영역은 상기 리세스 영역의 하부에 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 8

제 1 항에 있어서,
 상기 분리 영역은 터널(tunnel) 형태인 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 9

반도체 기판상에 형성된 리세스 영역;
 H₂ 분위기의 750℃ ~ 950℃ 온도 범위에서 실시되는 어닐링(Annealing) 공정을 실시하여 상기 리세스 영역과 격

리되어 형성된 분리 영역; 및
 상기 리세스 영역과 상기 분리 영역에 매립된 게이트 전극층
 을 포함하는 반도체 소자.

청구항 10

삭제

청구항 11

제 9 항에 있어서,
 상기 어닐링 공정 시, 온도에 따라서 어닐링 공정 시간을 조절하는 것을 특징으로 하는 반도체 소자.

청구항 12

제 9 항에 있어서,
 상기 리세스 영역은 1300Å ~ 2500Å 깊이(depth)로 식각되어 형성하는 것을 특징으로 하는 반도체 소자.

청구항 13

제 9 항에 있어서,
 상기 분리 영역은 상기 리세스 영역의 하부에 형성되는 것을 특징으로 하는 반도체 소자.

청구항 14

제 9 항에 있어서,
 상기 분리 영역은 터널(tunnel) 형태인 것을 특징으로 하는 반도체 소자.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 소자의 트랜지스터 및 그 제조 방법에 관한 것으로, 고온 열처리 공정을 이용하여 더 넓은 채널 영역을 확보하기 위한 리세스 게이트 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 반도체 소자의 트랜지스터의 제조에 있어서 가장 중요한 파라미터(Parameter)의 하나는 문턱 전압(Threshold Voltage : Vt)이다. 문턱 전압은 게이트 산화막 두께, 채널 도핑(Channel Doping) 농도, 옥사이드 차아지(Oxide Charge) 및 게이트에 사용되는 물질에 의존하는 변수이다. 이러한 문턱 전압은 소자의 크기가 감소함에 따라 이론치와 일치하지 않는 여러 현상들이 나타나고 있다. 그 중에서 현재 당면하고 있는 문제는 게이트 채널 길이(Gate Channel Length)가 감소함에 따라 발생하는 쏘 채널효과이다.

[0003] 반도체 소자가 고집적화됨에 따라 나노(nm)급 소자에서는 속도 향상과 1 ~ 2V의 낮은 동작전압에서 작동하는 소자를 요구하게 되었고 그에 따라 문턱 전압도 낮은 전압을 요구하고 있다. 그러나 문턱 전압은 더 낮아지게 되면 쏘 채널효과에 의해 소자를 제어하기가 불가능하게 된다. 또한, 쏘 채널효과는 핫캐리어(Hot Carrier)에 의한 DIBL(Drain Induced Built-in Leakage) 현상을 유발시키는 문제가 있다.

[0004] 이러한 쏘 채널효과를 감소시키기 위해 여러 연구가 진행 중이지만 반도체소자의 고집적화에 따라 이를 만족시키기 위한 해결책은 여전히 미완상태이다.

[0005] 현재 연구가 되고 있는 방향은 도핑(Doping) 농도를 조절하는 방법으로 해결책을 찾고자 하지만 이는 궁극적인 쏘 채널효과의 해결 방법은 되지 못한다. 현재 알려진 연구방법은 수직에 가까운 경사이온주입(Vertically Abrupt Channel Doping) 을 통한 SSR(Super Steep Retrograde Channel), 이온 임플란트 채널(Ion Implant

Channel)을 형성하는 방법, 측면 경사이온주입(Laterally Abrupt Channel Doping) 방법, 큰 각의 경사이온주입(Large Angle Tilt Implant)을 통한 할로 구조(Halo Structure)를 갖는 채널(Channel)을 형성하는 방법 등이 연구되고 있다.

[0006] 그러나, 게이트 산화막의 두께 및 채널 농도를 이용한 쏫 채널효과(Soot Channel Effect)의 감소는 근본적인 한계가 있다. 최근에는, 근본적인 한계를 극복하기 위하여 리세스 게이트(Recess Gate)를 이용하여 채널 길이를 확보하고, 셀 정선(Junction)의 자유도를 높여주고 있으며, 핀(Fin) 게이트 기술을 이용하여 채널 폭을 확대함으로써, 셀 커렌트(Cell Current)를 확보하고 누설 전류를 조절해주고 있다.

[0007] 하지만, 이러한 리세스 게이트 및 핀(Fin) 게이트 기술을 이용하여 채널 길이를 확보하는 기술은 셀 크기가 30nm 이하에서는 한계를 나타내고 있다.

발명의 내용

해결 하고자하는 과제

[0008] 본 발명은 반도체 기판에 리세스 게이트 영역을 형성한 후, 고온 열처리 공정을 이용하여 상기 리세스 게이트 영역과 격리된 분리 영역을 형성하고, 상기 분리 영역에 게이트 전극 물질을 채워 넣어서 더 넓은 채널 영역을 확보함으로써 셀 커렌트(Cell Current)를 증가시키고, 트랜지스터의 온/오프 특성을 개선할 수 있는 반도체 소자 및 그 제조 방법을 제공한다.

과제 해결수단

[0009] 본 발명은 반도체 기판상에 리세스 영역을 형성하는 단계, 어닐링(Annealing) 공정을 실시하여 상기 리세스 영역과 격리된 분리 영역을 형성하는 단계 및 상기 리세스 영역과 상기 분리 영역에 게이트 전극층을 형성하는 단계를 포함하는 반도체 소자의 제조 방법을 제공한다.

[0010] 바람직하게는, 상기 리세스 영역은 1300 Å ~ 2500 Å 깊이(depth)로 식각되어 형성하는 것을 특징으로 한다.

[0011] 바람직하게는, 상기 어닐링 공정은 H₂ 분위기에서 750°C ~ 950°C 온도 범위에서 실시하는 것을 특징으로 한다.

[0012] 바람직하게는, 상기 어닐링 공정 시, 상기 온도에 따라서 어닐링 공정 시간을 조절하는 것을 특징으로 한다.

[0013] 바람직하게는, 상기 리세스 영역을 형성하는 단계 후, HF 물질을 이용한 클리닝(Cleaning) 공정을 실시하는 단계를 더 포함한다.

[0014] 바람직하게는, 상기 어닐링(Annealing) 공정을 실시하는 단계 후, 고농도의 H₂ 분위기에서 750°C ~ 950°C 온도 범위에서 어닐링 공정을 추가 실시하는 단계를 포함한다.

[0015] 바람직하게는, 상기 분리 영역은 상기 리세스 영역의 하부에 형성되는 것을 특징으로 한다.

[0016] 바람직하게는, 상기 분리 영역은 터널(tunnel) 형태인 것을 특징으로 한다.

[0017] 아울러, 본 발명은 반도체 기판상에 형성된 리세스 영역, 어닐링(Annealing) 공정을 실시하여 상기 리세스 영역과 격리되어 형성된 분리 영역 및 상기 리세스 영역과 상기 분리 영역에 매립된 게이트 전극층을 포함하는 반도체 소자를 제공한다.

[0018] 바람직하게는, 상기 어닐링 공정은 H₂ 분위기에서 750°C ~ 950°C 온도 범위에서 실시하는 것을 특징으로 한다.

[0019] 바람직하게는, 상기 어닐링 공정 시, 상기 온도에 따라서 상기 어닐링 공정 시간을 조절하는 것을 특징으로 한다.

[0020] 바람직하게는, 상기 리세스 영역은 1300 Å ~ 2500 Å 깊이(depth)로 식각되어 형성하는 것을 특징으로 한다.

[0021] 바람직하게는, 상기 분리 영역은 상기 리세스 영역의 하부에 형성되는 것을 특징으로 한다.

[0022] 바람직하게는, 상기 분리 영역은 터널(tunnel) 형태인 것을 특징으로 한다.

효과

[0023] 본 발명은 반도체 기판에 리세스 게이트 영역을 형성한 후, 고온 열처리 공정을 이용하여 상기 리세스 게이트

영역과 격리된 분리 영역을 형성하고, 상기 분리 영역에 게이트 전극 물질을 채워 넣어서 더 넓은 채널 영역을 확보함으로써 셀 커렌트(Cell Current)를 증가시키고, 트랜지스터의 온/오프 특성을 개선할 수 있는 장점을 가진다.

발명의 실시를 위한 구체적인 내용

- [0024] 이하, 첨부한 도면을 참조하여 본 발명의 실시 예에 대해 상세히 설명하고자 한다.
- [0025] 도 1은 본 발명에 따른 반도체 소자의 구조를 도시한 평면도이다.
- [0026] 도 1을 참조하면, 반도체 기판(100) 상에 6F2 구조의 바(Bar) 형의 활성 영역(130)이 사선 방향의 아일랜드(Island) 타입으로 배열되어 정의되고, 활성 영역(130) 사이의 영역에는 소자분리막(140)이 형성되어 있다.
- [0027] 활성 영역(130)의 길이(Length) 방향과 소정의 각도를 가지고 상기 활성 영역(130)을 교차하는 리세스 게이트(210)가 형성된 구조이다.
- [0028] 상기 리세스 게이트(210) 형성 시, 상기 활성 영역(130) 및 소자분리막(140)을 식각하여 리세스 영역(도 2a의 150)을 형성한다. 이러한 리세스 영역(도 2a의 150)에 고온의 어닐링 공정을 실시하여 리세스 영역(도 2a의 150)과 격리된 분리 영역(도 2b의 170)을 형성한다. 이후, 분리 영역(도 2b의 170) 내에 게이트 전극층이 매립되어 상기 분리 영역(도 2b의 170)의 주변 영역을 채널(Channel)로 이용 가능하다. 이러한 분리 영역(도 2b의 170)의 주변 영역을 채널로 이용 가능하기 때문에 게이트 제어능력(Controllability)이 좋아진다.
- [0029] 도 2a 내지 도 2c는 본 발명에 따른 반도체 소자의 제조 방법을 도시한 것으로서, 도 1의 A-A' 절단면을 도시한 것이다.
- [0030] 도 2a를 참조하면, 반도체 기판(100)을 식각하여 트렌치(미도시)를 형성하고, 트렌치를 포함한 전면에 패드 산화막(110) 및 패드 질화막(120)을 증착한다. 이후, 패드 질화막(120) 상에 절연막(미도시)을 매립한다.
- [0031] 다음에는, 상기 반도체 기판(100)이 노출될 때까지 상기 절연막, 패드 질화막(120) 및 패드 산화막(110)을 평탄화 식각(Chemical Mechanical Polishing)하여 활성 영역(130)을 정의하는 소자분리막(140)을 형성한다.
- [0032] 다음에는, 활성 영역(130) 및 소자분리막(140)을 포함한 전면에 감광막을 형성한 후, 리세스 게이트 마스크를 이용한 노광 및 현상 공정으로 감광막 패턴(미도시)을 형성한다. 감광막 패턴을 마스크로 상기 활성 영역(130) 및 소자분리막(140)을 식각하여 리세스 영역(150)을 형성한다. 이때, 리세스 영역(150)은 종래 기술에 따른 리세스 영역의 형성 깊이(depth)보다 더 깊게 식각하여 형성한다. 즉, 상기 리세스 영역(150)은 1300Å ~ 2500Å 깊이로 식각되어 형성하는 것이 바람직하다.
- [0033] 다음에는, 후속 공정 시, 실리콘(Si)이 분리될 수 있도록 리세스 영역(150)을 포함한 전면에 HF 계열의 물질을 이용한 클리닝(Cleaning) 공정을 실시한다. 상기 리세스 영역(150)의 상부에 남은 산화막을 제거하기 위하여 클리닝 공정을 실시한다. 또한, 클리닝 공정을 실시함으로써, 후속 공정 시 낮은 온도(750℃)에서 실리콘(Si)의 분리 과정을 실시할 수 있다. 즉, 후속 열 처리 공정 시, 고온(950℃ 이상) 및 장시간 열처리 공정이 진행되면 실리콘의 표면 및 산화막의 표면이 영향을 받아 표면 프로파일(Profile)의 불량 등의 문제가 발생한다.
- [0034] 도 2b를 참조하면, 리세스 영역(150)을 포함한 전면에 H₂ 어닐링(Annealing, 160) 공정을 실시하여 상기 리세스 영역(150)과 격리된 분리 영역(170)을 형성한다. 이때, 어닐링(160) 공정은 H₂ 분위기에서 750℃ ~ 950℃ 온도 범위에서 실시하는 것이 바람직하며, 상기 온도 범위에 따라서 어닐링 공정 시간을 조절할 수 있다. 여기서, 분리 영역(170)은 리세스 영역(150)의 하부에 형성되며, 터널(tunnel) 형상을 갖는다.
- [0035] 다음에는, 리세스 영역(150) 및 분리 영역(170)을 포함한 전면에 더 많은 농도의 H₂ 어닐링(Annealing) 공정을 추가로 실시하여 실리콘 간의 불포화 결합(Dangling bond)을 감소시킨다. 이때, H₂ 어닐링(Annealing) 공정을 추가 실시하는 단계는 고농도의 H₂ 분위기에서 750℃ ~ 950℃ 온도 범위에서 어닐링 공정을 추가 실시하는 것이 바람직하다.
- [0036] 도 2c를 참조하면, 상기 활성 영역(130)에 채널(Channel) 이온 주입을 실시한 후, 상기 리세스 영역(150) 및 분리 영역(170)을 포함한 전면에 게이트 산화(Oxidation) 공정을 통해 게이트 산화막(180)을 증착한다. 이후, 리세스 영역(150)에만 게이트 산화막(180)이 남도록 패터닝한다.
- [0037] 다음에는, 게이트 산화막(180)을 포함한 전면에 게이트 전극층(190) 및 게이트 하드마스크층(200)을 적층한다.

이때, 분리 영역(170) 내에 상기 게이트 산화막(180) 및 게이트 전극층(190)이 매립되어 상기 분리 영역(170)의 주변 영역을 채널(Channel)로 이용 가능하다. 이러한 분리 영역(170)의 주변 영역을 채널로 이용 가능하기 때문에 게이트 제어능력(Controllability)이 좋아진다.

[0038] 이후, 리세스 게이트 식각 마스크를 이용하여 상기 반도체 기판(100)이 노출될 때까지 상기 게이트 하드마스크층(200) 및 게이트 전극층(190)을 식각하여 리세스 게이트(210)를 완성한다.

[0039] 도 3은 본 발명에 따른 반도체 소자의 제조 방법을 도시한 것으로서, 도 1의 B-B' 절단면을 도시한 것이다.

[0040] 도 3을 참조하면, 반도체 기판의 핀(fin)형 활성 영역(135)과 분리 영역(170)을 도시한 것으로서, 상기 분리 영역(170)을 게이트 금속층(190)이 둘러싸고 있는 형상이다. 이러한 분리 영역(170)의 주변 영역을 채널(Channel)로 이용 가능하기 때문에 게이트 제어능력(Controllability)이 좋아진다.

[0041] 전술한 바와 같이, 본 발명은 반도체 기판에 리세스 게이트 영역을 형성한 후, 고온 열처리 공정을 이용하여 상기 리세스 게이트 영역과 격리된 분리 영역을 형성하고, 상기 분리 영역에 게이트 전극 물질을 채워 넣어서 더 넓은 채널 영역을 확보함으로써 셀 커렌트(Cell Current)를 증가시키고, 트랜지스터의 온/오프 특성을 개선할 수 있는 장점을 가진다.

[0042] 아울러 본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구 범위에 속하는 것으로 보아야 할 것이다.

도면의 간단한 설명

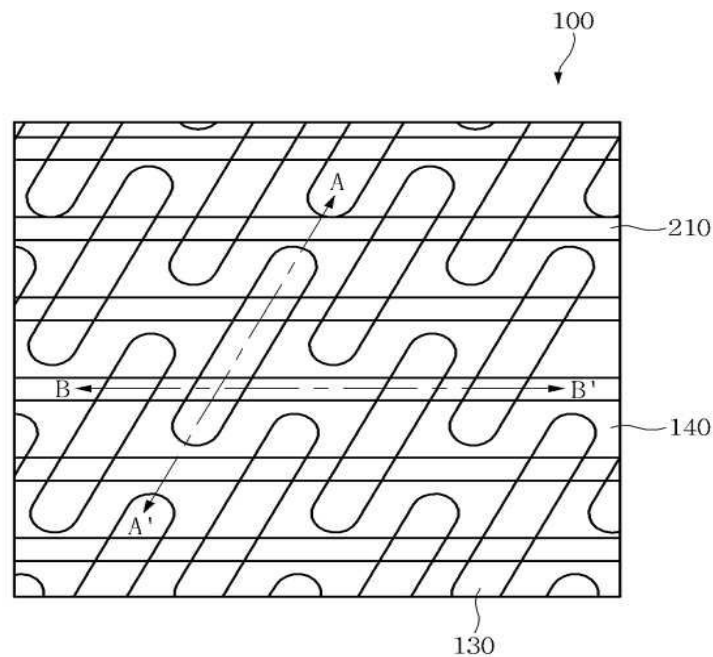
[0043] 도 1은 본 발명에 따른 반도체 소자의 제조 방법을 도시한 평면도.

[0044] 도 2a 내지 도 2c는 본 발명에 따른 반도체 소자의 제조 방법을 도시한 단면도들.

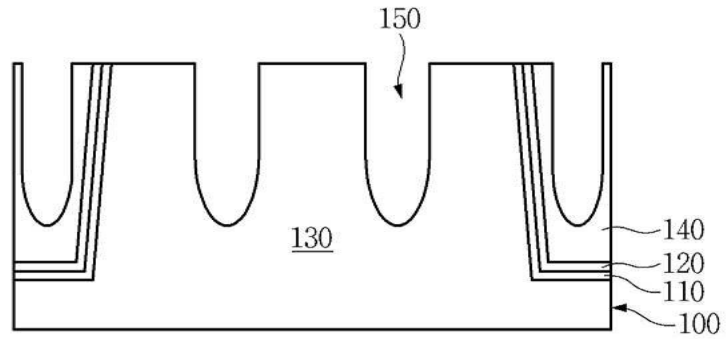
[0045] 도 3은 본 발명에 따른 반도체 소자의 제조 방법을 도시한 단면도.

도면

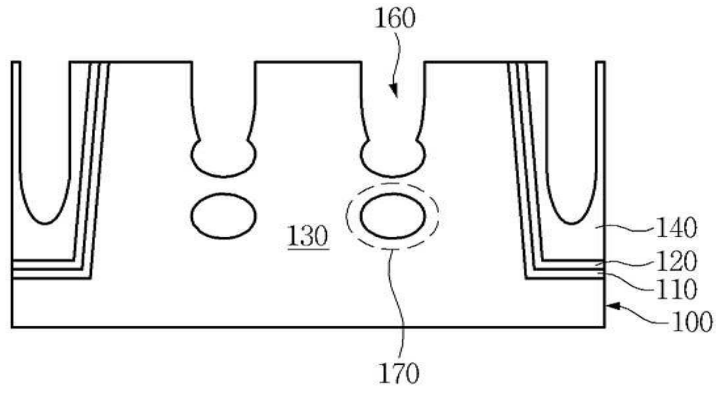
도면1



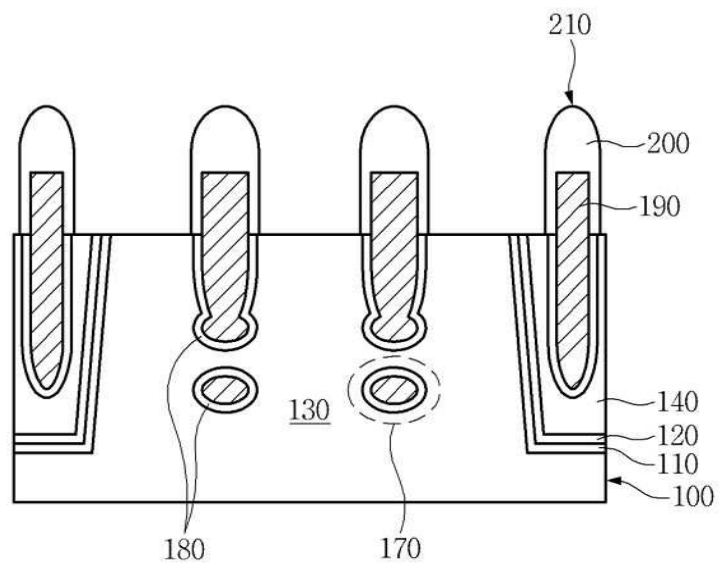
도면2a



도면2b



도면2c



도면3

