

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-75424

(P2014-75424A)

(43) 公開日 平成26年4月24日(2014.4.24)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/105 (2006.01)	HO 1 L 27/10 4 4 8	5 F 0 8 3
HO 1 L 45/00 (2006.01)	HO 1 L 45/00 Z	
HO 1 L 49/00 (2006.01)	HO 1 L 49/00 Z	

審査請求 未請求 請求項の数 10 O L (全 34 頁)

(21) 出願番号	特願2012-221295 (P2012-221295)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成24年10月3日 (2012.10.3)	(74) 代理人	100089118 弁理士 酒井 宏明
		(74) 代理人	100112656 弁理士 宮田 英毅
		(72) 発明者	陳 ジイエジ 東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	市原 玲華 東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

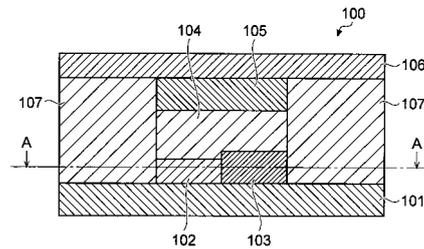
(54) 【発明の名称】 不揮発性可変抵抗素子、制御装置および記憶装置

(57) 【要約】

【課題】 不揮発性可変抵抗素子のサイクリング回数とデータ保持性とを両立可能にする。

【解決手段】 実施形態は、第1金属元素を含む第1電極と、第2金属元素を含む第2電極と、前記第1電極および前記第2電極と対向配置された第3電極と、前記第1電極および前記第2電極と前記第3電極との間に配置され、前記第1金属元素及び前記第2金属元素が出入りすることで可逆的な抵抗変化が可能な可変抵抗層とを備えることを特徴とする。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

第 1 金属元素を含む第 1 電極と、
第 2 金属元素を含む第 2 電極と、
前記第 1 電極および前記第 2 電極と対向配置された第 3 電極と、
前記第 1 電極および前記第 2 電極と前記第 3 電極との間に配置され、前記第 1 金属元素
及び前記第 2 金属元素が出入りすることで可逆的な抵抗変化が可能な可変抵抗層と
を備えることを特徴とする不揮発性可変抵抗素子。

【請求項 2】

前記第 1 電極と前記第 3 電極との間に介在する前記可変抵抗層の膜厚と、前記第 2 電極
と前記第 3 電極との間に介在する前記可変抵抗層の膜厚とが、異なることを特徴とする請
求項 1 に記載の不揮発性可変抵抗素子。

10

【請求項 3】

前記第 2 金属元素が前記可変抵抗層内に形成する導電性フィラメントのデータ保持性お
よびサイクリング回数のうち少なくとも 1 つは、前記第 1 金属元素が前記可変抵抗層内に
形成する導電性フィラメントのデータ保持性またはサイクリング回数と異なることを特徴
とする請求項 1 に記載の不揮発性可変抵抗素子。

【請求項 4】

前記第 1 金属元素が前記可変抵抗層内に拡散するための電圧の最低値は、前記第 2 金属
元素が前記可変抵抗層内に拡散するための電圧の最低値よりも低いことを特徴とする請
求項 1 に記載の不揮発性可変抵抗素子。

20

【請求項 5】

第 1 電圧を印加した際に前記第 2 金属元素が前記可変抵抗層内に拡散する時間は、前記
第 1 電圧を印加した際に前記第 1 金属元素が前記可変抵抗層内に拡散する時間よりも長く
、前記第 1 電圧よりも高い第 2 電圧を印加した際に前記第 2 金属元素が前記可変抵抗層内
に拡散する時間は、前記第 2 電圧を印加した際に前記第 1 金属元素が前記可変抵抗層内
に拡散する時間よりも短いことを特徴とする請求項 1 に記載の不揮発性可変抵抗素子。

【請求項 6】

前記第 2 電極と前記第 3 電極との間に介在する前記可変抵抗層の膜厚は、前記第 1 電極
と前記第 3 電極との間に介在する前記可変抵抗層の膜厚よりも小さいことを特徴とする請
求項 5 に記載の不揮発性可変抵抗素子。

30

【請求項 7】

第 1 金属元素を含む第 1 電極と、第 2 金属元素を含む第 2 電極と、前記第 1 電極および
前記第 2 電極と対向配置された第 3 電極と、前記第 1 電極および前記第 2 電極と前記第 3
電極との間に配置され、前記第 1 金属元素及び前記第 2 金属元素が出入りすることで可逆
的な抵抗変化が可能な可変抵抗層とを備える不揮発性可変抵抗素子の制御装置であって、
前記不揮発性可変抵抗素子への書込回数が予め設定された所定回数に至るまでは、前記
第 1 金属元素の前記可変抵抗層内への拡散が支配的になる第 1 モードで前記不揮発性可変
抵抗素子への書込を制御し、前記不揮発性可変抵抗素子への書込回数が前記所定回数を超
えた後は、前記第 2 金属元素の前記可変抵抗層内への拡散が支配的になる第 2 モードで前
記不揮発性可変抵抗素子への書込を制御する制御部を
備えることを特徴とする制御装置。

40

【請求項 8】

前記制御部は、前記第 1 モードまたは前記第 2 モードで前記不揮発性可変抵抗素子への
書込を実行した後、前記第 1 モードまたは前記第 2 モードでの電圧とは逆極性の電圧を印
加することで、前記不揮発性可変抵抗素子が保持する値を調整することを特徴とする請
求項 7 に記載の制御装置。

【請求項 9】

複数の第 1 配線と、
前記複数の第 1 配線と交差する複数の第 2 配線と、

50

前記第1配線と前記第2配線との間に配置され、第1金属元素を含む第1電極、第2金属元素を含む第2電極、前記第1電極および前記第2電極と対向配置された第3電極、および、前記第1電極および前記第2電極と前記第3電極との間に配置され、前記第1金属元素及び前記第2金属元素が出入りすることで可逆的な抵抗変化が可能な可変抵抗層を備える不揮発性可変抵抗素子とを備えたメモリセルアレイと、

前記不揮発性可変抵抗素子への書込回数が予め設定された所定回数に至るまでは、前記第1金属元素の前記可変抵抗層内への拡散が支配的になる第1モードで前記不揮発性可変抵抗素子への書込を制御し、前記不揮発性可変抵抗素子への書込回数が前記所定回数を超えた後は、前記第2金属元素の前記可変抵抗層内への拡散が支配的になる第2モードで前記不揮発性可変抵抗素子への書込を制御する制御部と

10

を備えることを特徴とする記憶装置。

【請求項10】

前記制御部は、前記メモリセルアレイの一部の領域に含まれる前記不揮発性可変抵抗素子への書込を前記第1モードで制御し、前記メモリセルアレイの残りの領域に含まれる前記不揮発性可変抵抗素子への書込を前記第2モードで制御することを特徴とする請求項9に記載の記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、不揮発性可変抵抗素子、制御装置および記憶装置に関する。

20

【背景技術】

【0002】

近年、ReRAM (Resistive Random Access Memory) に代表される二端子の不揮発性可変抵抗素子の開発が盛んに行われている。この不揮発性可変抵抗素子は、低電圧動作、高速スイッチングおよび微細化が可能であるため、フローティングゲート型NANDフラッシュメモリ等の既存製品に代わる次世代の大容量記憶装置として有力である。ただし、不揮発可変抵抗素子では、サイクル回数特性とデータ保持特性とを両立させることが課題である。

【先行技術文献】

【特許文献】

30

【0003】

【特許文献1】特開2008-112554号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

以下で例示する実施形態は、サイクル回数特性とデータ保持特性とを両立させることが可能な不揮発性可変抵抗素子、制御装置および記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0005】

実施形態に係る不揮発性可変抵抗素子は、第1金属元素を含む第1電極と、第2金属元素を含む第2電極と、前記第1電極および前記第2電極と対向配置された第3電極と、前記第1電極および前記第2電極と前記第3電極との間に配置され、前記第1金属元素及び前記第2金属元素が出入りすることで可逆的な抵抗変化が可能な可変抵抗層とを備えることを特徴とする。

40

【0006】

また、実施形態に係る制御装置は、第1金属元素を含む第1電極と、第2金属元素を含む第2電極と、前記第1電極および前記第2電極と対向配置された第3電極と、前記第1電極および前記第2電極と前記第3電極との間に配置され、前記第1金属元素及び前記第2金属元素が出入りすることで可逆的な抵抗変化が可能な可変抵抗層とを備える不揮発性可変抵抗素子の制御装置であって、前記不揮発性可変抵抗素子への書込回数が予め設定さ

50

れた所定回数に至るまでは、前記第 1 金属元素の前記可変抵抗層内への拡散が支配的になる第 1 モードで前記不揮発性可変抵抗素子への書込を制御し、前記不揮発性可変抵抗素子への書込回数が前記所定回数を超えた後は、前記第 2 金属元素の前記可変抵抗層内への拡散が支配的になる第 2 モードで前記不揮発性可変抵抗素子への書込を制御する制御部を備えることを特徴とする。

【 0 0 0 7 】

また、実施形態に係る記憶装置は、複数の第 1 配線と、前記複数の第 1 配線と交差する複数の第 2 配線と、前記第 1 配線と前記第 2 配線との間に配置され、第 1 金属元素を含む第 1 電極、第 2 金属元素を含む第 2 電極、前記第 1 電極および前記第 2 電極と対向配置された第 3 電極、および、前記第 1 電極および前記第 2 電極と前記第 3 電極との間に配置され、前記第 1 金属元素及び前記第 2 金属元素が出入りすることで可逆的な抵抗変化が可能な可変抵抗層を備える不揮発性可変抵抗素子とを備えたメモリセルアレイと、前記不揮発性可変抵抗素子への書込回数が予め設定された所定回数に至るまでは、前記第 1 金属元素の前記可変抵抗層内への拡散が支配的になる第 1 モードで前記不揮発性可変抵抗素子への書込を制御し、前記不揮発性可変抵抗素子への書込回数が前記所定回数を超えた後は、前記第 2 金属元素の前記可変抵抗層内への拡散が支配的になる第 2 モードで前記不揮発性可変抵抗素子への書込を制御する制御部とを備えることを特徴とする。

10

【 図面の簡単な説明 】

【 0 0 0 8 】

【 図 1 】 図 1 は、実施形態 1 に係る記憶装置におけるメモリセルアレイの一例を示す概略図。

20

【 図 2 】 図 2 は、実施形態 1 に係る不揮発性可変抵抗素子を積層方向に切断した際の垂直断面図。

【 図 3 】 図 3 は、実施形態 1 に係る不揮発性可変抵抗素子の水平断面図。

【 図 4 】 図 4 は、実施形態 1 において 2 つの異なる金属に電圧パルスを印加した際のストレス電圧とストレス時間との関係を示す相関図。

【 図 5 】 図 5 は、実施形態 1 において第 1 電極での書き込み時に印加する電圧パルスの一例を示すタイミングチャート。

【 図 6 】 図 6 は、図 5 に示す電圧パルスを与える前のオフ状態の不揮発性可変抵抗素子を示す断面図。

30

【 図 7 】 図 7 は、図 5 に示す電圧パルスを与えた後のオン状態の不揮発性可変抵抗素子を示す断面図。

【 図 8 】 図 8 は、実施形態 1 において第 2 電極での書き込み時に印加する電圧パルスの一例を示すタイミングチャート。

【 図 9 】 図 9 は、図 8 に示す電圧パルスを与える前のオフ状態の不揮発性可変抵抗素子を示す断面図。

【 図 1 0 】 図 1 0 は、図 8 に示す電圧パルスを与えた後のオン状態の不揮発性可変抵抗素子を示す断面図。

【 図 1 1 】 図 1 1 は、実施形態 1 に係る第 1 電極使用時のデータ書込、データ読出およびデータ消去時のパルス電圧印加方法の一例を示すタイミングチャート。

40

【 図 1 2 】 図 1 2 は、実施形態 1 に係る第 2 電極使用時のデータ書込、データ読出およびデータ消去時のパルス電圧印加方法の一例を示すタイミングチャート。

【 図 1 3 】 図 1 3 は、実施形態 1 に係る不揮発性可変抵抗素子の評価装置を示す概略図。

【 図 1 4 】 図 1 4 は、図 1 3 に示す評価装置を用いた実測時の測定シーケンスを示すタイミングチャート。

【 図 1 5 】 図 1 5 は、実施形態 1 に係る評価において、上部電極を同じ金属として可変抵抗層の膜厚を変化させた場合に一定時間内にストレス電圧を変化させた際に観測された最低ストレス電圧値（臨界的な電圧値）でのストレス効果の発生回数（カウント数）を示す評価結果（可変抵抗層の膜厚 1 0 n m ）。

【 図 1 6 】 図 1 6 は、実施形態 1 に係る評価において、上部電極を同じ金属として可変抵

50

抗層の膜厚を変化させた場合に一定時間内にストレス電圧を変化させた際に観測された最低ストレス電圧値（臨界的な電圧値）でのストレス効果の発生回数（カウント数）を示す評価結果（可変抵抗層の膜厚30nm）。

【図17】図17は、実施形態1に係る評価において、ストレス時間を一定とした場合のストレス電圧とリード電流との関係を示す評価結果。

【図18】図18は、実施形態1に係る評価において、ストレス電圧を一定とした場合のストレス電圧とリード電流との関係を示す評価結果。

【図19】図19は、図17および図18の評価結果をまとめた図。

【図20】図20は、実施形態1に係る評価において、可変抵抗層の膜厚を同じとして上部電極を異なる金属とした場合に一定時間内にストレス電圧を変化させた際に観測された最低ストレス電圧値（臨界的な電圧値）でのストレス効果の発生回数（カウント数）を示す評価結果（Ag）。

【図21】図21は、実施形態1に係る評価において、可変抵抗層の膜厚を同じとして上部電極を異なる金属とした場合に一定時間内にストレス電圧を変化させた際に観測された最低ストレス電圧値（臨界的な電圧値）でのストレス効果の発生回数（カウント数）を示す評価結果（Ni）。

【図22】図22は、実施形態1に係る不揮発性可変抵抗素子の製造方法を示す図（その1）。

【図23】図23は、実施形態1に係る不揮発性可変抵抗素子の製造方法を示す図（その2）。

【図24】図24は、実施形態1に係る不揮発性可変抵抗素子の製造方法を示す図（その3）。

【図25】図25は、実施形態1に係る不揮発性可変抵抗素子の製造方法を示す図（その4）。

【図26】図26は、実施形態1に係る不揮発性可変抵抗素子の製造方法を示す図（その5）。

【図27】図27は、実施形態1に係る不揮発性可変抵抗素子の製造方法を示す図（その6）。

【図28】図28は、実施形態1に係る不揮発性可変抵抗素子の製造方法を示す図（その7）。

【図29】図29は、実施形態1に係る不揮発性可変抵抗素子の製造方法を示す図（その8）。

【図30】図30は、実施形態1に係る不揮発性可変抵抗素子の製造方法を示す図（その9）。

【図31】図31は、実施形態1に係る不揮発性可変抵抗素子の製造方法を示す図（その10）。

【図32】図32は、実施形態1に係る不揮発性可変抵抗素子の製造方法を示す図（その11）。

【図33】図33は、実施形態1に係る不揮発性可変抵抗素子の製造方法を示す図（その12）。

【図34】図34は、実施形態1に係る不揮発性可変抵抗素子の製造方法を示す図（その13）。

【図35】図35は、実施形態1に係る不揮発性可変抵抗素子の製造方法を示す図（その14）。

【図36】図36は、実施形態1に係る記憶装置の概略構成を示す平面図。

【図37】図37は、図36の構成において選択セルへデータを書き込む際の駆動例を示す図。

【図38】図38は、図36の構成において選択セルからデータを読み出す際の駆動例を示す図。

【図39】図39は、図36の構成において選択セルに書き込まれたデータを消去する際

10

20

30

40

50

の駆動例を示す図。

【図 4 0】図 4 0 は、実施形態 1 に係る M 行 N 列のメモリセルアレイの動作モードを領域毎にアレンジする場合を説明するための図。

【図 4 1】図 4 1 は、図 4 0 に示す領域を切り替える場合を説明するための図。

【図 4 2】図 4 2 は、実施形態 1 に係る 2 つのモードを切り替える際の判断条件の一例を示す図。

【図 4 3】図 4 3 は、実施形態 2 に係る不揮発性可変抵抗素子を積層方向に切断した際の垂直断面図。

【図 4 4】図 4 4 は、実施形態 2 に係る不揮発性可変抵抗素子の水平断面図。

【図 4 5】図 4 5 は、実施形態 3 に係る不揮発性可変抵抗素子を積層方向に切断した際の垂直断面図。

【図 4 6】図 4 6 は、実施形態 3 に係る不揮発性可変抵抗素子の水平断面図。

【図 4 7】図 4 7 は、実施形態 3 に係る不揮発性可変抵抗素子の製造方法を示す図（その 1）。

【図 4 8】図 4 8 は、実施形態 3 に係る不揮発性可変抵抗素子の製造方法を示す図（その 2）。

【図 4 9】図 4 9 は、実施形態 3 に係る不揮発性可変抵抗素子の製造方法を示す図（その 3）。

【図 5 0】図 5 0 は、実施形態 3 に係る不揮発性可変抵抗素子の製造方法を示す図（その 4）。

【図 5 1】図 5 1 は、実施形態 4 に係る不揮発性可変抵抗素子を積層方向に切断した際の垂直断面図。

【図 5 2】図 5 2 は、実施形態 4 に係る不揮発性可変抵抗素子の水平断面図。

【図 5 3】図 5 3 は、実施形態 4 に係る不揮発性可変抵抗素子の製造方法を示す図（その 1）。

【図 5 4】図 5 4 は、実施形態 4 に係る不揮発性可変抵抗素子の製造方法を示す図（その 2）。

【図 5 5】図 5 5 は、実施形態 4 に係る不揮発性可変抵抗素子の製造方法を示す図（その 3）。

【図 5 6】図 5 6 は、実施形態 4 に係る不揮発性可変抵抗素子の製造方法を示す図（その 4）。

【図 5 7】図 5 7 は、実施形態 4 に係る不揮発性可変抵抗素子の製造方法を示す図（その 5）。

【図 5 8】図 5 8 は、実施形態 4 に係る不揮発性可変抵抗素子の製造方法を示す図（その 6）。

【図 5 9】図 5 9 は、実施形態 5 において 1 つの不揮発性可変抵抗素子に 4 値を書き込む場合の逆リセットバイアス電圧を説明するための図。

【図 6 0】図 6 0 は、図 5 9 に示す逆リセットストレス電圧に基づいて不揮発性可変抵抗素子に値 ' 1 1 ' を書き込む際の説明図。

【図 6 1】図 6 1 は、図 5 9 に示す逆リセットストレス電圧に基づいて不揮発性可変抵抗素子に値 ' 1 0 ' を書き込む際の説明図。

【図 6 2】図 6 2 は、図 5 9 に示す逆リセットストレス電圧に基づいて不揮発性可変抵抗素子に値 ' 0 1 ' を書き込む際の説明図。

【図 6 3】図 6 3 は、図 5 9 に示す逆リセットストレス電圧に基づいて不揮発性可変抵抗素子に値 ' 0 0 ' を書き込む際の説明図。

【図 6 4】図 6 4 は、実施形態 5 において 1 つの不揮発性可変抵抗素子に 4 値を書き込む場合の逆リセットバイアス時間を説明するための図。

【図 6 5】図 6 5 は、図 6 4 に示す逆リセットストレス時間に基づいて不揮発性可変抵抗素子に値 ' 1 1 ' を書き込む際の説明図。

【図 6 6】図 6 6 は、図 6 4 に示す逆リセットストレス時間に基づいて不揮発性可変抵抗

10

20

30

40

50

素子に値 ' 1 0 ' を書き込む際の説明図。

【図 6 7】図 6 7 は、図 6 4 に示す逆リセットストレス時間に基づいて不揮発性可変抵抗素子に値 ' 0 1 ' を書き込む際の説明図。

【図 6 8】図 6 8 は、図 6 4 に示す逆リセットストレス時間に基づいて不揮発性可変抵抗素子に値 ' 0 0 ' を書き込む際の説明図。

【図 6 9】図 6 9 は、実施形態 5 に係る逆リセットバイアス電圧および逆リセットバイアス時間の組み合わせに対するリード電流の電流値の関係を示す評価結果。

【発明を実施するための形態】

【 0 0 0 9 】

以下、例示する実施の形態にかかる不揮発性可変抵抗素子、制御装置、記憶装置および制御方法を、図面を用いて詳細に説明する。

【 0 0 1 0 】

(実施形態 1)

以下、実施形態 1 に係る不揮発性可変抵抗素子、制御装置、記憶装置および制御方法について、図面を参照しながら詳細に説明する。

【 0 0 1 1 】

図 1 は、実施形態 1 に係る記憶装置におけるメモリセルアレイの一例を示す概略図である。図 1 に示すように、実施形態 1 に係るメモリセルアレイ 1 0 は、不揮発性可変抵抗素子 1 0 0 を備えるセルが M 行 N 列に 2 次元アレイされた構成を備える。

【 0 0 1 2 】

図 2 および図 3 に、実施形態 1 に係る不揮発性可変抵抗素子 1 0 0 の概略構成例を示す。図 2 は、不揮発性可変抵抗素子を積層方向に切断した際の垂直断面図を示し、図 3 は、不揮発性可変抵抗素子の水平断面図を示す。なお、図 2 は、図 3 における B - B 断面構造を示し、図 3 は、図 2 における A - A 断面構造を示す。

【 0 0 1 3 】

図 2 および図 3 に示すように、不揮発性可変抵抗素子 1 0 0 は、下部配線 1 0 1 と、第 1 電極 1 0 2 と、第 2 電極 1 0 3 と、可変抵抗層 1 0 4 と、第 3 電極 1 0 5 と、上部配線 1 0 6 とを備える。また、隣接する不揮発性可変抵抗素子 1 0 0 間は、素子間を区画する絶縁層 1 0 7 によって電気的に分離されている。なお、不揮発性可変抵抗素子 1 0 0 および絶縁層 1 0 7 は、不図示の支持基板上に形成されてもよい。

【 0 0 1 4 】

第 1 電極 1 0 2 および第 2 電極 1 0 3 は、下部配線 1 0 1 上に隣り合わせで形成されている。第 1 電極 1 0 2 と第 2 電極 1 0 3 との膜厚は、等しくてもよいし、異なってもよい。第 1 電極 1 0 2 および第 2 電極 1 0 3 は、銀 (A g)、金 (A u)、チタニウム (T i)、ニッケル (N i)、コバルト (C o)、アルミニウム (A l)、鉄 (F e)、クロム (C r)、銅 (C u)、タングステン (W)、ハフニウム (H f)、タンタル (T a)、白金 (P t)、ルテニウム (R u)、ジルコニウム (Z r)、イリジウム (I r) などの金属元素を含む。そこで、第 1 電極 1 0 2 および第 2 電極 1 0 3 の材料には、上記金属の他、その窒化物、その炭化物、そのカルコゲナイドなどを用いることができる。もしくは、第 1 電極 1 0 2 および第 2 電極 1 0 3 の材料は、上記金属のうちの 1 つ以上を含む合金であってもよい。なお、合金を用いる場合、上記金属以外にも、炭素 (C)、シリコン (S i)、ゲルマニウム (G e) などの半導体材料を用いることができる。

【 0 0 1 5 】

第 3 電極 1 0 5 は、導体膜であればよい。この第 3 電極 1 0 5 の材料には、上記金属の他、不純物がドーパされた半導体材料などを用いることができる。たとえば不純物がドーパされた S i 膜は、高濃度にボロン (B)、砒素 (A s)、リン (P) などが注入された S i 層を熱処理にて活性化させることで形成することができる。なお、この導電性を備えた半導体層は、非晶質半導体であってもよいし、多結晶半導体であってもよいし、単結晶半導体であってもよい。

【 0 0 1 6 】

10

20

30

40

50

可変抵抗層104は、絶縁材料を用いて形成される。この可変抵抗層104は、半導体元素を含むことができる。半導体元素には、たとえばSi、Ge、SiGe、GaAs、InP、GaP、GaInAsP、GaN、SiCなどを適用することができる。この可変抵抗層104は、非晶質半導体であってもよいし、多結晶半導体であってもよいし、単結晶半導体であってもよい。また、可変抵抗層104には、窒素原子(N)または酸素原子(O)が添加されていてもよい。

【0017】

下部配線101は、第1および第2電極102および103と電気的に接続されている。一方、上部配線106は、第3電極105と電気的に接続されている。これら下部配線101および上部配線106は、金属膜や不純物ドーパの半導体膜などの導体膜であってよい。絶縁層107は、たとえばシリコン酸化膜やシリコン窒化膜などの絶縁膜であってよい。

10

【0018】

上記構成において、第1電極102の金属元素と第2電極103の金属元素とを選択的に可変抵抗層104に出入りさせることで、可変抵抗層104の抵抗を可逆的に変化させることが可能である。すなわち、第1および第2電極102および103と第3電極105との間に所定の条件で一方向(これを順方向とする)の電圧を印加すると、第1電極102および第2電極103のうちの一方の構成金属元素が第3電極105へ向かって可変抵抗層104内に拡散する。これにより、可変抵抗層104内に拡散金属元素による導電性フィラメントが形成され、可変抵抗層104が高抵抗状態(以下、オフ状態という)から低抵抗状態(以下、オン状態という)に変化する。また、第1および第2電極102および103と第3電極105との間に所定の条件で逆方向の電圧を印加すると、可変抵抗層104内に拡散している金属元素がその源である第1電極102または第2電極103に回収され、可変抵抗層104内の導電性フィラメントが消滅する。その結果、可変抵抗層104がオン状態からオフ状態に変化する。

20

【0019】

第1電極102と第2電極103とのいずれの金属元素を可変抵抗層104へ拡散させるかは、第1電極102と第3電極105との間および第2電極103と第3電極105との間それぞれの可変抵抗層104の厚さなどを調節するとともに、第1および第2電極102および103と第3電極105との間に与える電圧の電圧値や時間を調節することで制御することができる。

30

【0020】

たとえば、第1電極102および第2電極103に印加する電圧パルス、すなわち下部配線101へ与える電圧パルスのストレス波形を低ストレス電圧および長ストレス時間とすることで、第1電極102の構成金属元素を拡散させて導電性フィラメントを形成することができる。この際、第2電極103からの構成金属元素の拡散は、無視できる程度に抑えることができる。一方、下部配線101へ与える電圧パルスのストレス波形を高ストレス電圧および短ストレス時間とすることで、第2電極103の構成金属元素を拡散させて導電性フィラメントを形成することができる。この際、第1電極102からの構成金属元素の拡散は、無視できる程度に抑えることができる。

40

【0021】

下部配線101に印加する制御電圧のパルス波形は、第1電極102と第2電極103との特性を考慮した上で設定される。その際、第1電極102および第2電極103それぞれに用いられた金属材料の組み合わせが考慮される。たとえば、第1電極102にAgを用い、第2電極103にNiを用いた場合、Niフィラメントを形成せずにAgフィラメントを形成する条件を満たすストレス電圧の電圧値は、4V(ボルト)以下となる。

【0022】

図4は、2つの異なる金属に電圧パルスを印加した際のストレス電圧とストレス時間との関係を示す相関図である。なお、図4は、各金属に流れる電流が一定のコンプライアンス電流になるまでの相関関係を示す。

50

【 0 0 2 3 】

図 4 に示す例では、第 1 金属の臨界的な電圧値（フィラメントを形成するためのストレス電圧の最低値） V_{c_low} が、第 2 金属の臨界的な電圧値 V_{c_high} よりも低い。また、導電性フィラメントを形成する際のストレス時間は、比較的低いストレス電圧であれば第 2 金属よりも第 1 金属の方が短く、比較的高いストレス電圧であれば第 1 金属よりも第 2 金属の方が短い。そこで、このような相関関係になる金属の組み合わせを第 1 電極 102 および第 2 電極 103 に適用することで、特性の異なる不揮発性可変抵抗素子を選択的に実現することが可能となる。以下の説明では、第 1 電極 102 に第 1 金属を用い、第 2 電極 103 に第 2 金属を用いた場合を例示する。

【 0 0 2 4 】

そこで、図 4 において、第 1 金属よりなる第 1 電極 102 での書き込みには、比較的的低ストレス電圧・長ストレス時間の条件（モード P1）を採用し、第 2 金属よりなる第 2 電極 103 での書き込みには、比較的高ストレス電圧・短ストレス時間の条件（モード P2）を採用する。モード P1 とモード P2 とを比較すると明らかなように、モード P1 でのストレス電圧 V_{set1} は、第 2 金属の臨界的な電圧値 V_{c_high} よりも低い。そのため、モード P1 では、第 2 金属による導電性フィラメント形成が実質的に生じず、第 1 金属による導電性フィラメント形成が支配的になる。一方、モード P2 のストレス電圧 V_{set2} 下では、第 1 金属のストレス時間よりも第 2 金属のストレス時間の方が短い。そのため、モード P2 では、第 2 金属による導電性フィラメント形成が支配的になる。なお、モード P2 のストレス時間は、第 1 金属から延びた導電性フィラメントが第 3 電極 105 に到達しない程度の時間に設定されるとよい。

【 0 0 2 5 】

図 5 ~ 図 7 では、図 4 におけるモード P1 での書き込み動作を説明する。図 5 は、実施形態 1 において第 1 電極での書き込み時に印加する電圧パルスの一例を示すタイミングチャートである。図 6 は、図 5 に示す電圧パルスを与える前のオフ状態の不揮発性可変抵抗素子を示す断面図である。図 7 は、図 5 に示す電圧パルスを与えた後のオン状態の不揮発性可変抵抗素子を示す断面図である。

【 0 0 2 6 】

図 5 に示すように、モード P1 では、ストレス電圧が V_{set1} ($< V_{c_high}$) で且つストレス時間が T_{set1} ($> T_{set2}$) の矩形の電圧パルスが下部配線 101 に印加される。すると、不揮発性可変抵抗素子 100 では、図 6 に示すように、第 1 電極 102 から第 3 電極 105 へ向けて、可変抵抗層 104 内に導電性フィラメント 108 が形成される。その結果、図 7 に示すように、導電性フィラメント 108 が第 3 電極 105 まで到達して、第 1 電極 102 と第 3 電極 105 とが電氣的に導通し、不揮発性可変抵抗素子 100 がオン状態となる。

【 0 0 2 7 】

また、図 8 ~ 図 10 では、図 4 におけるモード P2 での書き込み動作を説明する。図 8 は、実施形態 1 において第 2 電極での書き込み時に印加する電圧パルスの一例を示すタイミングチャートである。図 9 は、図 8 に示す電圧パルスを与える前のオフ状態の不揮発性可変抵抗素子を示す断面図である。図 10 は、図 8 に示す電圧パルスを与えた後のオン状態の不揮発性可変抵抗素子を示す断面図である。

【 0 0 2 8 】

図 8 に示すように、モード P2 では、ストレス電圧が V_{set2} ($> V_{c_high}$) で且つストレス時間が T_{set2} ($< T_{set1}$) の矩形の電圧パルスが下部配線 101 に印加される。すると、不揮発性可変抵抗素子 100 では、図 9 に示すように、第 2 電極 103 から第 3 電極 105 へ向けて、可変抵抗層 104 内に導電性フィラメント 118 が形成される。その結果、図 10 に示すように、導電性フィラメント 118 が第 3 電極 105 まで到達して、第 2 電極 103 と第 3 電極 105 とが電氣的に導通し、不揮発性可変抵抗素子 100 がオン状態となる。その際、第 1 電極 102 から第 3 電極 105 へ向けて導電性フィラメント 108 が形成されるが、モード P2 でのストレス時間 T_{set2} は

10

20

30

40

50

導電性フィラメント108が第3電極105へ到達しない時間に設定されているため、この導電性フィラメント108は無視することができる。

【0029】

なお、オン状態となった不揮発性可変抵抗素子100のオフ状態へのリセットは、書き込み時とは逆方向の電圧を与えることで行われる。たとえば図7に示すオン状態をリセットする場合、第3電極105に対して負となる電圧を下部配線101に印加する。すると、第3電極105を介してホールが可変抵抗層104に供給されることで、可変抵抗層104内で導電性フィラメント108の金属元素がイオン化される。これにより、その金属イオンが第1電極102に回収され、可変抵抗層104内の導電性フィラメント108が消失する。その結果、可変抵抗層104が高抵抗状態となり、不揮発性可変抵抗素子100がオフ状態にリセットされる。

10

【0030】

同様に、図10に示すオン状態をリセットする場合、第3電極105に対して負となる電圧を下部配線101に印加することで、可変抵抗層104内の導電性フィラメント118の金属元素をイオン化する。これにより、その金属イオンが第2電極103に回収され、可変抵抗層104内の導電性フィラメント118が消失する。その結果、可変抵抗層104が高抵抗状態となり、不揮発性可変抵抗素子100がオフ状態にリセットされる。

【0031】

なお、リセットされた不揮発性可変抵抗素子100に対して再度、図5または図8に示す電圧パルスを印加すると、図7または図10で示したように、可変抵抗層104内に導電性フィラメント108または118が再形成され、不揮発性可変抵抗素子100がオン状態となる。このように、不揮発性可変抵抗素子100のオフ状態とオン状態とは可逆的に制御可能である。

20

【0032】

つぎに、不揮発性可変抵抗素子100の動作について、図面を用いて詳細に説明する。

【0033】

上述したように、第1電極102および第2電極103のいずれから可変抵抗層104内へ金属元素が拡散するかは、基本的に可変抵抗層104に形成される導電性フィラメント108および118の電圧ストレス特性によって決まる。そこで、導電性フィラメント108および118の電圧ストレス特性の差を利用することで不揮発性可変抵抗素子100の寿命を延ばすことが可能である。

30

【0034】

図11は、第1電極使用時のデータ書込、データ読出およびデータ消去時のパルス電圧印加方法の一例を示すタイミングチャートである。図12は、第2電極使用時のデータ書込、データ読出およびデータ消去時のパルス電圧印加方法の一例を示すタイミングチャートである。

【0035】

図11に示すように、第1電極102を使用したデータ書込時には、比較的ストレス電圧が低く、ストレス時間が長いモードP1の電圧パルスが下部配線101に印加される。これにより、第1電極102から可変抵抗層104内へ拡散した第1金属がイオン化し、可変抵抗層104内に第1金属による導電性フィラメント108が形成される。

40

【0036】

一方、図12に示すように、第2電極103を使用したデータ書込時には、比較的ストレス電圧が高く、ストレス時間が短いモードP2の電圧パルスが下部配線101に印加される。これにより、第2電極103から可変抵抗層104内へ拡散した第2金属がイオン化し、可変抵抗層104内に第2金属による導電性フィラメント118が形成される。

【0037】

このように、下部配線101に印加する電圧パルスのストレス電圧およびストレス時間を調整することで、第1電極102を用いたデータ書込と第2電極103を用いたデータ書込とを選択的に使い分けることが可能となる。

50

【0038】

たとえば、それぞれの電極に対してデータ書込回数に制限が設定されている場合、一方の電極を用いたデータ書込回数が制限に達したら、他方の電極を用いてデータ書込を行うように動作することが可能となる。その結果、不揮発性可変抵抗素子100の寿命を延ばすことが可能となる。たとえば、データ書込回数が一定回数に至るまでは、図11に示すようなモードP1のストレス電圧およびストレス時間で駆動し、一定回数に至ったあとは、図12に示すようなモードP2のストレス電圧およびストレス時間で駆動するように構成することで、不揮発性可変抵抗素子100の寿命を延ばすことができる。

【0039】

また、たとえば第2電極103を用いたデータ書込/読出/消去速度が第1電極102を用いたデータ書込/読出/消去速度よりも速い場合、アクセス頻度が高いデータの書込については、優先的に第2電極103を用いてデータ書込を実行するように動作することも可能である。さらに、たとえば第1金属による導電性フィラメント108の方が第2金属による導電性フィラメント118よりもデータ保持特性が高い場合、長期保持の対象となり得るようなデータに関しては、優先的に第1電極102を用いてデータ書込を実行するように動作することも可能である。さらには、たとえばアクセス速度(動作スピードともいう)を重視する場合には図12に示す高ストレス電圧・短ストレス時間のモードP2で駆動し、耐久性(サイクリング回数)を重視する場合には図11に示す低ストレス電圧・長ストレス時間のモードP1で駆動するなどのように、アプリケーションからの要求に応じて動作モードを変更するように設計することも可能である。

【0040】

なお、データ読出時のリードパルス V_{read} およびデータ消去時のリセットパルス V_{reset} の電圧値とパルス時間とは、それぞれいずれの電極を使用してデータ書込が行われたかに応じて調整されるとよい。

【0041】

また、モードP2での第2電極103を用いたデータ書込を保障するために、第2電極103と第3電極105との間の可変抵抗層104の膜厚を、第1電極102と第3電極105との間の可変抵抗層104の膜厚よりも薄くしてもよい。ただし、この薄膜化は、必ずしも必須の構成ではない。

【0042】

つづいて、不揮発性可変抵抗素子の評価方法について説明する。図13は、不揮発性可変抵抗素子の評価装置を示す概略図である。図14は、図13に示す評価装置を用いた実測時の測定シーケンスを示すタイミングチャートである。

【0043】

図13に示すように、評価対象とした不揮発性可変抵抗素子では、第1電極102または第2電極103に相当する上部電極1002の金属材料をAgまたはNiとし、その直径(すなわち絶縁層1007に形成した1002用のピアホールの直径)を100nm(ナノメートル)とした。また、可変抵抗層104に相当する可変抵抗層1004をアモルファスシリコンとし、その膜厚を10nm~30nmとした。さらに、第3電極105に相当する下部電極1005をイオン注入された低抵抗シリコンとした。この不揮発性可変抵抗素子に対し、上部電極1002および下部電極1005間に接続した電流-電圧特性測定装置1100を用いて、可変抵抗層1004に流れる電流を図14に示すような測定シーケンスで測定した。

【0044】

図14に示すように、測定シーケンスでは、電圧パルス印加によるストレス効果を確認するために、一つ目の方法として電圧ストレス印加前後のリード電流を測定して比較した。また、二つ目の方法として、電圧ストレスを印加する途中の電流をモニタし、電流の急峻な変化があるかどうかを判断した。また、図14に示す例では、上部電極1002をAg電極とした場合のデータ書込時の電圧(セット電圧)を8V(ボルト)までとし、データ読出時の電圧(リード電圧)を1~2Vとし、データ消去時の電圧(リセット電圧)を

- 4 Vとした。さらに、図 1 4 では、リセット電圧の印加から 2 回目のリード電圧の印加までの工程をリピートユニットとして繰返し実行した。

【 0 0 4 5 】

図 1 5 および図 1 6 は、図 1 3 および図 1 4 の評価において、上部電極 1 0 0 2 を同じ金属として可変抵抗層 1 0 0 4 の膜厚を変化させた場合に一定時間内にストレス電圧を変化させた際に観測された最低ストレス電圧値（臨界的な電圧値）でのストレス効果の発生回数（カウント数）を示す評価結果である。なお、以下の評価結果の説明において、図 1 3 および図 1 4 による評価は、複数の不揮発性可変抵抗素子（図 1 3 ）に対して行われた。また、図 1 5 では、可変抵抗層 1 0 0 4 の膜厚を 1 0 n m とし、図 1 6 では、可変抵抗層 1 0 0 4 の膜厚を 3 0 n m とした。

10

【 0 0 4 6 】

図 1 5 および図 1 6 の統計分布で示される評価結果から分かるように、最低ストレス電圧値でのストレス効果の発生回数は、可変抵抗層 1 0 0 4 の膜厚に依存しない。また、それぞれの不揮発性可変抵抗素子から抽出した最低ストレス電圧値の分布は、ストレス電圧の変化に対しても一定形状を保ち、全体的なシフトも観測されなかった。

【 0 0 4 7 】

図 1 7 は、図 1 3 および図 1 4 の評価において、ストレス時間を一定とした場合のストレス電圧とリード電流との関係を示す評価結果である。図 1 8 は、図 1 3 および図 1 4 の評価において、ストレス電圧を一定とした場合のストレス時間とリード電流との関係を示す評価結果である。なお、図 1 7 および図 1 8 において、黒四角点は可変抵抗層 1 0 0 4 に膜厚 1 0 n m のアモルファスシリコンを用いた場合を示し、黒三角点は可変抵抗層 1 0 0 4 に膜厚 3 0 n m のアモルファスシリコンを用いた場合を示す。また、図 1 7 および図 1 8 では共に、上部電極 1 0 0 2 の金属材料に銀（A g）を用いた。さらに、図 1 7 では、ストレス時間を 1 0 0 s（秒）とし、図 1 8 では、ストレス電圧を 3 . 5 V（ボルト）とした。

20

【 0 0 4 8 】

図 1 7 に示すように、ストレス時間を一定にした場合、同じストレス電圧に対しては、可変抵抗層 1 0 0 4 の膜厚を薄くした方がリード電流の電流変化が大きくなる。また、リード電流が飽和するまでのストレス電圧は、可変抵抗層 1 0 0 4 の膜厚が薄い方が低い。

【 0 0 4 9 】

同様に、図 1 8 に示すように、ストレス電圧を一定にした場合、同じストレス時間に対しては、可変抵抗層 1 0 0 4 の膜厚を薄くした方がリード電流の電流変化が大きくなる。また、リード電流が飽和するまでのストレス時間は、可変抵抗層 1 0 0 4 の膜厚が薄い方が短い。

30

【 0 0 5 0 】

図 1 9 は、図 1 7 および図 1 8 の評価結果をまとめたものであって、不揮発性可変抵抗素子における上部電極に流れる電流がコンプライアンス電流になるまでのストレス電圧とストレス時間との相関特性の膜厚依存性を示すグラフである。図 1 9 に示すように、下部電極 1 0 0 2 に同じ金属を用いた場合、可変抵抗層 1 0 0 4 の膜厚が薄くすると（薄膜化）、一定的なコンプライアンス電流あるいはデータ保持状態（セット状態またはオン状態）になるまでに必要なストレス電圧が小さくなり、また、ストレス時間が短くなる。

40

【 0 0 5 1 】

図 2 0 および図 2 1 は、図 1 3 および図 1 4 の評価において、可変抵抗層 1 0 0 4 の膜厚を同じとして上部電極 1 0 0 2 を異なる金属とした場合に一定時間内にストレス電圧を変化させた際に観測された最低ストレス電圧値（臨界的な電圧値）でのストレス効果の発生回数（カウント数）を示す評価結果である。なお、図 2 0 では、上部電極 1 0 0 2 に A g を用い、図 2 1 では、上部電極 1 0 0 2 に N i を用いた。

【 0 0 5 2 】

図 2 0 および図 2 1 の統計分布で示される評価結果から分かるように、最低ストレス電圧値でのストレス効果の発生回数は、電極材料を A g とするよりも N i とした場合の方が

50

、最低ストレス電圧値の分布が高電圧値側にシフトする。このように、最低ストレス電圧値（臨界的な電圧値）は、電極に使用する金属元素の種類に依存する。

【0053】

そこで、図19～図21に例示したような特性に基づいて、第1電極102および第2電極103に使用する金属材料を選択しつつ、第1および第3電極102および105間の可変抵抗層104の膜厚および第2および第3電極103および105間の可変抵抗層104の膜厚を設計することで、それぞれの電極に対するストレス効果のカーブ形状が図4に示すようなクロスポイントを形成するように調整することが可能となる。

【0054】

つぎに、実施形態1に係る不揮発性可変抵抗素子100の製造方法について、図面を用いて詳細に説明する。なお、以下の説明では、第1金属102にAgを用い、第2電極103にNiを用い、第3電極105にp型ポリシリコンを用い、可変抵抗層104にアモルファスシリコンを用いた場合を例に挙げる。

10

【0055】

まず、図22に示すように、化学気相成長（CVD）法により、シリコン単結晶基板110上に下部配線層101Aを堆積し、さらに下部配線層101A上にAgを堆積することで第1メタル層102Aを形成する。また、第1メタル層102A上に、シリコン酸化膜などのマスク層M10を堆積する。なお、マスク層M10の材料は、たとえば第1メタル層102Aとのエッチング選択比に応じて適宜選択されるとよい。また、下部配線層101Aは、下部配線101へ加工される前のベタ膜であってよい。

20

【0056】

つぎに、たとえばフォトリソグラフィ工程およびエッチング工程を経ることで、マスク層M10をマスクパターンM11に加工した後、このマスクパターンM11を介して第1メタル層102Aをドライエッチングすることで、図23に示すように、第1メタル層102Aを第1電極102Bにパターンニングする。

【0057】

つぎに、図24に示すように、CVD法により、下部配線層101A上にNiを堆積することで、第2メタル層103Aを形成する。この際、第2メタル層103Aは、第1電極102BおよびマスクパターンM11が埋没する程度に堆積されてもよい。また、第2メタル層103A上に、シリコン酸化膜などのマスク層M20を堆積する。なお、マスク層M20の材料は、たとえば第2メタル層103Aとのエッチング選択比に応じて適宜選択されるとよい。

30

【0058】

つぎに、たとえばフォトリソグラフィ工程およびエッチング工程を経ることで、マスク層M20をマスクパターンM21に加工した後、このマスクパターンM21を介して第2メタル層103Aをドライエッチングすることで、図25に示すように、第2メタル層103Aを第2電極103Bにパターンニングする。

【0059】

つぎに、マスクパターンM11およびM21を除去した後、図26および図27に示すように、CVD法により、第1電極102Bおよび第2電極103B上にアモルファスシリコン層104Aを堆積し、さらにアモルファスシリコン層104A上にポリシリコン層105Aを堆積する。

40

【0060】

つぎに、ポリシリコン層105Aに対してボロンイオン（ B^+ ）などの不純物を注入し、その後、ポリシリコン層105Aに活性化アニールを施すことで、ポリシリコン層105Aをp型ポリシリコン層105Aとする。

【0061】

つぎに、p型ポリシリコン層105A上にシリコン酸化膜などのマスク層（不図示）を堆積し、フォトリソグラフィ工程およびエッチング工程を経ることで、マスク層をマスクパターンM31に加工する。つづいて、マスクパターンM31を介してp型ポリシリコ

50

ン層 105A から下部配線層 101A までをドライエッチングすることで、図 28 および図 29 に示すように、p 型ポリシリコン層 105A を第 3 電極 105B にパターニングし、アモルファスシリコン層 104A を可変抵抗層 104B にパターニングするとともに、下部配線層 101A を下部配線 101 にパターニングする。その結果、シリコン単結晶基板 110 上には、図 30 に示すように、上部配線 106 の延在方向に切断される前の不揮発性可変抵抗素子 100 の素子構造アレイが形成される。

【0062】

つぎに、図 31 および図 32 に示すように、たとえば CVD 法により酸化物を堆積することで、下部配線 101 と第 1 電極 102B と第 2 電極 103B と可変抵抗層 104B と第 3 電極 105B とよりなるメサ構造を埋める絶縁層 107A を形成する。

10

【0063】

つぎに、図 33 に示すように、たとえば化学的機械研磨 (CMP) などによって絶縁層 107A 表面を研磨することで第 3 電極 105B 上面を露出させるとともに絶縁層 107B 表面を平坦化する。つぎに、図 34 に示すように、CVD 法により、絶縁層 107B および第 3 電極 105B 上に上部配線層 106A を堆積する。また、上部配線層 106A 上に、シリコン酸化膜などのマスク層を堆積し、このマスク層をフォトリソグラフィ工程およびエッチング工程等によってマスクパターン M41 に加工する。このマスクパターン M41 は、たとえば下部配線 101 の延在方向とは垂直な方向に延在するパターンである。

【0064】

つぎに、マスクパターン M41 を介して絶縁層 107B、上部配線層 106A、第 3 電極 105B、可変抵抗層 104B、第 1 電極 102B および第 2 電極 103B をドライエッチングする。これにより、図 35 に示すように、上部配線層 106A を下部配線 101 と交錯する方向に延在する上部配線 106 にパターニングするとともに、下部配線 101 と上部配線 106 とのクロスポイントに、第 1 電極 102、第 2 電極 103、可変抵抗層 104 および第 3 電極 105 よりなる不揮発性可変抵抗素子 100 の素子部 100A を形成する。その後、素子部 100A 間および上部配線 106 間を必要に応じて絶縁物で埋めることで、実施形態 1 に係る不揮発性可変抵抗素子 100 が製造される。なお、図 35 では、絶縁層 107 が省略されている。

20

【0065】

つぎに、上述した不揮発性可変抵抗素子 100 が 2 次元アレイされたメモリセルアレイ 10 を備える記憶装置 1 の駆動方法について、図面を用いて詳細に説明する。

30

【0066】

図 36 は、実施形態 1 に係る記憶装置の概略構成を示す平面図である。図 36 において、行方向に延在する上部配線 106 はワード線に相当し、列方向に延在する下部配線 101 はビット線に相当する。不揮発性可変抵抗素子 100 は、ワード線とビット線とのクロスポイントにあたる下部配線 101 と上部配線 106 との交差部分に配置される。また、ワード線に相当する上部配線 106 には、行選択を行うワード線駆動部 11 が接続され、ビット線に相当する下部配線 101 には、列選択を行うビット線駆動部 12 が接続されている。

40

【0067】

図 37 は、図 36 の構成において、選択セル 100S へデータを書き込む際の駆動例を示す図である。図 37 に示すように、選択セル 100S に対してデータ書込を行う場合、選択列の下部配線 101 にセット電圧 V_{set} が印加され、非選択列の下部配線 101 にセット電圧 V_{set} の $1/2$ の電圧が印加される。また、選択行の上部配線 106 に $0V$ が印加され、非選択行の上部配線 106 にセット電圧 V_{set} の $1/2$ の電圧が印加される。なお、ここでのセット電圧とは、上述したストレス電圧 V_{set1} または V_{set2} である。

【0068】

これにより、選択列および選択行で指定される選択セル 100S には、セット電圧 V_s

50

e t が印加される。その結果、選択セル 100 S に対するデータ書込が行われる。一方、非選択列および選択行で指定される半選択セルには、セット電圧 V_{set} の $1/2$ の電圧が印加される。そのため、この半選択セルに対するデータ書込は禁止される。同様に、選択列および非選択行で指定される半選択セルにはセット電圧 V_{set} の $1/2$ の電圧が印加されるため、この半選択セルに対するデータ書込は禁止される。さらに、非選択列および非選択行で指定される非選択セルには $0V$ が印加されるため、この非選択セルに対するデータ書込は禁止される。

【0069】

図38は、図36の構成において、選択セル 100 S からデータを読み出す際の駆動例を示す図である。図38に示すように、選択セル 100 S からのデータ読出を行う場合、選択列の下部配線 101 にリード電圧 V_{read} の $1/2$ の電圧が印加され、非選択列の下部配線 101 に $0V$ が印加される。また、選択行の上部配線 106 にリード電圧 V_{read} の $-1/2$ の電圧が印加され、非選択行の上部配線 44 に $0V$ が印加される。

10

【0070】

これにより、選択列および選択行で指定される選択セル 100 S には、リード電圧 V_{read} が印加される。その結果、選択セル 100 S からのデータ読出が行われる。一方、非選択列および選択行で指定される半選択セルには、リード電圧 V_{read} の $-1/2$ の電圧が印加される。そのため、この半選択セルからのデータ読出が禁止される。同様に、選択列および非選択行で指定される半選択セルにはリード電圧 V_{read} の $1/2$ の電圧が印加されるため、この半選択セルからのデータ読出が禁止される。さらに、非選択列および非選択行で指定される非選択セルには $0V$ が印加されるため、この非選択セルからのデータ読出が禁止される。

20

【0071】

図39は、図36の構成において、選択セル 100 S に書き込まれたデータを消去する際の駆動例を示す図である。図39に示すように、選択セル 100 S に対するデータ消去を行う場合、選択列の下部配線 101 にリセット電圧 V_{reset} が印加され、非選択列の下部配線 101 にリセット電圧 V_{reset} の $1/2$ の電圧が印加される。また、選択行の上部配線 106 に $0V$ が印加され、非選択行の上部配線 106 にリセット電圧 V_{reset} の $1/2$ の電圧が印加される。

【0072】

これにより、選択列および選択行で指定される選択セル 100 S には、リセット電圧 V_{reset} が印加される。その結果、選択セル 100 S に対するデータ消去が行われる。一方、非選択列および選択行で指定される半選択セルには、リセット電圧 V_{reset} の $1/2$ の電圧が印加される。そのため、この半選択セルに対するデータ消去が禁止される。同様に、選択列および非選択行で指定される半選択セルにはリセット電圧 V_{reset} の $1/2$ の電圧が印加されるため、この半選択セルに対するデータ消去が禁止される。さらに、非選択列および非選択行で指定される非選択セルには $0V$ が印加されるため、この非選択セルに対するデータ消去が禁止される。

30

【0073】

つづいて、メモリセルアレイ 10 内で領域ごとに動作モードを切り替える際の駆動例を、図面を用いて詳細に説明する。

40

【0074】

図40は、M行N列のメモリセルアレイの動作モードを領域毎にアレンジする場合を説明するための図である。図41は、図40に示す領域を切り替える場合を説明するための図である。図40に示すように、実施形態1では、メモリセルアレイ10内の一部の領域11AをモードP1で駆動し、残りの領域12Aをモードp2で駆動するように、アレンジすることも可能である。また、図40から図41に示すように、モードP1で駆動する領域11Aの一部の領域11CをモードP2で駆動し、結果的に領域11BをモードP1で駆動し、領域12BをモードP2で駆動するように変更することも可能である。

【0075】

50

図42は、モードP1とモードP2とを切り替える際の判断条件の一例を示す図である。なお、図42において、原点Oは、記憶装置1の使用開始時点とし、各点S1～S4は、使用過程における点とする。たとえばアクセス速度やファイル保持性を重視する場合、図42の原点Oから点S1までをモードP2で駆動し、その後、記憶装置1の寿命となるまで(点S2)、モードP1で駆動してもよい。これにより、たとえばモードP2のみで駆動する場合と比較して、記憶装置1の寿命を延ばすことができる。また、使用開始時点から記憶装置1の寿命を重視する場合、原点OからモードP1で駆動してもよい。その際、使用状況に応じて、動作モードをモードP2に切り替えてもよい(点S3 S4)。

【0076】

たとえば、記憶装置1を大容量ファイルメモリとして使う場合には、アクセス速度よりもデータ保持性が重視され得る。そのような場合、データ保持性が良いモードP1で記憶装置1全体を駆動してもよいし、メモリセルアレイ10の一部の領域をモードP1で駆動してもよい。また、耐久性(サイクリング回数)を重視する場合には、耐久性が比較的良好なモードP1で記憶装置1全体を駆動してもよいし、メモリセルアレイ10の一部の領域を駆動してもよい。

10

【0077】

なお、記憶装置1の動作モードをユーザが自由に選択できるように構成されてもよい。たとえば、記憶装置1の外部筐体に動作モードを切り替えるスイッチを設けてもよいし、記憶装置1が接続されるパーソナルコンピュータなどの情報処理装置に組み込まれたデバイスドライバを介してユーザが記憶装置1の動作モードを設定できてもよい。

20

【0078】

つぎに、モードP1とモードP2との切替方法について説明する。たとえば図36に示す構成において、ワード線駆動部11およびビット線駆動部12を含む制御部は、モードP1の駆動条件に基づいて、上部配線106と下部配線101との間に2～2.5Vのセット電圧を印加する。すると、第1電極102から第1金属であるAg元素が第3電極105へ向かって可変抵抗層104内へ拡散してイオン化し、これにより、可変抵抗層104内にAgによる導電性フィラメント108が形成される。

【0079】

また、制御部には、第3電極105に対する使用回数にあらかじめ制限回数が設定されている。制御部は、第3電極105の使用回数が制限回数に到達したら、今度はモードP2の駆動条件に基づいて、上部配線106と下部配線101との間に6～6.5Vのセット電圧を印加する。すると、第2電極103から第2金属であるNi元素が第3電極105へ向かって可変抵抗層104内へ拡散してイオン化し、これにより、可変抵抗層104内にNiによる導電性フィラメント118が形成される。このようにして、モードP1によるデータ書込とモードP2によるデータ書込とが切り替えられる。

30

【0080】

また、モードP1とモードP2とは、上部配線106と下部配線101との間に流れる電流の電流値に基づいて切り替えられてもよい。その場合、制御部は、モードP1の駆動条件に基づいて上部配線106と下部配線101との間に2～2.5Vのセット電圧を印加した際に上部配線106と下部配線101との間に流れる電流の電流値を検出する。ここで、オフ状態(データ消去時)の際に上部配線106と下部配線101との間に流れるオフ電流の I_{off} とし、オン状態(データ書込時)際に上部配線106と下部配線101との間に流れるオン電流を I_{on} とすると、制御部は、オン電流 I_{on} とオフ電流 I_{off} との比(I_{on}/I_{off})を計算する。たとえば、比 I_{on}/I_{off} が10以下である場合には、可変抵抗層104内には導電性フィラメント108が形成され難い状態と判断することができる。そこで、制御部は、今度はモードP2の駆動条件に基づいて、上部配線106と下部配線101との間に6～6.5Vのセット電圧を印加する。このようにして、モードP1によるデータ書込とモードP2によるデータ書込とが切り替えられる。

40

【0081】

50

さらに、オン電流 I_{on} に基づいてモード P 1 とモード P 2 とを切り替えるように構成されてもよい。すなわち、オン電流 I_{on} が十分に大きい場合には、制御部は、モード P 1 の駆動条件に基づいて上部配線 106 と下部配線 101 との間に 2 ~ 2.5 V のセット電圧を印加し、オン電流 I_{on} が極端に低い場合には、制御部は、モード P 2 の駆動条件に基づいて上部配線 106 と下部配線 101 との間に 6 ~ 6.5 V のセット電圧を印加する。このようにして、モード P 1 によるデータ書込とモード P 2 によるデータ書込とが切り替えられる。なお、オン電流 I_{on} が極端に低いとは、たとえば正常動作時の 1 / 10 以下などであってよい。

【0082】

以上のように、実施形態 1 では、メタル元素フィラメント（導電性フィラメント）を利用するイオンメモリセル構造の ReRAM 素子が、少なくとも 2 種のメタル電極あるいは合金電極を同じ素子構造を備える。それぞれの電極をベースとして形成される導電性フィラメントは、その特徴が異なっている。それぞれのメタル電極と対向する電極間の距離は、同じであっても異なってもよい。このような特徴の異なる導電性フィラメントを動作シーケンスにしたがって適宜選択することで、記憶装置 1 の寿命を延ばすことが可能となる、また、データ保持性優先のセルアレー領域とサイクル回数優先のセルアレー領域とを自由にアレンジすることも可能となる。さらに、使用中に両領域を再設計することも可能となる。

10

【0083】

（実施形態 2）

つぎに、実施形態 2 に係る不揮発性可変抵抗素子、制御装置、記憶装置および制御方法について、図面を参照しながら詳細に説明する。実施形態 2 では、不揮発性可変抵抗素子の他の例を説明する。なお、以下の説明において、上述した実施形態と同様の構成については、同一の符号を付し、その重複する説明を省略する。

20

【0084】

図 4 3 および図 4 4 は、実施形態 2 に係る不揮発性可変抵抗素子の概略構成例を示す。図 4 3 は、実施形態 2 に係る不揮発性可変抵抗素子 200 を積層方向に切断した際の垂直断面図を示し、図 4 4 は、不揮発性可変抵抗素子 200 の水平断面図を示す。なお、図 4 3 は、図 4 4 における D - D 断面構造を示し、図 4 4 は、図 4 3 における C - C 断面構造を示す。

30

【0085】

図 4 3 および図 4 4 と図 2 および図 3 とを比較すると明らかなように、実施形態 2 に係る不揮発性可変抵抗素子 200 は、実施形態 1 に係る不揮発性可変抵抗素子 100 と同様の構成において、第 1 電極 102 および第 2 電極 103 が第 1 電極 202 および第 2 電極 203 に置き換えられている。第 1 電極 202 は、たとえば絶縁膜 107 で囲まれた溝内の中央底部に位置する。第 2 電極 203 は、たとえば第 1 電極 202 の側面に位置する。なお、第 1 電極 202 および第 2 電極 203 は、ともに下部配線 101 に接触している。

【0086】

以上のような構成によっても、実施形態 1 と同様の効果を奏することが可能である。なお、他の構成および動作については、上述の実施形態と同様であるため、ここでは詳細な説明を省略する。

40

【0087】

（実施形態 3）

つぎに、実施形態 3 に係る不揮発性可変抵抗素子、制御装置、記憶装置および制御方法について、図面を参照しながら詳細に説明する。実施形態 3 では、不揮発性可変抵抗素子のさらに他の例を説明する。なお、以下の説明において、上述した実施形態と同様の構成については、同一の符号を付し、その重複する説明を省略する。

【0088】

図 4 5 および図 4 6 は、実施形態 3 に係る不揮発性可変抵抗素子の概略構成例を示す。図 4 5 は、実施形態 3 に係る不揮発性可変抵抗素子 300 を積層方向に切断した際の垂直

50

断面図を示し、図46は、実施形態3に係る不揮発性可変抵抗素子300の水平断面図を示す。なお、図45は、図46におけるF-F断面構造を示し、図46は、図45におけるE-E断面構造を示す。

【0089】

図45および図46と図2および図3とを比較すると明らかなように、実施形態3に係る不揮発性可変抵抗素子300は、実施形態1に係る不揮発性可変抵抗素子100と同様の構成において、第1電極102および第2電極103が1つの下部電極302に置き換えられている。また、第3電極105および上部配線106に代えて、これらを兼ねる上部電極配線305が設けられている。

【0090】

下部電極302は、異なる動作モード（たとえばモードP1およびP2）でそれぞれ異なる特性の導電性フィラメント（たとえば導電性フィラメント108および118）を形成することができる複数種類の金属元素よりなる合金を含む。なお、この合金の材料としては、たとえばAg、Au、Ti、Ni、Co、Al、Fe、Cr、Cu、W、Hf、Ta、Pt、Ru、Zr、Irなどの金属元素を適用することができる。また、上部電極配線305は、たとえば第3電極105と同様の材料を用いて形成することができる。

【0091】

以上のような構成によっても、上述した実施形態と同様の効果を奏することが可能である。なお、他の構成および動作については、上述の実施形態と同様であるため、ここでは詳細な説明を省略する。

【0092】

つぎに、実施形態3に係る不揮発性可変抵抗素子300の製造方法について、図面を用いて詳細に説明する。

【0093】

まず、図47に示すように、CVD法により、シリコン単結晶基板110上に、下部配線層101A、第1電極202として使うメタル合金層302A、および可変抵抗層104として使うアモルファスシリコン層104Aを順次堆積する。また、アモルファスシリコン層104A上に、シリコン酸化膜などのマスク層M50を堆積する。

【0094】

つぎに、たとえばフォトリソグラフィ工程およびエッチング工程を経ることで、マスク層M50をマスクパターンM51に加工した後、このマスクパターンM51を介してアモルファスシリコン層104Aから下部配線層101Aまでをドライエッチングすることで、図48に示すように、下部配線層101Aを下部配線101にパターニングするとともに、アモルファスシリコン層104Aおよびメタル合金層302Aを可変抵抗層104Bおよび下部電極302Bにパターニングする。

【0095】

つぎに、CVD法により酸化物を堆積することで、下部配線101と下部電極302Bと可変抵抗層104Bとよりなるメサ構造を埋める絶縁層307Aを形成する。つづいて、たとえばCMPなどによって絶縁層307A表面を研磨することで可変抵抗層104B上面を露出させるとともに絶縁層307A表面を平坦化する。つづいて、図49に示すように、CVD法により、絶縁層307Aおよび可変抵抗層104B上にポリシリコン層305Aを堆積する。

【0096】

つぎに、ポリシリコン層305Aに対してボロンイオン(B⁺)などの不純物を注入し、その後、ポリシリコン層305Aに活性化アニールを施すことで、ポリシリコン層305Aをp型ポリシリコン層305Aとする。

【0097】

つぎに、p型ポリシリコン層305A上にシリコン酸化膜などのマスク層（不図示）を堆積し、フォトリソグラフィ工程およびエッチング工程を経ることで、マスク層をマスクパターンM51に加工する。つづいて、マスクパターンM31を介してp型ポリシリコ

10

20

30

40

50

ン層 305A から下部電極 302B までをドライエッチングすることで、図 50 に示すように、p 型ポリシリコン層 305A を上部電極配線 305 に、可変抵抗層 104B を可変抵抗層 104 に、下部電極 302B を下部電極 302 に、それぞれパターンニングする。

【0098】

その後、残留した絶縁膜 307B およびマスクパターン M61 をウェットエッチングにより除去した後、CVD 法にてセル間に絶縁層 107 を堆積することで、実施形態 3 に係る不揮発性可変抵抗素子 300 が製造される。

【0099】

(実施形態 4)

つぎに、実施形態 4 に係る不揮発性可変抵抗素子、制御装置、記憶装置および制御方法について、図面を参照しながら詳細に説明する。実施形態 4 では、不揮発性可変抵抗素子のさらに他の例を説明する。なお、以下の説明において、上述した実施形態と同様の構成については、同一の符号を付し、その重複する説明を省略する。

10

【0100】

図 51 および図 52 は、実施形態 4 に係る不揮発性可変抵抗素子の概略構成例を示す。図 51 は、実施形態 4 に係る不揮発性可変抵抗素子 400 を積層方向に切断した際の垂直断面図を示し、図 52 は、実施形態 4 に係る不揮発性可変抵抗素子 400 の水平断面図を示す。なお、図 51 は、図 52 における H-H 断面構造を示し、図 52 は、図 51 における G-G 断面構造を示す。

【0101】

図 51 および図 52 と図 2 および図 3 とを比較すると明らかなように、実施形態 4 に係る不揮発性可変抵抗素子 400 は、実施形態 1 に係る不揮発性可変抵抗素子 100 と同様の構成において、第 1 電極 102 および第 2 電極 103 が第 1 電極 402 および第 2 電極 403 に置き換えられている。第 2 電極 403 は、たとえば絶縁膜 107 で囲まれた溝内の中央底部に位置し、四角錐台の形状をしている。第 1 電極 402 は、たとえば第 2 電極 403 の上面に位置し、四角錐台の形状をしている。なお、第 2 電極 403 は、下部配線 101 に接触している。また、第 2 電極 403 の底面は、第 1 電極 402 の上面の内側に収まっている。

20

【0102】

以上のような構成によっても、上述した実施形態と同様の効果を奏することが可能である。なお、他の構成および動作については、上述の実施形態と同様であるため、ここでは詳細な説明を省略する。

30

【0103】

つぎに、実施形態 4 に係る不揮発性可変抵抗素子 400 の製造方法について、図面を用いて詳細に説明する。

【0104】

まず、図 53 に示すように、CVD 法により、シリコン単結晶基板 110 上に、下部配線層 101A、第 1 電極 402 として使う第 1 メタル層 402A、および第 2 電極と強いて使う第 2 メタル層 403A を順次堆積する。

【0105】

つぎに、CVD 法により、第 2 メタル層 403A 上に、シリコン酸化膜などのマスク層を堆積し、このマスク層をフォトリソグラフィ工程およびエッチング工程にて加工することで、図 54 に示すように、裾部分にかけてテーパ状の広がりを持つマスクパターン M71 を形成する。なお、裾部分にかけてテーパ状の広がりを持つマスクパターン M71 は、たとえばリソグラフィプロセスを最適化することによって形成することが可能である。

40

【0106】

つぎに、たとえばドライエッチングまたはウェットエッチングにより第 1 メタル層 402A および第 2 メタル層 403A をパターンニングする。その際、基板上面に対して垂直ではなく、斜めにエッチングすることで、下方向にかけてテーパ状の広がりを持つ第 2 電極 403B および第 1 電極 402B を形成する。また、たとえばマスクパターン M71、第

50

1 電極 4 0 2 および第 2 電極 4 0 3 をマスクとして用いたドライエッチングにより下部配線層 1 0 1 A をパターンニングすることで、下部配線 1 0 1 を自己整合的に形成する。その後、マスクパターン M 7 1 を除去することで、図 5 5 のような断面形状を得る。

【 0 1 0 7 】

つぎに、図 5 6 に示すように、たとえば C V D 法により、絶縁膜 4 0 7 A を成膜し、さらに、たとえばドライエッチングによって成膜した絶縁膜 4 0 7 A を一定の厚さに調整する。

【 0 1 0 8 】

つぎに、図 5 7 に示すように、C V D 法により、可変抵抗層 1 0 4 として使うアモルファスシリコン層 1 0 4 A を堆積し、このアモルファスシリコン層 1 0 4 A の上面を C M P 等によって平坦化した後、第 3 電極 1 0 5 として使うポリシリコン層 1 0 5 A をアモルファスシリコン層 1 0 4 A 上に堆積する。つづいて、ポリシリコン層 1 0 5 A に対してボロニオン (B ⁺) などの不純物を注入し、その後、ポリシリコン層 1 0 5 A に活性化アニールを施すことで、ポリシリコン層 1 0 5 A を p 型ポリシリコン層 1 0 5 A とする。その後、上部配線 1 0 6 として使う上部配線層 1 0 6 A を p 型ポリシリコン層 1 0 5 A 上に堆積する。また、上部配線層 1 0 6 A 上に、シリコン酸化膜などのマスク層 M 8 0 を堆積する。

【 0 1 0 9 】

つぎに、たとえばフォトリソグラフィ工程およびエッチング工程を経ることで、マスク層 M 8 0 をマスクパターン M 8 1 に加工した後、このマスクパターン M 8 1 を介して上部配線層 1 0 6 A から絶縁層 4 0 7 A までをドライエッチングすることで、図 5 8 に示すように、上部配線層 1 0 6 A 、 p 型ポリシリコン層 1 0 5 A および可変抵抗層 1 0 4 A を上部配線 1 0 6 、第 3 電極 1 0 5 および可変抵抗層 1 0 4 にパターンニングする。

【 0 1 1 0 】

その後、残留した絶縁膜 4 0 7 B およびマスクパターン M 8 1 をウェットエッチングにより除去した後、C V D 法にてセル間に絶縁層 1 0 7 を堆積することで、実施形態 4 に係る不揮発性可変抵抗素子 4 0 0 が製造される。

【 0 1 1 1 】

(実施形態 5)

つぎに、実施形態 5 に係る不揮発性可変抵抗素子、制御装置、記憶装置および制御方法について、図面を参照しながら詳細に説明する。上述した実施形態では、1 つの不揮発性可変抵抗素子に 2 値 (1 ビット) を記憶させる場合を説明した。ただし、これに限るものではなく、上述で説明した不揮発性可変抵抗素子に多値 (たとえば 4 ビット) を記憶させることも可能である。なお、以下の説明では、実施形態 1 に係る不揮発性可変抵抗素子 1 0 0 をベースとして説明するが、これに限らず、他の実施形態に係る不揮発性可変抵抗素子 2 0 0 ~ 4 0 0 を適用することも可能である。

【 0 1 1 2 】

図 5 9 は、実施形態 5 において 1 つの不揮発性可変抵抗素子に 4 値を書き込む場合の逆リセットバイアス電圧を説明するための図である。図 6 0 ~ 図 6 3 は、図 5 9 の逆リセットバイアス電圧に基づいて 1 つの不揮発性可変抵抗素子に 4 値を書き込む際の電圧パルスのタイミングチャートおよびその際に可変抵抗層に形成される導電性フィラメントを説明するための図である。なお、図 6 0 は値 ' 1 1 ' を書き込む際の説明図であり、図 6 1 は値 ' 1 0 ' を書き込む際の説明図であり、図 6 2 は値 ' 0 1 ' を書き込む際の説明図であり、図 6 3 は値 ' 0 0 ' を書き込む際の説明図である。

【 0 1 1 3 】

図 5 9 および図 6 0 に示すように、たとえばストレス電圧 V s e t およびストレス時間 T s e t のモード P で書き込んだ場合、可変抵抗層 1 0 4 内には導電性フィラメント 1 0 8 - 1 1 が形成され、その結果、不揮発性可変抵抗素子 1 0 0 には、値 ' 1 1 ' が保持される。なお、モード P は、上述したモード P 1 および P 2 のいずれでもよい。本説明では、モード P 1 で書き込んだ場合を例に挙げる。

10

20

30

40

50

【0114】

そこで、図59および図61に示すように、モードPで書き込んだ後、電圧値がV1の逆リセットバイアス電圧Vbiasを所定ストレス時間与えることで、可変抵抗層104内に形成される導電性フィラメント108-10を導電性フィラメント108-11よりも小さくし、それにより、不揮発性可変抵抗素子100に保持される値を‘11’から‘10’に変更することができる。なお、逆リセットバイアス電圧Vbiasは、モードPのストレス電圧Vsetとは逆極性の電圧である。同様に、モードPで書き込んだ後、電圧値(絶対値)がV1よりも小さいV2、または、V2よりも小さいV3の逆リセットバイアス電圧Vbiasを一定のストレス時間(逆リセットバイアス時間Tbias)与えることで、可変抵抗層104内に形成される導電性フィラメント108-01または108-00の大きさを調整し、それにより、不揮発性可変抵抗素子100に保持される値を‘11’から‘01’または‘00’に変更することができる。なお、電圧値V3の絶対値は、ストレス電圧Vsetの絶対値と同等であってもよいし、異なってもよい。

10

【0115】

このように、不揮発性可変抵抗素子100に対してモードPで書き込んだ後、電圧値がデータ書込時のストレス電圧Vsetとは逆極性の逆リセットバイアス電圧Vbiasを印加することで、可変抵抗層104に形成される導電性フィラメント108(または118)の状態を段階的に変化させて、可変抵抗層104の抵抗値を多値に変化させることが可能となる。これにより、データ読出時のリード電流Ireadが多値化されるため、不揮発性可変抵抗素子100を多値記憶型のメモリセルとして動作させることが可能となる。

20

【0116】

また、図59~図63では、不揮発性可変抵抗素子100に記憶させる値に応じて逆リセットバイアス電圧Vbiasの電圧値を変化させる場合を例示したが、これに限られるものではない。たとえば逆リセットバイアス電圧Vbiasの電圧値を一定値とし、この逆リセットバイアス電圧Vbiasを与えるストレス時間(逆リセットバイアス時間Tbias)を、不揮発性可変抵抗素子100に記憶させる値に応じて変化させてもよい。

【0117】

図64は、実施形態5において1つの不揮発性可変抵抗素子に4値を書き込む場合の逆リセットバイアス時間を説明するための図である。図65~図68は、図64の逆リセットバイアス時間に基づいて1つの不揮発性可変抵抗素子に4値を書き込む際の電圧パルスのタイミングチャートおよびその際に可変抵抗層に形成される導電性フィラメントを説明するための図である。なお、図65は値‘11’を書き込む際の説明図であり、図66は値‘10’を書き込む際の説明図であり、図67は値‘01’を書き込む際の説明図であり、図68は値‘00’を書き込む際の説明図である。

30

【0118】

図64および図65に示すように、たとえばストレス電圧Vsetおよびストレス時間TsetのモードPで書き込んだ場合、可変抵抗層104内には導電性フィラメント108-11が形成され、その結果、不揮発性可変抵抗素子100には、値‘11’が保持される。なお、モードPは、上述したモードP1およびP2のいずれでもよい。本説明では、モードP1で書き込んだ場合を例に挙げる。

40

【0119】

そこで、図64および図66に示すように、モードPで書き込んだ後、電圧値が一定の逆リセットバイアス電圧Vbiasを時間長がT1の逆リセットバイアス時間与えることで、可変抵抗層104内に形成される導電性フィラメント108-10を導電性フィラメント108-11よりも小さくし、それにより、不揮発性可変抵抗素子100に保持される値を‘11’から‘10’に変更することができる。なお、逆リセットバイアス電圧Vbiasは、モードPのストレス電圧Vsetとは逆極性の電圧である。同様に、モードPで書き込んだ後、時間長がT1よりも長いT2、または、T2よりも長いT3の逆リセットバイアス時間Tbias、一定の逆リセットバイアス電圧Vbiasを与えることで

50

、可変抵抗層 104 内に形成される導電性フィラメント 108 - 01 または 108 - 00 の大きさを調整し、それにより、不揮発性可変抵抗素子 100 に保持される値を '11' から '01' または '00' に変更することができる。なお、時間長 T3 は、ストレス時間 Tset と同等であってもよいし、異なってもよい。

【0120】

このように、不揮発性可変抵抗素子 100 に対してモード P で書き込んだ後、電圧値がデータ書込時のストレス電圧 Vset とは逆極性の逆リセットバイアス電圧 Vbias を記憶させる値に応じた時間長印加することで、可変抵抗層 104 に形成される導電性フィラメント 108 (または 118) の状態を段階的に変化させて、可変抵抗層 104 の抵抗値を多値に変化させることが可能となる。これにより、データ読出時のリード電流 Iread が多値化されるため、不揮発性可変抵抗素子 100 を多値記憶型のメモリセルとして動作させることが可能となる。

10

【0121】

なお、図 69 は、逆リセットバイアス電圧および逆リセットバイアス時間の組み合わせに対するリード電流の電流値の関係を示す評価結果である。図 69 に示すように、逆リセットバイアス電圧 Vbias を一定とした場合、逆リセットストレス時間 Tbias が長くなるほどリード電流 Iread が小さくなる。また、逆リセットバイアス時間 Tbias を一定とした場合、逆リセットストレス電圧 Vbias の絶対値が大きくなるほどリード電流 Iread が小さくなる。このように、データ読出時のリード電流 Iread を多値化することで、不揮発性可変抵抗素子 100 を多値記憶型のメモリセルとして動作させることが可能となる。

20

【0122】

なお、他の構成および動作については、上述の実施形態と同様であるため、ここでは詳細な説明を省略する。

【0123】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

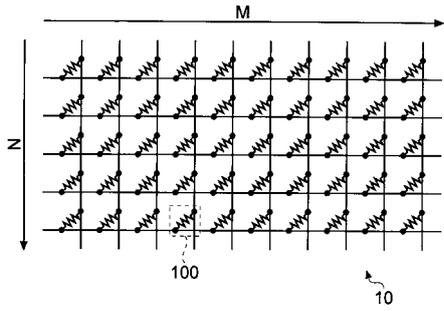
30

【符号の説明】

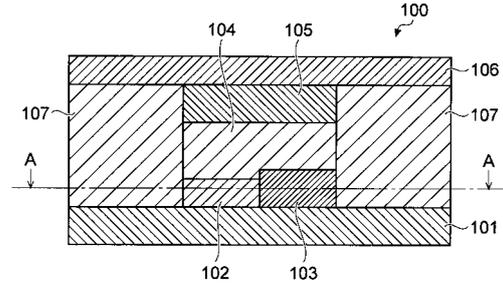
【0124】

1 ... 記憶装置、10 ... メモリセルアレイ、11 ... ワード線駆動部、12 ... ビット線駆動部、100, 200, 300, 400 ... 不揮発性可変抵抗素子、101 ... 下部配線、102, 202, 402 ... 第 1 電極、302 ... 下部電極、103, 203, 403 ... 第 2 電極、104 ... 可変抵抗層、105 ... 第 3 電極、305 ... 上部電極配線、106 ... 上部配線、107 ... 絶縁層、108, 108 - 00 ~ 108 - 11, 118 ... 導電性フィラメント

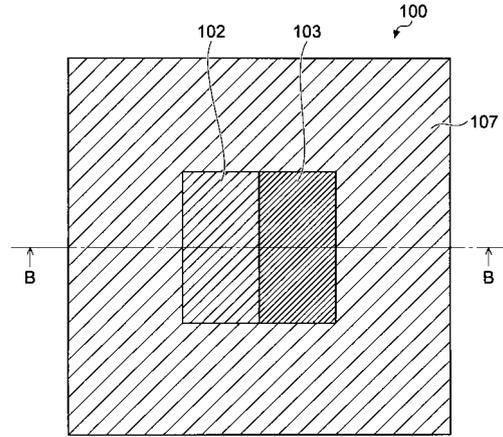
【 図 1 】



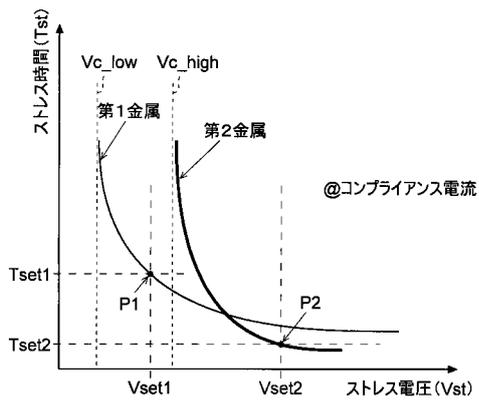
【 図 2 】



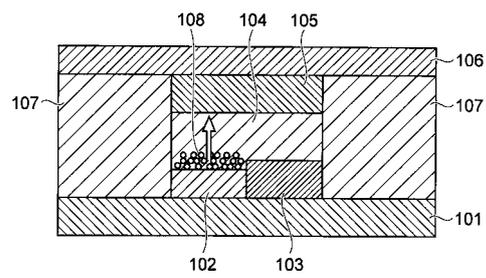
【 図 3 】



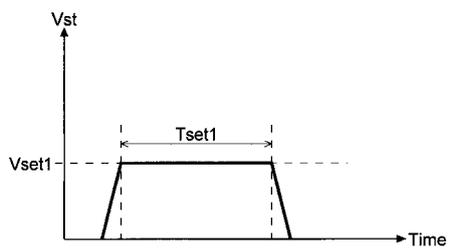
【 図 4 】



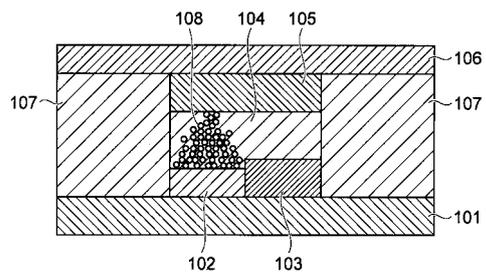
【 図 6 】



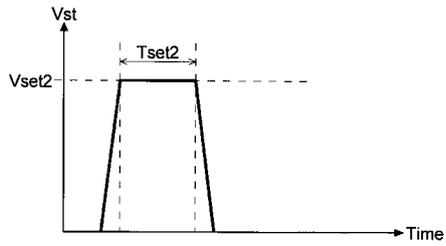
【 図 5 】



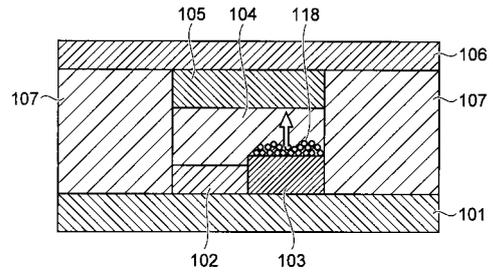
【 図 7 】



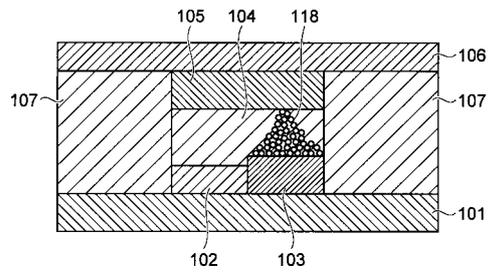
【 図 8 】



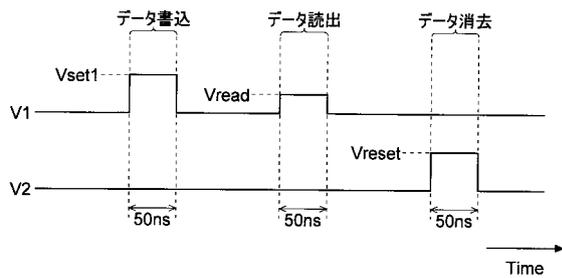
【 図 9 】



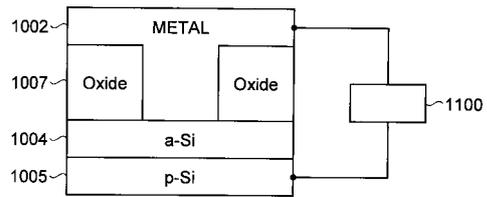
【 図 10 】



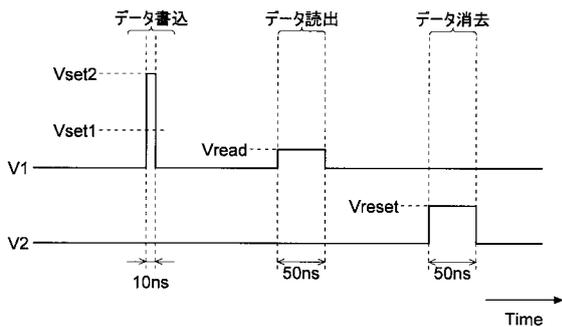
【 図 11 】



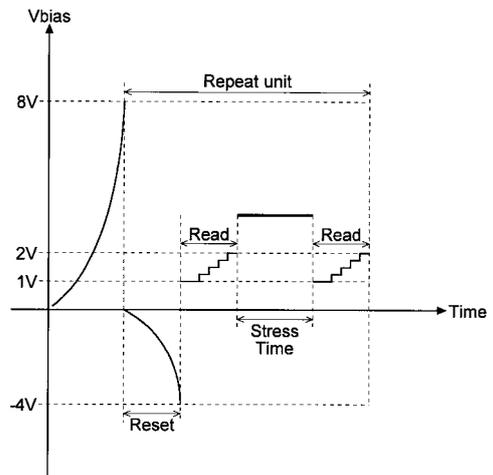
【 図 13 】



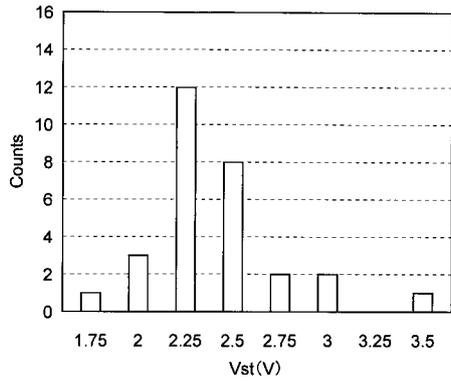
【 図 12 】



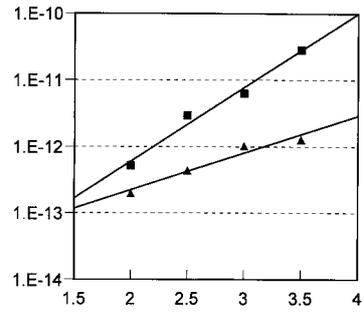
【 図 14 】



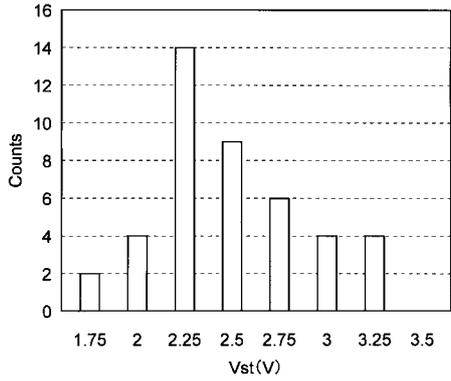
【 図 1 5 】



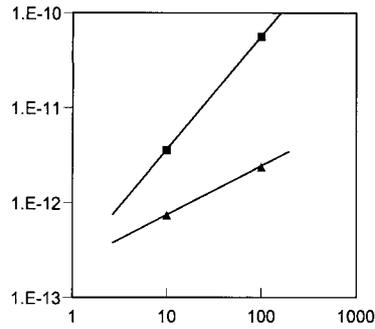
【 図 1 7 】



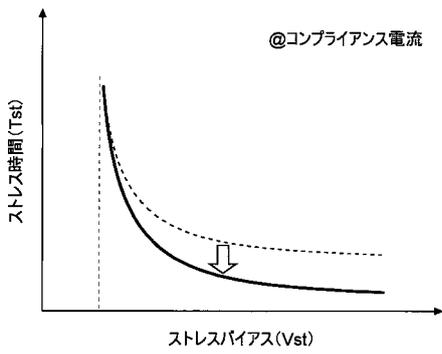
【 図 1 6 】



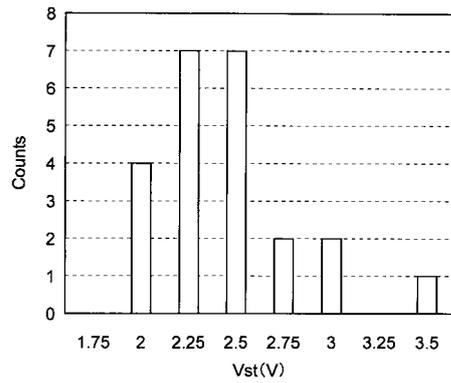
【 図 1 8 】



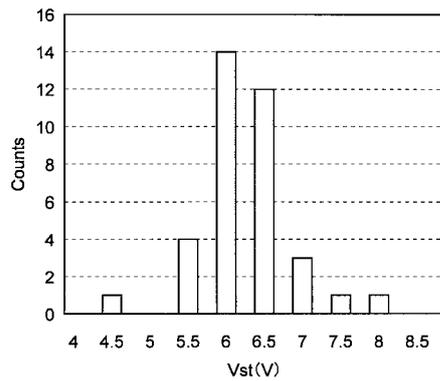
【 図 1 9 】



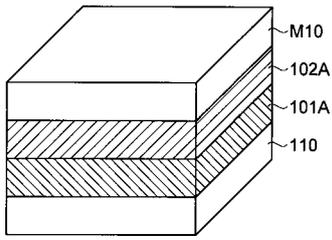
【 図 2 0 】



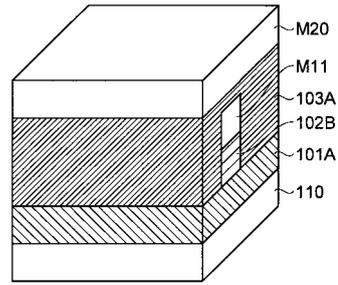
【 図 2 1 】



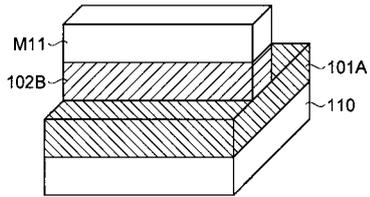
【 図 2 2 】



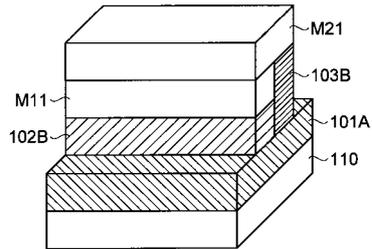
【 図 2 4 】



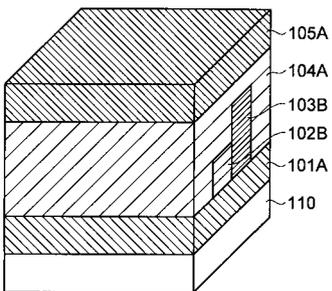
【 図 2 3 】



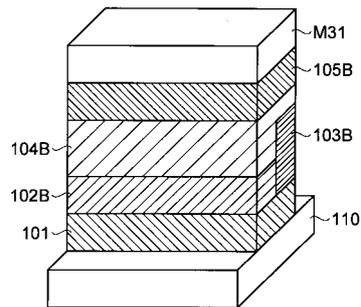
【 図 2 5 】



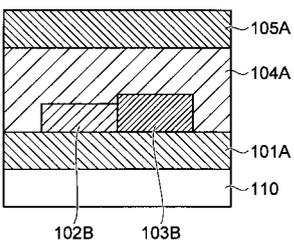
【 図 2 6 】



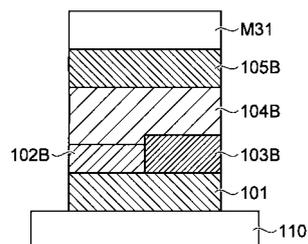
【 図 2 8 】



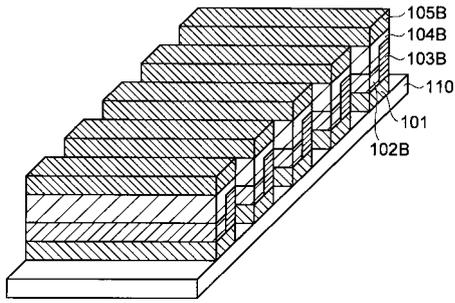
【 図 2 7 】



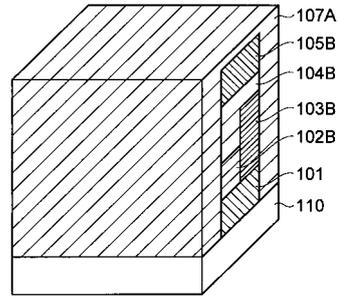
【 図 2 9 】



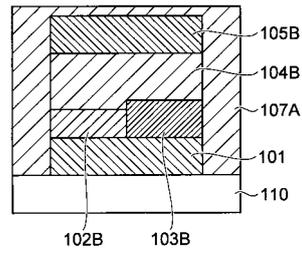
【 図 3 0 】



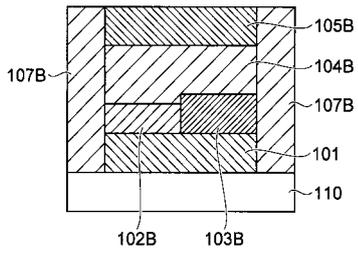
【 図 3 1 】



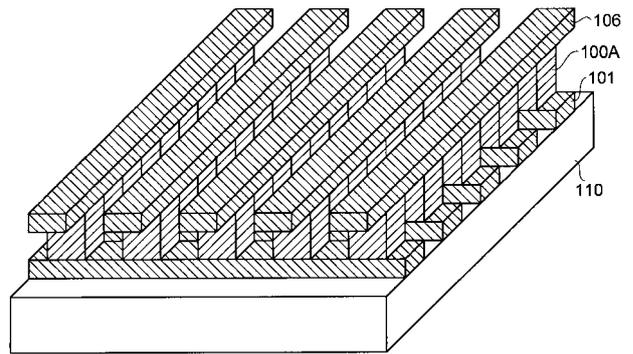
【 図 3 2 】



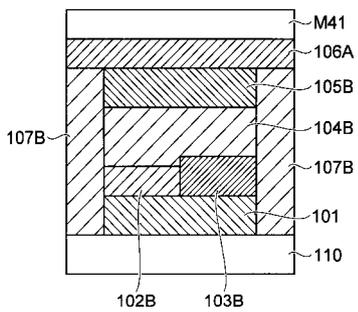
【 図 3 3 】



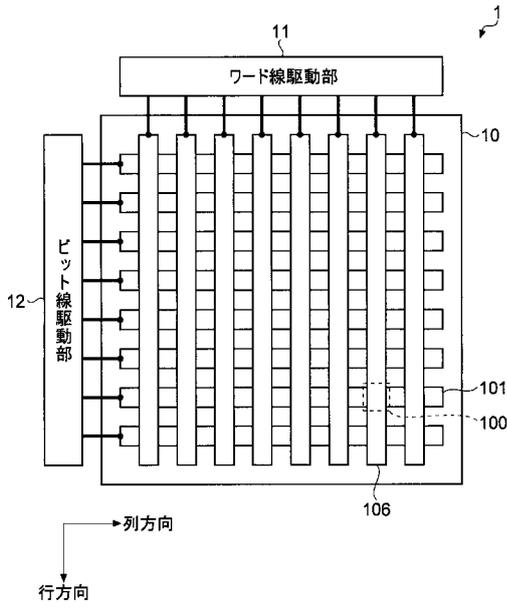
【 図 3 5 】



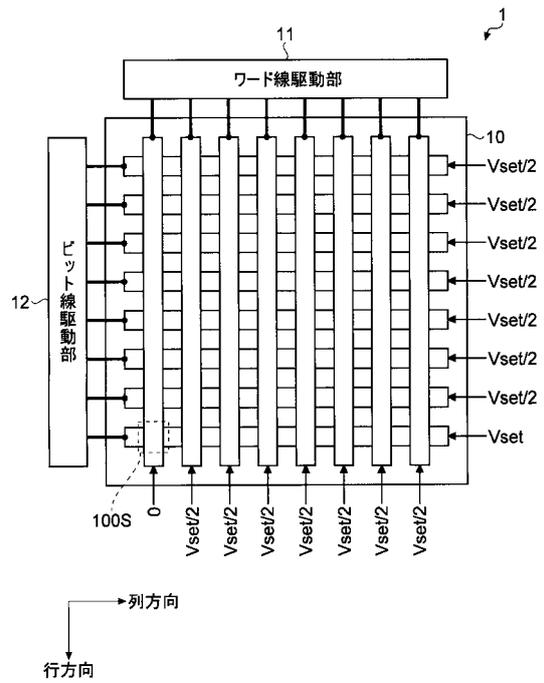
【 図 3 4 】



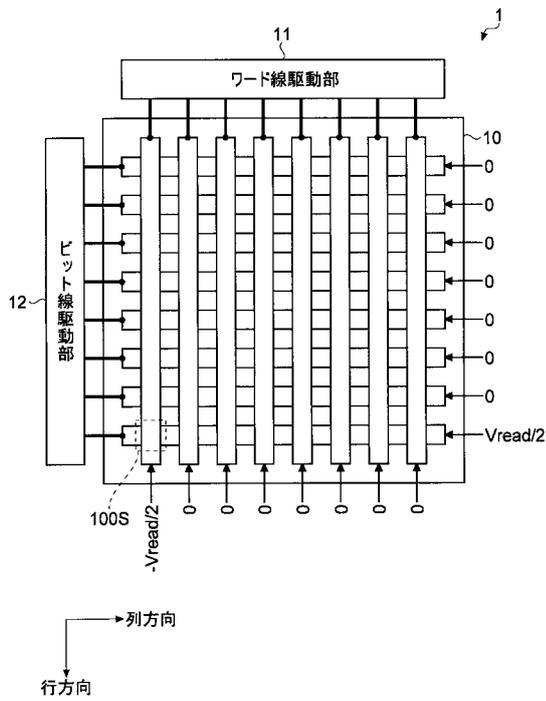
【図36】



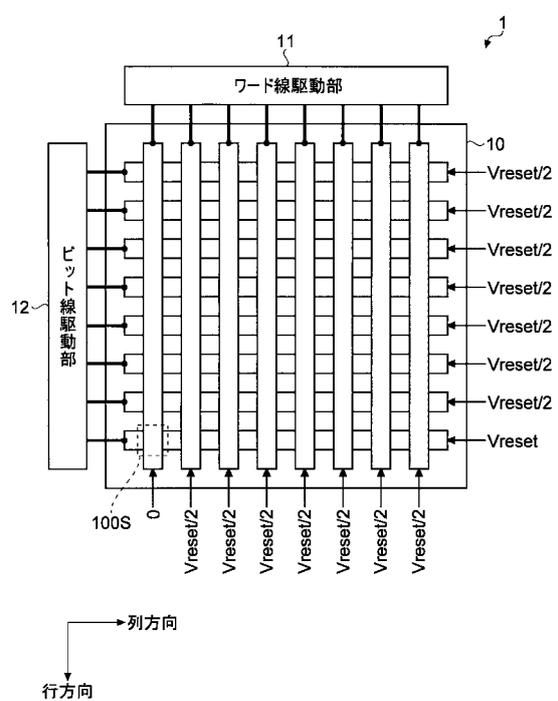
【図37】



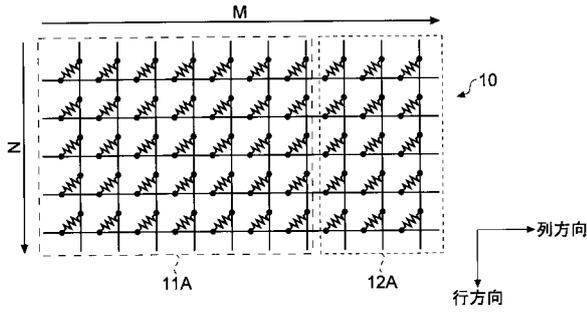
【図38】



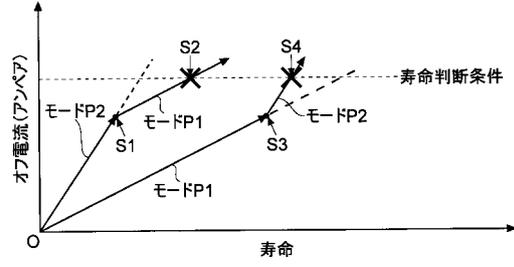
【図39】



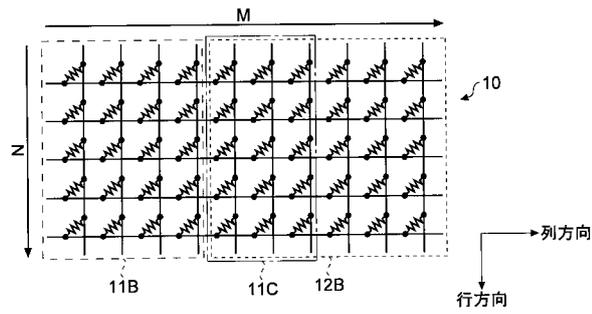
【図 4 0】



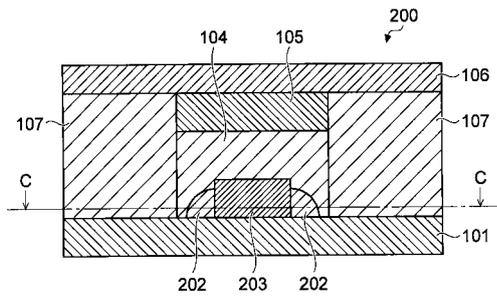
【図 4 2】



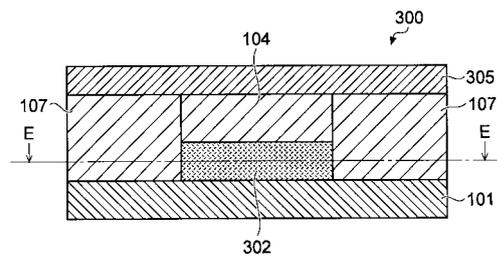
【図 4 1】



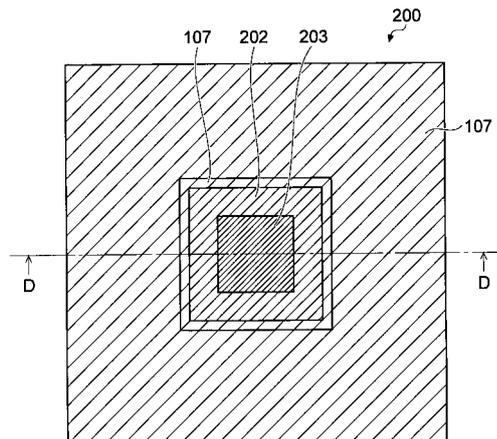
【図 4 3】



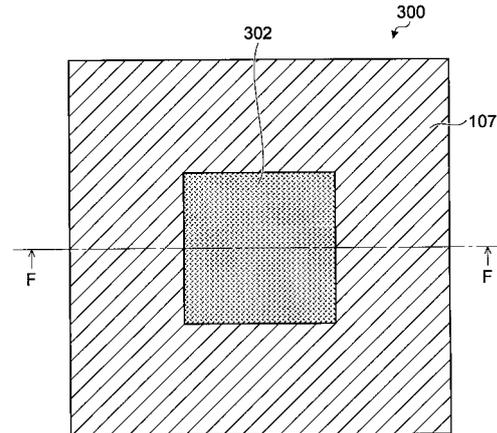
【図 4 5】



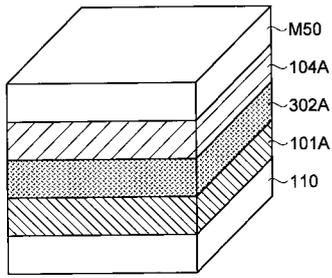
【図 4 4】



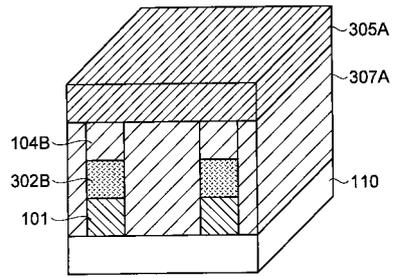
【図 4 6】



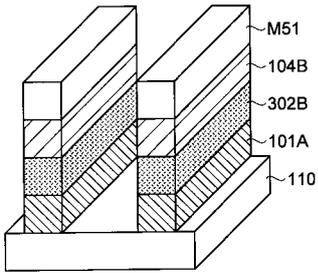
【 図 4 7 】



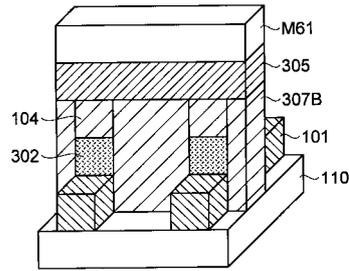
【 図 4 9 】



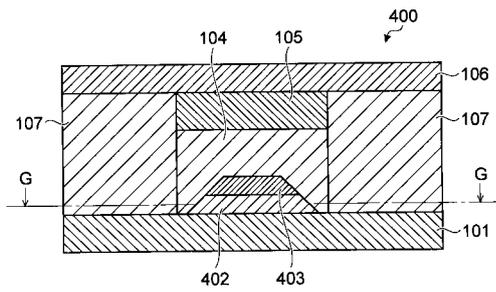
【 図 4 8 】



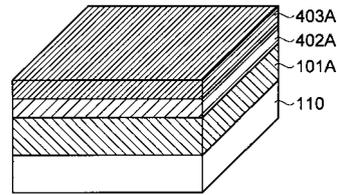
【 図 5 0 】



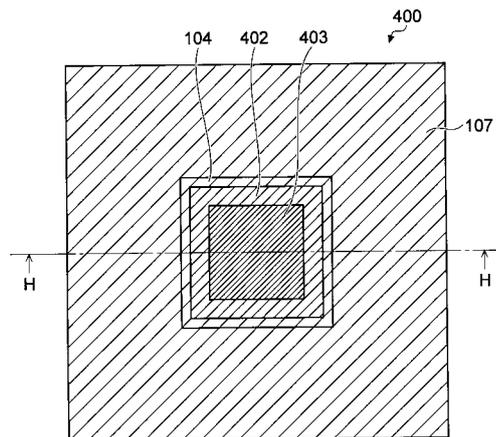
【 図 5 1 】



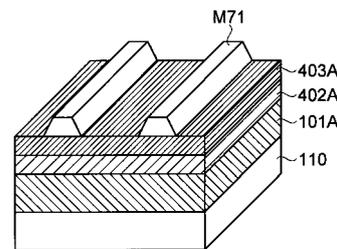
【 図 5 3 】



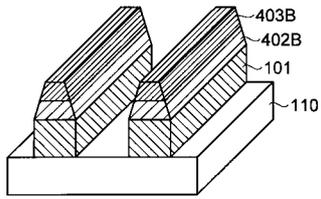
【 図 5 2 】



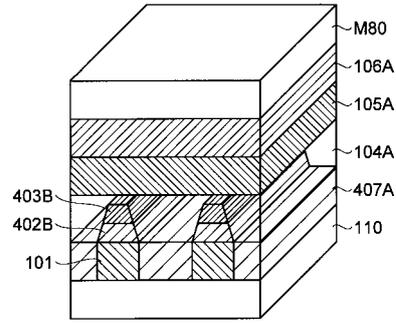
【 図 5 4 】



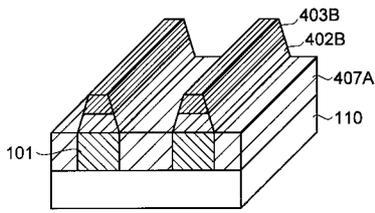
【 図 5 5 】



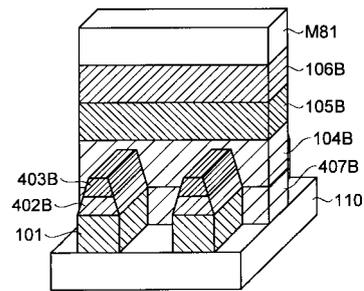
【 図 5 7 】



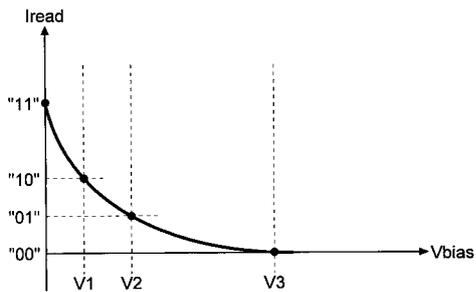
【 図 5 6 】



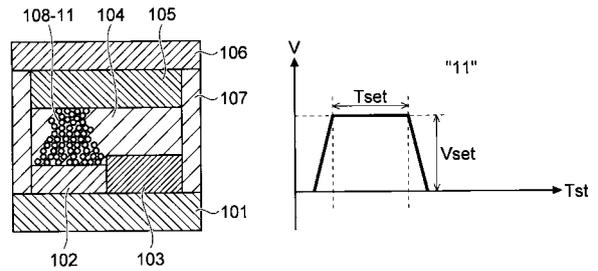
【 図 5 8 】



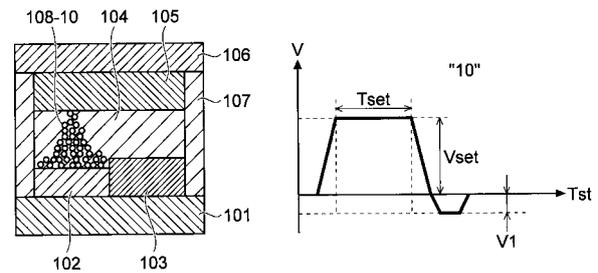
【 図 5 9 】



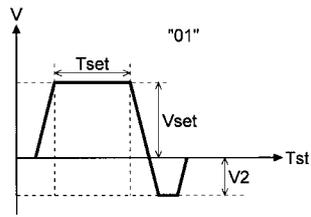
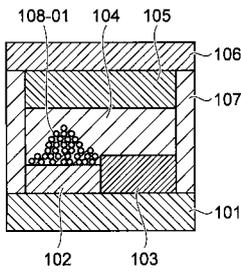
【 図 6 0 】



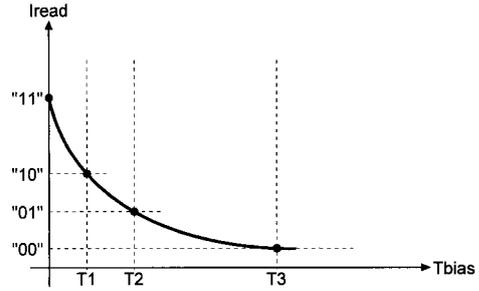
【 図 6 1 】



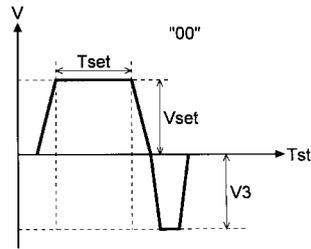
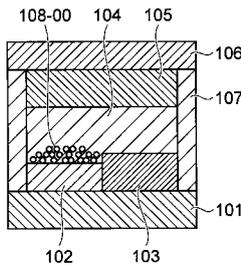
【 図 6 2 】



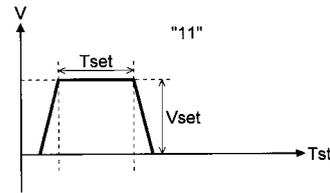
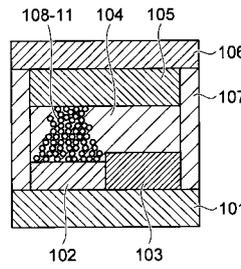
【 図 6 4 】



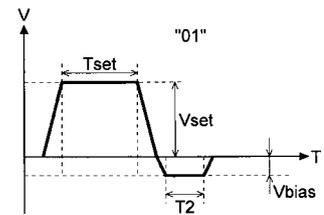
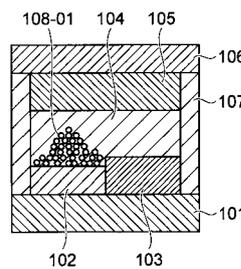
【 図 6 3 】



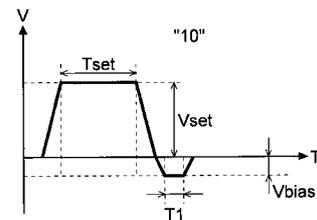
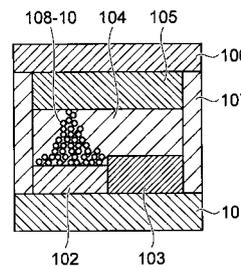
【 図 6 5 】



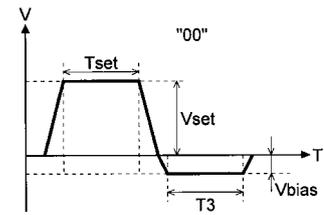
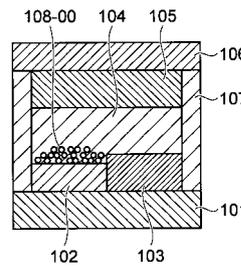
【 図 6 7 】



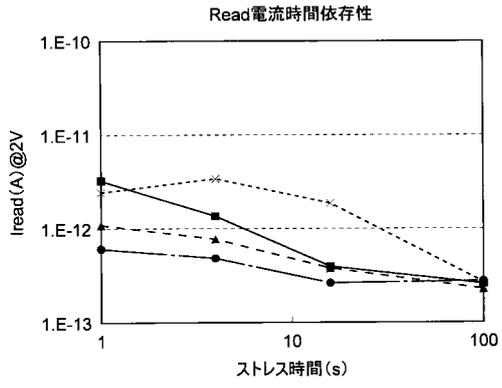
【 図 6 6 】



【 図 6 8 】



【 図 6 9 】



フロントページの続き

(72)発明者 三谷 祐一郎

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5F083 FZ10 GA11 GA21 GA27 JA36 JA37 JA38 JA39 JA40 JA60
KA01 KA05 LA12 LA16 LA21 PR07 PR40