

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B1)

(11) 特許番号

特許第6305605号  
(P6305605)

(45) 発行日 平成30年4月4日(2018.4.4)

(24) 登録日 平成30年3月16日(2018.3.16)

(51) Int. Cl. F 1  
**HO 2 P 29/024 (2016.01)** HO 2 P 29/024  
**HO 2 P 27/08 (2006.01)** HO 2 P 27/08

請求項の数 9 (全 31 頁)

(21) 出願番号	特願2017-100577 (P2017-100577)	(73) 特許権者	000006013
(22) 出願日	平成29年5月22日 (2017.5.22)		三菱電機株式会社
審査請求日	平成29年5月22日 (2017.5.22)		東京都千代田区丸の内二丁目7番3号
		(74) 代理人	100073759
			弁理士 大岩 増雄
		(74) 代理人	100088199
			弁理士 竹中 岑生
		(74) 代理人	100094916
			弁理士 村上 啓吾
		(74) 代理人	100127672
			弁理士 吉澤 憲治
		(72) 発明者	森武 直紀
			東京都千代田区九段北一丁目13番5号
			三菱電機エンジニアリング株式会社内

最終頁に続く

(54) 【発明の名称】 モータ制御装置

(57) 【特許請求の範囲】

【請求項1】

車両に搭載された車載エンジンと一体に連結された永久磁石式の回転磁極と回転磁界を生成する三相電機子巻線とを有する三相交流モータを制御するモータ制御装置であって、

前記車両に搭載された車載バッテリーから電力開閉素子を介して給電され、前記車載バッテリーと前記三相交流モータとの間の電力変換を行う電力変換部と、

前記電力変換部を制御する演算制御部と、

前記モータ制御装置の異常の有無を監視する異常監視部と、

を備え、

前記電力変換部は、三相の各相毎に設けられた上流開閉素子と下流開閉素子により構成された三相ブリッジ回路と、前記三相ブリッジ回路に並列接続された電源コンデンサとを備え、

前記演算制御部は、前記上流開閉素子と下流開閉素子の開閉制御を行なう制御信号を生成し、前記三相交流モータの駆動制御と前記車載バッテリーに対する充電制御とを行うマイクロプロセッサと、前記マイクロプロセッサと協働する不揮発性のプログラムメモリとを備え、

前記異常監視部は、前記電源コンデンサ又は前記車載バッテリーの電圧に対する過電圧異常を検出する過電圧検出部と、前記上流開閉素子と下流開閉素子の個々の素子異常を検出する素子異常検出部と、前記三相電機子巻線のうちの少なくとも2相の電機子巻線に流れる電流と前記上流開閉素子と下流開閉素子の個々に流れる電流とのうちの少なくとも一方

10

20

の電流に対する過電流異常を検出する過電流検出部とを備え、

前記マイクロプロセッサは、前記各相毎に設けられた上流開閉素子に対するパルス幅変調信号と、前記各相毎に設けられた下流開閉素子に対する前記パルス幅変調信号の論理反転信号である反転パルス幅変調信号とを発生するとともに、上側貫通防止手段と下側貫通防止手段とを備え、

前記上側貫通防止手段は、前記パルス幅変調信号が発生されたとき、所定の遅延時間の後に上閉路指令信号を発生するように構成され、

前記下側貫通防止手段は、前記反転パルス幅変調信号が発生されたとき、所定の遅延時間の後に下閉路指令信号を発生するように構成され、

前記上流開閉素子は、上選択回路と、貫通防止回路とを介して供給される前記上閉路指令信号に基づいて閉路するように駆動され、

前記下流開閉素子は、下選択回路と、前記貫通防止回路とを介して供給される前記下閉路指令信号に基づいて閉路するように駆動され、

前記上側貫通防止手段と前記下側貫通防止手段は、前記上閉路指令信号と前記下閉路指令信号とが同時に発生することを禁止するソフトウェア手段となり、

前記貫通防止回路は、前記上閉路指令信号と前記下閉路指令信号とが同時に発生することを禁止するハードウェア手段となる上側貫通防止タイマ及び下側貫通防止タイマを備えており、

前記マイクロプロセッサは、

前記過電流検出部からの過電流異常検出信号に応動して、前記上流開閉素子と下流開閉素子の全てを遮断させる上下6相遮断指令信号と、前記上流開閉素子のみを遮断させる上三相遮断第1指令信号と、前記下流開閉素子のみを遮断させる下三相遮断第1指令信号と、のうちの何れか一つを発生するか、又は、

前記過電圧検出部からの過電圧異常検出信号に応動して、前記上流開閉素子のみを短絡させる上三相短絡指令信号と、前記下流開閉素子のみを短絡させる下三相短絡指令信号と、のうちの何れか一つを発生する、ように構成され、

前記上選択回路は、前記上閉路指令信号に代えて前記上三相短絡指令信号が入力されたときは、前記貫通防止回路を介して各相毎に設けられた全ての前記上流開閉素子を一齐に閉路させ、前記上閉路指令信号に代えて前記上三相遮断第1指令信号が入力されたときは、前記貫通防止回路を介して各相毎に設けられた全ての前記上流開閉素子を一齐に開路させるように構成され、

前記下選択回路は、前記下閉路指令信号に代えて前記下三相短絡指令信号が入力されたときは、前記貫通防止回路を介して各相毎に設けられた全ての前記下流開閉素子を一齐に閉路させ、前記下閉路指令信号に代えて前記下三相遮断第1指令信号が入力されたときは、前記貫通防止回路を介して各相毎に設けられた全ての前記上流開閉素子を一齐に開路させるように構成されている、

ことを特徴とするモータ制御装置。

#### 【請求項2】

前記上選択回路の前段部と、前記下選択回路の前段部と、に共通に接続された選択回路を備え、

前記上下6相遮断指令信号が発生されたときは、前記上下6相遮断指令信号が一時記憶されるとともに、前記上下6相遮断指令信号が前記選択回路に入力され、

前記上選択回路に前記上下6相遮断指令信号が入力されたときは、前記上選択回路は、各相毎に設けられた全ての前記上流開閉素子を一齐に開路させてその開路状態を前記過電流異常から脱出するまで待機させるとともに、前記下選択回路は、各相毎に設けられた全ての前記下流開閉素子を一齐に開路させてその開路状態を前記過電流異常から脱出するまで待機させ、

前記過電流異常から脱出したときは、前記一時記憶は解除されて前記選択回路への前記上下6相遮断指令信号の入力は停止され、

10

20

30

40

50

前記上三相短絡指令信号が発生されたときは、各相毎に設けられた全ての前記上流開閉素子が前記一斉に閉路されるとともに、前記選択回路は、各相毎に設けられた全ての前記下流開閉素子を閉路するように駆動して前記三相交流モータの発電電圧を抑制し、

前記下三相短絡指令信号が発生されたときは、各相毎に設けられた全ての前記下流開閉素子が前記一斉に閉路されるとともに、前記選択回路は、各相毎に設けられた全ての前記上流開閉素子を閉路するように駆動して前記三相交流モータの発電電圧を抑制し、

前記マイクロプロセッサは、

前記素子異常検出部からの素子異常検出信号に反応して、前記上流開閉素子のみを短絡させる上三相短絡指令信号と、前記下流開閉素子のみを短絡させる下三相短絡指令信号と、  
、のうちの何れか一つを発生するように構成されるとともに、

前記各相毎の上流側開閉素子に断線異常の上流開閉素子を含むときは、前記下三相短絡指令信号を発生し、前記各相毎の下流側開閉素子に断線異常の下流開閉素子を含むときは前記上三相短絡指令信号を発生し、

前記各相毎の上流側開閉素子に短絡異常の上流開閉素子を含むときは、前記上三相短絡指令信号を発生し、前記各相毎の下流側開閉素子に短絡異常の下流開閉素子を含むときは前記下三相短絡指令信号を発生するように構成されている、

ことを特徴とする請求項 1 に記載のモータ制御装置。

#### 【請求項 3】

前記選択回路は、前記上下 6 相遮断指令信号が一時記憶されて前記上下 6 相遮断指令信号が入力されている期間であっても、前記過電圧異常が発生すると、前記上三相短絡指令信号を優先して前記上選択回路に入力させ又は前記下三相短絡指令信号を優先して前記下選択回路に入力させる短絡指令信号優先回路を備えている、

ことを特徴とする請求項 2 に記載のモータ制御装置。

#### 【請求項 4】

前記上流開閉素子に短絡による素子異常が検出されたときは、この短絡による素子異常を記憶するとともに、前記下流開閉素子に対する下三相遮断第 2 指令信号を発生する上素子短絡検出記憶回路と、

前記下流開閉素子に短絡による素子異常が検出されたときは、この短絡による素子異常を記憶するとともに、前記上流開閉素子に対する上三相遮断第 2 指令信号を発生する下素子短絡検出記憶回路と、

を備え、

前記上選択回路の出力信号である前記上閉路指令信号は、前記上三相遮断第 2 指令信号の発生に反応して解除され、

前記下選択回路の出力信号である前記下閉路指令信号は、前記下三相遮断第 2 指令信号の発生に反応して解除される、

ことを特徴とする請求項 1 から 3 のうちの何れか一項に記載のモータ制御装置。

#### 【請求項 5】

前記上素子短絡検出記憶回路及び前記下素子短絡検出記憶回路に記憶されており短絡記憶情報は、前記マイクロプロセッサがその制御動作の停止を行う前に読出されて不揮発性のデータメモリに転送保存されるとともに、

前記データメモリに転送保存された前記短絡記憶情報は、前記マイクロプロセッサが制御動作を開始するときに、前記上素子短絡検出記憶回路及び前記下素子短絡検出記憶回路に再転送される、

ことを特徴とする請求項 4 に記載のモータ制御装置。

#### 【請求項 6】

前記演算制御部に対して制御電圧を供給する制御電源回路と、

前記マイクロプロセッサの動作を検出し、前記マイクロプロセッサの正常動作中において出力許可信号を発生するマイクロプロセッサ動作検出回路と、  
を備え、

前記制御電源回路は、前記車載バッテリーから前記電力開閉素子を介して給電される降圧

10

20

30

40

50

回路と、前記降圧回路に直列接続された安定化電源回路とにより構成され、

前記安定化電源回路には、逆流阻止機能を含む電源開閉素子を介して、外部接続された補助バッテリーが接続され、

前記電源開閉素子と前記電力開閉素子は、前記車両の運転開始に伴って閉路される電源スイッチの動作に応動して閉路するように駆動され、

前記マイクロプロセッサは、前記電源開閉素子又は前記電力開閉素子が閉路して前記安定化電源回路が前記制御電圧を発生したことに応動して制御動作を開始し、

前記電源開閉素子は、前記マイクロプロセッサ動作検出回路が発生する前記出力許可信号に基づいて閉路するとともにその閉路状態が自己保持され、

前記マイクロプロセッサは更に、前記電源スイッチと前記電力開閉素子とが開路されて前記三相交流モータが無負荷回転状態で発電している状態においては、その発電電圧の大小にかかわらず、前記上三相短絡指令信号又は前記下三相短絡指令信号を発生するとともに、前記車載エンジンの回転速度が所定の閾値回転速度以下に低下したときには自己停止し、

前記マイクロプロセッサ動作検出回路は、前記マイクロプロセッサが前記自己停止したことを検出して前記出力許可信号の発生を停止し、

前記電源開閉素子は、前記マイクロプロセッサ動作検出回路が前記出力許可信号の発生を停止したことにより、閉路し、

前記閾値回転速度は、前記電力開閉素子と前記上流開閉素子及び前記下流開閉素子の全てが開路した無負荷回転状態における前記三相交流モータの発電電圧が、所定の電圧未満となる複数サンプルによる実測統計値である、

ことを特徴とする請求項 1 から 5 のうちの何れか一項に記載のモータ制御装置。

【請求項 7】

前記貫通防止回路の後段位置には後段選択回路が設けられており、

前記後段選択回路は、前記出力許可信号が発生していないときに、前記上流開閉素子の全てに対する上三相短絡指令信号又は前記下流開閉素子の全てに対する下三相短絡指令信号を発生して、前記マイクロプロセッサの不作動状態において、前記三相交流モータの発生電圧が過大となることを抑制するように構成されている、

ことを特徴とする請求項 6 に記載のモータ制御装置。

【請求項 8】

前記素子異常検出部により検出された前記上流開閉素子の短絡異常検出信号を記憶する上素子短絡検出記憶回路、又は前記下流開閉素子の短絡異常検出信号を記憶する下素子短絡検出記憶回路を備え、

前記上素子短絡検出記憶回路が前記上流開閉素子の短絡状態を記憶しているときは、前記後段選択回路は、前記上三相短絡指令信号を発生し、

前記下素子短絡検出記憶回路が前記下流開閉素子の短絡状態を記憶しているときは、前記後段選択回路は、前記下三相短絡指令信号を発生するように構成されている、

ことを特徴とする請求項 7 に記載のモータ制御装置。

【請求項 9】

前記貫通防止回路の後段位置には後段選択回路が設けられており、

前記後段選択回路は、前記上閉路指令信号と前記下閉路指令信号とが同時に発生することを禁止するハードウェア手段となる上側第 2 貫通防止タイマ及び下側第 2 貫通防止タイマを含み、

前記上側第 2 貫通防止タイマ及び下側第 2 貫通防止タイマ防止タイマを設けた場合には、前記貫通防止回路に設けられた前記上側貫通防止タイマ及び前記下側貫通防止タイマは削除される、

ことを特徴とする請求項 6 から 8 のうちの何れか一項に記載のモータ制御装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

この発明は、車両走行用の車載エンジンと協働する三相交流モータに対するモータ制御装置、特に、感電防止のために低電圧系の車載バッテリーを使用したモータ制御装置の改良に関するものである。

【背景技術】

【0002】

内燃エンジンと電動モータを用いたハイブリッド車両において、トランジスタによる三相全波ブリッジ回路を構成する電力変換部を介して、車載バッテリーから給電される三相交流モータに対する駆動制御を行う演算制御部は、上位マイクロプロセッサから指令されたモータ回転速度と、エンジンとの分担負荷トルクに対応した駆動電流が設定されてモータの力行駆動制御を行うとともに、車載バッテリーに対する回生充電制御を行って、車載バッテリーの充電電圧が適正であれば回生充電を停止する空転制御（力行トルクをゼロにした回転同期運転）を行うように構成されている。

10

【0003】

そして、演算制御部の異常、或いは電力変換部に設けられたトランジスタの断線又は短絡異常発生に伴う過電流異常や過電圧異常が発生すると、上下6相遮断指令信号により全てのトランジスタを遮断し、又は、三相全波ブリッジ回路の上アーム又は下アームのトランジスタに対する三相短絡指令信号を発生して、モータの発電電圧を抑制する制御が行われている。

【0004】

例えば、特許文献1の図2によれば、インバータ103内のスイッチング素子に対するゲート駆動部109と信号生成部206との間には、前段の上アームと下アームの6相遮断回路となる第1保護回路201と、中段の上アームと下アームの各三相短絡回路となる第2保護回路202a、202bと、後段の上アームと下アームの6相遮断回路となる第3保護回路203とが設けられている。

20

【0005】

そして、過電流検出信号OCが発生すると、第1保護回路201が作動し、過電圧検出信号OVが発生すると、一旦は第1保護回路201で6相遮断を行った後に三相全波ブリッジ回路の下アーム側（又は上アーム側）の第2保護回路202b（又は202a）が作動して、下アーム側（又は上アーム側）の三相短絡が行われる。インバータ異常検知部108が異常検出信号を発生すると、第3保護回路203が作動し、第2保護回路202a、202bによる三相短絡は無効となる。

30

【0006】

従って、三相全波ブリッジ回路の上アーム側又は下アーム側の三相短絡を行うときには、予め第1保護回路201により全相遮断を行っているので、上アームと下アームの6相の短絡異常の発生が防止され、インバータ異常に対するフェールセーフ手段としては、第3保護回路203が最優先されるように構成されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2012-005229号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0008】

前述の特許文献1による「電力変換装置」では、3階層の優先保護回路201～203が用いられていて、その選択指令信号は、PWM信号生成部206の外部に設けられたハードウェアであるタイマ回路205、三相短絡制御ロジック204、インバータ異常検知部108により行われるように構成されている。

【0009】

従って、全体回路構成が複雑高価となるとともに、スイッチング素子の一部に断線異常又は短絡異常が発生した場合に、これに適した三相全波ブリッジ回路の上アーム側又は下

50

アーム側の三相短絡制御を選択することが困難であり、この場合には第3保護回路203により全素子の遮断が行われることになるものであり、上アームと下アームの6相遮断を行った結果として発生する過電圧異常に対し、スイッチング素子や電源コンデンサなどの回路部品の耐圧を高くしておく必要がある。

【0010】

この発明は、感電被害を軽減するために電源電圧を低減した例えばDC48[V]系の車載バッテリーから、三相交流モータに交流電力を供給する電力変換部を備えたモータ制御装置、特に、過電圧保護を優先して大電流低耐圧の回路部品が適用できるようにした簡易な回路構成のモータ制御装置を提供することである。

【課題を解決するための手段】

10

【0011】

この発明によるモータ制御装置は、

車両に搭載された車載エンジンと一体に連結された永久磁石式の回転磁極と回転磁界を生成する三相電機子巻線とを有する三相交流モータを制御するモータ制御装置であって、

前記車両に搭載された車載バッテリーから電力開閉素子を介して給電され、前記車載バッテリーと前記三相交流モータとの間の電力変換を行う電力変換部と、

前記電力変換部を制御する演算制御部と、

前記モータ制御装置の異常の有無を監視する異常監視部と、  
を備え、

前記電力変換部は、三相の各相毎に設けられた上流開閉素子と下流開閉素子により構成された三相ブリッジ回路と、前記三相ブリッジ回路に並列接続された電源コンデンサとを備え、

20

前記演算制御部は、前記上流開閉素子と下流開閉素子の開閉制御を行なう制御信号を生成し、前記三相交流モータの駆動制御と前記車載バッテリーに対する充電制御とを行うマイクロプロセッサと、前記マイクロプロセッサと協働する不揮発性のプログラムメモリとを備え、

前記異常監視部は、前記電源コンデンサ又は前記車載バッテリーの電圧に対する過電圧異常を検出する過電圧検出部と、前記上流開閉素子と下流開閉素子の個々の素子異常を検出する素子異常検出部と、前記三相電機子巻線のうちの少なくとも2相の電機子巻線に流れる電流と前記上流開閉素子と下流開閉素子の個々に流れる電流とのうちの少なくとも一方の電流に対する過電流異常を検出する過電流検出部とを備え、

30

前記マイクロプロセッサは、前記各相毎に設けられた上流開閉素子に対するパルス幅変調信号と、前記各相毎に設けられた下流開閉素子に対する前記パルス幅変調信号の論理反転信号である反転パルス幅変調信号とを発生するとともに、上側貫通防止手段と下側貫通防止手段とを備え、

前記上側貫通防止手段は、前記パルス幅変調信号が発生されたとき、所定の遅延時間の後に上閉路指令信号を発生するように構成され、

前記下側貫通防止手段は、前記反転パルス幅変調信号が発生されたとき、所定の遅延時間の後に下閉路指令信号を発生するように構成され、

前記上流開閉素子は、上選択回路と、貫通防止回路とを介して供給される前記上閉路指令信号に基づいて閉路するように駆動され、

40

前記下流開閉素子は、下選択回路と、前記貫通防止回路とを介して供給される前記下閉路指令信号に基づいて閉路するように駆動され、

前記上側貫通防止手段と前記下側貫通防止手段は、前記上閉路指令信号と前記下閉路指令信号とが同時に発生することを禁止するソフトウェア手段となり、

前記貫通防止回路は、前記上閉路指令信号と前記下閉路指令信号とが同時に発生することを禁止するハードウェア手段となる上側貫通防止タイマ及び下側貫通防止タイマを備えており、

前記マイクロプロセッサは、

前記過電流検出部からの過電流異常検出信号に反応して、前記上流開閉素子と下流開閉

50

素子の全てを遮断させる上下6相遮断指令信号と、前記上流開閉素子のみを遮断させる上三相遮断第1指令信号と、前記下流開閉素子のみを遮断させる下三相遮断第1指令信号と、のうちの何れか一つを発生するか、又は、

前記過電圧検出部からの過電圧異常検出信号に応動して、前記上流開閉素子のみを短絡させる上三相短絡指令信号と、前記下流開閉素子のみを短絡させる下三相短絡指令信号と、のうちの何れか一つを発生する、

ように構成され、

前記上選択回路は、前記上閉路指令信号に代えて前記上三相短絡指令信号が入力されたときは、前記貫通防止回路を介して各相毎に設けられた全ての前記上流開閉素子を一齐に閉路させ、前記上閉路指令信号に代えて前記上三相遮断第1指令信号が入力されたときは、前記貫通防止回路を介して各相毎に設けられた全ての前記上流開閉素子を一齐に開路させるように構成され、

10

前記下選択回路は、前記下閉路指令信号に代えて前記下三相短絡指令信号が入力されたときは、前記貫通防止回路を介して各相毎に設けられた全ての前記下流開閉素子を一齐に閉路させ、前記下閉路指令信号に代えて前記下三相遮断第1指令信号が入力されたときは、前記貫通防止回路を介して各相毎に設けられた全ての前記上流開閉素子を一齐に開路させるように構成されている、

ことを特徴とするモータ制御装置。

【発明の効果】

【0012】

20

以上のとおり、この発明によるモータ制御装置は、

車両に搭載された車載バッテリーから電力開閉素子を介して給電され、前記車載バッテリーと前記三相交流モータとの間の電力変換を行う電力変換部と、

前記電力変換部を制御する演算制御部と、

前記モータ制御装置の異常の有無を監視する異常監視部と、を備え、

前記電力変換部は、三相の各相毎に設けられた上流開閉素子と下流開閉素子により構成された三相ブリッジ回路と、前記三相ブリッジ回路に並列接続された電源コンデンサとを備え、

前記演算制御部は、前記上流開閉素子と下流開閉素子の開閉制御を行なう制御信号を生成し、前記三相交流モータの駆動制御と前記車載バッテリーに対する充電制御とを行うマイクロプロセッサと、前記マイクロプロセッサと協働する不揮発性のプログラムメモリとを備え、

30

前記異常監視部は、前記電源コンデンサ又は前記車載バッテリーの電圧に対する過電圧異常を検出する過電圧検出部と、前記上流開閉素子と下流開閉素子の個々の素子異常を検出する素子異常検出部と、前記三相電機子巻線のうちの少なくとも2相の電機子巻線に流れる電流と前記上流開閉素子と下流開閉素子の個々に流れる電流とのうちの少なくとも一方の電流に対する過電流異常を検出する過電流検出部とを備え、

前記マイクロプロセッサは、前記各相毎に設けられた上流開閉素子に対するパルス幅変調信号と、前記各相毎に設けられた下流開閉素子に対する前記パルス幅変調信号の論理反転信号である反転パルス幅変調信号とを発生するとともに、上側貫通防止手段と下側貫通防止手段とを備え、

40

前記上側貫通防止手段は、前記パルス幅変調信号が発生されたとき、所定の遅延時間の後に上閉路指令信号を発生するように構成され、

前記下側貫通防止手段は、前記反転パルス幅変調信号が発生されたとき、所定の遅延時間の後に下閉路指令信号を発生するように構成され、

前記上流開閉素子は、上選択回路と、貫通防止回路とを介して供給される前記上閉路指令信号に基づいて閉路するように駆動され、

前記下流開閉素子は、下選択回路と、前記貫通防止回路とを介して供給される前記下閉路指令信号に基づいて閉路するように駆動され、

50

前記上側貫通防止手段と前記下側貫通防止手段は、前記上閉路指令信号と前記下閉路指令信号とが同時に発生することを禁止するソフトウェア手段となり、

前記貫通防止回路は、前記上閉路指令信号と前記下閉路指令信号とが同時に発生することを禁止するハードウェア手段となる上側貫通防止タイマ及び下側貫通防止タイマを備えており、

前記マイクロプロセッサは、

前記過電流検出部からの過電流異常検出信号に反応して、前記上流開閉素子と下流開閉素子の全てを遮断させる上下6相遮断指令信号と、前記上流開閉素子のみを遮断させる上三相遮断第1指令信号と、前記下流開閉素子のみを遮断させる下三相遮断第1指令信号と、のうちの何れか一つを発生するか、又は、

前記過電圧検出部からの過電圧異常検出信号に反応して、前記上流開閉素子のみを短絡させる上三相短絡指令信号と、前記下流開閉素子のみを短絡させる下三相短絡指令信号と、のうちの何れか一つを発生する、

ように構成され、

前記上選択回路は、前記上閉路指令信号に代えて前記上三相短絡指令信号が入力されたときは、前記貫通防止回路を介して各相毎に設けられた全ての前記上流開閉素子を一齐に閉路させ、前記上閉路指令信号に代えて前記上三相遮断第1指令信号が入力されたときは、前記貫通防止回路を介して各相毎に設けられた全ての前記上流開閉素子を一齐に開路させるように構成され、

前記下選択回路は、前記下閉路指令信号に代えて前記下三相短絡指令信号が入力されたときは、前記貫通防止回路を介して各相毎に設けられた全ての前記下流開閉素子を一齐に閉路させ、前記下閉路指令信号に代えて前記下三相遮断第1指令信号が入力されたときは、前記貫通防止回路を介して各相毎に設けられた全ての前記上流開閉素子を一齐に開路させるように構成されている。

従って、通常運転時には、マイクロプロセッサが発生する上閉路指令信号及び下閉路指令信号に対する貫通防止は、マイクロプロセッサによるソフトウェア手段と、選択回路の後段に設けられた貫通防止回路内の上下の貫通防止タイマによるハードウェア手段が協働し、ノイズ誤動作等による一時的な上下短絡異常の発生を防止することができる効果がある。

また、通常運転状態から上三相又は下三相短絡指令信号への切換を直接行うことができ、この場合には貫通防止回路により上下短絡異常の発生が防止されるので、三相短絡指令信号の発生前に一時的に上下6相遮断指令信号を発生しておく必要がなく、制御手順が簡略化されてマイクロプロセッサの制御負担を軽減することができるとともに、三相短絡指令信号を上下6相遮断指令信号よりも優先作動させて、電力変換部における回路部品の過電圧破損を防止することができる効果がある。

【図面の簡単な説明】

【0013】

【図1】この発明の実施の形態1によるモータ制御装置の全体回路ブロック図である。

【図2】この発明の実施の形態1によるモータ制御装置の一部分の詳細ブロック図である。

【図3A】この発明の実施の形態1によるモータ制御装置における、選択回路が発生する制御信号の論理状態を示す説明図である。

【図3B】この発明の実施の形態1によるモータ制御装置における、上アームと下アームの選択回路に対する入力信号の論理一覧を示す説明図である。

【図3C】この発明の実施の形態1によるモータ制御装置における、貫通防止回路に対する入出力信号の論理一覧を示す説明図である。

【図4A】この発明の実施の形態1及び2によるモータ制御装置の制御動作を示すフローチャートの前半である。

【図4B】この発明の実施の形態1及び2によるモータ制御装置の制御動作を示すフローチャートの後半である。

10

20

30

40

50

【図 5】この発明の実施の形態 2 によるモータ制御装置の全体回路ブロック図である。

【図 6】この発明の実施の形態 2 によるモータ制御装置の一部分の詳細ブロック図である。

【図 7 A】この発明の実施の形態 2 によるモータ制御装置における、後段選択回路に対する前半入出力信号の論理一覧を示す説明図である。

【図 7 B】この発明の実施の形態 2 によるモータ制御装置における、後段選択回路に対する後半入出力信号の論理一覧を示す説明図である。

【発明を実施するための形態】

【0014】

実施の形態 1 .

10

(1) 構成の詳細な説明

以下、この発明の実施の形態 1 によるモータ制御装置について、図を用いて詳細に説明する。図 1 は、この発明の実施の形態 1 によるモータ制御装置の全体回路ブロック図である。図 1 において、モータ制御装置 100A は、電力変換部 110 と演算制御部 120A と異常監視部 200 を備え、正側電源端子 P と負側電源端子 N には電力開閉素子 103 を介して例えば DC48[V] の低電圧系の車載バッテリー 102 が接続されている。なお、この車載バッテリー 102 の最大充電電圧は DC60[V] 未満であり、これは接触感電に対する危険性がないとされる限界電圧と構成されている。

【0015】

電力変換部 110 に設けられた交流端子 U、V、W には、三相交流モータ 101 の三相電機子巻線が接続されている。なお、この三相交流モータ 101 は、図示していない車載エンジンと一体に連結された永久磁石式の回転磁極と、回転磁界を生成する三相電機子巻線により構成されている。

20

【0016】

上位 CPU10 は、モータ制御装置 100A を含む図示していないエンジン制御装置、及び変速機制御装置などの関連装置を統括制御する。この上位 CPU10 は、三相交流モータ 101 の発電電圧により、充電回路 11 を介して充電される例えば DC12[V] 系の補助バッテリー 12 から給電されて動作し、車両の運転開始に伴って手動閉路される電源スイッチ 13 が閉路されると、電力開閉素子 103 を閉路するように駆動するとともに、モータ制御装置 100A の内部に設けられた電源開閉素子 208 を閉路するように駆動する

30

【0017】

なお、電源開閉素子 208 の一端は、制御電源端子 PW を介して補助バッテリー 12 に接続され、電源開閉素子 208 の他端は、制御電源回路 114 を構成する降圧回路 114a と安定化電源回路 114b との接続点に接続されている。降圧回路 114a は、正側電源端子 P から給電される。電源開閉素子 208 は、上位 CPU10 が発生する電源投入指令信号 SG により閉路するように駆動される。

【0018】

一方、演算制御部 120A を構成するマイクロプロセッサ CPU は、安定化電源回路 114b が発生する制御電圧 Vcc により制御動作を開始する。そして、例えばウォッチドッグタイマである CPU 動作検出回路 209 は、マイクロプロセッサ CPU のウォッチドッグ信号を監視して、マイクロプロセッサ CPU が正常にサイクリック演算を行っているときに出力許可信号 OUTE を発生する。電源開閉素子 208 は、CPU 動作検出回路 209 からの出力許可信号 OUTE により閉路し、その閉路状態を自己保持するように構成されている。

40

【0019】

なお、CPU 動作検出回路 209 としては、運転中のマイクロプロセッサ CPU に対して質問情報を送信し、マイクロプロセッサ CPU からの回答が正しいかどうかを判定する Q&A 方式、若しくはウォッチドッグタイマと併用する方式が使用される。従って、上位 CPU10 が電源投入指令信号 SG を発生して補助バッテリー 12 から給電されるか、又は

50

電力開閉素子 103 が閉路して車載バッテリー 102 から給電される。或いは電力開閉素子 103 が開路しているときであっても、三相交流モータ 101 の発電電圧によりマイクロプロセッサ CPU が起動して、出力許可信号 OUTE により電源開閉素子 208 が閉路し、マイクロプロセッサ CPU が制御動作を自己停止するまでは、少なくとも補助バッテリー 12 からの電源供給によりマイクロプロセッサ CPU は制御動作を持続することができるように構成されている。

【0020】

但し、補助バッテリー 12 の負担を軽減するために、演算制御部 120A は車載バッテリー 102 から得られる制御電力により動作するように構成されていて、降圧回路 114a の出力電圧は、補助バッテリー 12 の電源電圧よりも若干高い値に設定されており、この降圧回路 114a から補助バッテリー 12 への逆流が発生しないようにするために、電源開閉素子 208 は逆流阻止機能を有するか、逆流防止ダイオードが直列接続されている。

10

【0021】

電力変換部 110 は、互いに直列接続された一対の上流開閉素子 112u と下流開閉素子 112d との 3 対を、互いに並列接続した三相全波ブリッジ回路により構成されている。なお、3 個の上流開閉素子 112u は、上アーム素子、3 個の下流開閉素子 112d は下アーム素子と称することがある。これ等の開閉素子は、例えば転流ダイオードとなる内部寄生ダイオードを含む電界効果型のトランジスタであり、3 対の直列トランジスタ回路には、例えば複数個の誘導性高分子個体アルミ電解コンデンサ又は誘導性高分子ハイブリッドアルミ電解コンデンサを並列接続して構成された電源コンデンサ 111 が並列接続されている。

20

【0022】

3 個の上流開閉素子 112u のゲート端子とソース端子との間には、それぞれ上ゲート回路 113u が接続され、この上ゲート回路 113u の入力信号である上閉路指令信号  $U \times 2$  が論理レベル L であるときに上流開閉素子 112u が閉路するように駆動される。同様に、3 個の下流開閉素子 112d のゲート端子とソース端子との間には、それぞれ下ゲート回路 113d が接続され、この下ゲート回路 113d の入力信号である下閉路指令信号  $D \times 2$  が論理レベル L であるときに下流開閉素子 112d が閉路するように駆動される。

【0023】

又、演算制御部 120A は、マイクロプロセッサ CPU と、例えばフラッシュメモリである不揮発性のプログラムメモリ PMEM と、不揮発性のデータメモリ DMEM と、演算処理用の RAM メモリ RMEM を主体として構成されている。そして、マイクロプロセッサ CPU により実行される制御信号発生手段 121 は、パルス幅変調信号  $PWM \times$  ( $x = U, V, W$ ) を発生し、このパルス幅変調信号  $PWM \times$  は論理反転手段 123 により論理反転されて反転 PWM 信号  $PWN \times$  ( $x = U, V, W$ ) を発生する。

30

【0024】

マイクロプロセッサ CPU により実行される上側貫通防止手段 122 は、パルス幅変調信号  $PWM \times$  の信号立上り時に所定時間  $T$  だけ遅延して立上り、信号立下り時には即時に立下がる上閉路指令信号  $U \times 0$  を発生する。又、マイクロプロセッサ CPU により実行される下側貫通防止手段 124 は、論理反転手段 123 によりパルス幅変調信号  $PWM \times$  が反転された反転 PWM 信号  $PWN \times$  の信号立上り時に、所定時間  $T$  だけ遅延して立上り、信号立下り時には即時に立下がる下閉路指令信号  $D \times 0$  を発生する。

40

【0025】

上閉路指令信号  $U \times 0$  は、論理レベルが H であるときに  $x$  ( $x = U, V, W$ ) 相の上流開閉素子 112u を閉路するように駆動するための信号である。また、下閉路指令信号  $D \times 0$  は、論理レベルが H であるときに  $x$  ( $x = U, V, W$ ) 相の下流開閉素子 112d を閉路するように駆動するための信号である。上閉路指令信号  $U \times 0$  と下閉路指令信号  $D \times 0$  とは、同時に論理レベル H となることがないように、上側貫通防止手段 122、下側貫通防止手段 124 が作用して、上開閉素子と下開閉素子による電源短絡が発生しないよう

50

に構成されている。

【 0 0 2 6 】

なお、パルス幅変調信号 P W M x は、上アーム素子に対して相互に 1 2 0 度の位相差を有する疑似正弦波交流電圧を印可する。この疑似正弦波交流電圧の周波数は、三相交流モータ 1 0 1 の回転速度に相当するものであるとともに、パルス幅変調信号 P W M x の通電デューティは、目標とするモータ電流と正弦波の位相角に応じて可変設定されるように構成されている。

【 0 0 2 7 】

マイクロプロセッサ C P U は、後述の過電圧検出部 2 0 1 が過電圧検出信号を発生すると、上三相短絡指令信号 U S 又は下三相短絡指令信号 D S を発生して、上アーム素子又は下アーム素子を閉路するように駆動する。又、マイクロプロセッサ C P U は、後述の過電流検出部 2 0 3 が過電流検出信号を発生すると、上下 6 相遮断指令信号 U D O を発生して上アーム素子及び下アーム素子の全てを遮断するように構成されている。

【 0 0 2 8 】

なお、マイクロプロセッサ C P U が発生するこれらの制御信号と、選択回路 2 1 0 や上選択回路 1 3 0 u、下選択回路 1 3 0 d、及び貫通防止回路 1 4 0 で扱う上三相第 1 指令信号 U O、下三相第 1 指令信号 D O、上閉路指令信号 U x 1、下閉路指令信号 D x 1 については図 2 において詳細に説明する。

【 0 0 2 9 】

マイクロプロセッサ C P U には、異常監視部 2 0 0 が発生するさまざまな異常検出信号 E R が入力されている。異常監視部 2 0 0 を構成する過電圧検出部 2 0 1 は、電源コンデンサ 1 1 1 の両端電圧を検出して、これが所定の判定閾値電圧（例えば D C 6 0 [ V ]）以上であるときに過電圧検出信号を発生する。

【 0 0 3 0 】

又、素子異常検出部 2 0 2 は、上流開閉素子 1 1 2 u 及び下流開閉素子 1 1 2 d の全てについて、その断線異常の有無と短絡異常の有無を判定して、閉路指令信号であるのに閉路しているときには断線異常検出信号を発生し、開路指令信号であるのに閉路しているときには短絡異常検出信号を発生する。

【 0 0 3 1 】

又、過電流検出部 2 0 3 は、三相交流モータ 1 0 1 の三相電機子巻線の中の少なくとも 2 相の巻線に流れる電流を電流センサにより検出して、これが第 1 の判定閾値電流（例えば 6 0 0 [ A ]）以上であることにより負荷短絡異常検出信号を発生するとともに、上流開閉素子 1 1 2 u 及び下流開閉素子 1 1 2 d の個々に流れる電流が、第 2 の判定閾値電流（例えば 2 0 0 0 [ A ]）以上であることにより、同相の上下の開閉素子が貫通導通し、少なくとも一方の開閉素子が短絡異常である短絡過電流検出信号を発生する。

【 0 0 3 2 】

なお、開閉素子に流れる電流は、閉路された開閉素子の両端電圧を測定することによって検出されるものである。上素子短絡検出記憶回路 2 0 5 u は、上流開閉素子 1 1 2 u のどれかに短絡異常が発生したときに、短絡異常検出信号を記憶して、下三相遮断第 2 指令信号 D O O を発生して下選択回路 1 3 0 d に入力するためのものである。下素子短絡検出記憶回路 2 0 5 d は、下流開閉素子 1 1 2 d のどれかに短絡異常が発生したときに、短絡異常検出信号を記憶して、上三相遮断第 2 指令信号 U O O を発生して上選択回路 1 3 0 u に入力するためのものである。

【 0 0 3 3 】

図 2 は、この発明の実施の形態 1 によるモータ制御装置の一部分の詳細ブロック図であって、選択回路 2 1 0、上選択回路 1 3 0 u、下選択回路 1 3 0 d、貫通防止回路 1 4 0 の詳細を示している。図 2 において、上選択回路 1 3 0 u と下選択回路 1 3 0 d の前段部には、共用の選択回路 2 1 0 が設けられている。選択回路 2 1 0 を構成する上閉路合成回路 2 1 1 u は、演算制御部 1 2 0 A が発生する上閉路指令信号 U x 0 と上三相短絡指令信号 U S に対する論理和素子であって、その論理和出力 A は論理積ゲート素子となる上選択

10

20

30

40

50

回路 130u を介して上閉路指令信号  $U \times 1$  となって貫通防止回路 140 に入力されている。

【0034】

同様に、下閉路合成回路 211d は、演算制御部 120A が発生する下閉路指令信号  $D \times 0$  と下三相短絡指令信号  $DS$  に対する論理和素子であって、その論理和出力  $B$  は論理積ゲート素子となる下選択回路 130d を介して下閉路指令信号  $D \times 1$  となって貫通防止回路 140 に入力される。

【0035】

短絡指令信号優先回路 212 は、上三相短絡指令信号  $US$  と下三相短絡指令信号  $DS$  が共に論理レベル  $L$  であって短絡指令信号が発生しておらず、しかも上下 6 相遮断指令信号  $UDO$  が論理レベル  $H$  であるときに、出力論理レベルが「 $H$ 」となって、論理和否定素子である上遮断合成回路 210u と下遮断合成回路 210d を介して、それぞれ上選択回路 130u と下選択回路 130d に入力される。これにより、上選択回路 130u と下選択回路 130d の出力である上閉路指令信号  $U \times 1$  と下閉路指令信号  $D \times 1$  の論理レベルが  $L$  に確定され、その結果、全ての上流開閉素子 112u 及び下流開閉素子 112d に対して開路指令信号が発生することになる。

【0036】

しかし、上三相短絡指令信号  $US$  又は下三相短絡指令信号  $DS$  のどちらかの論理レベル  $H$  になって、三相短絡指令信号が発生すると、例えば、上下 6 相遮断指令信号  $UDO$  の論理レベルが  $H$  であっても短絡指令信号優先回路 212 により遮断指令信号は無視されるように構成されている。なお、ハードウェアで構成されている短絡指令信号優先回路 212 と上遮断合成回路 210u 及び下遮断合成回路 210d については、これをマイクロプロセッサ  $CPU$  により実行して、マイクロプロセッサ  $CPU$  は上下 6 相遮断指令信号  $UDO$  に代わって、上三相遮断第 1 指令信号  $UO$  又は下三相遮断第 1 指令信号  $DO$  を発生するようにしてもよい。

【0037】

一方、上三相短絡指令信号  $US$  が発生して、その論理レベルが  $H$  になると、下遮断合成回路 210d を介して下選択回路 130d に入力される下三相遮断第 1 指令信号  $DO$  の論理レベルが  $L$  となる。従って下閉路指令信号  $D \times 1$  の論理レベルが  $L$  となって下流開閉素子 112d の全てが開路指令信号となる。

【0038】

同様に、下三相短絡指令信号  $DS$  が発生して、その論理レベルが  $H$  になると、上遮断合成回路 210u を介して上選択回路 130u に入力される上三相遮断第 1 指令信号  $UO$  の論理レベルが  $L$  となる。従って上閉路指令信号  $U \times 1$  の論理レベルが  $L$  となって上流開閉素子 112u の全てが開路指令信号となる。

【0039】

上素子短絡検出記憶回路 205u が、下三相遮断第 2 指令信号  $DOO$  を発生して、下選択回路 130d に入力されると、下閉路指令信号  $D \times 1$  の論理レベルが  $L$  となって、下流開閉素子 112d の全てが開路指令信号となり、開閉素子の上下短絡が防止されるように構成されている。又、下素子短絡検出記憶回路 205d が、上三相遮断第 2 指令信号  $UO$  を発生して、上選択回路 130u に入力されると、上閉路指令信号  $U \times 1$  の論理レベルが  $L$  となって、上流開閉素子 112u の全てが開路指令信号となり、開閉素子の上下短絡が防止されるように構成されている。

【0040】

但し、マイクロプロセッサ  $CPU$  には異常検出信号  $ER$  が入力されていて、上下短絡が発生しないように上三相短絡指令信号  $US$  又は下三相短絡指令信号  $DS$  を発生するように構成されている。従って、下三相遮断第 2 指令信号  $DOO$  と上三相遮断第 2 指令信号  $UO$  は、二重系の保護対策として構成されている。

【0041】

即ち、マイクロプロセッサ  $CPU$  は、素子異常検出部 202 による素子異常検出信号に

10

20

30

40

50

応動して、上三相短絡指令信号US又は下三相短絡指令信号DSのどちらかを選択する。上流開閉素子112u又は下流開閉素子112dが断線異常開閉素子を含む場合には、この断線異常素子を含まない側に上三相短絡指令信号US又は下三相短絡指令信号DSを適用し、上流開閉素子112u又は下流開閉素子112dが短絡異常開閉素子を含む場合には、この短絡異常素子を含む側に上三相短絡指令信号US又は下三相短絡指令信号DSを適用するように構成されている。

【0042】

図3Aは、この発明の実施の形態1によるモータ制御装置における、選択回路が発生する制御信号の論理状態を示す説明図であって、マイクロプロセッサCPUが発生する上三相短絡指令信号US、下三相短絡指令信号DS、上下6相遮断指令信号UDOと、選択回路210が発生する上三相遮断第1指令信号UO、下三相遮断第1指令信号DOの各論理レベルに対応した論理和出力A、Bの論理レベルを示したものである。

10

【0043】

図3Bは、この発明の実施の形態1によるモータ制御装置における、上アームと下アームの選択回路に対する入力信号の論理一覧を示す説明図であって、上選択回路130uに入力される論理和出力Aと、上三相遮断第1指令信号UOと上三相遮断第2指令信号UOOとの論理結合出力である上閉路指令信号Ux1と、下選択回路130dに入力される論理和出力Bと下三相遮断第1指令信号DOと下三相遮断第2指令信号DOOとの論理結合出力である下閉路指令信号Dx1との関係を示している。

【0044】

20

図3Aと図3Bから明らかとなり、上三相短絡指令信号USと下三相短絡指令信号DSと上下6相遮断指令信号UDOの論理レベルが全てLであって、短絡指令信号、遮断指令信号がないときには、初段の上と中間の上閉路指令信号Ux1とは同一論理となり、初段の下閉路指令信号Dx0と中間の下閉路指令信号Dx1とは同一論理となる。

【0045】

しかし、上三相遮断第2指令信号UOOが論理レベルHであれば、中間の上閉路指令信号Ux1の論理レベルはLに確定して上アーム素子は遮断され、下三相遮断第2指令信号DOOが論理レベルHであれば、中間の下閉路指令信号Dx1の論理レベルはLに確定して上アーム素子は遮断されるように構成されている。又、上三相遮断第2指令信号UOOと下三相遮断第2指令信号DOOと上下6相遮断指令信号UDOとの論理レベルが全てL

30

であるときには、上三相短絡指令信号USの論理レベルがHであれば、中間の上閉路指令信号Ux1の論理レベルがHに確定して上アーム素子が短絡駆動され、下三相短絡指令信号DSの論理レベルがHであれば、中間の下閉路指令信号Dx1の論理レベルがHに確定して上アーム素子が短絡駆動されるように構成されている。

【0046】

しかし、上三相短絡指令信号USと下三相短絡指令信号DSとがともに論理レベルLであって、短絡指令信号がなく、しかも上下6相遮断指令信号UDOが論理レベルHであって遮断指令信号が発生しているときには、中間の上閉路指令信号Ux1と中間の下閉路指令信号Dx1との論理レベルは共にLとなって、上アーム素子及び下アーム素子の全てが遮断されるように構成されている。

40

【0047】

一方、貫通防止回路140においては、上反転結合回路141uには中間の上閉路指令信号Ux1の論理反転信号と、中間の下閉路指令信号Dx1とが入力され、その論理和出力Cは上側貫通防止タイマ142uを介して後段の上閉路指令信号Ux2が出力されている。同様に、下反転結合回路141dには中間の下閉路指令信号Dx1の論理反転信号と、中間の上閉路指令信号Ux1とが入力され、その論理和出力Dは下側貫通防止タイマ142dを介して後段の下閉路指令信号Dx2が出力されている。

【0048】

なお、上側貫通防止タイマ142uは、論理和出力Cの立下りに対して遅延時間tにおいて立下り、立上り時には即時に立上がるハードウェアタイマであって、論理反転され

50

ている後段の上閉路指令信号  $U \times 2$  と後段の下閉路指令信号  $D \times 2$  とが同時に論理レベル  $L$  となるのを防止している。同様に、下側貫通防止タイム  $142d$  は、論理和出力  $D$  の立下りに対して遅延時間  $t$  をおいて立下り、立上り時には即時に立上がるハードウェアタイムであって、論理反転されている後段の上閉路指令信号  $U \times 2$  と後段の下閉路指令信号  $D \times 2$  とが同時に論理レベル  $L$  となるのを防止している。

【0049】

図3Cは、この発明の実施の形態1によるモータ制御装置における、貫通防止回路に対する入出力信号の論理一覧を示す説明図であって、貫通防止回路140に入力される中間の上閉路指令信号  $U \times 1$  と中間の下閉路指令信号  $D \times 1$  との論理レベルに対応した、論理和出力  $C$ 、 $D$  の出力論理を示している。図3Cに示すように、上閉路指令信号  $U \times 2$  と後段の下閉路指令信号  $D \times 2$  の論理レベルは、論理和出力  $C$ 、 $D$  の出力論理よりも遅延時間  $t$  をおいて論理レベル  $L$  に変化するように構成されている。

10

【0050】

図3Cから明らかなおり、後段の上閉路指令信号  $U \times 2$  は中間の上閉路指令信号  $U \times 1$  の論理反転信号となり、後段の下閉路指令信号  $D \times 2$  は中間の下閉路指令信号  $D \times 1$  となっていて、後段の上閉路指令信号  $U \times 2$  の論理レベルが  $L$  になると、上流開閉素子  $112u$  が閉路するように駆動される。同様に、後段の上閉路指令信号  $U \times 2$  は中間の上閉路指令信号  $U \times 1$  の論理反転信号となり、後段の下閉路指令信号  $D \times 2$  は中間の下閉路指令信号  $D \times 1$  となっていて、後段の下閉路指令信号  $D \times 2$  の論理レベルが  $L$  になると、下流開閉素子  $112d$  が閉路駆動されるように構成されている。

20

【0051】

又、上閉路指令信号  $U \times 1$  と下閉路指令信号  $D \times 1$  とが共に論理レベル  $H$  となる不適な指令信号があった場合には、上閉路指令信号  $U \times 2$  と下閉路指令信号  $D \times 2$  とは共に論理レベル  $H$  となって、上流開閉素子  $112u$  又は下流開閉素子  $112d$  が遮断されるように構成されている。

【0052】

又、マイクロプロセッサ  $CPU$  による上側貫通防止手段  $122$  と下側貫通防止手段  $124$  との作用により、上閉路指令信号  $U \times 1$  と下閉路指令信号  $D \times 1$  との論理レベルが共に  $L$  となっている期間においても、上閉路指令信号  $U \times 2$  と下閉路指令信号  $D \times 2$  の論理レベルは  $H$  となって、上流開閉素子  $112u$  又は下流開閉素子  $112d$  が遮断されるように構成されている。

30

【0053】

(2) 作用・動作の詳細な説明

以下、前述の図1、図2のとおり構成されたこの発明の実施の形態1によるモータ制御装置100Aについてその作用・動作を詳細に説明する。図4Aは、この発明の実施の形態1及び後述の実施の形態2によるモータ制御装置の制御動作を示すフローチャートの前半である。図4Bは、この発明の実施の形態1及び後述の実施の形態2によるモータ制御装置の制御動作を示すフローチャートの後半である。

【0054】

まず、全体回路ブロック図を示す図1において、電源スイッチ13が手動閉路されると、上位  $CPU10$  により電力開閉素子103が閉路されて、正側電源端子  $P$  と負側電源端子  $N$  との間に車載バッテリー102による例えば  $DC48[V]$  の直流電圧が印可されるとともに、上位  $CPU10$  からの電源投入指令信号  $SG$  によりモータ制御装置100A内の電源開閉素子208が閉路駆動される。

40

【0055】

その結果、安定化電源回路114bは、降圧回路114a又は電源開閉素子208を介して、車載バッテリー102又は補助バッテリー12から給電されて制御電圧  $V_{cc}$  を発生する。これによりマイクロプロセッサ  $CPU$  が起動し、 $CPU$  動作検出回路209が出力許可信号  $OUTE$  を発生する。これにより、電源開閉素子208が閉路し、その閉路様態を自己保持する。マイクロプロセッサ  $CPU$  は、上位  $CPU10$  との間で信号交信を行いな

50

から、三相交流モータ101の力行駆動制御と、車載バッテリー102に対する回生充電制御を行うように構成されている。

【0056】

図4Aにおいて、制御動作の準備開始点となる中継端子Bに続くステップ401aは、電源スイッチ13が閉路されたかどうか注目し、閉路されておればYESの判定を行ってステップ402へ移行し、閉路されていないければNOの判定を行ってステップ401bへ移行する第1点検ステップである。

【0057】

ステップ401bは、電力開閉素子103が閉路されているかどうか注目し、閉路又は短絡異常であれば、YESの判定を行ってステップ402へ移行し、閉路されていないければNOの判定を行ってステップ401cへ移行する第2点検ステップである。なお、電力開閉素子103は、電源スイッチ13が閉路されたことに伴って閉路動作を行うが、電源スイッチ13が開路しても自己保持閉路動作を行っているか短絡異常であれば、ステップ401bの判定はYESとなるものである。

10

【0058】

ステップ401cは、例えば電力開閉素子103の断線異常により車載バッテリー102から三相交流モータ101への給電は停止しているが、車載エンジンの単独動作で車両走行が行われているとき、或いは、車両の走行中に電源スイッチ13が開路されて惰性走行又は降坂走行が行われているときに、三相交流モータ101による発電電圧がある場合にYESの判定を行ってステップ402へ移行し、発電電圧がないときはNOの判定を行ってステップ401aへ復帰する第3判定ステップである。

20

【0059】

ステップ402は、ステップ401aにより補助バッテリー12から制御電源が供給されているか、或いは、ステップ401bにより車載バッテリー102から制御電源が供給されているか、或いは、ステップ401cにより、三相交流モータ101から制御電源が供給されていて、安定化電源回路114bが制御電圧Vccを発生しているかどうかを判定し、制御電圧Vccを発生していなければNOの判定を行ってステップ401aへ復帰し、制御電圧Vccを発生しておればYESの判定を行ってステップ410aへ移行する第4点検ステップである。

30

【0060】

なお、ステップ401aからステップ402は、マイクロプロセッサCPUに対する給電がどこから行われているかを明確にしておくための仮想の参考ステップであり、マイクロプロセッサCPUによって実行されるものではない。

【0061】

ステップ410aは、マイクロプロセッサCPUが制御動作を開始し、続くステップ411により電源スイッチ13が閉路されているかどうかを判定し、閉路されていることが認知されるとYESの判定を行ってステップ413へ移行し、電源スイッチ13が閉路されていることが認知されなかったときにはNOの判定を行ってステップ412aへ移行する。

40

【0062】

ステップ412aでは、CPU動作検出回路209が出力許可信号OUTEを発生することにより電源開閉素子208が閉路されて、補助バッテリー12から安定した電源が供給されるとともに、マイクロプロセッサCPUは上三相短絡指令信号US又は下三相短絡指令信号DSを発生して、三相交流モータ101の発電電圧が抑制される。

【0063】

続くステップ412bでは、車載エンジンの回転速度、即ち三相交流モータ101の回転速度が所定の閾値回転速度以下になったかどうかを判定し、回転低下していなければNOの判定を行ってステップ411へ復帰して、以下はステップ411、ステップ412a、ステップ412bの循環動作を行い、やがて、ステップ412bがYESの判定を行うとステップ412cへ移行するように構成されている。

50

## 【 0 0 6 4 】

なお、ステップ 4 1 2 b における閾値回転速度は、電力開閉素子 1 0 3 と上流開閉素子 1 1 2 u 及び下流開閉素子 1 1 2 d の全てが開路した無負荷回転状態における、三相交流モータ 1 0 1 の発電電圧が DC 6 0 [ V ] 未満となる複数サンプルによる実測統計値となっている。

## 【 0 0 6 5 】

ステップ 4 1 2 c では、マイクロプロセッサ CPU が自己停止して、その結果、CPU 動作検出回路 2 0 9 が出力許可信号 O U T E の発生を停止して、電源開閉素子 2 0 8 が閉路するように構成されている。点線で示されたステップ 4 1 2 d は、後述する実施の形態 2 に関連するものでありここでは説明を省略するが、ステップ 4 1 2 c に続いてステップ 4 0 1 a による仮想判定ステップに移行する。

10

## 【 0 0 6 6 】

一方、電源スイッチ 1 3 が閉路していても、電力開閉素子 1 0 3 が閉路又は短絡異常である場合には、ステップ 4 0 1 a、ステップ 4 0 1 b、ステップ 4 0 2、ステップ 4 1 0 a、ステップ 4 1 1、ステップ 4 1 2 a、ステップ 4 1 2 b、ステップ 4 1 2 c を経てステップ 4 0 1 a に復帰する循環ステップが生成されることになり、図示していないステップにより上位 CPU 1 0 に対する異常報知が行われる。従って、ステップ 4 1 1 からステップ 4 1 2 c に至るステップは、電源スイッチ 1 3 がまだ閉路されていない状態の制御フローであって、マイクロプロセッサ CPU は三相交流モータ 1 0 1 による過電圧異常の発生を防止して、電力変換部 1 1 0 の回路部品が過電圧破損しないように構成されている。

20

## 【 0 0 6 7 】

電源スイッチ 1 3 が閉路した後のステップ 4 1 3 では、CPU 動作検出回路 2 0 9 が出力許可信号 O U T E を発生することにより電源開閉素子 2 0 8 が閉路されて、マイクロプロセッサ CPU は補助バッテリー 1 2 から安定した電源が供給されてステップ 4 1 4 へ移行する。但し、電力開閉素子 1 0 3 が閉路されているときは、マイクロプロセッサ CPU は車載バッテリー 1 0 2 側の電源で動作することになるが、この場合でもステップ 4 1 1 は電源スイッチ 1 3 が閉路された車両運転状態であるかどうかを判定していることになる。

## 【 0 0 6 8 】

続くステップ 4 1 4 は、電源スイッチ 1 3 が閉路された後の初回の制御動作であるかどうかを判定し、初回動作であれば Y E S の判定を行ってステップ 4 1 5 へ移行し、初回動作でなければ N O の判定を行って、中継端子 A を介して図 4 B で示されたステップ 4 2 0 へ移行する判定ステップである。

30

## 【 0 0 6 9 】

ステップ 4 1 5 は、後述のステップ 4 2 7 においてデータメモリ D M E M に保存された開閉素子の短絡異常履歴の有無を判定し、短絡記憶があれば Y E S の判定を行ってステップ 4 1 6 へ移行し、短絡記憶がなければ N O の判定を行って図 4 B のステップ 4 2 0 へ移行する判定ステップである。

## 【 0 0 7 0 】

ステップ 4 1 6 では、図 4 B のステップ 4 2 7 で書込み保存された短絡異常の履歴情報に基づいて、上素子短絡検出記憶回路 2 0 5 u 又は下素子短絡検出記憶回路 2 0 5 d を再セットしてから、図 4 B のステップ 4 2 0 へ移行する。図 4 B において、ステップ 4 2 0 は、電源スイッチ 1 3 が閉路されているかどうかを再確認し、依然として閉路されておれば Y E S の判定を行ってステップ 4 2 1 へ移行し、電源スイッチ 1 3 が開路から閉路に変更された運転停止状態であれば、N O の判定を行ってステップ 4 2 5 へ移行する判定ステップである。

40

## 【 0 0 7 1 】

ステップ 4 2 5 では、過電圧検出部 2 0 1 が過電圧異常検出信号を発生しておれば、上三相短絡指令信号 U S 又は下三相短絡指令信号 D S を発生して三相交流モータ 1 0 1 の発電電圧を抑制する。続くステップ 4 2 6 では、三相交流モータ 1 0 1 の回転速度がステップ 4 1 2 b で前述した所定の閾値回転速度以下に低下して電圧が減衰するまで待機する。

50

## 【 0 0 7 2 】

続くステップ427では、後述のステップ422bで記憶された上素子短絡検出記憶回路205u又は下素子短絡検出記憶回路205dの短絡記憶情報を、不揮発性のデータメモリDMMEMに転送保存するとともに、RAMメモリRMEMに書き込まれていたその他の学習情報或いは異常記憶情報をデータメモリDMMEMに転送保存する。

## 【 0 0 7 3 】

続くステップ428では、マイクロプロセッサCPUが自己停止し、その結果、CPU動作検出回路209が出力許可信号OUTEの発生を停止して、電源開閉素子208が開路され、補助バッテリー12からの給電が停止されるようになっていて、その後は中継端子Bを介して図4Aのステップ401aへ移行するように構成されている。

10

## 【 0 0 7 4 】

なお、点線で示されたステップ429は、実施の形態2に関連するものでありここでは説明を省略する。

## 【 0 0 7 5 】

ステップ420からステップ428は、電源スイッチ13が開路されてから、マイクロプロセッサCPUが自己停止するまでの処理ステップである。

## 【 0 0 7 6 】

ステップ420が電源スイッチ13の開路状態を検出したことにより実行されるステップブロック421では、図示していないモータ回転センサ(又はエンジン回転センサ)により三相交流モータ101の回転速度を検出し、三相電機子巻線による回転磁界の回転速度を決定するとともに、上位CPU10から送信された目標電流に対応して、U、V、W相に対応したパルス幅変調信号PWMxと、反転PWM信号PWNxと、上側貫通防止手段122及び下側貫通防止手段124により、上閉路指令信号Ux0と下閉路指令信号Dx0を発生する。

20

## 【 0 0 7 7 】

続くステップ422aは、過電流検出部203が過電流異常検出信号を発生するか、又は素子異常検出部202が開閉素子の短絡異常検出信号を発生したかどうかを判定し、異常発生すればYESの判定を行ってステップ422bへ移行し、異常がなければNOの判定を行ってステップ423aへ移行する判定ステップである。

## 【 0 0 7 8 】

ステップ422bでは、短絡異常の開閉素子がある場合には、それが上下アームのどちらに属するものであるかを区分して、上流開閉素子短絡異常又は下流素子短絡異常に分類してRAMメモリRMEMで記憶してステップ422cへ移行する。

30

## 【 0 0 7 9 】

ステップ422cでは、上下6相遮断指令信号UDOを発生し、過電流の減少待機を行って動作終了ステップ410bへ移行する。ステップ423aは、素子異常検出部202が開閉素子の断線異常検出信号を発生したかどうかを判定し、異常発生すればYESの判定を行ってステップ423bへ移行し、異常がなければNOの判定を行ってステップ424aへ移行する判定ステップである。

## 【 0 0 8 0 】

ステップ423bでは、断線異常の開閉素子が上下アームのどちらに属するものであるかを区分して、上流開閉素子断線異常又は下流素子断線異常に分類してRAMメモリRMEMで記憶してステップ424bへ移行する。

40

## 【 0 0 8 1 】

ステップ424aは、過電圧検出部201が過電圧異常検出信号を発生したかどうかを判定し、異常発生すればYESの判定を行ってステップ424bへ移行し、異常がなければNOの判定を行って動作終了ステップ410bへ移行する判定ステップである。ステップ424bでは、上三相短絡指令信号US又は下三相短絡指令信号DSを所定時間だけ発生して検出電圧の低下を待ってステップ425aへ移行する。

## 【 0 0 8 2 】

50

ステップ425aでは、過電圧検出部201の検出電圧が車載バッテリー102の最小電圧以下に低下したかどうかを判定し、以下であればYESの判定を行ってステップ425bへ移行し、過電圧検出部201の検出電圧が車載バッテリー102の最小電圧以下でなければNOの判定を行って動作終了ステップ410bへ移行する。ここで、ステップ425aの判定が車載バッテリー102の最小電圧以下であるということは、電力開閉素子103が開路又は断線異常であることを示している。ステップ425bでは、上三相短絡指令信号US又は下三相短絡指令信号DSを継続発生して動作終了ステップ410bへ移行する。

#### 【0083】

なお、ステップ424bとステップ425bにおいては、上流開閉素子112u又は下流開閉素子112dが短絡異常開閉素子を含む場合には、この短絡異常素子を含む側に上三相短絡指令信号US又は下三相短絡指令信号DSが適用され、上流開閉素子112u又は下流開閉素子112dが断線異常開閉素子を含む場合には、この断線異常素子を含まない側に上三相短絡指令信号US又は下三相短絡指令信号DSが適用されるように構成されている。

#### 【0084】

動作終了ステップ410bでは、マイクロプロセッサCPUは他の制御プログラムを実行し、例えば5[msec]以内には動作開始ステップ410aへ復帰して、一連の制御プログラムを繰り返して実行するように構成されている。

#### 【0085】

##### (3) 実施の形態1の要点と特徴

以上の説明で明らかとなりこの発明の実施の形態1によるモータ制御装置は、車載エンジンと一体連結された永久磁石式の回転磁極と、回転磁界を生成する三相電機子巻線を有する三相交流モータ101に対し、DC60[V]未満の低圧系の車載バッテリー102から、電力開閉素子103を介して給電される電力変換部110と、これに対する演算制御部120Aと、異常監視部200とを備えたモータ制御装置100Aであって、

前述の電力変換部110は、転流ダイオード112fが並列接続されているトランジスタである3対の上流開閉素子112uと下流開閉素子112dと、電源コンデンサ111とが並列接続され、

前述の演算制御部120Aは、トランジスタの断続制御を行って、三相交流モータ101の駆動制御と、車載バッテリー102に対する充電制御を行う制御信号を生成するマイクロプロセッサCPUと、互いに協働する不揮発性のプログラムメモリPMEMとを備え、

前述の異常監視部200は、電源コンデンサ111に対する過電圧検出部201と、前述のトランジスタの断線異常又は短絡異常を個々に検出する素子異常検出部202と、三相電機子巻線のうちの少なくとも2相巻線に流れる電流、又は前述の上流開閉素子112u及び下流開閉素子112dの個々に流れる電流に対する過電流検出部203とを備えている。

#### 【0086】

そして、前述のマイクロプロセッサCPUは、前述の三相交流モータ101における相互に120度の位相差を有するU相とV相とW相の各相巻線に接続された前述の上流開閉素子112uのそれぞれに対するパルス幅変調信号PWMx(x=U、又はV、又はW)と、前述の下流開閉素子112dのそれぞれに対するパルス幅変調信号PWMxの論理反転信号である反転PWM信号PWNxとを発生し、

前述のマイクロプロセッサCPUは更に、上側貫通防止手段122及び下側貫通防止手段124を備え、

前述の上側貫通防止手段122は、前述のパルス幅変調信号PWMxが発生したときに遅延時間Tを置いて上閉路指令信号Ux0を発生し、

前述の上流開閉素子112uは、上選択回路130uと貫通防止回路140を介して、前述の上閉路指令信号Ux0により閉路するように駆動されるとともに、

前述の下側貫通防止手段124は、前述の反転PWM信号PWNxが発生したときに遅

10

20

30

40

50

延時間 T を置いて下閉路指令信号 D x 0 を発生し、

前述の下流開閉素子 1 1 2 d は、下選択回路 1 3 0 d と前述の貫通防止回路 1 4 0 を介して前述の下閉路指令信号 D x 0 により閉路するように駆動され、

前述の上側貫通防止手段 1 2 2 及び下側貫通防止手段 1 2 4 は、前述の上流開閉素子 1 1 2 u と前述の下流開閉素子 1 1 2 d とに対して同時に閉路指令信号が発生することを禁止するように構成されている。

そして、前述の上側貫通防止手段 1 2 2 及び下側貫通防止手段 1 2 4 は、マイクロプロセッサ CPU により処理が実行されるソフトウェア手段により構成されている。

#### 【 0 0 8 7 】

前述の貫通防止回路 1 4 0 は、上側貫通防止タイマ 1 4 2 u 及び下側貫通防止タイマ 1 4 2 d を含み、この貫通防止タイマは前述の上流開閉素子 1 1 2 u 又は下流開閉素子 1 1 2 d への閉路指令信号が同時発生することを禁止するハードウェア手段となり、

前述のマイクロプロセッサ CPU は更に、前述の異常監視部 2 0 0 から入力された異常検出信号 E R により、過電流異常に反応する上下 6 相遮断指令信号 U D O 又は上三相遮断第 1 指令信号 U O 及び下三相遮断第 1 指令信号 D O であるか、或いは、過電圧異常に反応する上三相短絡指令信号 U S 又は下三相短絡指令信号 D S のいずれか一方が発生し、

前述の上選択回路 1 3 0 u は、上閉路指令信号 U x 0 に代わる前述の上三相短絡指令信号 U S 又は上三相遮断第 1 指令信号 U O が入力されて、前述の貫通防止回路 1 4 0 を介して前述の上流開閉素子 1 1 2 u の全てが一斉閉路又は一斉開路され、

前述の下選択回路 1 3 0 d は、下閉路指令信号 D x 0 に代わる前述の下三相短絡指令信号 D S 又は下三相遮断第 1 指令信号 D O が入力されて、前述の貫通防止回路 1 4 0 を介して前述の下流開閉素子 1 1 2 d の全てが一斉閉路又は一斉開路されるように構成されている。

#### 【 0 0 8 8 】

前述の 6 相遮断指令信号 U D O では、過電流検出部 2 0 3 による過電流異常検出信号の発生が一時記憶され、前述の上流開閉素子 1 1 2 u の全てと前述の下流開閉素子 1 1 2 d の全てが遮断されて、過電流状態の脱出待機後に前述の一時記憶と前述の上下 6 相遮断指令信号 U D O が解除され、

前述の上選択回路 1 3 0 u と前述の下選択回路 1 3 0 d との前段部には、共通の選択回路 2 1 0 が設けられているとともに、

前述の上三相短絡指令信号 U S では、前述の過電圧検出部 2 0 1 による過電圧異常検出信号に反応して、前述の上流開閉素子 1 1 2 u の全てが閉路駆動されとともに、

前述の選択回路 2 1 0 は、前述の下流開閉素子 1 1 2 d の全てを遮断して、三相交流モータ 1 0 1 の発電電圧を抑制し、

前述の下三相短絡指令信号 D S は、前述の過電圧検出部 2 0 1 による過電圧異常検出信号に反応して、前述の下流開閉素子 1 1 2 d の全てを閉路駆動するとともに、

前述の選択回路 2 1 0 は、前述の上流開閉素子 1 1 2 u の全てを遮断して、三相交流モータ 1 0 1 の発電電圧を抑制し、

前述のマイクロプロセッサ CPU は、前述の素子異常検出部 2 0 2 による素子異常検出信号に反応して、前述の上三相短絡指令信号 U S 又は前述の下三相短絡指令信号 D S のどちらかを選択し、

前述の上流開閉素子 1 1 2 u 又は下流開閉素子 1 1 2 d が断線異常開閉素子を含む場合には、この断線異常素子を含まない側に前述の上三相短絡指令信号 U S 又は下三相短絡指令信号 D S が適用され、

前述の上流開閉素子 1 1 2 u 又は下流開閉素子 1 1 2 d が短絡異常開閉素子を含む場合には、この短絡異常素子を含む側に前述の上三相短絡指令信号 U S 又は下三相短絡指令信号 D S が適用されるように構成されている。

#### 【 0 0 8 9 】

以上のとおり、請求項 2 に記載の発明に関連し、マイクロプロセッサ CPU が発生する上三相短絡指令信号 U S 又は下三相短絡指令信号 D S は、上流開閉素子或いは下流開閉素

10

20

30

40

50

子の断線又は短絡素子異常の有無により、どちらか一方の指令信号が発生するように構成されている。

従って、上流開閉素子或いは下流開閉素子の断線又は短絡異常素子を含む場合であっても、上三相又は下三相短絡指令信号を有効にして、過電圧発生を抑制し、低電圧系の電力変換部における過電圧素子破壊の拡大を防止することができる特徴がある。これは、後述する実施の形態2についても同様である。

#### 【0090】

前述の選択回路210は、前述の過電流異常の発生記憶に伴って前述の上下6相遮断指令信号UD0が発生している期間であっても、前述の過電圧異常が発生すると、これを優先して前述の上三相短絡指令信号US又は下三相短絡指令信号DSを有効にする短絡指令信号優先回路212を備えている。

10

#### 【0091】

以上のとおり、請求項3に記載の発明に関連し、上下6相遮断指令信号UD0よりも、上三相短絡指令信号又は下三相短絡指令信号を優先する短絡指令信号優先回路を備えている。

従って、上下6相遮断指令信号UD0の適用に伴って過電圧異常が発生した場合には、過電流異常状態の一時記憶が解除され、速やかに三相短絡を適用して、過大電圧の発生を抑制し、低電圧系の電力変換部における過電圧素子破壊を防止することができる特徴がある。これは、実施の形態2についても同様である。

#### 【0092】

前述の素子異常検出部202は、3対の前述の上流開閉素子112u及び下流開閉素子112dの個々に対して開路指令信号であるのに閉路状態となっている短絡異常の有無と、閉路指令信号であるのに開路状態となっている断線状態の有無を判定するとともに、

20

前述の上流開閉素子112uのどれかに前述の短絡異常が検出されたときに、これを記憶して、下三相遮断第2指令信号DOOを発生する上素子短絡検出記憶回路205uと、

前述の下流開閉素子112dのどれかに前述の短絡異常が検出されたときにこれを記憶して、上三相遮断第2指令信号UOOを発生する下素子短絡検出記憶回路205dとを備え、

前述の上選択回路130uの出力信号である中間の上閉路指令信号Ux1は、前述の上三相遮断第2指令信号UOOの発生に応動して閉路指令信号が解除され、

30

前述の下選択回路130dの出力信号である中間の下閉路指令信号Dx1は、前述の下三相遮断第2指令信号DOOの発生に応動して閉路指令信号が解除されるように構成されている。

#### 【0093】

以上のとおり、請求項4に記載の発明の関連し、素子異常検出部の検出信号に応動する上素子短絡検出記憶回路又は下素子短絡検出記憶回路は、下三相遮断第2指令信号DOO又は上三相遮断第2指令信号UOOを発生して、中間の上閉路指令信号Ux1又は下閉路指令信号Dx1の閉路指令信号が解除されるようになっている。

従って、マイクロプロセッサが異常監視部からの異常検出信号ERに応動して、上下短絡を防止するための遮断処理を行うのを待たないで、速やかに上下短絡防止処理を行うことができる特徴がある。これは、実施の形態2についても同様である。

40

#### 【0094】

前述のマイクロプロセッサCPUでは、その作動停止を行う前に、前述の上素子短絡検出記憶回路205u及び下素子短絡検出記憶回路205dの短絡記憶情報が読出されて、不揮発性のデータメモリDMEMに転送保存されるとともに、作動開始時には、前述のデータメモリDMEMに格納されている短絡記憶情報が前述の上素子短絡検出記憶回路205u及び下素子短絡検出記憶回路205dに再転送されるように構成されている。

#### 【0095】

以上のとおり、請求項5に記載の発明の関連し、上素子短絡検出記憶回路及び下素子短絡検出記憶回路の短絡記憶情報は、マイクロプロセッサの作動停止前に不揮発性のデータ

50

メモリに転送保存され、マイクロプロセッサの作動開始時には上素子短絡検出記憶回路及び下素子短絡検出記憶回路に復元転送されるように構成されている。

従って、運転開始直後から、過去の異常状態を反映した開閉素子の開閉制御を行って、上下開閉素子の同時閉路による開閉素子の損傷を防止することができる特徴がある。これは、実施の形態 2 についても同様である。

#### 【0096】

前述の演算制御部 120A に対して安定化された制御電圧  $V_{cc}$  を供給する制御電源回路 114 は、前述の車載バッテリー 102 から前述の電力開閉素子 103 を介して給電される降圧回路 114a と、この降圧回路 114a と直列接続された安定化電源回路 114b とにより構成され、

10

前述の安定化電源回路 114b には、逆流阻止機能を含む電源開閉素子 208 を介して、外部接続された補助バッテリー 12 が接続されており、

前述の電源開閉素子 208 と前述の電力開閉素子 103 とは、車両の運転開始に伴って閉路される電源スイッチ 13 の動作に応動して閉路駆動されるとともに、

前述のマイクロプロセッサ CPU は、前述の電源開閉素子 208 又は前述の電力開閉素子 103 が閉路して、前述の安定化電源回路 114b が前述の制御電圧  $V_{cc}$  を発生したことに応動して制御動作を開始する。

#### 【0097】

そして、前述のマイクロプロセッサ CPU には、ウォッチドッグタイマで代表される CPU 動作検出回路 209 が設けられて、この CPU 動作検出回路 209 は、前述のマイクロ

20

プロセッサ CPU の正常動作中において出力許可信号 OUTE を発生し、

前述の電源開閉素子 208 は、前述の出力許可信号 OUTE の動作により閉路してその閉路状態が自己保持されており、

前述のマイクロプロセッサ CPU は更に、前述の電源スイッチ 13 と前述の電力開閉素子 103 とが開路されて、前述の三相交流モータ 101 が無負荷回転状態で発電している状態においては、その発電電圧の大小にかかわらず、前述の上三相短絡指令信号 US 又は下三相短絡指令信号 DS を発生するとともに、前述の車載エンジンの回転速度が所定の閾値回転速度以下に低下したときには自己停止して、前述の出力許可信号 OUTE の発生が停止されて前述の電源開閉素子 208 が開路し、

前述の閾値回転速度は、前述の電力開閉素子 103 と前述の上流開閉素子 112u 及び下流開閉素子 112d の全てが開路した無負荷回転状態における、三相交流モータ 101 の発電電圧が DC60 [V] 未満となる複数サンプルによる実測統計値となっている。

30

#### 【0098】

以上のとおり、請求項 6 に記載の発明の関連し、マイクロプロセッサ CPU は、モータ駆動用の車載バッテリーと制御用の補助バッテリーとを電源として動作する安定化電源回路が発生する制御電圧  $V_{cc}$  により制御動作を行い、

マイクロプロセッサが正常動作を行っているときには、出力許可信号により補助バッテリーからの給電を自己保持継続し、

電源スイッチと電力開閉素子とが共に開路されて、三相交流モータが無負荷回転状態で発電している状態においては、上三相短絡指令信号又は下三相短絡指令信号を発生してその発電電圧を抑制し、エンジン回転速度が低下してからマイクロプロセッサが自己停止するように構成されている。

40

従って、無負荷回転時の三相短絡指令信号の発生中は、マイクロプロセッサは三相モータの発電電圧には依存せず、補助バッテリーを電源として安定動作することができるので、エンジン回転速度が十分に低下して自己停止するまでは三相短絡指令信号の発生を継続することができる特徴がある。

#### 【0099】

実施の形態 2 .

##### (1) 構成と作用の詳細な説明

以下、この発明の実施の形態 2 によるモータ制御装置について詳細に説明する。図 5 は

50

、この発明の実施の形態 2 によるモータ制御装置の全体回路ブロック図、図 6 は、この発明の実施の形態 2 によるモータ制御装置の一部分の詳細ブロック図である。なお、各図において同一符号は同一又は相当部分を示しているが、前述の実施の形態 1 におけるモータ制御装置 100A は、実施の形態 2 ではモータ制御装置 100B として表示され、符号末尾の大文字の英字により実施の形態の区分を示している。

【0100】

図 5 において、図 5 と図 1 との主な相違点は、図 5 におけるモータ制御装置 100B には、図 1 における貫通防止回路 140 と電力変換部 110 との間に、図 6 に示す後段選択回路 150 が付加されている、図 1 の演算制御部 120A は図 5 では演算制御部 120B として構成されていることだけである。図 6 は付加された後段選択回路 150 の詳細構成を示している。

10

【0101】

図 6 において、後段選択回路 150 を構成する上選択回路 153u 及び下選択回路 153d は、貫通防止回路 140 が発生する上閉路指令信号  $U \times 2$  及び下閉路指令信号  $D \times 2$  の反転論理信号と、仲介信号 E 及び仲介信号 F との論理和出力 G 及び論理和出力 M を発生する論理和回路素子となっていて、短絡防止回路 156 は論理和出力 G と論理和出力 M との論理積出力である仲介信号 Q を発生する。

【0102】

仲介信号 E を発生する上振分回路 154u は、CPU 動作検出回路 209 が発生する出力許可信号 OUTE の反転論理信号を一方の入力とし、下素子短絡検出記憶回路 205d が発生する上 3 相遮断第 2 指令信号 UOO の論理反転信号と、上素子短絡検出記憶回路 205u が発生する下三相遮断第 2 指令信号 DOO の論理信号との論理積出力を発生する下優先回路 155 の出力信号を他方の入力とする論理積回路素子である。

20

【0103】

又、仲介信号 F を発生する下振分回路 154d は、CPU 動作検出回路 209 が発生する出力許可信号 OUTE の反転論理信号を一方の入力とし、上素子短絡検出記憶回路 205u が発生する下三相遮断第 2 指令信号 DOO の論理反転信号との論理積出力を他方の入力とする論理積回路素子である。

【0104】

上反転結合回路 151u は、論理和出力 G の論理反転信号と仲介信号 Q との論理和出力 J を発生して、上側第 2 貫通防止タイマ 152u を介して終段の上閉路指令信号  $U \times 3$  を発生する。下反転結合回路 151d は、論理和出力 M の論理反転信号と仲介信号 Q との論理和出力 K を発生して、下側第 2 貫通防止タイマ 152d を介して下閉路指令信号  $D \times 3$  を発生する。

30

【0105】

なお、上側第 2 貫通防止タイマ 152u 又は下側第 2 貫通防止タイマ 152d は、入力信号の論理レベルが H から L に変化したときに、所定の遅延時間  $t$  をおいて出力信号の論理レベルが H から L に変化し、入力信号の論理レベルが L から H に変化したときには、即時に出力信号の論理レベルが L から H に変化するハードウェアタイマと構成されている。

40

【0106】

そして、初段の上閉路指令信号  $U \times 0$  と中間の上閉路指令信号  $U \times 1$  は、その論理レベルが H であるときに、上流開閉素子 112u が閉路するように駆動される正論理信号であるのに対し、後段の上閉路指令信号  $U \times 2$  と終段の上閉路指令信号  $U \times 3$  は、その論理レベルが L であるときに、上流開閉素子 112u が閉路するように駆動される負論理信号である。

【0107】

同様に、初段の下閉路指令信号  $D \times 0$  と中間の下閉路指令信号  $D \times 1$  は、その論理レベルが H であるときに、下流開閉素子 112d が閉路駆動される正論理信号であるのに対し、後段の下閉路指令信号  $D \times 2$  と終段の下閉路指令信号  $D \times 3$  は、その論理レベルが L で

50

あるときに、下流開閉素子 1 1 2 d が閉路するように駆動される負論理信号である。

【 0 1 0 8 】

図 7 A は、この発明の実施の形態 2 によるモータ制御装置における、後段選択回路に対する前半入出力信号の論理一覧を示す説明図であって、後段選択回路 1 5 0 の前半部分の信号の論理変化を示している。図 7 B は、この発明の実施の形態 2 によるモータ制御装置における、後段選択回路に対する後半入出力信号の論理一覧を示す説明図であって、後段選択回路 1 5 0 の後半部分の信号の論理変化を示している。

【 0 1 0 9 】

図 7 A において、出力許可信号 O U T E の論理レベルが H のときには、仲介信号 E、F の論理レベルが L に確定するので、論理和出力 G、M と閉路指令信号との関係は、

$$G = D \times 2, M = D \times 2$$

となる。しかし、出力許可信号 O U T E の論理レベルが L のときには、仲介信号 E、F の論理レベルに応じて論理和出力 G、M が変化して、上三相遮断第 2 指令信号 U O O 又は下三相遮断第 2 指令信号 D O O が発生していない側の上アーム素子又は下アーム素子の三相短絡が行われるように構成されている。但し、上三相遮断第 2 指令信号 U O O 又は下三相遮断第 2 指令信号 D O O の両方が発生していなければ、下アーム素子に三相短絡指令信号が発生し、上三相遮断第 2 指令信号 U O O 又は下三相遮断第 2 指令信号 D O O の両方が発生しておれば、下アーム素子及び下アーム素子に対する三相短絡指令信号は発生しない。

【 0 1 1 0 】

図 7 B において、論理和出力 G、M と論理和出力 J、K とは、相互に論理反転されていて、その結果として後段の上閉路指令信号 U x 2 と後段の下閉路指令信号 D x 2、及び終段の上閉路指令信号 U x 3 と終段の下閉路指令信号 D x 3 との論理関係は一致している。そして、終段の上閉路指令信号 U x 3 又は終段の下閉路指令信号 D x 3 が論理レベル L であるときに、上ゲート回路 1 1 3 u 又は下ゲート回路 1 1 3 d を介して上流開閉素子 1 1 2 u 又は下流開閉素子 1 1 2 d が閉路駆動されるように構成されている。

【 0 1 1 1 】

なお、上流開閉素子 1 1 2 u に対する一連の上閉路指令信号 U x 0、U x 1、U x 2、U x 3 の論理を正論理とするか負論理とするかは、自由に変更することができる。これは、下流開閉素子 1 1 2 d に対する一連の下閉路指令信号 D x 0、D x 1、D x 2、D x 3 の以上の説明で明らかなどおり、ハードウェアで構成された後段選択回路 1 5 0 では、上流開閉素子 1 1 2 u 又は下流開閉素子 1 1 2 d に対して作用する共通の三相短絡指令信号となる出力許可信号 O U T E の論理反転信号は、上三相遮断第 2 指令信号 U O O 又は下三相遮断第 2 指令信号 D O O の指令信号状態に応じて上流開閉素子 1 1 2 u 又は下流開閉素子 1 1 2 d のどちらかに振り分けられていて、上流開閉素子 1 1 2 u 及び下流開閉素子 1 1 2 d が同時に閉路するように駆動されることがないように選択されている。

【 0 1 1 2 】

これに対し、前述の図 2 における選択回路 2 1 0 では、マイクロプロセッサ C P U が予め上三相短絡指令信号 U S 又は下三相短絡指令信号 D S に区分して短絡指令信号を発生し、この三相短絡指令信号は上流開閉素子 1 1 2 u 又は下流開閉素子 1 1 2 d が同時閉路されないように考慮された指令信号とされている。しかし、マイクロプロセッサ C P U は、上流開閉素子 1 1 2 u 又は下流開閉素子 1 1 2 d に対して共通の三相短絡指令信号を発生し、上三相遮断第 2 指令信号 U O O 又は下三相遮断第 2 指令信号 D O O の指令信号状態に応じて、上流開閉素子 1 1 2 u 又は下流開閉素子 1 1 2 d のどちらかに振り分けを行う選択回路を付加することも可能である。

【 0 1 1 3 】

次に、マイクロプロセッサの前半制御動作と後半制御動作のフローチャートである図 4 A と図 4 B に基づいてこの発明の実施の形態 2 によるモータ制御装置の動作を説明する。なお、図 4 A と図 4 B に示すフローチャートは、前述の図 1 に示す実施の形態 1 におけるモータ制御装置と共用されており、前述したように、図 4 A のステップ 4 1 2 d と図 4 B のステップ 4 2 9 のみが図 1 の実施の形態 1 の場合とは相違するものとなっている。

## 【 0 1 1 4 】

図 4 A のステップ 4 1 2 d では、ステップ 4 1 2 c により出力許可信号 O U T E が停止したことにより、図 6 の後段選択回路 1 5 0 による上流開閉素子 1 1 2 u 又は下流開閉素子 1 1 2 d に対する三相短絡指令信号が発生する。その結果、マイクロプロセッサ C P U が停止していても、電力開閉素子 1 0 3 が閉路しているか又は三相交流モータ 1 0 1 が発電しておれば、その電源電圧が後段選択回路 1 5 0 に供給されて三相短絡が行われる。

## 【 0 1 1 5 】

但し、電力開閉素子 1 0 3 が閉路しているときには、三相短絡を行ったことにより三相交流モータ 1 0 1 の発電電圧が低下して、三相短絡を行うためのゲート電圧が減少すると三相短絡は自動的に解除されることになる。しかし、三相短絡の解除により三相交流モータ 1 0 1 の発電電圧が上昇すれば、再び三相短絡が有効となり、マイクロプロセッサ C P U の停止状態においても過電圧異常の発生を防止するように構成されている。これは、図 4 B のステップ 4 2 9 の場合も同様である。

## 【 0 1 1 6 】

又、ステップ 4 1 2 d とステップ 4 2 9 は、電源スイッチ 1 3 が閉路している状態でマイクロプロセッサ C P U が自己停止したときの三相短絡について説明したものであるが、電源スイッチ 1 3 が閉路しているときであっても、マイクロプロセッサ C P U 自体の異常により C P U 動作検出回路 2 0 9 が出力許可信号 O U T E の発生を停止したときであっても、後段選択回路 1 5 0 による三相短絡指令信号は有効である。

## 【 0 1 1 7 】

## ( 2 ) 実施の形態 2 の要点と特徴

以上の説明で明らかとなりこの発明の実施の形態 2 によるモータ制御装置は、

車載エンジンと一体連結された永久磁石式の回転磁極と、回転磁界を生成する三相電機子巻線を有する三相交流モータ 1 0 1 に対し、D C 6 0 [ V ] 未満の低圧系の車載バッテリー 1 0 2 から、電力開閉素子 1 0 3 を介して給電される電力変換部 1 1 0 と、これに対する演算制御部 1 2 0 B と、異常監視部 2 0 0 とを備えたモータ制御装置 1 0 0 B であって、

前述の電力変換部 1 1 0 は、転流ダイオード 1 1 2 f が並列接続されているトランジスタである 3 対の上流開閉素子 1 1 2 u と下流開閉素子 1 1 2 d と、電源コンデンサ 1 1 1 とが並列接続され、

前述の演算制御部 1 2 0 B は、前述のトランジスタの断続制御を行って、前述の三相交流モータ 1 0 1 の駆動制御と、前述の車載バッテリー 1 0 2 に対する充電制御を行う制御信号を生成するマイクロプロセッサ C P U と、互いに協働する不揮発性のプログラムメモリ P M E M とを備え、

前述の異常監視部 2 0 0 は、前述の電源コンデンサ 1 1 1 に対する過電圧検出部 2 0 1 と、前述のトランジスタの断線異常又は短絡異常を個々に検出する素子異常検出部 2 0 2 と、前述の三相電機子巻線のうちの少なくとも 2 相の電機子巻線に流れる電流、又は前述の上流開閉素子 1 1 2 u 及び下流開閉素子 1 1 2 d の個々に流れる電流に対する過電流検出部 2 0 3 とを備えている。

## 【 0 1 1 8 】

そして、前述のマイクロプロセッサ C P U は、前述の三相交流モータ 1 0 1 における相互に 1 2 0 度の位相差を有する U 相と V 相と W 相の各相の電機子巻線に接続された前述の上流開閉素子 1 1 2 u のそれぞれに対するパルス幅変調信号 P W M x ( x = U、又は V、又は W ) と、前述の下流開閉素子 1 1 2 d のそれぞれに対する前述のパルス幅変調信号 P W M x の論理反転信号である反転 P W M 信号 P W N x とを発生し、

前述のマイクロプロセッサ C P U は更に、上側貫通防止手段 1 2 2 及び下側貫通防止手段 1 2 4 を備え、

前述の上側貫通防止手段 1 2 2 は、前述のパルス幅変調信号 P W M x が発生したときに遅延時間 T を置いて上閉路指令信号 U x 0 を発生して、前述の上流開閉素子 1 1 2 u は上選択回路 1 3 0 u と貫通防止回路 1 4 0 を介して、前述の上閉路指令信号 U x 0 により

10

20

30

40

50

閉路駆動されるとともに、

前述の下側貫通防止手段 1 2 4 は、前述の反転 P W M 信号 P W N x が発生したときに遅延時間 T を置いて下閉路指令信号 D x 0 を発生し、

前述の下流開閉素子 1 1 2 d は下選択回路 1 3 0 d と前述の貫通防止回路 1 4 0 を介して前述の下閉路指令信号 D x 0 により閉路するように駆動され、

前述の上側貫通防止手段 1 2 2 及び下側貫通防止手段 1 2 4 は、前述の上流開閉素子 1 1 2 u と前述の下流開閉素子 1 1 2 d とに対して同時に閉路指令信号が発生することを禁止する。

前述の上側貫通防止手段 1 2 2 及び下側貫通防止手段 1 2 4 は、前述のマイクロプロセッサ C P U により処理が実行されるソフトウェア手段により構成されている。

10

#### 【 0 1 1 9 】

そして、前述の貫通防止回路 1 4 0 は、上側貫通防止タイマ 1 4 2 u 及び下側貫通防止タイマ 1 4 2 d を含み、この貫通防止タイマは前述の上流開閉素子 1 1 2 u 又は下流開閉素子 1 1 2 素子 1 1 2 d への閉路指令信号が同時発生することを禁止するハードウェア手段であり、

前述のマイクロプロセッサ C P U は更に、前述の異常監視部 2 0 0 から入力された異常検出信号 E R により、過電流異常に反応する上下 6 相遮断指令信号 U D O 又は上三相遮断第 1 指令信号 U O 及び下三相遮断第 1 指令信号 D O であるか、或いは、過電圧異常に反応する上三相短絡指令信号 U S 又は下三相短絡指令信号 D S のいずれか一方が発生し、

前述の上選択回路 1 3 0 u には、前述の上閉路指令信号 U x 0 に代わる前述の上三相短絡指令信号 U S 又は前述の上三相遮断第 1 指令信号 U O が入力されて、前述の貫通防止回路 1 4 0 を介して前述の上流開閉素子 1 1 2 u の全てが一斉閉路又は一斉開路され、

20

前述の下選択回路 1 3 0 d には、前述の下閉路指令信号 D x 0 に代わる前述の下三相短絡指令信号 D S 又は下三相遮断第 1 指令信号 D O が入力されて、前述の貫通防止回路 1 4 0 を介して前述の下流開閉素子 1 1 2 d の全てが一斉閉路又は一斉開路されるように構成されている。

#### 【 0 1 2 0 】

前述の演算制御部 1 2 0 B に対して安定化された制御電圧 V c c を供給する制御電源回路 1 1 4 は、前述の車載バッテリー 1 0 2 から前述の電力開閉素子 1 0 3 を介して給電される降圧回路 1 1 4 a と、この降圧回路 1 1 4 a と直列接続された安定化電源回路 1 1 4 b

30

により構成され、

前述の安定化電源回路 1 1 4 b には、逆流阻止機能を含む電源開閉素子 2 0 8 を介して、外部接続された補助バッテリー 1 2 が接続されており、

前述の電源開閉素子 2 0 8 と前述の電力開閉素子 1 0 3 とは、車両の運転開始に伴って閉路される電源スイッチ 1 3 の動作に反応して閉路駆動されるとともに、

前述のマイクロプロセッサ C P U は、前述の電源開閉素子 2 0 8 又は前述の電力開閉素子 1 0 3 が閉路して、前述の安定化電源回路 1 1 4 b が前述の制御電圧 V c c を発生したことに反応して制御動作を開始する。

#### 【 0 1 2 1 】

そして、前述のマイクロプロセッサ C P U には、ウォッチドッグタイマで代表される C P U 動作検出回路 2 0 9 が設けられおり、

40

前述の C P U 動作検出回路 2 0 9 は、前述のマイクロプロセッサ C P U の正常動作中において出力許可信号 O U T E を発生し、

前述の電源開閉素子 2 0 8 は、前述の出力許可信号 O U T E の動作により閉路してその閉路状態が自己保持されており、

前述のマイクロプロセッサ C P U は更に、前述の電源スイッチ 1 3 と前述の電力開閉素子 1 0 3 とが開路されて、前述の三相交流モータ 1 0 1 が無負荷回転状態で発電している状態においては、その発電電圧の大小にかかわらず、前述の上三相短絡指令信号 U S 又は下三相短絡指令信号 D S を発生するとともに、前述の車載エンジンの回転速度が所定の閾値回転速度以下に低下したときには自己停止して前述の出力許可信号 O U T E の発生を停

50

止して前述の電源開閉素子 2 0 8 を開路し、

前述の閾値回転速度は、前述の電力開閉素子 1 0 3 と前述の上流開閉素子 1 1 2 u 及び下流開閉素子 1 1 2 d の全てが開路した無負荷回転状態における、前述の三相交流モータ 1 0 1 の発電電圧が D C 6 0 [ V ] 未満となる複数サンプルによる実測統計値となっている。

#### 【 0 1 2 2 】

以上のとおり、請求項 6 に記載の発明に関連し、マイクロプロセッサ C P U は、モータ駆動用の車載バッテリーと制御用の補助バッテリーとを電源として動作する安定化電源回路が発生する制御電圧 V c c により制御動作を行い、マイクロプロセッサが正常動作を行っているときには、出力許可信号により補助バッテリーからの給電を自己保持を継続する。そして、電源スイッチと電力開閉素子とが共に開路されて、三相交流モータが無負荷回転状態で発電している状態においては、上三相短絡指令信号又は下三相短絡指令信号を発生してその発電電圧を抑制し、エンジン回転速度が低下してからマイクロプロセッサが自己停止するように構成されている。

10

従って、無負荷回転時の三相短絡指令信号の発生中は、マイクロプロセッサは三相モータの発電電圧には依存せず、補助バッテリーを電源として安定動作することができるので、エンジン回転速度が十分に低下して自己停止するまでは三相短絡指令信号の発生を継続することができる特徴がある。これは、実施の形態 1 の場合と同様である。

#### 【 0 1 2 3 】

前述の貫通防止回路 1 4 0 の後段位置には後段選択回路 1 5 0 が設けられており、

20

前述の後段選択回路 1 5 0 は、前述の出力許可信号 O U T E が発生していないときに、前述の上流開閉素子 1 1 2 u 又は前述の下流開閉素子 1 1 2 d の全てに対する上三相短絡指令信号 E 又は下三相短絡指令信号 F を発生して、前述のマイクロプロセッサ C P U の不動作状態において、前述の三相交流モータ 1 0 1 の発生電圧が過大となることを抑制するように構成されている。

#### 【 0 1 2 4 】

以上のとおり、請求項 7 に記載の発明に関連し、マイクロプロセッサの作動状態を検出する出力許可信号が不動作であるときには、後段選択回路により三相短絡指令信号が発生するように構成されている。

従って、運転中にマイクロプロセッサの制御動作が停止したとき、或いは、マイクロプロセッサの動作停止中に車載エンジンの単独運転又は車両の降坂惰行運転により発生する三相交流モータの発電電圧が抑制され、回路部品の過電圧破損の発生を防止することができる特徴がある。

30

なお、三相交流モータの回転速度が低下して、その発電電圧により三相短絡を行うことができない状態においては、全ての上流及び下流開閉素子が開路状態となっても、この状態における発電電圧によりは回路部品の過電圧破損は発生しない状態となっているが、三相短絡の解除により発電電圧が上昇して、三相短絡が可能になれば再び三相短絡により発電電圧の抑制が行われることになる。

また、マイクロプロセッサの動作中においては、マイクロプロセッサにより三相短絡指令信号や 6 相遮断指令信号を発生してハードウェア負担を軽減し、マイクロプロセッサが動作停止しているときにはハードウェアによる簡易な三相短絡指令信号のみを発生することによる二重系の制御が行える特徴がある。

40

#### 【 0 1 2 5 】

前述の素子異常検出部 2 0 2 により検出された前述の上流開閉素子 1 1 2 u 又は下流開閉素子 1 1 2 d の短絡異常検出信号は、上素子短絡検出記憶回路 2 0 5 u 又は下素子短絡検出記憶回路 2 0 5 d により記憶されており、

前述の後段選択回路 1 5 0 は、前述の上素子短絡検出記憶回路 2 0 5 u 又は下素子短絡検出記憶回路 2 0 5 d が前述の上流開閉素子 1 1 2 u 又は下流開閉素子 1 1 2 d の短絡状態を記憶しているときには、短絡異常が発生している側の前述の上三相短絡指令信号 E 又は前述の下三相短絡指令信号 F を発生するように構成されている。

50

## 【 0 1 2 6 】

以上のとおり、請求項 8 に記載の発明に関連し、後段選択回路は上素子短絡検出記憶回路又は下素子短絡検出記憶回路が、上流開閉素子又は下流開閉素子の短絡状態を記憶しているときには、短絡異常が発生している側の上三相短絡指令信号又は下三相短絡指令信号を発生するように構成されている。

従って、上下短絡異常が発生しないようにしながら、過電圧異常の発生を防止することができる特徴がある。

## 【 0 1 2 7 】

前述の後段選択回路 1 5 0 は、上側第 2 貫通防止タイマ 1 5 2 u 及び下側第 2 貫通防止タイマ 1 5 2 d を含んでいる。この上側第 2 貫通防止タイマ 1 5 2 u 及び下側第 2 貫通防止タイマ 1 5 2 d は、前述の上流開閉素子 1 1 2 u 又は下流開閉素子 1 1 2 d への閉路指令信号が同時発生することを禁止するハードウェア手段となっており、前述の上側第 2 貫通防止タイマ 1 5 2 u 及び下側第 2 貫通防止タイマ 1 5 2 d を設けた場合には、前述の貫通防止回路 1 4 0 に設けられた前述の上側貫通防止タイマ 1 4 2 u 及び下側貫通防止タイマ 1 4 2 d が削除されるようになっている。

10

## 【 0 1 2 8 】

以上のとおり、請求項 9 に記載の発明に関連し、前段部の貫通防止回路に設けられた上側貫通防止タイマ及び下側貫通防止タイマは削除されて、後段段選択回路には、上側第 2 貫通防止タイマ及び下側第 2 貫通防止タイマが代替設置されている。

従って、上流開閉素子及び下流開閉素子を駆動する上ゲート回路と下ゲート回路の直近位置において、ノイズ誤動作による上流開閉素子及び下流開閉素子の同時閉路を防止することができる特徴がある。

20

## 【 0 1 2 9 】

尚、この発明は、前述の実施の形態 1 及び 2 によるモータ制御装置に限定されるものではなく、この発明の趣旨を逸脱しない範囲において、実施の形態 1 及び 2 の構成を適宜組み合わせたり、その構成に一部変形を加えたり、構成を一部省略することが可能である。

## 【 符号の説明 】

## 【 0 1 3 0 】

1 0 0 A、1 0 0 B モータ制御装置、1 2 補助バッテリー、1 3 電源スイッチ、1 0 1 三相交流モータ、1 0 2 車載バッテリー、1 0 3 電力開閉素子、1 1 0 電力変換部、1 1 1 電源コンデンサ、1 1 2 u 上流開閉素子、1 1 2 d 下流開閉素子、1 1 2 f 転流ダイオード、1 1 3 u 上ゲート回路、1 1 3 d 下ゲート回路、1 1 4 制御電源回路、1 1 4 a 降圧回路、1 1 4 b 安定化電源回路、1 2 0 A、1 2 0 B 演算制御部、1 2 2 上側貫通防止手段、1 2 4 下側貫通防止手段、1 3 0 u 上選択回路、1 3 0 d 下選択回路、1 4 0 貫通防止回路、1 4 2 u 上側貫通防止タイマ、1 4 2 d 下側貫通防止タイマ、1 5 0 後段選択回路、1 5 2 u 上側第 2 貫通防止タイマ、1 5 2 d 下側第 2 貫通防止タイマ、2 0 0 異常監視部、2 0 1 過電圧検出部、2 0 2 素子異常検出部、2 0 3 過電流検出部、2 0 5 u 上素子短絡検出記憶回路、2 0 5 d 下素子短絡検出記憶回路、2 0 8 電源開閉素子、2 0 9 CPU 動作検出回路、2 1 0 選択回路、2 1 2 短絡指令信号優先回路、CPU マイクロプロセッサ、D MEM データメモリ、D O 下三相遮断第 1 指令信号、D O O 下三相遮断第 2 指令信号、D S 下三相短絡指令信号、D x 0 初段の下閉路指令信号、D x 1 中間の下閉路指令信号、E 上三相短絡指令信号、E R 異常検出信号、F 下三相短絡指令信号、O U T E 出力許可信号、P M E M プログラムメモリ、P W M x パルス幅変調信号、P W N x 反転 P W M 信号、R M E M R A M メモリ、U D O 上下 6 相遮断指令信号、U O 上三相遮断第 1 指令信号、U O O 上三相遮断第 2 指令信号、U S 上三相短絡指令信号、U x 0 初段の上閉路指令信号、U x 1 中間の上閉路指令信号、U x 2 後段の上閉路指令信号、V c c 制御電圧

30

40

## 【 要約 】

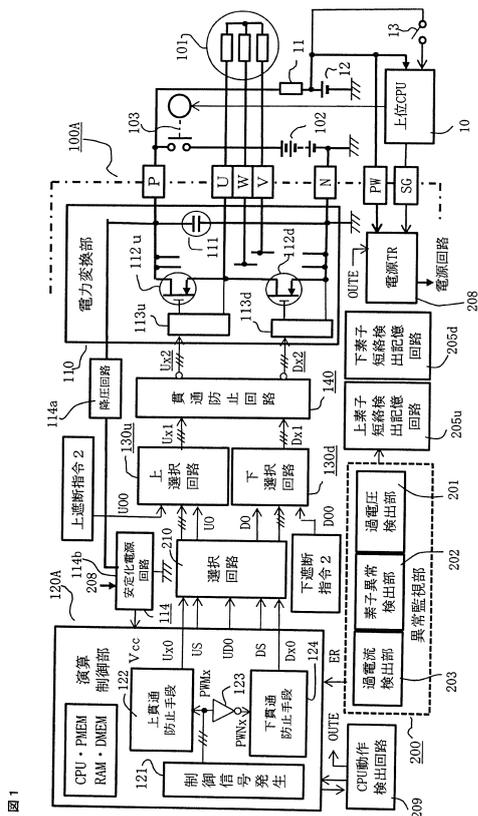
【 課題 】 過電圧異常の発生を抑制して回路部品の損傷を防止する。

50

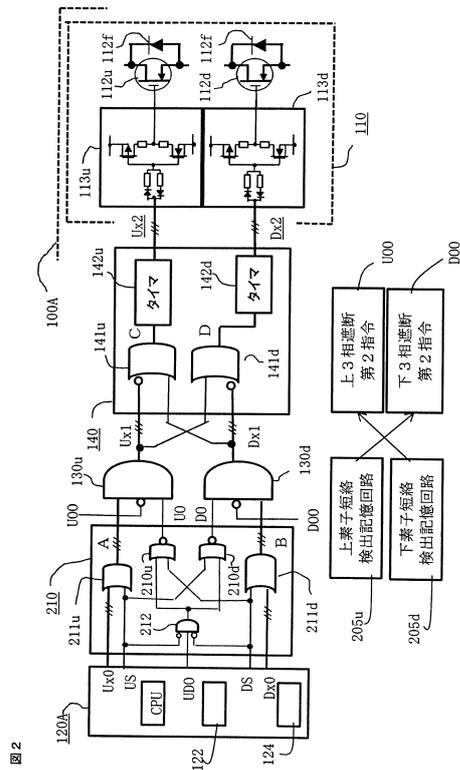
【解決手段】電力変換部の上流及び下流開閉素子は、演算制御部が発生する上閉路及び下閉路指令信号により個別に閉路駆動され、信号経路に設けられた上又は下選択回路と貫通防止回路では、過電流異常又は過電圧異常の発生に反応して上三相又は下三相短絡指令信号或いは上下6相遮断指令信号が選択されるとともに、貫通防止タイマにより上下の開閉素子の同時閉路が禁止されていて、過電圧異常が発生すると、先行遮断操作を行わないで直ちに三相短絡指令信号を発生して、回路部品の過電圧破損を防止する。

【選択図】図2

【図1】



【図2】



【図3A】

図3A

US	DS	UDO	UO	DO	A	B	UOxA	DOxB
L	L	L	H	H	Ux0	Dx0	Ux0	Dx0
H	L	L	H	L	H	Dx0	H	L
L	H	L	L	H	Ux0	H	L	H
*H	*H	L	L	L	*H	*H	L	L
L	L	H	L	L	Ux0	Dx0	L	L
H	L	H	H	L	H	Dx0	H	L
L	H	H	L	H	Ux0	H	L	H
*H	*H	H	L	L	*H	*H	L	L

【図3B】

図3B

		Ux1		Dx1	
UOxA	DOxB	UO0=H	UO0=L	DO0=H	DO0=L
Ux0	Dx0	L	Ux0	L	Dx0
H	L	L	H	L	L
L	H	L	L	L	H
L	L	L	L	L	L
L	L	L	L	L	L
H	L	L	H	L	L
L	H	L	L	L	H
L	L	L	L	L	L

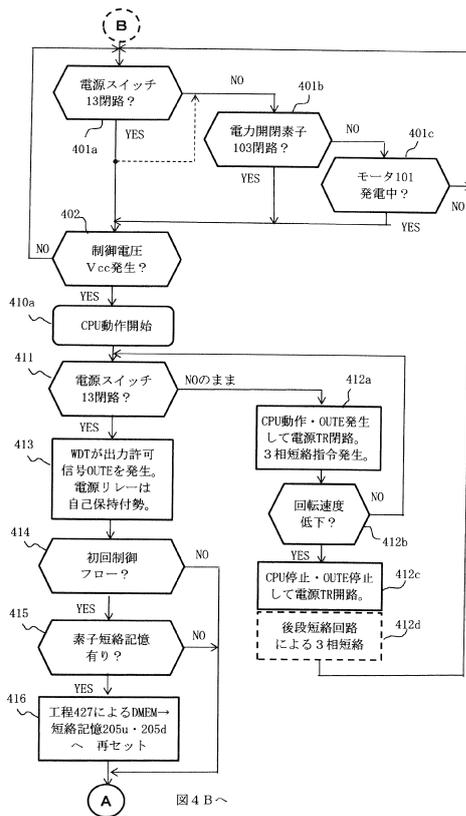
【図3C】

図3C

		Ux2		Dx2			
Ux1	Dx1	C	D	上素子	下素子	備考	
H	L	L	H	閉路	閉路	上遅延閉路	
L	H	H	L	閉路	閉路	下遅延閉路	
L	L	H	H	閉路	閉路	貫通防止中	
H	H	H	H	閉路	閉路	組合せ不適合	

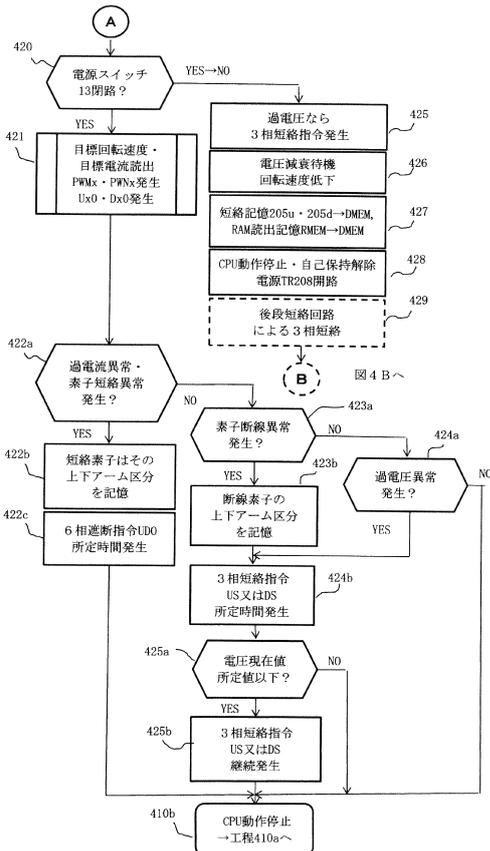
【図4A】

図4A



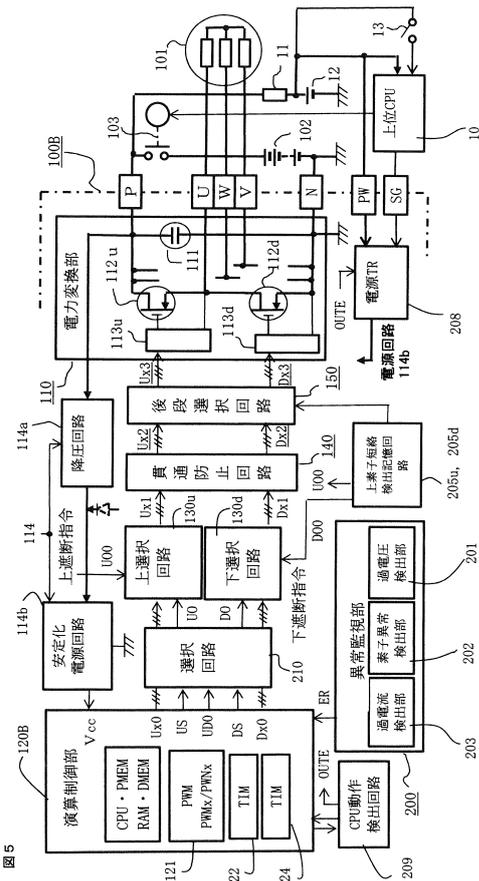
【図4B】

図4B



【図5】

図5



【 図 6 】

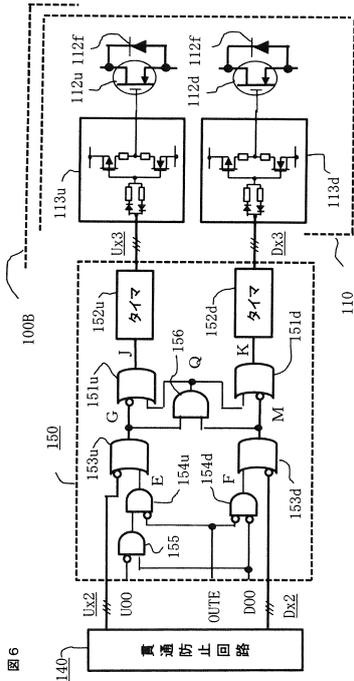


図6

【 図 7 A 】

図 7 A

OUTE	U00	D00	E	F	G	M
H	L	L	L	L	Ux2	Dx2
H	L	H	L	L	Ux2	Dx2
H	H	L	L	L	Ux2	Dx2
H	H	H	L	L	Ux2	Dx2
L	L	L	L	H	Ux2	H
L	L	H	H	L	H	Dx2
L	H	L	L	H	Ux2	H
L	H	H	L	L	Ux2	Dx2

【 図 7 B 】

図 7 B

Ux2	Dx2	Ux3	Dx3			
G	M	J	K	上素子	下素子	備考
H	L	L	H	閉路	閉路	上遅延閉路
L	H	H	L	開路	閉路	下遅延閉路
L	L	H	H	開路	開路	貫通防止中
H	H	H	H	開路	開路	組合せ不適合

---

フロントページの続き

- (72)発明者 木村 友博  
東京都千代田区九段北一丁目13番5号 三菱電機エンジニアリング株式会社内
- (72)発明者 益留 一成  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 上野 力

- (56)参考文献 特開2013-132098(JP,A)  
特開2012-5229(JP,A)  
特開平7-322669(JP,A)  
特開2008-228547(JP,A)  
特開2015-220786(JP,A)  
米国特許出願公開第2016/211774(US,A1)

- (58)調査した分野(Int.Cl., DB名)
- |      |        |
|------|--------|
| H02P | 29/024 |
| H02P | 27/08  |