



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년03월02일  
(11) 등록번호 10-2220990  
(24) 등록일자 2021년02월22일

- (51) 국제특허분류(Int. Cl.)  
G11C 11/22 (2006.01)
- (52) CPC특허분류  
G11C 11/2275 (2013.01)  
G11C 11/221 (2013.01)
- (21) 출원번호 10-2019-7001496
- (22) 출원일자(국제) 2017년06월02일  
심사청구일자 2019년01월16일
- (85) 번역문제출일자 2019년01월16일
- (65) 공개번호 10-2019-0017999
- (43) 공개일자 2019년02월20일
- (86) 국제출원번호 PCT/US2017/035758
- (87) 국제공개번호 WO 2017/222786  
국제공개일자 2017년12월28일
- (30) 우선권주장  
15/188,886 2016년06월21일 미국(US)
- (56) 선행기술조사문헌  
KR1020020003100 A\*  
US20080068873 A1\*  
WO2006073308 A1  
\*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
마이크론 테크놀로지, 인크  
미국, 아이다호, 보이세, 사우스 페더럴 웨이 8000
- (72) 발명자  
칼데로니, 알레산드로  
미국, 아이다호 83716-9632, 보이세, 사우스 페더럴 웨이 8000  
라마스와미, 두라이 비샤크 니르말  
미국, 아이다호 83716-9632, 보이세, 사우스 페더럴 웨이 8000  
(뒷면에 계속)
- (74) 대리인  
한양특허법인

전체 청구항 수 : 총 30 항

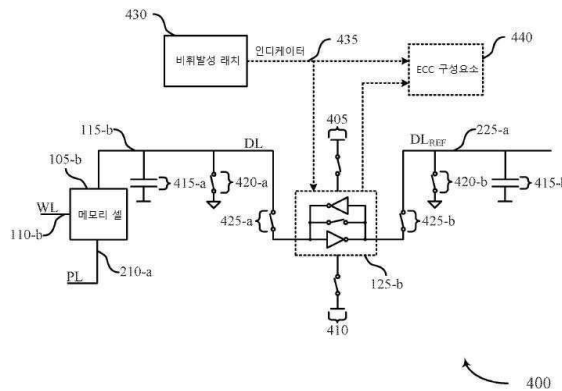
심사관 : 신우열

(54) 발명의 명칭 메모리 셀 임프린트 방지

(57) 요약

강유전성 메모리 셀(들)을 동작시키는 방법, 시스템 및 디바이스가 기술된다. 셀은 통상적으로 값과 관련된 것과는 다른 로직 상태를 전달하기 위한 값으로 기입될 수 있다. 예를 들어, 일정 기간 동안 하나의 로직 상태와 연관된 전하를 저장한 셀은 다른 전하를 저장하기 위해 재기입될 수 있고, 재기입된 셀은 여전히 원래 저장된 로직 상태를 갖도록 판독될 수 있다. 셀에 의해 현재 저장된 로직 상태가 셀의 의도된 로직 상태인지 여부를 표시하기 위한 인디케이터가 래치에 저장될 수 있다. 예를 들어, 셀은 주기적으로, 이벤트의 발생에 기초하여, 또는 셀이 특정 시간 주기 동안 하나의 값(또는 전하)을 저장했다는 결정에 기초하여, 반대 값으로 재기입될 수 있다.

대표도 - 도4



(72) 발명자

**프릴, 커크**

미국, 아이다호 83716-9632, 보이세, 사우스 페더  
럴 웨이 8000

**베데쉬이, 페르디난도**

미국, 아이다호 83716-9632, 보이세, 사우스 페더  
럴 웨이 8000

---

**명세서**

**청구범위**

**청구항 1**

메모리 어레이를 동작시키는 방법으로서,

로직 상태를 저장하는 강유전성 메모리 셀과 연관된 제 1 시간 주기를 선택하는 단계로서, 상기 제 1 시간 주기는 상기 강유전성 메모리 셀의 하나 이상의 특성에 부분적으로 기초하여 선택되는, 단계;

상기 강유전성 메모리 셀에 제 1 로직 상태를 기입하는 단계와,

상기 로직 상태를 저장하는 상기 강유전성 메모리 셀과 연관된 상기 제 1 시간 주기를 선택하는 것에 적어도 부분적으로 기초하여, 상기 강유전성 메모리 셀이 상기 제 1 시간 주기 동안 상기 제 1 로직 상태를 저장하였음을 결정하는 단계와,

상기 강유전성 메모리 셀이 상기 제 1 시간 주기 동안 상기 제 1 로직 상태를 저장하였다는 결정에 적어도 부분적으로 기초하여 상기 제 1 로직 상태와 다른 제 2 로직 상태를 상기 강유전성 메모리 셀에 기입하는 단계를 포함하는

동작 방법.

**청구항 2**

제 1 항에 있어서,

래치에 인디케이터를 저장하는 단계를 더 포함하며,

상기 인디케이터의 값은 상기 강유전성 메모리 셀의 의도된 로직 상태가 상기 제 1 로직 상태 또는 상기 제 2 로직 상태인지 여부를 표시하는, 동작 방법.

**청구항 3**

제 2 항에 있어서,

상기 강유전성 메모리 셀과 전자 통신하는 감지 구성요소로 상기 강유전성 메모리 셀의 상기 제 2 로직 상태를 감지하는 단계와,

상기 인디케이터의 값과 상기 제 2 로직 상태의 감지에 적어도 부분적으로 기초하여 상기 강유전성 메모리 셀의 의도된 로직 상태가 상기 제 1 로직 상태임을 결정하는 단계를 더 포함하는, 동작 방법.

**청구항 4**

제 2 항에 있어서,

상기 메모리 어레이의 판독 동작으로부터 코드 워드를 식별하는 단계 - 상기 코드 워드의 값은 상기 인디케이터의 값에 적어도 부분적으로 기초함 - 와,

상기 코드 워드에 적어도 부분적으로 기초하여, 상기 강유전성 메모리 셀의 의도된 로직 상태가 상기 제 1 로직 상태임을 결정하는 단계를 더 포함하는, 동작 방법.

**청구항 5**

제 2 항에 있어서,

상기 강유전성 메모리 셀에 저장하기 위해 상기 제 1 로직 상태를 수신하는 단계와,

상기 인디케이터의 값에 적어도 부분적으로 기초하여 상기 제 2 로직 상태를 상기 강유전성 메모리 셀에 기입하는 단계를 포함하는, 동작 방법.

**청구항 6**

제 2 항에 있어서,

상기 제 2 로직 상태를 상기 강유전성 메모리 셀에 기입함에 적어도 부분적으로 기초하여 상기 인디케이터의 값을 업데이트하는 단계를 더 포함하고,

상기 인디케이터의 업데이트 값은 상기 강유전성 메모리 셀의 의도된 로직 상태가 상기 제 1 로직 상태임을 표시하는, 동작 방법.

**청구항 7**

제 6 항에 있어서,

상기 강유전성 메모리 셀이 제 2 시간 주기 동안 상기 제 2 로직 상태를 저장하고 있음을 결정하는 단계와,

상기 강유전성 메모리 셀이 상기 제 2 시간 주기 동안 상기 제 2 로직 상태를 저장하고 있음을 결정함에 적어도 부분적으로 기초하여 상기 제 1 로직 상태를 상기 강유전성 메모리 셀에 다시 기입하는 단계를 더 포함하는, 동작 방법.

**청구항 8**

제 7 항에 있어서,

상기 제 1 로직 상태를 상기 강유전성 메모리 셀에 기입함에 적어도 부분적으로 기초하여 상기 인디케이터의 값을 업데이트하는 단계를 더 포함하며,

상기 인디케이터의 업데이트된 값은 상기 강유전성 메모리 셀의 의도된 로직 상태가 상기 제 1 로직 상태임을 나타내는 단계를 포함하는, 동작 방법.

**청구항 9**

제 7 항에 있어서,

상기 제 1 시간 주기는 사이클의 제 1 간격을 포함하고, 상기 제 2 시간 주기는 상기 사이클의 제 2 간격을 포함하며, 상기 사이클의 주기는 상기 제 1 로직 상태의 기입과 상기 제 1 로직 상태의 다시 기입 사이의 시간을 포함하는, 동작 방법.

**청구항 10**

제 2 항에 있어서,

상기 래치는 복수의 래치 중 하나의 래치를 포함하고, 상기 강유전성 메모리 셀의 의도된 로직 상태는 상기 복수의 래치 중 다수에 의해 저장되는 값에 적어도 부분적으로 기초하는, 동작 방법.

**청구항 11**

제 1 항에 있어서,

상기 강유전성 메모리 셀이 액세스없이 상기 제 1 시간 주기 동안 상기 제 1 로직 상태를 저장하였음을 식별하는 단계를 더 포함하며,

상기 제 2 로직 상태의 기입은 상기 식별 단계에 적어도 부분적으로 기초하는, 동작 방법.

**청구항 12**

제 1 항에 있어서,

상기 강유전성 메모리 셀을 포함하는 상기 메모리 어레이의 서브섹션을 식별하는 단계와,

상기 서브섹션의 하나 이상의 강유전성 메모리 셀들이 상기 제 1 시간 주기 동안 상기 제 1 로직 상태를 저장하고 있음을 결정함에 적어도 부분적으로 기초하여 상기 서브섹션의 각각의 강유전성 메모리 셀에 상이한 로직 상태를 기입하는 단계를 더 포함하는, 동작 방법.

**청구항 13**

제 1 항에 있어서,  
 상기 제 1 시간 주기가 경과되었음을 결정하는 단계는,  
 다수의 에러가 임계 수를 초과함을 결정하는 단계,  
 상기 메모리 어레이가 저전력 모드에서 동작함을 결정하는 단계,  
 상기 메모리 어레이가 파워-다운 모드로 동작함을 결정하는 단계, 또는  
 사용자로부터의 명령이 수신되었음을 결정하는 단계 중 적어도 하나를 포함하는, 동작 방법.

**청구항 14**

제 1 항에 있어서,  
 상기 강유전성 메모리 셀을 포함하는 상기 메모리 어레이의 서브섹션을 활성화하는 단계를 더 포함하고,  
 상기 강유전성 메모리 셀을 기입하는 단계는 상기 서브섹션의 활성화에 적어도 부분적으로 기초하여 상기 서브  
 섹션의 각각의 강유전성 메모리 셀에 상이한 로직 상태를 기입하는 단계를 포함하는, 동작 방법.

**청구항 15**

제 1 항에 있어서,  
 상기 제 2 로직 상태는 상기 제 1 로직 상태에 반대인, 동작 방법.

**청구항 16**

제 1 항에 있어서, 상기 제 1 시간 주기는 상기 강유전성 메모리 셀의 온도, 상기 강유전성 메모리 셀의 연령  
 (age), 상기 강유전성 메모리의 액세스 동작들 간의 평균 지연, 또는, 상기 강유전성 메모리 셀을 판독함으로써  
 얻어지는 감지 윈도우 중 적어도 하나, 또는 이들의 임의의 조합에 적어도 부분적으로 기초하는, 동작 방법.

**청구항 17**

전자 메모리 장치로서,  
 제 1 로직 상태 또는 제 2 로직 상태로 기입가능한 강유전성 메모리 셀과,  
 상기 강유전성 메모리 셀에 결합되는 래치 - 상기 래치는 상기 제 1 로직 상태 또는 상기 제 2 로직 상태가 상  
 기 강유전성 메모리 셀의 의도된 로직 상태를 나타내는 지 여부의 표시를 저장하는 비휘발성 메모리 셀을 포함  
 하고, 또한 상기 제 1 로직 상태 또는 상기 제 2 로직 상태가 의도된 로직 상태를 나타내는 지 여부의 상기 표  
 시는, 상기 강유전성 메모리 셀이 상기 제 1 로직 상태 또는 상기 제 2 로직 상태를 저장하였던 제 1 시간 주기  
 의 경과에 기초함 - 를 포함하는  
 전자 메모리 장치.

**청구항 18**

제 17 항에 있어서,  
 상기 래치 및 상기 강유전성 메모리 셀과 전자 통신하는 감지 증폭기를 더 포함하는, 전자 메모리 장치.

**청구항 19**

제 17 항에 있어서,  
 감지 증폭기의 출력 및 상기 래치와 전자 통신하는 에러 정정 코드(ECC) 구성요소를 더 포함하는, 전자 메모리  
 장치.

**청구항 20**

제 17 항에 있어서,

상기 래치는 제 2 강유전성 메모리 셀을 포함하는, 전자 메모리 장치.

**청구항 21**

전자 메모리 장치로서,

강유전성 메모리 셀과,

상기 강유전성 메모리 셀과 전자 통신하는 제어기를 포함하되, 상기 제어기는,

로직 상태를 저장하는 상기 강유전성 메모리 셀과 연관된 제 1 시간 주기를 선택하되, 상기 제 1 시간 주기는 상기 강유전성 메모리 셀의 하나 이상의 특성에 적어도 부분적으로 기초하여 선택하고,

상기 로직 상태를 저장하는 상기 강유전성 메모리 셀과 연관된 상기 제 1 시간 주기를 선택하는 것에 적어도 부분적으로 기초하여, 상기 강유전성 메모리 셀이 상기 제 1 시간 주기 동안 제 1 로직 상태를 저장하였음을 결정하도록 동작가능하며,

상기 강유전성 메모리 셀이 상기 제 1 시간 주기 동안 상기 제 1 로직 상태를 저장하고 있다고 결정함에 적어도 부분적으로 기초하여 상기 제 1 로직 상태와 다른 제 2 로직 상태를 상기 강유전성 메모리 셀에 기입하도록 동작가능한,

전자 메모리 장치.

**청구항 22**

제 21 항에 있어서, 상기 제어기는,

상기 제 2 로직 상태를 상기 강유전성 메모리 셀에 기입함에 적어도 부분적으로 기초하여, 인디케이터의 값을 업데이트하도록 동작가능하고,

상기 인디케이터의 업데이트된 값은 상기 강유전성 메모리 셀의 의도된 로직 상태가 상기 제 1 로직 상태임을 표시하는, 전자 메모리 장치.

**청구항 23**

제 21 항에 있어서,

비휘발성 메모리 셀을 포함하는 래치를 더 포함하며,

상기 제어기는 상기 래치에 인디케이터를 저장하도록 동작가능하며, 상기 인디케이터의 값은 상기 강유전성 메모리 셀의 의도된 로직 상태가 상기 제 1 로직 상태인지 또는 상기 제 2 로직 상태인지 여부를 표시하는, 전자 메모리 장치.

**청구항 24**

제 21 항에 있어서, 상기 제어기는,

상기 강유전성 메모리 셀을 포함하는 메모리 어레이의 온도를 측정하도록 동작가능하고, 상기 제 1 시간 주기는 상기 온도에 적어도 부분적으로 기초하며, 또는

상기 강유전성 메모리 셀에 대해 수행된 액세스 동작의 수를 측정하도록 동작가능하고, 상기 제 1 시간 주기는 상기 강유전성 메모리 셀의 액세스 동작의 수에 적어도 부분적으로 기초하며, 그리고,

측정된 온도 또는 액세스 동작의 수 또는 둘 모두에 적어도 부분적으로 기초하여 상기 제 1 시간 주기의 값을 변경하도록 동작가능한, 전자 메모리 장치.

**청구항 25**

제 24 항에 있어서, 상기 제어기는,

제 1 로직 상태가 기입된 후 타이머를 개시하도록 동작가능하고, 상기 타이머의 값은 상기 강유전성 메모리 셀

이 상기 제 1 시간 주기 동안 상기 제 1 로직 상태를 저장했는지 여부를 표시하는, 전자 메모리 장치.

**청구항 26**

전자 메모리 장치로서,

로직 상태를 저장하는 강유전성 메모리 셀과 연관된 제 1 시간 주기를 선택하는 수단으로서, 상기 제 1 시간 주기는 상기 강유전성 메모리 셀의 하나 이상의 특성에 적어도 부분적으로 기초하여 선택되는, 수단과,

상기 로직 상태를 저장하는 상기 강유전성 메모리 셀과 연관된 상기 제 1 시간 주기를 선택하는 것에 적어도 부분적으로 기초하여, 상기 강유전성 메모리 셀이 상기 제 1 시간 주기 동안 제 1 로직 상태를 저장하고 있음을 결정하는 수단과,

상기 강유전성 메모리 셀이 상기 제 1 시간 주기 동안 상기 제 1 로직 상태를 저장하고 있음을 결정함에 적어도 부분적으로 기초하여 상기 제 1 로직 상태와 다른 제 2 로직 상태를 상기 강유전성 메모리 셀에 기입하는 수단을 포함하는

전자 메모리 장치.

**청구항 27**

제 26 항에 있어서,

상기 제 2 로직 상태를 상기 강유전성 메모리 셀에 기입함에 적어도 부분적으로 기초하여 인디케이터의 값을 업데이트하는 수단을 더 포함하며,

상기 인디케이터의 업데이트된 값은 상기 강유전성 메모리 셀의 의도된 로직 상태가 상기 제 1 로직 상태임을 표시하는, 전자 메모리 장치.

**청구항 28**

제 26 항에 있어서,

비휘발성 메모리 셀을 포함하는 래치에 인디케이터를 저장하는 수단을 더 포함하며,

상기 인디케이터의 값은 상기 강유전성 메모리 셀의 의도된 로직 상태가 상기 제 1 로직 상태 또는 상기 제 2 로직 상태인지 여부를 표시하는, 전자 메모리 장치.

**청구항 29**

제 26 항에 있어서,

상기 강유전성 메모리 셀을 포함하는 메모리 어레이의 온도를 측정하는 수단 - 상기 제 1 시간 주기는 상기 온도에 적어도 부분적으로 기초함 - , 또는

상기 강유전성 메모리 셀에 대해 수행된 액세스 동작의 수를 측정하는 수단 - 상기 제 1 시간 주기는 상기 강유전성 메모리 셀의 액세스 동작의 수에 적어도 부분적으로 기초함 -; 그리고,

측정된 온도 또는 액세스 동작의 수 또는 둘 모두에 적어도 부분적으로 기초하여 상기 제 1 시간 주기의 값을 수정하는 수단을 포함하는, 전자 메모리 장치.

**청구항 30**

제 29 항에 있어서,

상기 제 1 로직 상태가 기입된 후에 타이머를 개시하는 수단을 더 포함하며,

상기 타이머의 값은 상기 강유전성 메모리 셀이 상기 제 1 시간 주기 동안 상기 제 1 로직 상태를 저장했는지 여부를 표시하는, 전자 메모리 장치.

**발명의 설명**

**기술 분야**

[0001] 교차 참조

[0002] 본 특허 출원은 2016 년 6 월 21 일자로 "Memory Cell Imprint Avoidance"의 명칭으로 출원된 Calderoni 등의 미국 특허 출원 제 15/188,886 호에 우선권을 주장하는, 2017 년 6 월 2 일자로 출원된 "Memory Cell Imprint Avoidance"라는 제목의 PCT 출원 번호 PCT/US2017/035758호에 대한 우선권을 주장하며, 이들 각각은 본원의 양수인에게 양도되었으며, 각각은 여기에 전체적으로 참조로 포함된다.

[0003] 배경

[0004] 다음은 일반적으로 메모리 디바이스에 관한 것이며, 보다 상세하게는 장시간 동안 로직 값을 저장하는 강유전성 메모리 셀의 성능을 유지하는 것에 관한 것이다.

**배경 기술**

[0005] 메모리 디바이스는 컴퓨터, 무선 통신 장치, 카메라, 디지털 디스플레이 등과 같은 다양한 전자 장치에 정보를 저장하기 위해 널리 사용된다. 정보는 메모리 디바이스의 상이한 상태를 프로그래밍함으로써 저장된다. 예를 들어, 바이너리 디바이스는 2개의 상태를 가지며, 흔히 로직 "1" 또는 로직 "0"으로 표시된다. 다른 시스템에서는 2개보다 많은 상태가 저장될 수 있다. 저장된 정보에 액세스하기 위해, 전자 장치는 메모리 디바이스에서 저장된 상태를 판독하거나 감지할 수 있다. 정보를 저장하기 위해, 전자 장치는 메모리 디바이스에 상태를 기록하거나 프로그래밍할 수 있다.

[0006] RAM(random access memory), ROM(read only memory), DRAM(dynamic RAM), SDRAM(synchronous dynamic RAM), FeRAM(ferroelectric RAM), MRAM(magnetic RAM), RRAM(resistive RAM), 플래시 메모리 등을 포함한 다양한 유형의 메모리 디바이스가 존재한다. 메모리 디바이스는 휘발성 또는 비휘발성 일 수 있다. 비휘발성 메모리(예를 들어, 플래시 메모리)는 외부 전원이 없은 경우에도 장시간 동안 데이터를 저장할 수 있다. 휘발성 메모리 디바이스(예를 들어, DRAM)는 외부 전원에 의해 주기적으로 리프레시되지 않는 한, 시간에 따라 저장된 상태를 잃을 수 있다. 이진 메모리 디바이스는 예를 들어 충전 또는 방전된 커패시터를 포함할 수 있다. 그러나 충전된 커패시터는 누설 전류를 통해 시간이 지남에 따라 방전되어 저장 정보가 손실될 수 있다. 휘발성 메모리의 특정 기능은 빠른 읽기 또는 쓰기 속도와 같은 성능 이점을 제공할 수 있지만, 주기적 새로 고침없이 데이터를 저장하는 기능과 같은 비휘발성 메모리의 기능이 유리할 수 있다.

[0007] FeRAM은 휘발성 메모리와 유사한 디바이스 아키텍처를 사용할 수 있지만, 저장 디바이스로서 강유전성 커패시터의 사용으로 인해 비휘발성 특성을 가질 수 있다. FeRAM 디바이스는 다른 비휘발성 및 휘발성 메모리 디바이스와 비교하여 성능이 향상될 수 있다. FeRAM 디바이스의 강유전성 메모리 셀은 장시간(예를 들어, 시간, 일, 월 등) 동안 로직 상태(예컨대, 로직 1)를 저장할 수 있다. 이 기간 동안, 강유전성 메모리 셀의 강유전성 커패시터 내의 강유전성 도메인이 시프트될 수 있고, 그 강도 및 효과는 시간에 따라 증가할 수 있다. 이 시프트의 결과로서, 강유전성 메모리 셀은 후속의 기록 또는 판독 동작 중에 성능이 저하될 수 있다.

**발명의 내용**

**도면의 간단한 설명**

[0008] 본원의 개시 내용은 다음의 도면을 참조하고 포함한다:

도 1은 본 발명의 다양한 실시예에 따라 메모리 셀의 임프린트(imprint)를 방지하는 예시적인 메모리 어레이를 도시한다.

도 2는 메모리 셀을 포함하고 본 개시의 다양한 실시예에 따라 메모리 셀의 임프린트(imprint)를 방지하는 예시적인 회로를 도시한다.

도 3은 본 발명의 다양한 실시예에 따라 동작되는 강유전성 메모리 셀에 대한 예시적인 히스테리시스 플롯을 도시한다.

도 4는 본 발명의 다양한 실시예에 따라 메모리 셀의 임프린트(imprint) 방지를 지원하는 예시적인 회로를 도시한다.

도 5는 본 발명의 다양한 실시예에 따른 예시적인 회로의 동작을 예시하는 예시적인 다이어그램을 도시한다.

도 6a 내지 도 6c는 본 발명의 다양한 실시예에 따라 동작하는 메모리 어레이의 예시적인 서브섹션을 도시한다.



도 7은 본 발명의 다양한 실시예에 따라 메모리 셀의 임프린트(imprint) 방지를 지원하는 예시적인 강유전성 메모리 어레이의 블록도를 도시한다.

도 8은 본 발명의 다양한 실시예에 따라 메모리 셀의 임프린트(imprint) 방지를 지원하는 메모리 어레이를 포함하는 시스템을 도시한다.

도 9는 본 발명의 다양한 실시예에 따라 메모리 셀의 임프린트(imprint)를 피하기 위한 방법(들)을 도시하는 흐름도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0009] 강유전성 메모리 셀은 강유전성 도메인을 시프팅하는 효과를 완화시키기 위해 전형적으로 그 값과 관련되는 것과는 상이한 로직 상태를 전달하도록 의도된 값으로 기록될 수 있다. 예를 들어, 일정 기간 동안 하나의 로직 상태와 연관된 전하를 저장한 셀은 다른 전하를 저장하도록 재기입될 수 있고, 재기입된 셀은 원래 저장된 로직 상태를 갖도록 여전히 관독될 수 있다. 예를 들어, 셀은 이벤트의 발생에 기초하여, 또는 셀이 특정 기간 동안 하나의 값(또는 전하)을 저장했다는 결정에 기초하여, 주기적으로 반대 값으로 재기입될 수 있다. 셀에 의해 현재 저장된 로직 상태가 셀의 의도된 로직 상태인지를 나타낼 수 있는 인디케이터가 (예를 들어, 래치에) 저장될 수 있다.
- [0010] 예로서, 초기 로직 상태(예를 들면, 로직 "1")가 메모리 셀에 기록되고 저장될 수 있다. 후속 액세스 동작들(예를 들어, 판독 또는 기록 동작들)은 초기 로직 상태의 저장 이후 연장된 기간(예를 들어, 시간, 일, 월 등) 동안 메모리 셀에 대해 스케줄링되지 않을 수 있다; 또는 동일한 로직 값이 연장된 기간 동안 메모리 셀에 연속적으로 기록될 수 있다. 그 결과, 메모리 셀의 강유전성 커패시터 내의 강유전체 도메인이 이동될 수 있다. 이 현상을 "임프린트"(imprint)라고 지칭할 수 있다.
- [0011] 임프린트의 영향을 완화하기 위해, 메모리 셀이 일정 시간 동안 초기 로직 상태를 저장했거나, 이벤트가 발생했거나, 또는 셀이 소정 시간 동안 동일한 값으로 연속적으로 기록되었다는 결정이 이루어질 수 있고, 반대 값이 셀에 기록될 수 있다. 그럼에도 불구하고, 셀의 의도된 로직 상태는 변하지 않을 수 있다. 따라서, 셀의 초기 로직 상태가 "1"이고, 소정 시간 후에, 셀이 로직 "0"으로 재기입되면, 셀의 의도된 상태가 될 수 있고, 셀이 로직 "1"을 저장함으로써 관독될 수 있다.
- [0012] 소정의 경우에, 초기 로직 상태가 저장될 때 타이머가 개시될 수 있고, 타이머의 현재 값은 구성된 시간주기에 대응하는 미리 결정되거나 동적으로 구성된 값과 비교될 수 있다. 구성된 시간주기는 셀의 임프린트를 초래할 것으로 예상되는 시간보다 짧을 수 있으며, 일부 예에서 수초 또는 분 정도일 수 있다. 몇몇 경우에, 시간주기에 대응하는 값은 메모리 셀의 내부 특성, 메모리 셀의 온도, 메모리 셀의 에이지, 메모리 셀을 관독함으로써 얻어진 감지 윈도우 등을 기초로 결정될 수 있다.
- [0013] 경과된 시간을 결정하면, 초기에 저장된 로직 상태와 관련하여 상이한 로직 상태(예를 들어, 반대 로직 0 상태)가 메모리 셀에 기록될 수 있다. 동시에, 래치(예를 들어, 비휘발성 메모리 셀)에 저장된 인디케이터는 하나의 값(예를 들어, "0")에서 다른 값(예를 들어, "1")으로 업데이트될 수 있다. 인디케이터의 값은 메모리 셀에 의해 현재 저장된 로직 상태가 메모리 셀로부터 관독되도록 의도된 로직 상태인지 또는 메모리 셀로부터 관독되도록 의도된 로직 상태와 상이한지를 나타낼 수 있다. 예를 들어, 인디케이터 값 0은 메모리 셀의 의도된 로직 상태가 현재 메모리 셀에 의해 저장된 로직 상태와 동일함을 나타내기 위해 사용될 수 있는 반면, 인디케이터 값 1은 메모리 셀의 의도된 로직 상태가 메모리 셀에 의해 저장된 로직 상태의 반대임을 나타내기 위해 사용될 수 있다. 일부 예에서, 로직 0은 로직 1의 반대로 간주될 수 있다.
- [0014] 다른 예에서, 상이한 로직 상태가 메모리 셀에 기록될 수 있고, 인디케이터는 특정 이벤트에 응답하여 업데이트될 수 있다. 예를 들어, 상이한 로직 상태는 소정 수의 판독/기록 에러가 검출된 후에 기록될 수 있다. 다른 경우에, 상이한 로직 상태는 저전력 상태 또는 파워-다운 상태에서 복귀하는 디바이스에 응답하여, 또는 디바이스가 외부 전원 소스에 플러그된 것에 응답하여, 또는 디바이스를 동작시키는 사용자로부터의 입력에 응답하여 기록될 수 있다.
- [0015] 몇몇 경우에, 인디케이터의 값은 감지 구성요소에 제공될 수 있고, 감지 구성요소는 메모리 셀에 현재 저장된 로직 상태(예를 들어, 로직 0)를 감지할 수 있다. 감지 구성요소는 감지된 로직 상태 및 인디케이터의 값(예를 들어, 1)을 사용하여 감지된 로직 상태의 반대 상태가 메모리 셀로부터 관독되도록 의도된 로직 상태(예를 들어, 초기에 저장된 로직 1 상태)임을 결정할 수 있다. 다른 예에서, 인디케이터의 값은 에러 정정 코드(ECC)

구성요소에 제공될 수 있고, 메모리 셀을 포함하는 메모리 어레이의 판독 동작으로부터 코드 워드를 식별하는데 사용되며, 코드 워드의 값은 의도된 로직 상태를 결정하는데 사용될 수 있다. 단일 메모리 셀의 환경에서 논의되었지만, 아래에서보다 상세히 설명되는 바와 같이, 상기 논의의 특징은 다수의 메모리 셀에 걸쳐 구현될 수 있다.

- [0016] 상술된 개시의 특징은 메모리 어레이와 관련하여 이하에서 더 설명된다. 이어서, 메모리 셀의 임프린트(imprint)를 회피하기 위한 대응하는 다이어그램을 갖는 예시적인 회로에 대한 특정 예가 설명된다. 본 명세서의 이들 및 다른 특징들은 메모리 셀의 임프린트(imprint)를 회피하는 것과 관련된 장치 다이어그램, 시스템 다이어그램 및 흐름도를 참조하여 더 설명된다.
- [0017] 도 1은 본 발명의 다양한 실시예에 따라 메모리 셀의 임프린트(imprint) 방지를 지원하는 예시적인 메모리 어레이(100)를 도시한다. 메모리 어레이(100)는 또한 전자 메모리 장치로 지칭될 수 있다. 메모리 어레이(100)는 상이한 상태를 저장하도록 프로그램가능한 메모리 셀(105)을 포함한다. 각각의 메모리 셀(105)은 로직 0 및 로직 1로 표시된 2개의 상태를 저장하도록 프로그램될 수 있다. 어떤 경우에, 메모리 셀(105)은 2개보다 많은 로직 상태를 저장하도록 구성된다. 메모리 셀(105)은 프로그램 가능 상태를 나타내는 전하를 저장하는 커패시터를 포함할 수 있다. 예를 들어, 충전된 및 충전되지 않은 커패시터는 각각 2 개의 로직 상태를 나타낼 수 있다.
- [0018] DRAM 아키텍처는 일반적으로 이러한 디자인을 사용할 수 있으며, 채용된 커패시터는 선형 전기 분극 특성을 갖는 유전체 재료를 포함할 수 있다. 대조적으로, 강유전성 메모리 셀은 유전체 재료로서 강유전체를 갖는 커패시터를 포함할 수 있다. 강유전성 커패시터의 상이한 전하 레벨은 상이한 로직 상태를 나타낼 수 있다. 강유전성 재료는 비선형 분극 특성을 갖는다. 강유전성 메모리 셀(105)의 몇몇 세부 사항들 및 이점들이 아래에서 논의된다.
- [0019] 판독 및 기록과 같은 동작은 적절한 액세스 라인(110) 및 디지털 라인(115)을 활성화 또는 선택함으로써 메모리 셀(105)상에서 수행될 수 있다. 액세스 라인(110)은 또한 워드 라인(110)으로 지칭될 수 있고 디지털 라인(115)은 또한 비트 라인(115)으로 지칭될 수 있다. 워드 라인(110) 또는 디지털 라인(115)을 활성화 또는 선택하는 단계는 각각의 라인에 전압을 인가하는 단계를 포함할 수 있다. 워드 라인(110) 및 디지털 라인(115)은 도전성 재료로 제조된다. 예를 들어, 워드 라인(110) 및 디지털 라인(115)은 금속(가령, 구리, 알루미늄, 금, 텅스텐 등), 금속 합금, 다른 도전성 재료 등으로 제조될 수 있다. 도 1의 예에 따르면, 단일 워드 라인(110)에 메모리 셀(105)의 각 로우가 연결되고, 단일 디지털 라인(115)에 메모리 셀(105)의 각 칼럼이 연결된다. 하나의 워드 라인(110) 및 하나의 디지털 라인(115)을 활성화함으로써(예를 들어, 워드 라인(110) 및 디지털 라인(115)에 전압을 인가함으로써) 단일 메모리 셀(105)이 그들의 교차점에서 액세스될 수 있다. 메모리 셀(105)을 액세스하는 것은 메모리 셀(105)을 판독 또는 기록하는 것을 포함할 수 있다. 워드 라인(110)과 디지털 라인(115)의 교차점은 메모리 셀의 어드레스로 지칭될 수 있다.
- [0020] 일부 아키텍처에서, 셀의 로직 저장 장치(예를 들어, 커패시터)는 선택 구성요소에 의해 디지털 라인으로부터 전기적으로 절연될 수 있다. 워드 라인(110)은 선택 구성요소에 접속될 수 있고 선택 구성요소를 제어할 수 있다. 예를 들어, 선택 구성요소는 트랜지스터일 수 있고, 워드 라인(110)은 트랜지스터의 게이트에 접속될 수 있다. 워드 라인(110)을 활성화시키면 메모리 셀(105)의 커패시터와 이에 대응하는 디지털 라인(115) 간의 전기적 접속 또는 폐회로가 발생한다. 그 다음, 디지털 라인은 메모리 셀(105)을 판독하거나 기입하기 위해 액세스될 수 있다.
- [0021] 메모리 셀(105) 액세스는 로우 디코더(120) 및 칼럼 디코더(130)를 통해 제어될 수 있다. 일부 실시예에서, 로우 디코더(120)는 메모리 제어기(140)로부터 로우 어드레스를 수신하고 수신된 로우 어드레스에 기초하여 적절한 워드 라인(110)을 활성화한다. 마찬가지로, 칼럼 디코더(130)는 메모리 제어기(140)로부터 칼럼 어드레스를 수신하여 적절한 디지털 라인(115)을 활성화시킨다. 예를 들어, 메모리 어레이(100)는 WL<sub>1</sub> 내지 WL<sub>M</sub>으로 라벨링된 다수의 워드 라인(110) 및 DL<sub>1</sub> 내지 DL<sub>N</sub>으로 라벨링된 다수의 디지털 라인(115)을 포함할 수 있고, 여기서 M과 N은 배열 크기에 좌우된다. 따라서, WL<sub>2</sub> 및 DL<sub>3</sub>과 같은 워드 라인(110) 및 디지털 라인(115)을 활성화함으로써, 그들의 교차점에서 메모리 셀(105)에 액세스할 수 있다.
- [0022] 액세스하면, 메모리 셀(105)은 감지 구성요소(125)에 의해 판독 또는 감지될 수 있어서, 메모리 셀(105)의 저장된 상태를 결정할 수 있다. 예를 들어, 메모리 셀(105)에 액세스한 후, 메모리 셀(105)의 강유전성 커패시터는 대응하는 디지털 라인(115)으로 방전될 수 있다. 강유전성 커패시터의 방전은 강유전성 커패시터로의 바이어싱 또는 전압 인가에 기초할 수 있다. 방전은 메모리 셀(105)의 저장 상태를 결정하기 위해 감지 구성요소(125)가 기준 전압(도시되지 않음)과 비교할 수 있는 디지털 라인(115)의 전압 변화를 유도할 수 있다. 예를 들어, 디지

트 라인(115)이 기준 전압보다 높은 전압이면, 감지 구성요소(125)는 메모리 셀(105)의 저장된 상태가 로직 1이었음을, 그리고 그 역도 성립함을 결정할 수 있다. 감지 동작의 신뢰성은 메모리 셀(105)을 판독함으로써 발생하는 감지 윈도우에 의존할 수 있다. 예를 들어, 보다 큰 감지 윈도우는 보다 작은 감지 윈도우보다 적은 비트 에러와 관련될 수 있다. 감지 윈도우는 로직 1을 저장할 때 메모리 셀(105)을 판독함으로써 발생된 디지털 라인(115)의 전압과, 로직 0을 저장할 때 메모리 셀을 판독함으로써 발생하는 디지털 라인(115)의 전압 사이의 차이로서 결정될 수 있다. 감지 구성요소(125)는 래칭(latching)으로 지칭될 수 있는 신호의 차이를 검출 및 증폭하기 위해 다양한 트랜지스터 또는 증폭기를 포함할 수 있다. 메모리 셀(105)의 검출된 로직 상태는 출력(135)으로서 칼럼 디코더(130)를 통해 출력될 수 있다.

[0023] 메모리 셀(105)은 관련된 워드 라인(110) 및 디지털 라인(115)을 활성화시킴으로써 설정되거나 기록될 수 있다. 전술한 바와 같이, 워드 라인(110)을 활성화하면 메모리 셀(105)의 대응하는 로우가 각자의 디지털 라인(115)에 전기적으로 연결된다. 워드 라인(110)이 활성화되는 동안 관련된 디지털 라인(115)을 제어함으로써, 메모리 셀(105)이 기록될 수 있다 - 즉, 로직 값이 메모리 셀(105)에 저장될 수 있다. 칼럼 디코더(130)는 메모리 셀(105)에 기입될 데이터(예를 들어, 입력(135))를 수용할 수 있다. 강유전성 커패시터 양단에 전압을 인가함으로써 강유전성 메모리 셀(105)이 기입될 수 있다. 이 프로세스에 대해서는 아래에서 자세히 설명한다.

[0024] 몇몇 메모리 구조에서, 메모리 셀(105)에 액세스하는 것은 저장된 로직 상태를 저하시키거나 파괴할 수 있고, 재기입 또는 리프래시 동작은 원래의 로직 상태를 메모리 셀(105)로 복귀시키도록 수행될 수 있다. DRAM에서, 예를 들어, 커패시터가 감지 동작 동안 부분적으로 또는 완전히 방전되어, 저장된 로직 상태를 손상시킬 수 있다. 따라서 로직 상태는 감지 동작 후에 다시 쓰여질 수 있다. 또한, 단일 워드 라인(110)을 활성화하면 그 로우의 모든 메모리 셀이 방전될 수 있다. 따라서, 로우 내의 몇몇 또는 모든 메모리 셀(105)은 재기입될 필요가 있을 수 있다.

[0025] DRAM을 포함한 일부 메모리 구조는 외부 전원에 의해 주기적으로 리프래시되지 않는 한, 시간에 따라 저장된 상태를 잃을 수 있다. 예를 들어, 충전된 커패시터는 누설 전류를 통해 시간이 지남에 따라 방전될 수 있으며, 이로 인해 저장된 정보가 손실될 수 있다. 이러한 소위 휘발성 메모리 디바이스의 재생 빈도는 비교적 높을 수 있는데, 예를 들어, DRAM 어레이에 대해 초당 수십 회의 리프래시 동작이 있어 상당한 전력 소비를 초래할 수 있다. 메모리 어레이가 점점 더 커짐에 따라 전력 소비가 증가하면, 특히, 배터리와 같은 유한 전원에 의존하는 모바일 장치의 경우, 메모리 어레이의 배치 또는 작동(예: 전원 공급 장치, 발열량, 재료 제한 등)이 방해될 수 있다. 후술하는 바와 같이, 강유전성 메모리 셀(105)은 다른 메모리 아키텍처에 비해 성능이 향상될 수 있는 유리한 특성을 가질 수 있다.

[0026] 예를 들어, 강유전성 메모리 셀들(105)은 DRAM 메모리 셀에 비해 더 긴 시간 동안(예를 들어, 일 단위) 저장된 상태를 유지할 수 있어, 리프래시 동작에 대한 필요성을 감소 시키거나 제거할 수 있다. 그러나, 시간이 지남에 따라, 장시간(예를 들어, 시간 단위, 일 단위, 월 단위 등) 동안 로직 상태를 저장하는 강유전성 메모리 셀(105)은 관련된 강유전성 커패시터 내에서 강유전성 도메인의 이동을 경험할 수 있다. 이러한 임프린트는 강유전성 메모리 셀(105)에 대한 후속 판독 및 기입 동작에 부정적인 영향을 미칠 수 있다. 예를 들어, 장시간 동안 저장된 로직 상태와 반대인 로직 상태를 강유전성 메모리 셀(105)에 기록하면, "소프트 기입(soft write)" 조건이 나타날 수 있고, 이는 이하에서 보다 상세하게 설명될 것이다. 소프트 기입은 판독 동작이 저하될 수 있으며, 이는 강유전성 메모리 셀에 대한 감지 윈도우의 감소를 특징으로 할 수 있다. 어떤 경우에, 상술한 장시간은 반드시 일 단위, 월 단위 또는 그 이상의 기간과 연관될 필요는 없지만, 대신에 로직 값 저장과, 판독/기입 에러 증가가 나타나거나 나타날 것으로 예상되는 후속 시점 간의 시간과 연관될 수 있다.

[0027] 따라서, 메모리 어레이(100)의 메모리 셀들(105)은 강유전성 메모리 셀의 신뢰성을 유지하기 위해, 예를 들어, 비트 에러율, 기록 에러 등을 감소시키기 위해 상이한 로직 상태들로 기록될 수 있다. 일부 예에서, 메모리 어레이(100)는 메모리 어레이(100)의, 또는 메모리 어레이(100)의 서브섹션의, 각각의 강유전성 메모리 셀(105)을 현재 저장된 값과 반대의 값으로 주기적으로 기입한다. 예를 들어, 메모리 어레이(100)는 시간 주기(예를 들어, 기대 감지 윈도우가 초기 값을 저장한 후 임계 값 아래로 떨어지는 시점에 해당하는 시간주기)을 식별할 수 있고, 식별된 시간 주기에 걸친 주기적 간격으로 메모리 어레이(100)의 하나 이상의 강유전성 메모리 셀(105)을 업데이트할 수 있다. 이 기간은 위에서 논의된 장시간보다 짧게 결정될 수 있다. 일부의 경우, 강유전성 메모리 셀(105)의 내부 특성, 메모리 어레이(100)의 온도, 강유전성 메모리 셀(105)의 연령(age), 강유전성 메모리 셀(105)의 판독으로 인한 감지 윈도우, 등에 기초하여 시간 주기가 결정될 수 있다.

[0028] 다른 예에서, 시간주기 동안 액세스되지 않은 하나 이상의 강유전성 메모리 셀들(105)이 식별될 수 있고 반대

로직 상태가 이들 강유전성 메모리 셀들(105)에 기록될 수 있다. 메모리 어레이(100)의 프로세서 상의 부하를 감소시킬 수 있는 다른 예에서, 시간주기 동안 액세스되지 않은 하나 이상의 강유전성 메모리 셀(105)을 포함하는 메모리 어레이(100)의 서브섹션들은 서브섹션 내 강유전성 메모리 셀(105) 각각에 대해 반대 로직 상태로 식별되고 재기록될 수 있다. 또 다른 예에서, 메모리 어레이(100)의 서브섹션의 각 강유전성 메모리 셀(105)은 서브섹션이 활성화될 때마다 반대 로직 상태로 기록될 수 있다. 메모리 어레이(100)는 메모리 셀(105)에 의해 저장된 로직 상태가 의도된 로직 상태(즉, 애플리케이션에 의해 초기에 저장되고 관독될 것으로 기대되는 로직 값)인 하나의 값과, 메모리 셀(105)에 의해 저장된 로직 상태가 의도된 로직 상태의 반대 로직 상태임을 표시하기 위한 다른 하나의 값을 이용하는 인디케이터를 이용할 수 있다.

[0029] 메모리 제어기(140)는 로우 디코더(120), 칼럼 디코더(130) 및 감지 구성요소(125)와 같은 다양한 구성요소를 통해 메모리 셀(105)의 동작(예를 들어, 관독, 기록, 리프레시, 등)을 제어할 수 있다. 메모리 제어기(140)는 원하는 워드 라인(110) 및 디지털 라인(115)을 활성화하기 위해 로우 및 칼럼 어드레스 신호를 생성할 수 있다. 메모리 제어기(140)는 또한 메모리 어레이(100)의 동작 동안 사용되는 다양한 전압 전위를 생성 및 제어할 수 있다. 일반적으로, 여기서 논의되는 인가 전압의 진폭, 형상, 또는 지속시간은 조정 또는 변화할 수 있고, 메모리 어레이(100) 동작을 위한 다양한 동작들에 대해 상이할 수 있다. 더욱이, 메모리 어레이(100) 내의 하나, 다중, 또는 모든 메모리 셀(105)이 동시에 액세스될 수 있다. 예를 들어, 메모리 어레이(100)의 다수 또는 모든 셀은, 모든 메모리 셀(105) 또는 메모리 셀(105)의 그룹이 단일 로직 상태로 설정되는 리셋 동작 중에 동시에 액세스될 수 있다.

[0030] 일부 경우에, 메모리 제어기(140)는 강유전성 메모리 셀(105)의 성능을 유지하는데 사용될 수 있다. 예를 들어, 메모리 제어기(140)는 제 1 시간 주기가 경과하였다고 결정한 후, 강유전성 메모리 셀(105)에 의해 현재 저장되어 있는 로직 상태와는 다른 로직 상태를 기입할 수 있다. 일부 예에서, 메모리 제어기(140)는 강유전성 메모리 셀(105)이 제 1 시간 주기 동안 하나의 로직 상태를 저장하였다고 결정할 수 있고, 강유전성 메모리 셀(105)이 제 1 시간 주기 동안 하나의 로직 상태를 저장하였다는 결정에 기초하여 강유전성 메모리 셀(105)에 반대의 로직 상태를 기입할 수 있다. 메모리 제어기(140)는 제 1 시간주기가 경과했는지를 결정함에 있어서 다른 구성요소들(예를 들어, 타이밍 구성요소)을 포함할 수 있다. 또한, 메모리 제어기(140)는 비휘발성 래치에 저장된 인디케이터를 업데이트하기 위해 사용될 수 있고, 상기 인디케이터는 강유전성 메모리 셀(105)에 의해 현재 저장된 로직 상태가 관독 동작 중 관독되도록 의도된 로직 상태인지 또는 관독되도록 의도된 로직 상태와는 상이한(가령, 반대인) 것인지 여부를 표시한다.

[0031] 도 2는 본 발명의 다양한 실시예에 따라 메모리 셀의 임프린트 방식을 지원하는 예시 회로(200)를 도시한다. 회로(200)는 각각 메모리 셀(105-a), 워드 라인(110-a), 디지털 라인(115-a) 및 감지 구성요소(125-a)를 포함하며, 이들은 각각 도 1을 참조하여 기술된 메모리 셀(105), 워드 라인(110), 디지털 라인(115), 및 감지 구성요소(125)의 예일 수 있다. 메모리 셀(105-a)은 제 1 플레이트, 셀 플레이트(230) 및 제 2 플레이트, 셀 바닥(215)을 갖는 커패시터(205)와 같은 로직 저장 구성요소를 포함할 수 있다. 셀 플레이트(230) 및 셀 바닥(215)은 이들 사이에 위치한 강유전체 물질을 통해 용량성으로 결합될 수 있다. 셀 플레이트(230) 및 셀 바닥(215)의 방향은 메모리 셀(105-a)의 동작을 변경하지 않고 플립될 수 있다. 회로(200)는 또한 선택 구성요소(220) 및 기준 라인(225)을 포함한다. 도 2에 도시된 바와 같이, 셀 플레이트(230)는 플레이트 라인(210)을 통해 액세스될 수 있고 셀 바닥(215)은 디지털 라인(115-a)을 통해 액세스될 수 있다. 전술한 바와 같이, 다양한 상태가 커패시터(205)를 충전 또는 방전함으로써 저장될 수 있다.

[0032] 커패시터(205)의 저장된 상태는 회로(200)에 나타난 다양한 소자를 동작시킴으로써 관독되거나 감지될 수 있다. 커패시터(205)는 디지털 라인(115-a)과 전자 통신할 수 있다. 예를 들어, 선택 구성요소(220)가 비활성화될 때, 커패시터(205)는 디지털 라인(115-a)으로부터 단절될 수 있고, 선택 구성요소(220)가 활성화될 때 커패시터(205)는 디지털 라인(115-a)에 접속될 수 있다. 선택 구성요소(220)의 활성화는 메모리 셀(105-a)의 선택으로 지칭될 수 있다. 몇몇 경우에, 선택 구성요소(220)는 트랜지스터이고 트랜지스터의 동작은 트랜지스터 게이트에 전압을 인가함으로써 제어되며, 이러한 전압의 크기는 트랜지스터의 임계 크기보다 크다. 워드 라인(110-a)은 선택 구성요소(220)를 활성화할 수 있고; 예를 들어, 워드 라인(110-a)에 인가된 전압이 트랜지스터 게이트에 인가되어, 커패시터(205)를 디지털 라인(115-a)과 접속한다. 대안의 실시예에서, 선택 구성요소(220) 및 커패시터(205)의 위치가 스위칭될 수 있어서, 선택 구성요소(220)가 플레이트 라인(210)과 셀 플레이트(230) 사이에 접속되고, 커패시터(205)가 디지털 라인(115-a)과 선택 구성요소(220)의 다른 단자 사이에 있게 된다. 이 실시예에서, 선택 구성요소(220)는 커패시터(205)를 통해 디지털 라인(115-a)과 전자 통신 상태를 유지할 수 있다. 이러한 구성은 관독 및 기록 동작을 위한 대안적인 타이밍 및 바이어싱과 관련될 수 있다.

- [0033] 커패시터(205)의 플레이트들 사이의 강유전성 재료로 인해, 그리고 이하에서 더 상세히 설명되는 바와 같이, 커패시터(205)는 디지털 라인(115-a)에 접속시 방전되지 않을 수 있다. 하나의 기법에서, 강유전성 커패시터(205)에 의해 저장된 로직 상태를 감지하기 위해, 워드 라인(110-a)은 메모리 셀(105-a)을 선택하도록 바이어스될 수 있고 전압이 플레이트 라인(210)에 인가 될 수 있다. 일부 경우, 디지털 라인(115-a)이 가상 접지되고, 그 후 플레이트 라인(210) 및 워드 라인(110-a)을 바이어스하기 전에 가상 접지(즉, "플로팅"(floating))로부터 단절된다. 플레이트 라인(210)의 바이어싱은 커패시터(205) 양단에 전압 차이(예를 들어, 플레이트 라인(210) 전압에서 디지털 라인(115-a)을 뺀 전압)를 발생시킬 수 있다. 전압 차는 커패시터(205) 상에 저장된 전하의 변화를 야기할 수 있고, 저장된 전하의 변화 크기는 커패시터(205)의 초기 상태에 달려있다. 가령, 초기 상태가 로직 1을 저장하였는지 또는 로직 0을 저장하였는지 여부에 달려 있다. 이것은 커패시터(205)에 저장된 전하에 기초하여 디지털 라인(115-a)의 전압을 변화시킬 수 있다. 셀 플레이트(230)에 대한 전압을 변화시킴으로써 메모리 셀(105-a)의 동작이 "이동 셀 플레이트"로 지칭될 수 있다.
- [0034] 디지털 라인(115-a)의 전압 변화는 그것의 고유 캐패시턴스에 좌우될 수 있다. 즉, 전하가 디지털 라인(115-a)을 통해 흐를 때, 일부 유한 전하가 디지털 라인(115-a)에 저장될 수 있고 결과적인 전압은 고유 캐패시턴스에 의존한다. 고유 캐패시턴스는 디지털 라인(115-a)의, 치수를 포함한, 물리적 특성에 의존할 수 있다. 디지털 라인(115-a)은 많은 메모리 셀(105)을 연결할 수 있으므로, 디지털 라인(115-a)은 무시할 수 없는 캐패시턴스(예를 들어, 피코 패럿(pF) 정도)를 초래하는 길이를 가질 수 있다. 결과적인 디지털 라인(115-a)의 전압은 메모리 셀(105-a)에 저장된 로직 상태를 결정하기 위해 감지 구성요소(125-a)에 의해 기준치(예를 들어, 기준 라인(225)의 전압)와 비교될 수 있다. 다른 감지 프로세스가 사용될 수 있다.
- [0035] 감지 구성요소(125-a)는 래칭(latching)이라고도 하, 도호의 차이를 검출하고 증폭하기 위해 다양한 트랜지스터 또는 증폭기를 포함할 수 있다. 감지 구성요소(125-a)는 디지털 라인(115-a)의 전압을 수신하여 기준 전압일 수 있는 기준 라인(225)의 전압과 비교하는 감지 증폭기를 포함할 수 있다. 감지 증폭기 출력은 이러한 비교에 기초하여 더 높은(예를 들어, 포지티브) 또는 더 낮은(예를 들어, 네거티브 또는 접지) 공급 전압으로 구동될 수 있다. 예를 들어, 디지털 라인(115-a)이 기준 라인(225)보다 더 높은 전압을 갖는다면, 감지 증폭기 출력은 양의 공급 전압으로 구동될 수 있다. 몇몇 경우에, 감지 증폭기는 디지털 라인(115-a)을 추가로 전원 전압으로 구동할 수 있다. 감지 구성요소(125-a)는 감지 증폭기의 출력 및/또는 디지털 라인(115-a)의 전압을 래칭할 수 있고, 이는 메모리 셀(105-a)의 저장 상태, 가령, 로직 1을 결정하는데 사용될 수 있다. 대안으로, 디지털 라인 115-a가 기준 라인(225)보다 낮은 전압을 가지면, 감지 증폭기 출력은 음 또는 접지 전압으로 구동될 수 있다. 감지 구성요소(125-a)는 마찬가지로 감지 증폭기 출력을 래치하여 메모리 셀(105-a)에 저장된 상태, 예를 들어 로직 0을 결정할 수 있다. 메모리 셀(105-a)의 래치된 로직 상태는 예를 들어, 도 1을 참조하여 출력(135)으로 칼럼 디코더(130)를 통해 출력될 수 있다.
- [0036] 메모리 셀(105-a)에 기입하기 위해, 전압이 커패시터(205) 양단에 인가 될 수 있다. 다양한 방법이 사용될 수 있다. 일 예시에서, 선택 구성요소(220)는 커패시터(205)를 디지털 라인(115-a)에 전기적으로 연결하기 위해 워드 라인(110-a)을 통해 활성화될 수 있다. (플레이트 라인(210)을 통해) 셀 플레이트(230) 및 (디지털 라인(115-a)을 통해) 셀 바닥(215)의 전압을 제어함으로써 커패시터(205) 양단에 전압이 인가 될 수 있다. 로직 0을 기록하기 위해, 셀 플레이트(230)는 하이(high)로 취해질 수 있다. 즉, 양의 전압이 플레이트 라인(210)에 인가 될 수 있고, 셀 바닥(215)은 예를 들어 실질적으로 접지 또는 디지털 라인(115-a)에 음전압을 가하거나 가상 접지하는 것과 같이, 로우(low)로 취할 수 있다. 셀 플레이트(230)가 로우가 되고 셀 바닥(215)이 하이가 되는, 반대의 프로세스가 로직 1 기입을 위해 수행된다.
- [0037] 일부 예에서, 메모리 셀(105-a)이 장시간 동안 로직 상태를 저장하는 경우(예를 들어, 액세스되지 않고 일정 기간 동안 초기 로직 상태를 저장하는 경우), 커패시터(205) 내의 강유전체 쌍극자 또는 도메인은 재배치(reorder)("시프팅")된다. 강유전체 도메인들에서의 시프팅은 반대 로직 상태가 커패시터(205)에 기록될 때 기록 동작을 실패하게할 수 있다. 이러한 시프팅은 커패시터(205)에 의해 저장된 로직 상태를 감지할 때 판독 동작을 또한 실패시킬 수 있다. 따라서, 메모리 셀(105-a)에 의해 저장된 로직 상태는 커패시터(205) 내의 강유전성 도메인의 재배치를 완화시키도록 반대 로직 상태로 주기적으로 기록될 수 있다. 프로세스는 메모리 셀(105-a)에 저장된 비트를 "플리핑"(flipping) 또는 "인버팅"(invert)하는 것으로 지칭될 수 있다. 다음의 설명에서 "플리핑(flipping)"과 "인버팅(invert)"(또는 "인버트")이라는 용어는 같은 의미로 사용될 수 있다. 어떤 경우에, 반대 상태를 기록하기 위해, 감지 구성요소(125-a)는 디지털 라인(115-a)에 하이 또는 로우 전압을 인가하도록 구동될 수 있고, 전압이 워드 라인(110-a)에 동시에 인가 될 수 있으며, 플레이트 라인(210)은 반대로, 상술한 바와 같이, 커패시터(205) 양단에 전압을 인가하기 위해 로우 또는 하이로 구동될 수 있다. 일부 예

에서, 회로(200)는 메모리 셀(105-a)에 의해 저장된 로직 상태가 플립되었는지 여부를 나타내는 인디케이터에 대한 값을 저장하는 비휘발성 래치를 포함한다. 이러한 방식으로, 디바이스(예를 들어, 제어기)는, 메모리 셀(105-a)로부터 감지된 로직 상태가 초기에 저장되어 판독되도록 의도된 로직 상태인지, 또는 감지된 로직 상태가 초기에 감지된 로직 값의 반대로서 감지된 로직 값의 반대가 판독되도록 의도된 것인지를 결정할 수 있다.

[0038] 도 3은 본 개시의 다양한 실시예에 따라 동작되는 강유전성 메모리 셀에 대한 히스테리시스 곡선(300-a 및 300-b)을 갖는 비선형 특성의 예를 도시한다. 히스테리시스 곡선(300-a 및 300-b)은 예시적인 강유전성 메모리 셀 기록 및 판독 프로세스를 각각 도시한다. 히스테리시스 곡선(300)은 강유전성 커패시터(예를 들어, 도2의 커패시터(205))에 저장된 전하 Q를 전압 차 V의 함수로서 나타낸다.

[0039] 강유전성 재료는 자발적인 전기 분극을 특징으로 하며, 즉 전계가 없을 때 비제로 전기 분극을 유지한다. 예시적인 강유전성 재료는 티탄산 바륨( $BaTiO_3$ ), 티탄산 납( $PbTiO_3$ ), 티탄산 지르콘 산납(PZT) 및 탄탈산 스트론튬 비스무트(SBT)를 포함한다. 본 명세서에 기재된 강유전성 커패시터는 이들 또는 다른 강유전성 재료를 포함할 수 있다. 강유전성 커패시터 내의 전기 분극은 강유전성 재료의 표면에서의 순 전하를 초래하고, 커패시터 단자를 통해 반대 전하를 끌어 당긴다. 따라서, 전하가 강유전성 재료와 커패시터 단자의 계면에 저장된다. 전기적 분극이 비교적 장시간 동안, 심지어 무한정, 외부 인가 전기장 없이 유지될 수 있기 때문에, 예를 들어 DRAM 어레이에 채용된 커패시터와 비교하여 충전 누설이 상당히 감소될 수 있다. 이는 일부 DRAM 아키텍처에 대해 상술한 바와 같이 리프래시 동작을 수행할 필요성을 감소시킬 수 있다.

[0040] 히스테리시스 곡선(300)은 커패시터의 단일 단자의 관점에서 이해될 수 있다. 예로서, 강유전체 재료가 음의 분극을 갖는다면, 양전하가 단자에 축적된다. 마찬가지로, 강유전체 물질이 양의 분극을 갖는다면, 음전하가 단자에 축적된다. 또한, 히스테리시스 곡선(300)의 전압은 커패시터 양단의 전압 차를 나타내고 방향성을 갖는다는 것을 이해해야 한다. 예를 들어, 양의 전압은 문체의 단자(예를 들어, 셀 플레이트(230))에 양의 전압을 인가하고 접지(또는 대략 0 볼트)에서 제 2 단자(예를 들어, 셀 바닥(215))를 유지함으로써 실현될 수 있다. 문체의 단자를 접지 상태로 유지하고 제 2 단자에 양의 전압을 인가함으로써 음의 전압이 인가 될 수 있다. 즉, 양의 전압이 문체의 단자를 음극으로 분극하도록 인가 될 수 있다. 유사하게, 히스테리시스 곡선(300)에 도시된 전압 차를 생성하기 위해 2개의 양 전압, 2개의 음 전압 또는 양 및 음 전압의 임의의 조합이 적절한 커패시터 단자에 인가 될 수 있다.

[0041] 히스테리시스 곡선(300-a)에 도시된 바와 같이, 강유전성 재료는 제로 전압 차로 양 또는 음의 분극을 유지할 수 있고, 충전 상태(305)와 충전 상태(310)의 두 가지 가능한 충전 상태를 초래한다. 도 3의 예에 따르면, 충전 상태(305)는 로직 0을 나타내고 충전 상태(310)는 로직 1을 나타낸다. 일부 예에서, 각각의 충전 상태의 로직 값은 메모리 셀을 동작시키기 위한 다른 방식을 수용하도록 반전될 수 있다.

[0042] 전압을 인가함으로써, 강유전성 재료의 전기 분극, 즉 커패시터 단자상의 전하를 제어함으로써 로직 0 또는 1이 메모리 셀에 기록될 수 있다. 예를 들어, 커패시터 양단에 순(net) 양 전압(315)을 인가하면 충전 상태(305-a)에 도달할 때까지 전하가 축적된다. 전압(315)을 제거하면, 충전 상태(305-a)는 제로 전위에서 충전 상태(305)에 도달할 때까지 경로(320)를 따른다. 유사하게, 충전 상태(310)는 순 음의 전압(325)을 인가함으로써 기록되어, 충전 상태(310-a)가 된다. 음전압(325)을 제거한 후에, 충전 상태(310-a)는 제로 전압에서 충전 상태(310)에 도달할 때까지 경로(330)를 따른다. 충전 상태(305-a 및 310-a)는 또한 잔여 분극 값, 즉 외부 바이어스(예를 들어, 전압)를 제거할 때 남는 분극(또는 전하)으로 지칭될 수 있다. 항 전압은 전하(또는 분극)가 0인 전압이다.

[0043] 강유전성 커패시터의 저장된 상태를 읽거나 감지하기 위해, 전압이 커패시터에 인가 될 수 있다. 이에 응답하여, 저장된 전하, Q가 변화하고, 변화의 정도는 초기 충전 상태에 의존한다. 즉, 최종 저장된 전하(Q)는 충전 상태(305-b 또는 310-b)가 초기에 저장되었는지 여부에 의존할 수 있다. 예를 들어, 히스테리시스 곡선(300-b)은 두 개의 가능한 저장 충전 상태(305-b 및 310-b)를 도시한다. 전압(335)은 도 2를 참조하여 커패시터 셀 플레이트, 예컨대 셀 플레이트(230)에 인가 될 수 있다. 양의 전압으로 도시되었지만, 전압(335)이 음일 수 있다. 전압(335)에 응답하여, 충전 상태(305-b)가 경로(340)를 따를 수 있다. 마찬가지로, 충전 상태(310-b)가 초기에 저장 되었다면, 경로(345)를 따른다. 충전 상태(305-c) 및 충전 상태(310-c)의 최종 위치는 특정 감지 체계 및 회로를 포함한 여러 가지 요인에 따라 달라질 수 있다.

[0044] 몇몇 경우에, 최종 전하는 메모리 셀에 연결된 디지털 라인의 고유 캐패시턴스에 의존할 수 있다. 예를 들어, 커패시터가 디지털 라인에 전기적으로 연결되고 전압(335)이 인가되면, 디지털 라인의 전압은 그 고유의 커패시턴스로 인해 상승할 수 있다. 따라서, 감지 구성요소에서 측정된 전압은 전압(335)과 동일하지 않을 수 있고 대

신에 디지털 라인의 전압에 의존할 수 있다. 따라서, 히스테리시스 곡선(300-b)상의 최종 충전 상태(305-c 및 310-c)의 위치는 디지털 라인의 커패시턴스에 의존할 수 있고, 부하 라인 분석을 통해 결정될 수 있다. 즉, 충전 상태(305-c 및 310-c)는 디지털 라인 커패시턴스에 대해 정의될 수 있다. 결과적으로, 커패시터의 전압, 전압(350) 또는 전압(355)은 상이할 수 있고, 커패시터의 초기 상태에 의존할 수 있다.

[0045] 디지털 라인 전압을 기준 전압과 비교함으로써, 커패시터의 초기 상태가 결정될 수 있다. 디지털 라인 전압은 전압(335)과 커패시터를 가로 지르는 최종 전압의 차이, 즉, 전압(350) 또는 전압(355), 즉, (전압(335) - 전압(350)) 또는 (전압(335) - 전압(355))일 수 있다. 저장된 로직 상태를 결정하기 위해, 즉 디지털 라인 전압이 기준 전압보다 높거나 낮은지를 결정하기 위해, 그 크기가 2 개의 가능한 디지털 라인 전압 사이에 있도록 기준 전압이 생성될 수 있다. 예를 들어, 기준 전압은 2개의 양, (전압(335) - 전압(350)) 및(전압(335) - 전압(355))의 평균 일 수 있다. 감지 구성요소에 의한 비교시, 감지된 디지털 라인 전압은 기준 전압보다 높거나 낮게 결정될 수 있으며, 강유전성 메모리 셀의 저장된 로직 값(즉, 로직 0 또는 1)이 결정될 수 있다.

[0046] 상술한 바와 같이, 강유전성 커패시터를 사용하지 않는 메모리 셀을 판독하는 것은 저장된 로직 상태를 저하시키거나 파괴시킬 수 있다. 그러나, 강유전성 메모리 셀은 판독 동작 후에 초기 로직 상태를 유지할 수 있다. 예를 들어, 충전 상태(310-b)가 저장되면, 충전 상태는 판독 동작 동안 및 전압(350)을 제거한 후에 경로(345)를 따라 충전 상태(310-c)를 취할 수 있다. 일부 경우에, 강유전성 메모리 셀을 판독하면 셀의 로직 상태가 교란될 수 있다. 예를 들어, 충전 상태(310-b)는 강유전성 메모리 셀을 판독한 후에 더 이상 저장되지 않을 수 있다. 따라서, 다시-기입(write-back) 절차가 수행될 수 있다. 이러한 경우에, 다시-기입 절차는 셀의 충전을 초기 충전 상태(310-b)로 복구하기 위한 전압의 인가를 수반할 수 있다.

[0047] 임프린트 조건(즉, 임프린트된 셀)으로 동작하는 강유전성 커패시터는 (예를 들어, 충전 상태(310-b)가 장시간 동안 저장되는 경우) 대체 경로(345-a)를 따를 수 있다. 대체 경로(345-a)는 충전 상태(310-c)보다 낮은 충전 상태(310-e) 및 350보다 큰, 커패시터 양단의 전압(350-a)과 관련될 수 있다. 따라서, 디지털 라인의 결과적 전압(예컨대, 전압(335) - 전압(350-a))은 전압(350)과 관련된 디지털 라인(115)의 전압보다 작을 수 있다. 추가적으로, 잔여 분극(가령, 충전 상태(305-d)와 충전 상태(310-d) 사이에서 측정됨)이 피로로 감소할 수 있다. 그 결과, 디지털 라인의 결과적 전압 간의 차이(전압(335) - 전압(350-a)) 및 (전압(335) - 전압(355)) 또한 더 작아지며, 이로써, 감지 윈도우가 작아지고 판독 오류의 수가 증가할 수 있다. 강유전성 커패시터가 뒤따르는 경로에서의 변화는 시간이 지남에 따라 증가할 수 있으며, "드리프트(drift)"로 지칭될 수 있다. 더욱이, 임프린트된 강유전성 커패시터에 반대 로직 상태를 기록하는 것은 소프트 기입을 초래할 수 있다. 소프트 기입은, 충전 상태(305-d)와 같은 강유전성 커패시터에 의해 저장되는 보다 낮은 충전 상태와 관련될 수 있으며, 결과적으로 강유전성 커패시터는 연관된 디지털 라인과 함께 보다 적은 양의 전하를 공유할 수 있다. 따라서, 후속 판독 동작의 감지 윈도우가 또한 감소될 수 있다.

[0048] 일부 예에서, 강유전성 커패시터에 의해 현재 저장되어있는 로직 상태와 반대인 로직 상태는 구성된 간격으로 강유전성 커패시터에 기록될 수 있다. 이는 강유전성 커패시터에 의해 로직 값을 저장하고 강유전성 커패시터에 의해 저장된 로직 상태를 판독하는 사이에 발생하는 드리프트(drift)의 양을 최소화할 수 있다. 일부 예에서, 강유전성 커패시터가 액세스되지 않고 소정 시간 동안 충전 상태(310-b)와 같은 제 1 충전 상태를 저장하는 경우, 반대 충전 상태(예를 들어, 충전 상태(305-b))가 강유전성 커패시터에 기입될 수 있다. 시간 경과에 따라, 충전 상태(305-b)가 저장되는 동안 여전히 강유전성 커패시터가 액세스되지 않으면, 히스테리시스 곡선은 반대 방향으로 변할 수 있다. 반대 방향으로의 시프트는 마찬가지로 소프트 기입 조건을 야기할 수 있어서, 후속 기록 동작에서 충전 상태(310-b)보다 낮은 크기의 충전 상태가 강유전성 셀에 의해 저장될 수 있다. 결과적으로 감지 윈도우가 줄어들 수 있다. 따라서, 제 2 시간 주기 후에, 초기 충전 상태(310-b)는 다른 기간 동안 강유전성 커패시터에 다시 기입되고 저장될 수 있다. 이러한 방식으로, 드리프트의 크기가 감소되고 임프린트의 영향이 완화될 수 있다.

[0049] 도 4는 본 발명의 다양한 실시예에 따라 메모리 셀의 임프린트(imprint) 방지를 지원하는 예시적인 회로(400)를 도시한다. 회로(400)는 메모리 셀(105-b), 워드 라인(110-b)(액세스 라인으로도 지칭될 수 있음), 디지털 라인(115-b), 감지 구성요소(125-b)를 포함하며, 이들은 각각, 도 1 및 도 2를 참조하여 기술된, 메모리 셀(105), 워드 라인(110), 디지털 라인(115), 및 감지 구성요소(125)의 예일 수 있다. 메모리 셀(105)은 도 3을 참조하여 설명된 바와 같은 특성들로 동작하는 강유전성 커패시터를 포함할 수 있다. 또한, 회로(400)는 플레이트 라인(210-a) 및 기준 라인(225-a)을 포함하는데, 이는 도 2를 참조하여 각각 기술된 플레이트 라인(210) 및 기준 라인(225)의 예일 수 있다. 회로(400)는 또한 전압원(405), 전압원(410), 등화 스위치(420-a 및 420-b), 및 단절 구성요소(425-a 및 425-b)를 포함한다. 등화 스위치들(420) 및 단절 구성요소들(425)은 또한 일반적으로 스위칭

구성요소로 지칭될 수 있다. 회로(400)는 또한 비휘발성 래치(430), 인디케이터 라인(435) 및 ECC 구성요소(440)를 포함할 수 있다.

[0050] 디지털 라인(115-b) 및 기준 라인(225-a)은 각각 고유 캐패시턴스(415-a 및 415-b)를 가질 수 있다. 고유 캐패시턴스(415-a 및 415-b)는 전기 장치가 아닐 수 있다. 즉, 이들은 2-단자 커패시터가 아닐 수도 있다. 대신에, 고유 캐패시턴스(415-a, 415-b)는 디지털 라인(115-b) 및 기준 라인(225-a)의 지수를 포함하는 물리적 특성으로부터 기인한 커패시턴스를 나타낼 수 있다. 어떤 경우에, 기준 라인(225-a)은 사용되지 않거나 비활성인 디지털 라인이다. 일부 예에서, 디지털 라인(115-b) 및 기준 라인(225-a)은 등화 스위치(420-a 및 420-b)를 통해 가상 접지에 연결되거나 가상 접지로부터 분리될 수 있다. 가상 접지는 회로(400)에 대한 공통 기준으로서 작용할 수 있고, 접지 또는 0V라고도 지칭될 수 있지만, 가상 접지는 지구 접지에 비교할 때 0볼트와는 다른(0볼트보다 크거나 작은) 전압으로 부동할 수 있다. .

[0051] 일부 예에서, 스위칭 구성요소에 인가되는 선형 등화 전압을 각각 증가 또는 감소시킴으로써 등화 스위치(420-a 또는 420-b)를 활성화 또는 비활성화시키는 데 제어 신호(예를 들어, 선형 등화 신호)가 사용될 수 있다. 몇몇 경우들에서, 등화 스위치(420-a)는 디지털 라인(115-b)이 사용되지 않는 동안 디지털 라인(115-b)의 전압이 플로팅하는 것을 방지하기 위해 사용될 수 있다. 등화 스위치들(420-a 및 420-b) 및 단절 구성요소(425-a 및 425-b)는 트랜지스터(예를 들어, 전계 효과 트랜지스터들(FETs))로서 구현될 수 있다.

[0052] 전압은 디지털 라인(115-b)의 전압과 비교하기 위한 기준을 제공하기 위해 기준 라인(225-a)에 인가 될 수 있다. 기준 라인(225-a)의 전압은 디지털 라인(115-b)의 전압에 대한 비교를 위한 기준으로서 감지 구성요소(125-b)에 의해 사용될 수 있다. 도시된 바와 같이, 메모리 셀(105-b)은 디지털 라인(115-b)과 전자 통신한다. 메모리 셀(105-b)은 도 2를 참조하여 기술된 바와 같이, 워드 라인(110-b)을 통해 강유전성 커패시터와 전자 통신하는 선택 구성요소를 포함할 수 있다. 선택 구성요소는 전압을 워드 라인(110-b)에 인가함으로써 활성화될 수 있고, 강유전성 커패시터와 디지털 라인(115-b) 사이에 도전 경로를 제공하는데 사용될 수 있다. 일 예에서, 메모리 셀(105-b)은 강유전성 커패시터에 의해 저장된 상태를 결정하기 위한 판독 동작에 대해 선택 구성요소를 사용하여 선택될 수 있다.

[0053] 플레이트 라인(210-a)은 또한 강유전성 커패시터와 전자 통신할 수 있다. 몇몇 경우에, 강유전성 커패시터의 플레이트는 플레이트 라인(210-a)을 통해 바이어싱될 수 있다(예를 들어, 판독 동작을 위해). 워드 라인(110-b)에 전압을 인가하는 것과 함께 커패시터에 0이 아닌 전압을 인가하면 강유전성 커패시터가 디지털 라인(115-b)을 충전하게 될 수 있다. 즉, 메모리 셀(105-b)에 액세스할 때, 강유전성 커패시터는 고유 캐패시턴스(415-a)를 통해 디지털 라인(115-b)과 전하를 공유할 수 있다. 일부 예에서, 디지털 라인(115-b)은 접지 기준 또는 공급 전압으로 구동될 수 있고, 전압은 강유전성 커패시터 양단에 전압을 인가하기 위해 플레이트 라인(210-a)에 인가될 수 있다. 예를 들어, 플레이트 라인(210-a)에 인가되는 전압은 제 1 전압에서 제 2 전압으로 램핑(ramping)될 수 있다. 몇몇 예에서, 일정한 전압이 플레이트 라인(210-a)에 인가될 수 있고 디지털 라인(115-b)의 전압은 강유전성 커패시터 양단에 전압을 인가하기 위해 가상 접지 또는 공급 전압으로 구동될 수 있다.

[0054] 단절 구성요소(425-a)는 감지 구성요소(125-b) 및 디지털 라인(115-b)과 전자 통신할 수 있고, 단절 구성요소(425-b)는 감지 구성요소(125-b) 및 기준 라인(225-a)과 전자 통신할 수 있다. 기준 구성요소(425-a 및 425-b)는 감지 구성요소(125-b)로부터 디지털 라인(115-b) 및 기준 라인(225-a)을 단절시키는데 사용될 수 있다. 센스 구성요소(125-b)는 메모리 셀(105-b)의 저장 상태를 결정하는데 사용될 수 있다. 몇몇 경우들에서, 감지 구성요소(125-b)는 감지 증폭기이거나 감지 증폭기를 포함한다. 감지 구성요소(125-b)는 전압원(405) 및 전압원(410)에 의해 동작될 수 있다. 일부 예에서, 전압원(405)은 양의 공급 전압이고, 전압원(410)은 음의 공급 전압 또는 가상 접지이다.

[0055] 감지 구성요소(125-b)는 디지털 라인(115-b)의 전압 및 기준 라인(225-a)의 전압에 기초하여 메모리 셀(105-b)의 로직 값을 결정하는데 사용될 수 있다. 몇몇 예에서, 감지 구성요소(125-b)는 디지털 라인(115-b)의 전압과 기준 라인(225-a)의 전압 사이의 비교를 트리거하도록 제어기에 의해 활성화되거나 "발화"된다. 감지 구성요소(125-b)는 감지 증폭기의 출력을 전압원(405) 또는 전압원(410)에 의해 제공된 전압에 래치할 수 있다. 예를 들어, 디지털 라인(115-b)의 전압이 기준 라인(225-a)의 전압보다 클 경우, 감지 구성요소(125-b)는 전압원(405)로부터 공급된 양 전압에서 감지 증폭기의 출력을 래치할 수 있다. 감지 구성요소(125-b)는 또한 로직 값을 메모리 셀(105-b)에 기록하는데 사용될 수 있다. 예를 들어, 기록 동작 동안, 감지 구성요소(125-b)는 메모리 셀(105-b)에 로직 상태 1을 기록하기 위해 플레이트 라인(210-a)에 인가된 전압보다 큰 전압을 인가하도록 트리거될 수 있다. 일부 예에서, 감지 구성요소(125-b)에 의해 인가된 전압은 전압원(405, 410)에 의존한다. 예



를 들어, 전압원(405)은 플레이트 라인(210-a)에 인가되는 전압보다 큰 전압을 제공할 수 있다.

[0056] 비휘발성 래치(430)는 감지 구성요소(125-b)에 의해 감지된 로직 상태가 메모리 셀(105-b)로부터 판독되도록 의도된 로직 상태(가령, 사용자 애플리케이션에 의해 메모리 셀(105-b)에 저장된 로직 상태)인지 여부를 나타내는 인디케이터 값을 저장하는데 사용될 수 있다. 일부 예에서, 감지 구성요소(125-b)에 제공된 인디케이터의 값(예를 들어, 1)은 감지 구성요소(125-b)가 디지털 라인(115-b)에서 감지된 로직 상태에 반대되는 로직 상태를 출력하게 할 수 있다. 일부 예에서, 비휘발성 래치(430)는 사용되지 않은 강유전성 메모리 셀(예를 들어, 메모리를 저장하기 위해 사용자 애플리케이션에 의해 사용되지 않는 강유전성 메모리 셀)에 의해 구현될 수 있다. 비휘발성 래치(430)는 인디케이터 라인(435)을 통해 감지 구성요소(125-b) 및/또는 ECC 구성요소(440)에 인디케이터를 제공할 수 있다. 비휘발성 래치(430)가 메모리 어레이 내 비사용 강유전성 메모리 셀로 구현될 경우, 인디케이터 라인(435)은 관련 디지털 라인을 이용하여 구현될 수 있다.

[0057] 일부 예에서, 메모리 어레이는 메모리 셀 세트 또는 메모리 셀(105-b)을 포함하는 "페이지"에 동시에 액세스한다. 페이지의 각 메모리 셀은 비휘발성 래치(430)와 같은 대응하는 비휘발성 래치와 연관될 수 있다. 어떤 경우에는, 비휘발성 래치(430)에 저장된 인디케이터를 포함하는 인디케이터를, 페이지 내의 각 메모리 셀로부터 수신하는 추가 로직이 구현될 수 있다. 추가 로직은 다수의 인디케이터에 의해 공유되는 값을 결정하는데 사용될 수 있다. 식별된 값은 페이지 내의 메모리 셀들에 대응하는, 감지 구성요소(125-b)를 포함하는, 감지 구성요소에 입력될 수 있고, 감지 구성요소는 이에 따라 로직 상태를 출력할 수 있다. 예를 들어, 다수의 인디케이터가 값 1을 공유하면, 이 값은 대응하는 감지 구성요소에 입력될 수 있고, 감지 구성요소는 감지된 로직 상태의 반대를 출력할 수 있다. 일부 경우, 페이지 자체는 단일의 대응하는 비휘발성 래치(430)와 연관될 수 있고, 비휘발성 래치의 값은 감지 구성요소에 제공될 수 있다.

[0058] ECC 구성요소(440)는 메모리 셀(105-b)을 포함하는 페이지를 판독하는 것으로부터 유도된 코드 워드를 식별하는데 사용될 수 있다. 일부 예에서, ECC 구성요소(440)는 대응하는 감지 구성요소에 인디케이터를 제공하는 대신에 페이지 내의 메모리 셀의 의도된 상태를 결정하기 위해 ECC 로직을 구현할 수 있다. 몇몇 경우에, 페이지에 포함된 각각의 메모리 셀에 대한 인디케이터는 인디케이터 라인(435)과 같은 인디케이터 라인을 통해 ECC 구성요소(440)에 제공될 수 있다. ECC 구성요소(440)는 또한 대응하는 메모리 셀을 판독할 때 감지된 로직 상태에 대응하는 전압을 출력하는, 감지 구성요소(125-b)를 포함하는, 다수의 감지 구성요소와 전자 통신할 수 있다. ECC 구성요소(440)는 페이지 내의 메모리 셀의 각각의 의도된 로직 상태를 결정하기 위해 표시자 이외에 감지 구성요소로부터 수신된 출력 전압을 사용할 수 있다. 예를 들어, ECC 구성요소(440)는 메모리 셀(105-b)을 포함하는 페이지를 읽음으로써 유도된 코드 워드를 식별하는데 사용될 수 있다. ECC 구성요소(440)는 식별된 코드 워드의 값을 사용하여, 아래에서 더 상세히 설명되는 바와 같이, 메모리 셀의 의도된 로직 상태가 대응하는 감지 구성요소에 의해 감지 및 출력되는 로직 상태와 동일한지 또는 상이한지 여부를 결정할 수 있다. 일부 예에서, ECC 구성요소(440)는 복수의 메모리 셀들(예를 들어, 페이지)에 의해 저장된 데이터를 확인하는데 사용되는 코드 워드를 저장하는 복수의 메모리 셀들을 이용하여 구현될 수 있다. 다른 예에서, ECC 구성요소(440)는 메모리 어레이와 독립적일 수 있으며, 독립형 구성요소로서 구현될 수 있다.

[0059] 일부 예에서, 제어기는 메모리 셀(105-b)의 성능을 유지하기 위해 회로(400)를 동작 시키는데 사용될 수 있다. 예를 들어, 제어기는 감지 동작을 수행하거나 디지털 라인(115-b) 및/또는 기준 라인(225-a)에 전압을 인가하기 위해 감지 구성요소(125-b)를 트리거하는데 사용될 수 있다. 제어기는 또한 등화 스위치(420) 및 단절 구성요소(425)를 활성화/비활성화하고 워드 라인(110-b)을 통해 메모리 셀(105-b)을 선택하는데 사용될 수 있다. 일부 예에서, 제어기는 워드 라인(110-b)을 이용하여 메모리 셀(105-b)에 액세스하고, 플레이트 라인(210-a) 및 디지털 라인(115-b)을 사용하여 메모리 셀(105-b)을 판독/기록하는데 사용될 수 있다. 제어기는 메모리 셀(105-b) 또는 메모리 어레이의 서브섹션 내의 강유전성 메모리 셀이 소정 기간 동안 로직 상태를 저장했는지를 결정하는 것을 보조하는 하나 이상의 구성요소(예를 들어, 타이밍 구성요소)를 포함할 수 있다. 시간주기가 경과한 것을 확인한 후에, 제어기는 반대 로직 상태를 메모리 셀(105-a)에 기록하기 위해 워드 라인(110-b), 플레이트 라인(210-a), 디지털 라인(115-b) 및/또는 감지 구성요소(125-b)를 이용할 수 있다.

[0060] 제어기는 메모리 셀(105-b)의 모델에 기초하여 반대 로직 상태의 기록을 트리거하는데 사용되는 시간주기를 결정할 수 있다. 예를 들어, 제어기는 메모리 셀(105-b)의 특성, 예상 온도, 동작 수명 및 결과 감지 윈도우에 기초하여 시간주기를 결정할 수 있다. 일부 예들에서, 제어기는 결정된 시간주기에 기초하여 메모리 어레이를 주기적으로 업데이트할 수 있다. 몇몇 경우에, 제어기는 동작 중에 측정된 온도 또는 메모리 셀에 대해 수행된 액세스 동작의 수 또는 둘 다에 기초하여 시간주기를 동적으로 수정할 수 있다. 다른 경우에, 제어기는 시간주기에 대한 대안 기준 또는 보충 기준에 기초하여 반대 로직 상태의 기록을 트리거할 수 있다. 예를 들어, 제어기

는 메모리 셀(105-b)을 포함하는 장치의 풀(full)-전력 모드로의 전이, 장치의 파워-업, 다수의 에러 검출, 디바이스 사용자로부터 입력 수신, 등과 같은 이벤트에 응답하여 반대 로직 상태의 기입을 트리거할 수 있다.

[0061] 도 5는 본 발명의 다양한 실시예에 따른 예시적인 회로의 동작을 도시하는 예시적인 다이어그램(500)을 나타낸다. 타이밍 다이어그램(500-a)은 축(505)상의 전압 및 축(510)상의 시간을 도시한다. 따라서, 메모리 셀(105-b)과 같은 메모리 셀을 판독함으로써 얻어지는 감지 전압은 시간의 로그 함수로서 표현될 수 있다.

[0062] 도 4를 참조하여 설명한 바와 같이, 메모리 셀에 의해 현재 저장된 로직 상태와 다른 로직 상태가 소정 시점에서(예를 들어, 메모리 셀에 의해 저장된 비트가 플립될 수 있는 구성된 간격으로) 메모리 셀에 기록될 수 있다. 또한, 메모리 셀(105-b)에 의해 현재 저장된 로직 상태가 의도된 로직 상태인지 여부를 표시하기 위한 인디케이터가 제공될 수 있다. 도 5의 예에서는, 메모리 셀(105-b)과 같은 메모리 셀은 로직 0 또는 로직 1의 2 개의 로직 상태 중 하나를 저장할 수 있다. 감지 윈도우 전압(515-a)은 로직 0을 저장하는 메모리 셀을 판독한 결과인 감지 윈도우 전압을 나타내고, 감지 윈도우 전압(515-b)은 로직 1을 저장하는 메모리 셀의 판독으로부터 나타나는 감지 윈도우 전압(515)을 나타낸다. 도시된 바와 같이, 시간에 따른 감지 윈도우 전압(515-b)의 감소는 감지 윈도우 전압(515-a)의 감소보다 현저히 클 수 있다. 따라서, 메모리 셀(105-b)에 의해 저장된 로직 상태는 2 개의 로직 상태 중 하나의 결과로서 발생하는 감지 윈도우 전압의 감소에 대하여 주기적으로 플리핑(flipping)될 수 있다. 어떤 경우에, 인디케이터(520-a)의 값은 초기에 0으로 설정될 수 있으며, 메모리 셀(105-b)에 의해 현재 저장된 로직 상태가 의도된 로직 상태임을 전달하는 데 사용될 수 있다.

[0063] 제 1 시간 주기(525-a)의 시작에서, 로직 0은 메모리 셀(105-b)에 기록되고 저장될 수 있고, 메모리 셀(105-b)의 판독 동작으로부터 초래될 것으로 예상되는 감지 윈도우는 감지 윈도우 전압(515-a)에 의해 제 1 시간 주기(525-a) 동안 표현될 수 있다. 동시에, 인디케이터(520-a)는 값 0으로 초기화될 수 있다. 도시된 바와 같이, 메모리 셀(105-b)을 판독함으로써 얻어지는 감지 윈도우 전압(515-a)은 제 1 시간 주기(525-a) 동안 감소할 수 있다. 감지 구성요소(125-b)는, 메모리 셀(105-b)이 제 1 시간 주기(525-a) 동안 판독되면, 메모리 셀(105-b)이 로직 0을 저장하고 있음을 감지할 수 있다. 감지 구성요소(125-b)는 저장된 로직 값을 감지할 때 인디케이터(520-a)를 추가로 고려할 수 있고, 인디케이터(520-a)의 값이 실제로 0임에 기초하여 메모리 셀(105-b)에 저장된 의도된 로직 상태가 0임을 출력할 수 있다.

[0064] 후속하는 제 2 시간 주기(525-b)의 시작시, 반대 로직 상태, 로직 1이 메모리 셀(105-b)에 기록될 수 있다. 어떤 경우에는, 반대 로직 상태를 기록하기 전에 제 1 시간주기(525-a)가 경과되었는지를 결정하기 위해 제어기가 사용될 수 있다. 메모리 셀(105-b)이 제 2 시간 주기(525-b) 동안 판독되면, 감지 구성요소(125-b)는 메모리 셀(105-b)이 로직 1을 저장하고 있음을 감지할 수 있다. 앞서와 같이, 감지 구성요소(125-b)는 저장된 로직 값을 감지할 때 인디케이터(520-b)를 고려해야 한다. 그러나, 이 경우에, 감지 구성요소(125-b)는 인디케이터(520-b)의 값이 1임에 기초하여 감지된 로직 1 대신에 메모리 셀(105-b)에 의해 저장된 의도된 로직 상태가 실제로 로직 0임을 출력할 수 있다. 아래에 제공된 표 1은 감지 구성요소(125-b)에 의해 감지된 로직 상태가 지시된 값에 기초하여 의도된 출력 상태 또는 의도된 출력 상태의 반대인지를 결정하기 위한 예시적인 로직 표를 도시한다.

표 1

[0065]

감지된 로직 상태	인디케이터 값	의도된 로직 상태
0	0	0
1	0	1
0	1	1
1	1	0

[0066] 상기 논의의 양상들은 또한 메모리 셀(105-b)을 포함하는 다수의 메모리 셀들(예를 들어, 페이지)로 확장될 수 있다. 예를 들어, 제 1 시간 주기(525-a)의 시작시에, 로직 0 또는 로직 1이 페이지 내의 메모리 셀들 각각에 기록될 수 있다. 페이지의 각 메모리 셀은 비휘발성 래치(430)와 같은 대응하는 비휘발성 래치 및 대응하는 감지 구성요소와 연관될 수 있다. 동시에, 각각의 비휘발성 래치는 메모리 셀에 의해 현재 저장된 로직 상태가 의도된 로직 상태임을 나타내기 위해 0의 값으로 설정될 수 있다. 제 1 시간 주기(525-a)이 경과된 후, 페이지의 각 메모리 셀은 초기에 저장된 로직 상태와 반대 로직 상태로 기록될 수 있다. 따라서, 각각의 비휘발성 래치는 의도된 로직이 현재 저장된 로직 상태와 다른(예를 들어, 반대) 것을 나타내기 위해 1의 값으로 업데이트될 수 있다. 부가적으로 또는 대안으로, 단일 비휘발성 래치(430)를 이용하여, 페이지 자체가 반대 로직 상태들로 기

록되었는지 여부를 나타낼 수 있다.

[0067] 일부 예에서, 각각의 비휘발성 래치는 대응하는 감지 구성요소 및/또는 메모리 셀과 결합될 수 있다. 페이지가 제 2 시간 주기(525-b) 동안 판독되면, 감지 구성요소들 각각은 대응하는 비휘발성 래치들로부터 수신된 인디케이터에 기초하여 현재 저장된 로직 상태 대신 의도된 로직을 출력할 수 있다. 다른 예에서, 인디케이터 각각은 먼저 다수의 인디케이터에 의해 공유되는 값을 결정하는 데 사용될 수 있는 추가 로직에 입력된다. 결정된 값은 각각의 감지 구성요소에 입력될 수 있고 페이지에 대한 의도된 로직 상태를 결정하는데 사용될 수 있다. 이렇게 하면 손상된 인디케이터가 적어 전체 페이지가 손상되는 것을 방지할 수 있다. 예를 들어, 추가 로직은 다수의 수신된 인디케이터가 1의 값을 갖고 식별된 값 1이 감지 구성요소에 입력될 수 있음을 식별할 수 있다. 따라서, 로직 0을 감지하는 감지 구성요소는 대신에 로직 1을 출력할 수 있는 반면, 로직 1을 감지하는 감지 구성요소는 로직 0을 출력할 수 있다.

[0068] 다른 예에서, ECC 로직은 페이지로부터 수신된 로직 상태가 의도된 로직 상태인지 또는 의도된 로직 상태의 반대인지 여부를 결정하는데 사용될 수 있다. 예를 들어, ECC 구성요소(440)는 다수의 감지 구성요소로부터 수신된 로직 상태를 확인하고, 비휘발성 래치(430)로부터 수신된 인디케이터의 값에 기초하여 수신된 로직 상태를 반전 또는 통과시킬 수 있다. 다른 예에서, ECC 구성요소(440)는 2개의 코드 워드를 생성 및 저장할 수 있다. 즉, 상기 저장된 로직 상태들에 대응하는 제 1 코드 워드는 의도된 로직 상태와 동일한 것이고, 저장된 로직 상태에 대응하는 제 2 코드 워드는 저장된 로직 상태와는 상이한 것(가령, 반대의 것)이다. ECC 구성요소(440)는 페이지 내의 메모리 셀들 각각과 연관된 인디케이터(520-a)를 포함하는 인디케이터를 수신할 수 있고, 페이지 판독으로부터 유도된 코드 워드를 식별함에 있어서 수신된 인디케이터를 사용할 수 있다. 예를 들어, ECC 구성요소(440)에 의해 수신된 인디케이터는 감지 구성요소로부터 수신된 로직 상태로부터 유도된 코드 워드와 비교하기 위해 제 1 또는 제 2 코드 워드를 선택하는데 사용될 수 있다. 어떤 경우에는, 수신된 인디케이터의 대부분에 의해 공유되는 값을 식별하기 위해 추가 로직이 사용될 수 있고, 식별된 값은 코드 워드 중 하나를 선택하기 위해 ECC 구성요소(440)에 의해 사용될 수 있다. 예를 들어, 대부분의 인디케이터가 1의 값을 공유하는 경우, ECC 구성요소(440)는 제 2 코드 워드를 선택하여, 수신된 로직 상태가 판독되도록 의도된 로직 상태와 반대임을 결정할 수 있다.

[0069] 일부 예에서, ECC 구성요소(440)는 인디케이터 및 비휘발성 래치와 독립적으로 사용될 수 있다. 예를 들어, ECC 구성요소(440)는 제 1 코드 워드 및 제 2 코드 워드를 페이지로부터 수신된 로직 상태로부터 도출된 코드 워드와 비교하여, 코드 워드가 도출된 코드 워드와 일치하는지에 기초하여 의도된 로직 상태를 결정할 수 있다. 다른 예에서, ECC 구성요소(440)는 페이지 내의 메모리 셀들의 로직 상태를 플리핑시키기 위해 대칭으로 선택된 코드 워드를 이용할 수 있다. 즉, ECC 구성요소(440)는 플립된 페이지로부터 도출된 코드 워드와, 플립되지 않은 페이지로부터 도출된 코드 워드가 동일하도록 코드 워드를 선택할 수 있다.

[0070] 일단 페이지가 플립되면, 비휘발성 래치(430)의 값에 기초하여 하나 이상의 메모리 셀이 기록될 수 있다. 예를 들어, 애플리케이션이 플립된 페이지에 포함된 하나 이상의 메모리 셀(가령, 페이지 내 일 워드)에 하나의 로직 상태(가령, 로직 상태 1)의 저장을 요청할 경우, 반대의 로직 상태(가령, 로직 상태 0)가 메모리 셀에 기록될 수 있다. 이러한 방식으로, 페이지 전체에 걸쳐 저장된 로직 상태들이 일관되게 플립될 수 있다. 플립된 페이지에 대한 일 예에서, 메모리 제어기는 수신된 로직 상태를 감지 구성요소(125)에 제공할 수 있고, 감지 구성요소(125)는 비휘발성 래치(430)에 의해 제공된 인디케이터의 값에 기초하여 메모리 셀(105-b)에 기입할 때 로직 상태를 플립할 수 있다. 플립된 페이지에 대한 또 다른 예에서, ECC 구성요소(440)는, 예를 들어 비휘발성 래치(430)의 값에 기초하여, 수신된 로직 상태를 플립(flip)할 수 있고, 플립된 로직 상태를 연관된 감지 구성요소로 전달하여, 플립된 로직 상태를 대응하는 메모리 셀에 기록할 수 있다.

[0071] 일부 예에서, 제 1 시간 주기(525-a) 및 제 2 시간 주기(525-b)은 상이한 길이이고, 상이한 로직 상태를 기록하는 프로세스는 주기적 사이클에 걸쳐 반복될 수 있다. 따라서, 제 3 시간 주기(525-c)의 시작시 초기 로직 상태인 로직 0이 메모리 셀(105-b)에 다시 기록될 수 있고 인디케이터(520-c)의 값은 0으로 복귀될 수 있다. 일부 경우에, 시간 주기(525)의 길이는 메모리 어레이에 포함된 메모리 셀의 알려진 또는 모델링된 특성에 기초할 수 있다. 예를 들어, 기간들(525)의 길이는 온도, 나이, 액세스 동작들 간의 평균 지연, 결과 감지 윈도우, 또는 이들의 임의의 조합을 포함하는 메모리 어레이의 전부 또는 일부에 대한 환경 및 동작 인자들에 기초할 수도 있다. 일부 예에서, 제 1 시간 주기(525-a) 및 제 2 시간 주기(525-b)의 길이가 다를 수 있다.

[0072] 일부 실시예에서, 시간주기(525)의 길이는 관측된 환경 또는 동작 인자에 기초하여 동적으로 갱신될 수 있다. 예를 들어, 메모리 어레이 또는 어레이의 서브섹션의 온도가 측정될 수 있고, 시간주기(525)의 길이는 측정된

온도에 기초하여 변경(예를 들어, 증가 또는 감소)될 수 있다. 일부 예에서, 강유전성 메모리 셀에 대해 수행된 다수의 액세스 동작이 카운트될 수 있고, 기간(525)의 길이는 모니터링된 액세스 동작의 수에 기초하여 변경될 수 있다. 몇몇 경우에, 측정된 온도 및 모니터링된 액세스 횟수의 조합은 시간주기(525)의 길이를 수정하는데 사용될 수 있다.

[0073] 반대의 상태를 메모리 셀에 기록할지 여부를 결정할 때 다른 인자들이 고려될 수 있다. 예를 들어, 반대 로직 상태를 메모리 셀(105-b)에 기록하는 것은 메모리 셀(105-b)이 액세스되지 않고 제 1 시간 주기(525-a) 동안 제 1 로직 상태를 저장했는지를 결정하는 것에 기초할 수 있다. 또 다른 예에서, 반대 로직 상태를 메모리 셀(105-b)에 기록하는 것은 메모리 셀(105-b)을 포함하는 메모리 어레이의 서브섹션이 제 1 시간 주기(525-a) 동안 액세스되지 않았음을 확인하는 것에 기초할 수 있다.

[0074] 몇몇 경우에, 반대 로직 상태를 메모리 셀(105-b)에 기록하는 것은 시간주기(525)와 독립적일 수 있고 대신에 이벤트의 발생에 기초할 수 있다. 예를 들어, 다수의 판독/기록 에러가 임계 값을 초과하는 것으로 판정한 것에 응답하여 반대 로직 상태가 메모리 셀(105-b)에 기록될 수 있다. 일부 예에서, 반대 로직 상태는 메모리 셀(105-b)을 포함하는 디바이스가 저전력 또는 파워-다운 상태에서부터 활성화 상태에 들어간 것으로 결정한 것에 응답하여 기록될 수 있다. 일부 경우에, 반대 로직 상태는 서브섹션이 활성 상태로 들어간 것을 식별하는 것에 기초하여 디바이스의 각 메모리 셀에 기록될 수 있다. 부가 적으로 또는 대안으로, 반대 로직 상태는 메모리 셀(105-b)이 로직 상태를 얼마나 오래 저장했는지에 관계없이 반대 로직 상태를 기록하기 위해 사용자로부터 명령을 수신하는 것에 기초하여 기록될 수 있다. 또한, 메모리 셀(105-b)은 2 개의 로직 상태 중 하나를 저장하는 것으로서 설계되지만, 일부 예에서, 메모리 셀(105-b)은 2개보다 많은 로직 상태를 저장할 수 있다.

[0075] 도 6a는 본 발명의 다양한 실시예에 따라 동작하는 메모리 어레이의 예시적인 서브섹션(600-a)을 도시한다. 서브섹션(600-a)은 도 1, 도 2, 도 4를 참조하여 기술된 바의 메모리 셀(105) 및 감지 구성요소의 예일 수 있는 메모리 셀(105-c) 및 감지 구성요소(125-c)와, 도 1, 도 2 및 도 4를 참조하여 기술된 비휘발성 래치(430)의 예일 수 있는 비휘발성 래치들(430-a)을 포함할 수 있다. 일부 예에서, 도 4를 참조하여 기술된 회로(400)의 양태들이 서브섹션(600-a)에 포함될 수 있다.

[0076] 메모리 셀들(105-c)은 각각 래치와 연관될 수 있고 로직 상태를 저장할 수 있다. 도 6a의 예에서, 메모리 셀들(105-c)은 로직 상태  $\{0, 0, \dots, 1\}$ 을 저장할 수 있다. 비휘발성 래치(430-a)는 각각의 메모리 셀에 각각 대응할 수 있고, 각각의 메모리 셀에 의해 저장된 로직 상태가 의도된 로직 상태인지 여부를 나타내는 값을 저장할 수 있다. 일부 예들에서, 단일 값은 메모리 셀들(105-c) 그룹에 대한 의도된 로직 상태를 나타내기 위해 사용된다. 예를 들어, 다수의 비휘발성 래치(430-a)가  $\{0\}$  값을 저장하는 경우, 래치의 단일 출력은 또한 0일 수 있다. 도 6a의 예에서, 각 래치는 값  $\{0\}$ 을 저장할 수 있다. 판독 동작 동안, 감지 구성요소(125-c)는 메모리 셀들(105-c)을 감지할 수 있고  $\{0\}$  값을 제공하는 래치에 기초하여 메모리 셀들(105-c)의 의도된 로직 상태들이 현재 로직 상태들(예:  $\{0, 0, \dots, 1\}$ )과 동일하다고 결정할 수 있다. 다른 예에서, 단일 비휘발성 래치(430-a)는 메모리 셀(105-c)을 포함하는 페이지가 의도된 로직 상태 또는 반전된 로직 상태로 기록되었는지 여부를 나타내는 데 사용되는 단일 값을 저장한다. 이 값은 유사하게 감지 구성요소(125-c)에 제공될 수 있다.

[0077] 도 6b는 본 발명의 다양한 실시예에 따라 동작하는 메모리 어레이의 예시적인 서브섹션(600-b)을 도시한다. 서브섹션(600-b)은 메모리 셀(105-c) 및 비휘발성 래치(430-a)에 더하여 감지 구성요소(125-c)를 포함한다. 감지 구성요소(125-c)는 도 1, 2, 4를 참조하여 기술된 감지 구성요소(125)의 예일 수 있다. 일부 예들에서, 도 4를 참조하여 기술된 바와 같이, 회로(400)의 양태들이 서브섹션(600-b)에 포함될 수 있다.

[0078] 도 6b의 예에서, 메모리 셀들(105-c) 각각에 의해 저장된 로직 상태는 원래 저장된 상태에 대하여 플립될 수 있다. 따라서, 메모리 셀들(105-c)은 로직 상태  $\{1, 1, \dots, 0\}$ 를 저장할 수 있다. 또한, 각각의 비휘발성 래치(430-a)에 의해 저장된 값 역시 플립될 수 있고, 각 래치 또는 다수의 래치는  $\{1\}$ 을 저장할 수 있다. 대부분의 비휘발성 래치(430-a)의 값은 감지 구성요소(125-c)에 제공될 수 있다. 판독 동작 동안, 감지 구성요소(125-c)는 메모리 셀들(105-c)을 감지할 수 있고,  $\{1\}$  값을 제공하는 래치에 기초하여, 메모리 셀들(105-c)의 의도된 로직 상태들이 현재 로직 상태들(예:  $\{0, 0, \dots, 1\}$ )과 반대임을 결정할 수 있다. 이러한 방식으로, 도 6a에 원래 저장된 로직 상태가 감지 구성요소(125-c)로부터 판독될 수 있다. 일부 예에서, 각각의 비휘발성 래치(430-a)는 개별 감지 구성요소와 연관될 수 있고, 각 래치에 의해 제공되는 값은 메모리 셀로부터 수신된 로직 상태를 반전할지 여부를 결정하기 위해 감지 구성요소에 의해 사용될 수 있다. 다른 예에서, 단일 비휘발성 래치(430-a)는 메모리 셀(105-c)을 포함하는 페이지가 의도된 로직 상태 또는 반전된 로직 상태로 기록되었는지 여부를 나타내는 데 사용되는 단일 값을 저장한다. 이 값은 유사하게 감지 구성요소(125-c)에 제공될 수 있다.

- [0079] 도 6c는 본 발명의 다양한 실시예에 따라 동작하는 메모리 어레이의 예시적인 서브섹션(600-c)을 도시한다. 서브섹션(600-b)은 메모리 셀(105-c) 및 비휘발성 래치(430-a)에 더하여 감지 구성요소(125-c)를 포함한다. 서브섹션(600-c)은 또한 ECC 구성요소(440-a)를 포함하며, 이는 도 4를 참조하여 기술된 ECC 구성요소(440)의 일 실시예일 수 있다. 섹션(600-c)은 도 6b를 참조하여 기술된 기술에 대해 메모리 셀들(105-c)을 판독하기 위한 대안적인 기술을 나타낼 수 있다. 일부 예에서, 도 4를 참조하여 기술된 회로(400)이 양태들이 서브섹션(600-c)에 포함될 수 있다.
- [0080] 도 6c의 예에서, 메모리 셀들(105-c) 각각에 의해 저장된 로직 상태는 도 6a에 원래 저장된 로직 상태들  $\{0, 0, \dots, 1\}$ 에 대해 플립될 수 있다. 따라서, 메모리 셀들(105-c)은 로직 상태  $\{1, 1, \dots, 0\}$ 를 저장할 수 있다. 또한, 각각의 비휘발성 래치(430-a)에 의해 저장된 값 역시 플립될 수 있고, 각 래치 또는 다수의 래치는  $\{1\}$ 을 저장할 수 있다. 그러나, 도 6c에서, 비휘발성 래치(430-a)로부터 도출된 값(들)은 감지 구성요소(125-c)에 제공되지 않을 수 있지만, 대신에 ECC 구성요소(440-a)에 제공될 수 있다. 이러한 방식으로, 감지 구성요소(125-c)는 감지된 로직 상태를 반전할지 여부를 고려하지 않고 메모리 셀(105-c)에 의해 현재 저장된 로직 상태를 감지할 수 있다 - 예를 들어, 감지 구성요소(125-c)는 플립된 로직 상태  $\{1, 1, \dots, 0\}$ 를 출력할 수 있다. 감지 구성요소(125-c)의 출력은 ECC 구성요소(440-a)로 전달될 수 있다. ECC 구성요소(440-a)는 수신된 출력을 사용하여 메모리 셀들(105-c)로부터 수신된 데이터가 유효한지 여부를 결정하는데 사용될 수 있는 코드 워드를 결정할 수 있다. 그 다음, ECC 구성요소(440-a)는 비휘발성 래치(430-a)에 의해 제공된 값을 사용하여, 메모리 셀(105-c)에 의해 저장된 로직 상태가 의도된 로직 상태인지를 결정할 수 있다. 도 6c의 예에서, ECC 구성요소(440-a)는 저장된 코드 워드와 매칭하는 코드 워드를 도출함으로써 감지 구성요소(125-c)에 의해 출력된 로직 상태가 유효하다고 결정한다. 그 다음, ECC 구성요소(440-a)는 비휘발성 래치(430-a)로부터 수신된 값이  $\{1\}$ 임을 결정하는 것에 기초하여 로직 상태를 반전시키고 따라서 원래 저장/의도된 로직 상태  $\{0, 0, \dots, 1\}$ 를 출력한다. 다른 예에서, 단일 비휘발성 래치(430-a)는 메모리 셀(105-c)을 포함하는 페이지가 의도된 로직 상태 또는 반전된 로직 상태로 기록되었는지 여부를 나타내는 데 사용되는 단일 값을 저장한다. 이 값은 유사하게 ECC 구성요소(440-a)에 제공될 수 있다.
- [0081] 일부 예에서, 서브섹션(600-c)은 비휘발성 래치(430-a)를 사용하지 않는다. 이러한 예에서, ECC 구성요소(440-a)는 메모리 셀들(105-c)에 저장된 데이터에 기초하여 2 개의 코드 워드, 예를 들어 원래 저장된 로직 상태들에 대해 유도된 코드 워드를 저장할 수 있다(예를 들어,  $\{0, 0, \dots, 1\}$ ) 및 원래 저장된 로직 상태(예를 들어,  $\{1, 1, \dots, 0\}$ )의 반대 로직 상태에 대해 유도된 코드 워드를 포함한다. 그 다음, ECC 구성요소(440-a)는 메모리 셀들(105-c)에 의해 저장된 데이터가 유효한지 여부를 결정하고 출력 로직 상태가 유효한지 여부를 결정하기 위해 두 코드 워드로 감지 구성요소(125-c)의 출력으로부터 도출된 코드 워드를 검사할 수 있다. 즉, 반대 로직 상태와 연관된 코드 워드가 메모리 셀(105-c)에 의해 현재 저장된 데이터의 유효성을 확인하는데 사용되면, ECC 구성요소(440-a)는 메모리 셀(105-c)의 원래 저장/의도된 로직 상태  $\{0, 0, \dots, 1\}$ 가 현재 저장된 로직 상태  $\{1, 1, \dots, 0\}$ 와 반대임을 결정할 수 있다. 다른 예에서, ECC 구성요소(440-a)는 의도된 로직 상태에 대해 그리고 의도된 로직 상태의 대칭에 대해 대칭 인 메모리 셀들(105-c)에 의해 저장된 데이터에 대한 코드 워드를 결정할 수 있다.
- [0082] 일부 예에서, ECC 구성요소(440-a)는 메모리 셀(105-c)을 포함하는 페이지의 일부로서 구현된다. 즉, ECC 비트는 특정 메모리 셀(105-c)에 저장될 수 있고 페이지의 감지 동작 중에 판독될 수 있다. 저장된 ECC 비트는 페이지에 의해 저장된 데이터가 유효한지 또는 손상되었는지를 결정하는데 사용될 수 있다. 다른 예에서, ECC 구성요소(440-a)는 메모리 셀(105-c)과 별개로 구현된다. 즉, 페이지에 대한 ECC 비트는 메모리 어레이의 다른 섹션에 저장될 수 있으며 메모리 셀(105-c)의 로직 상태를 판독한 후에 페이지로부터 판독된 데이터가 유효한지 또는 손상되었는지를 결정하는데 사용될 수 있다.
- [0083] 도 7은 본 발명의 다양한 실시예에 따라 임프린트를 회피하는 것을 지원하는 메모리 어레이(100-a)의 블록도(700)를 도시한다. 메모리 어레이(100-a)는 전자 메모리 장치라 불릴 수 있으며, 도 1, 2, 4를 참조하여 설명된 메모리 제어기(140) 및 메모리 셀(105)의 예일 수 있는 메모리 제어기(140-a) 및 메모리 셀(105-d)을 포함할 수 있다. 일부 경우에, 메모리 셀(105-d)은 도 1을 참조하여 기술된 바와 같이 다수의 메모리 셀(105)과 연관될 수 있다. 메모리 제어기(140-a)는 바이어싱 구성요소(710), 타이밍 구성요소(715), 및 임프린트 식별 구성요소(745)를 포함할 수 있으며, 도 1에서 설명된 바와 같이 메모리 어레이(100-a)를 동작시킬 수 있다. 메모리 제어기(140-a)는 또한 비휘발성 래치(430-b) 및 ECC 구성요소(440-b)를 포함할 수 있으며, 이들은 도 4를 참조하여 기술된 비휘발성 래치(430) 및 ECC 구성요소(440)의 예일 수 있다.
- [0084] 메모리 제어기(140-a)는 워드 라인(110-c), 디지털 라인(115-c), 감지 구성요소(125-d) 및 플레이트 라인(210-

b)과 전자 통신할 수 있고, 이들은 도 1, 2, 4를 참조하여 기술된 워드 라인(110), 디지털 라인(115), 감지 구성요소(125) 및 플레이트 라인(210)의 예일 수 있다. 메모리 어레이(100-a)는 또한 기준 구성요소(720) 및 래치(725)를 포함할 수 있다. 메모리 어레이(100-a)의 구성요소들은 서로 전자적으로 통신할 수 있고, 도 1-5를 참조하여 설명한 기능을 수행할 수 있다. 어떤 경우에, 기준 구성요소(720), 감지 구성요소(125-d) 및 래치(725)는 메모리 제어기(140-a)의 구성요소 일 수 있다.

[0085] 일부 예에서, 디지털 라인(115-c)은 감지 구성요소(125-d) 및 강유전성 메모리 셀(105-d)의 강유전성 커패시터와 전자 통신한다. 강유전성 메모리 셀(105-d)은 로직 상태(예를 들어, 제 1 또는 제 2 로직 상태)로 기록 가능할 수 있다. 워드 라인(110-c)은 메모리 제어기(140-a) 및 강유전성 메모리 셀(105-d)의 선택 구성요소와 전자 통신할 수 있다. 플레이트 라인(210-a)은 메모리 제어기(140-a) 및 강유전성 메모리 셀(105-d)의 강유전성 커패시터의 플레이트와 전자 통신할 수 있다. 감지 구성요소(125-d)는 메모리 제어기(140-a), 기준 라인(225-b), 디지털 라인(115-c) 및 래치(725)와 전자 통신할 수 있다. 기준 구성요소(720)는 메모리 제어기(140-a) 및 기준 라인(225-b)와 전자 통신할 수 있다. 감지 제어 라인(740)은 감지 구성요소(125-d) 및 메모리 제어기(140-a)와 전자 통신할 수 있다.

[0086] 래치 제어 라인(750)은 비휘발성 래치(430-b) 및 메모리 제어기(140-a)와 전자 통신할 수 있다. 비휘발성 래치(430-b)는 ECC 구성요소(440-b) 및/또는 감지 구성요소(125-d)와 전자 통신할 수 있다. ECC 구성요소(440-b)는 감지 구성요소(125-d)와 전자 통신할 수 있다. 이들 구성요소는 또한 다른 구성요소, 연결 또는 버스를 통해 위에 열거되지 않은 구성요소에 추가하여 메모리 어레이(100-a) 내부 및 외부의 다른 구성요소와 전자 통신할 수 있다.

[0087] 메모리 제어기(140-a)는 이들 다양한 노드에 전압을 인가함으로써 워드 라인(110-c), 플레이트 라인(210-b) 또는 디지털 라인(115-c)을 활성화하도록 구성될 수 있다. 예를 들어, 바이어싱 구성요소(710)는 전술한 바와 같이 메모리 셀(105-d)을 판독 또는 기록하도록 메모리 셀(105-d)을 동작시키는 전압을 인가하도록 구성될 수 있다. 몇몇 경우들에서, 메모리 제어기(140-a)는 도 1을 참조하여 기술된 바와 같이 로우 디코더, 칼럼 디코더, 또는 둘 모두를 포함할 수 있다. 이로써, 메모리 제어기(140-a)가 하나 이상의 메모리 셀(105)에 액세스할 수 있다. 바이어싱 구성요소(710)는 또한 감지 구성요소(125-d)에 대한 기준 신호를 생성하기 위해 기준 구성요소(720)에 전압 전위를 제공할 수 있다. 부가 적으로, 바이어싱 구성요소(710)는 감지 구성요소(125-d)의 동작을 위한 전압 전위를 제공할 수 있다.

[0088] 일부 경우, 메모리 제어기(140-a)는 타이밍 구성요소(715)를 사용하여 그 동작을 수행할 수 있다. 예를 들어, 타이밍 구성요소(715)는 스위칭 및 전압인가를 위한 타이밍을 포함한, 다양한 워드 라인 선택 또는 플레이트 바이어싱의 타이밍을 제어하여, 여기서 논의되는 읽기 및 쓰기와 같은 메모리 기능을 수행할 수 있다. 몇몇 경우에, 타이밍 구성요소(715)는 바이어싱 구성요소(710)의 동작을 제어할 수 있다. 기준 구성요소(720)는 감지 구성요소(125-d)에 대한 기준 신호를 생성하기 위한 다양한 구성요소를 포함할 수 있다. 기준 구성요소(720)는 기준 신호를 생성하도록 구성된 회로를 포함할 수 있다. 일부 경우에, 기준 구성요소(720)는 다른 강유전성 메모리 셀(105)을 이용하여 구현될 수 있다. 감지 구성요소(125-d)은 (디지털 라인(115-c)을 통해) 메모리 셀(105-d)로부터의 신호를, 기준 구성요소(720)로부터의 기준 신호와 비교할 수 있다. 로직 상태를 결정할 때, 감지 구성요소는 래치(725)에 출력을 저장할 수 있으며, 여기서 메모리 어레이(100-a)가 일부인 전자 디바이스의 동작에 따라 사용될 수 있다. 감지 구성요소(125-d)는 래치 및 강유전성 메모리 셀과 전자 통신하는 감지 증폭기를 포함할 수 있다.

[0089] 비휘발성 래치(430-b)는 제 1 로직 상태 또는 제 2 로직 상태가 강유전성 메모리 셀(105-d)의 의도된 로직 상태를 나타내는 지의 표시를 저장하는 비휘발성 메모리 셀을 포함할 수 있다. 몇몇 경우에, 비휘발성 래치(430-b)는 강유전성 메모리 셀(105-d)과 다른 제 2 강유전성 메모리 셀(예를 들어, 사용되지 않은 강유전성 메모리 셀)로서 구현된다.

[0090] 타이밍 구성요소(715) 및 바이어싱 구성요소(710)와 조합된 임프린트 식별 구성요소(745)를 이용하여, 강유전성 메모리 셀(105-d)에 제 1 로직 상태를 기록할 수 있고; 강유전성 메모리 셀(105-d)이 제 1 시간 주기 동안 제 1 로직 상태를 저장했다고 결정할 수 있으며; 강유전성 메모리 셀(105-d)이 제 1 시간 주기 동안 제 1 로직 상태를 저장했다는 결정에 적어도 부분적으로 기초하여 제 2 로직 상태를 강유전성 메모리 셀(105-d)에 기록할 수 있고, 이때 제 2 로직 상태는 제 1 로직 상태와 다른 것이다. 예를 들어, 임프린트 식별 구성요소(745)는 적어도 부분적으로는 강유전성 메모리 셀(105-d)의 온도, 강유전성 메모리 셀(105-d)의 나이, 강유전성 메모리 셀(105-d)의 액세스 동작 사이의 평균 지연, 또는 강유전성 메모리 셀(105-d)의 판독으로 인한 감지 윈도우 중 적

어도 하나, 또는 이들의 임의의 조합에 적어도 부분적으로 기초하여 제 1 시간 주기의 길이를 결정하는데 사용될 수 있다.

[0091] 일부 예에서, 메모리 제어기(140-a)는 메모리 셀(105-d)의 성능을 유지하기 위해 메모리 어레이(100-a)의 구성요소를 동작시키는데 사용될 수 있다. 예를 들어, 메모리 제어기(140-a)는 바이어싱 구성요소(710)를 이용하여 강유전성 메모리 셀(105-d)에 제 1 로직 상태를 기록할 수 있고; 타이밍 구성요소(715)를 이용하여 강유전성 메모리 셀이 제 1 시간 주기 동안 제 1 로직 상태를 저장했는지를 결정할 수 있으며; 바이어싱 구성요소(710)를 이용하여, 강유전성 메모리 셀(105-d)이 제 1 시간 주기 동안 제 1 로직 상태를 저장했다는 결정에 적어도 부분적으로 기초하여 제 2 로직 상태를 강유전성 메모리 셀(105-d)에 기록할 수 있고, 이때, 제 2 로직 상태는 제 1 로직 상태와 다르다. 일부 예에서, 제 1 로직 상태를 기록하기 위한 추가 인자는 액세스없이 강유전성 메모리 셀(105-d)이 제 1 시간 주기 동안 제 1 로직 상태를 저장했는지를 식별하는 것이다. 몇몇 경우에, 제 1 시간 주기는 적어도 부분적으로는 강유전성 메모리 셀(105-d)의 온도, 강유전성 메모리 셀(105-d)의 연령, 강유전성 메모리 셀(105-d)의 액세스 동작들 간의 평균 지연, 또는 강유전성 메모리 셀(105-d)을 관독함으로써 얻어지는 감지 윈도우, 또는 이들의 임의의 조합에 적어도 부분적으로 기초한다.

[0092] 몇몇 경우들에서, 비휘발성 래치(430-b)는 강유전성 메모리 셀들(105-d)에 의해 저장된 의도된 로직 상태가 제 1 로직 상태인지 또는 제 2 로직 상태인지 여부를 나타내는 인디케이터를 저장하는데 사용된다. 예를 들어, 비휘발성 래치(430-b)에 저장된 인디케이터의 값은, 강유전성 메모리 셀(105-d)의 의도된 로직 상태가 제 1 로직 상태임을 표시하기 위해 강유전성 메모리 셀(105-d)에 제 2 값을 기록함에 기초하여 (가령, 1의 값으로) 업데이트될 수 있다. 인디케이터의 값은 감지 구성요소(125-d)에 제공될 수 있고, 감지 구성요소(125-d)는 비휘발성 래치(430-b)에 의해 저장된 인디케이터의 값의 결과로, 강유전성 메모리 셀(105-d)이 제 2 로직 상태를 저장함에도 불구하고, 강유전성 메모리 셀(105-d)의 로직 상태를 제 1 로직 상태로 출력할 수 있다.

[0093] 또 다른 예에서, 인디케이터의 값은 감지 구성요소(125-d)에 제공되지 않을 수 있고, ECC 구성요소(440-b)는 강유전성 메모리 셀(105-d)의 의도된 로직 상태를 결정하는데 사용될 수 있다. 예를 들어, ECC 구성요소(440-b)는 메모리 어레이의 페이지의 관독 동작으로부터 코드 워드를 식별할 수 있고, 코드 워드의 값은 적어도 부분적으로 인디케이터의 값에 기초한다. ECC 구성요소(440-b)는 강유전성 메모리 셀(105-d)의 의도된 로직 상태가 식별된 코드 워드에 적어도 부분적으로 기초하여 제 1 로직 상태임을 결정할 수 있다.

[0094] 일부 경우, 메모리 제어기(140-a)는 강유전성 메모리 셀(105-d)에 제 1 로직 상태를 저장하라는 요청을 수신할 수 있다. 메모리 제어기(140-a)는 강유전성 메모리 셀(105-d)에 기록할 때 비휘발성 래치(430-b)의 값과 조합하여 바이어싱 구성요소(710)를 사용할 수 있다. 예를 들어, 비휘발성 래치(430-b)에 의해 저장된 값이 1 인 경우, 메모리 제어기는 강유전성 메모리 셀(105-d)에 의해 저장된 로직 상태가 플립된 것으로 판정하고, 강유전성 메모리 셀(105-d)에 제 1 로직 상태 대신 제 2 로직 상태를 기입할 수 있다. 마찬가지로, 메모리 제어기(140-a)는 데이터 페이지를 저장하라는 요청을 수신할 수 있고, 비휘발성 래치(430-b)의 값에 기초하여 데이터 페이지의 플립된 버전을 기록할 수 있다.

[0095] 몇몇 경우에, 메모리 제어기(140-a)는 강유전성 메모리 셀(105-d)이 제 2 시간 주기 동안 제 2(예를 들어, 플립된) 로직 상태를 저장했는지를 결정하기 위해 타이밍 구성요소(715)를 사용할 수 있고, 강유전성 메모리 셀(105-d)이 제 2 시간 주기 동안 제 2 로직 상태를 저장했다는 것을 결정하는 것에 적어도 부분적으로 기초하여 강유전성 메모리 셀(105-d)에 제 1 로직 상태를 다시 기입할 수 있다. 그 다음, 임프린트 식별 구성요소(745)는 비휘발성 래치(430-b)를 트리거하여, 인디케이터의 값을 갱신하여, 강유전성 메모리 셀(105-d)의 의도된 로직 상태가 강유전성 메모리 셀(105-d)에 의해 저장된 로직 상태(이 경우 제 1 로직 상태)임을 인디케이터가 표시한다. 몇몇 경우, 제 1 시간 주기는 사이클의 제 1 간격을 포함하고, 제 2 시간 주기는 사이클의 제 2 간격을 포함하며, 사이클의 주기는 제 1 로직 상태의 기입과 제 1 로직 상태의 다시 기입 간의 시간을 포함한다.

[0096] 일부 경우에, 메모리 어레이(100-a)의 각각의 강유전성 메모리 셀은 비휘발성 래치와 연관되고, 메모리 어레이(100-a)의 서브섹션의 의도된 로직 상태는 적어도 부분적으로 동일한 값을 저장하는 복수의 래치 중 다수에 적어도 부분적으로 기초한다. 일부 예에서, 메모리 제어기(140-a)는 타이밍 구성요소(715)와 함께 임프린트 식별 구성요소(745)를 사용하여, 강유전성 메모리 셀(105-d)을 포함하는 메모리 어레이의 서브섹션을 식별하고; 상기 서브섹션의 하나 이상의 강유전성 메모리 셀들이 상기 제 1 시간 주기 동안 상기 제 1 로직 상태를 저장했음을 결정하는 것에 적어도 부분적으로 기초하여 상기 서브섹션의 각각의 강유전성 메모리 셀에 상이한 로직 상태를 기록할 수 있다. 상이한 로직 상태를 기록하기 위한 추가 인자는 강유전성 메모리 셀들 중 하나의 강유전성 메모리 셀이 액세스없이 제 1 시간 동안 로직 상태를 저장했는지 식별하는 것일 수 있다.

- [0097] 일부 예에서, 메모리 제어기(140-a)는 제 1 시간주기와 독립적으로 강유전성 메모리 셀(105-d)에 제 2 로직 상태를 기록한다. 예를 들어, 메모리 제어기(140-a)는 다수의 어레가 임계 수를 초과 하였다는 결정과, 메모리 어레이가 저전력 모드로 동작하고 있다는 결정과, 메모리 어레이가 파워-다운 모드로 동작하고 있다는 결정과, 또는, 사용자로부터의 명령을 수신하였다는 결정과, 또는 이들의 임의의 조합 중 적어도 하나에 기초하여 강유전성 메모리 셀(105-d)에 제 2 로직 상태를 기입할 수 있다. 다른 예에서, 메모리 제어기(140-a)는 강유전성 메모리 셀(105-d)을 포함하는 메모리 어레이의 서브섹션의 활성화에 적어도 부분적으로 기초하여 서브섹션의 각 강유전성 메모리 셀에 상이한 로직 상태를 기록할 수 있다.
- [0098] 메모리 제어기(140-a)를 또한 이용하여, 강유전성 메모리 셀(105-d)을 포함하는 메모리 어레이의 온도를 측정할 수 있고(여기서 제 1 시간 주기는 적어도 부분적으로 온도에 기초함), 또는, 강유전성 메모리 셀(105-d)에 대해 수행된 액세스 동작의 횟수를 모니터링할 수 있으며(제 1 시간 주기는 강유전성 메모리 셀(105-d)의 액세스 동작의 수에 적어도 부분적으로 기초함), 또는 두가지 모두를 행할 수 있으며, 그리고 측정되는 온도 또는 모니터링되는 액세스 동작 수, 또는 둘 모두에 적어도 부분적으로 기초하여 제 1 시간 주기의 값을 수정할 수 있다. 추가적으로, 제 1 로직 상태 기입 후 타이머를 개시하는데 메모리 제어기(140-a)를 사용할 수 있고, 타이머의 값은 강유전성 메모리 셀(105-d)이 제 1 시간 주기 동안 제 1 로직 상태를 저장했는지를 결정하는데 사용될 수 있다.
- [0099] 도 8은 본 발명의 다양한 실시예에 따라 메모리 셀의 임프린트(imprint) 방지를 지원하는 시스템(800)을 도시한다. 시스템(800)은 다양한 구성요소를 연결하거나 물리적으로 지원하기 위한 인쇄 회로 기판 일 수 있거나 포함할 수 있는 디바이스(805)를 포함한다. 디바이스(805)는 몇몇 예에서 컴퓨터, 랩톱 컴퓨터, 노트북 컴퓨터, 태블릿 컴퓨터, 이동 전화기 등일 수 있다. 디바이스(805)는 도 1 및 도 7을 참조하여 기술된 메모리 어레이(100)의 예일 수 있는 메모리 어레이(100-b)를 포함한다. 메모리 어레이(100-b)는 메모리 제어기(140-b) 및 메모리 셀(들)(105-d)을 포함할 수 있으며, 이는 도 1 및도 7을 참조하여 기술된 메모리 제어기(140)와, 도 1, 2, 4, 7을 참조하여 기술된 메모리 셀(105)의 예일 수 있다. 디바이스(805)는 또한 프로세서(810), BIOS 구성요소(815), 주변 장치 구성요소(들)(820) 및 입력/출력 제어 구성요소(825)를 포함할 수 있다. 디바이스(805)의 구성요소들은 버스(830)를 통해 서로 전자적으로 통신할 수 있다.
- [0100] 프로세서(810)는 메모리 제어기(140-b)를 통해 메모리 어레이(100-a)를 동작 시키도록 구성될 수 있다. 몇몇 경우들에서, 프로세서(810)는 도 1 및 도 7을 참조하여 기술된 메모리 제어기(140)의 기능들을 수행할 수 있다. 다른 경우에, 메모리 제어기(140-b)는 프로세서(810)에 통합될 수 있다. 프로세서(810)는 범용 프로세서, 디지털 신호 프로세서(DSP), 주문형 집적 회로(ASIC), 필드 프로그래머블 게이트 어레이(FPGA) 또는 다른 프로그래머블 로직 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 구성요소일 수 있고, 또는 이들 유형의 구성요소들의 조합 일 수 있으며, 프로세서(810)는 고속 사이클링을 이용한 메모리의 복원을 포함하여 여기에 기술된 다양한 기능들을 수행할 수 있다. 예를 들어, 프로세서(810)는 메모리 어레이(100-a)에 저장된 컴퓨터 판독 가능 명령어를 실행하여 디바이스(805)가 다양한 기능 또는 작업을 수행하도록할 수 있다.
- [0101] BIOS 구성요소(815)는 시스템(800)의 다양한 하드웨어 구성요소를 초기화 및 실행할 수 있는, 펌웨어로서 동작하는 BIOS(basic input/output system)를 포함하는 소프트웨어 구성요소일 수 있다. BIOS 구성요소(815)는 또한 프로세서(810)와 다양한 구성요소들, 가령, 주변 장치 구성요소(820), 입/출력 제어 구성요소(825), 등 간의 데이터 흐름을 관리할 수 있다. BIOS 구성요소(815)는 판독 전용 메모리(ROM), 플래시 메모리, 또는 임의의 다른 비휘발성 메모리에 저장된 프로그램 또는 소프트웨어를 포함할 수 있다.
- [0102] 주변 장치 구성요소(들)(820)은 디바이스(805)에 통합된, 디바이스용 인터페이스 또는 임의의 입력 또는 출력 장치일 수 있다. 예들은 디스크 제어기, 사운드 제어기, 그래픽 제어기, 이더넷 제어기, 모뎀, 범용 직렬 버스(USB) 제어기, 직렬 또는 병렬 포트, 또는 PCI(Peripheral Component Interconnect) 또는 AGP(Accelerated Graphics Port) 슬롯과 같은 주변 카드 슬롯을 포함할 수 있다.
- [0103] 입/출력 제어 구성요소(825)는 또한 프로세서(810)와 주변 장치 구성요소(820), 입력 디바이스(835) 또는 출력 디바이스(840) 간의 데이터 통신을 관리할 수 있다. 입/출력 제어 구성요소(825)는 디바이스(805)에 통합되지 않은 주변 장치를 또한 관리할 수 있다. 일부 경우에, 입/출력 제어 구성요소(825)는 외부 주변 장치에 대한 물리적 접속 또는 포트를 나타낼 수 있다.
- [0104] 입력(835)은 디바이스(805) 또는 그 구성요소에 입력을 제공하는 디바이스(805) 외부의 디바이스 또는 신호를 나타낼 수 있다. 여기에는 다른 장치와의, 또는 다른 장치들 사이의, 사용자 인터페이스(들)가 포함될 수 있다. 몇몇 경우에, 입력(835)은 주변 장치 구성요소(들)(820)을 통해 디바이스(805)와 인터페이스하는 주변 디바이스



일 수 있거나 입력/출력 제어 구성요소(825)에 의해 관리될 수 있다.

- [0105] 출력(840)은 디바이스(805) 또는 그 구성요소 중 임의의 구성요소로부터 출력을 수신하도록 구성된 디바이스(805) 외부의 디바이스 또는 신호를 나타낼 수 있다. 출력(840)의 예는 디스플레이, 오디오 스피커, 인쇄 장치, 다른 프로세서 또는 인쇄 회로 기판 등을 포함할 수 있다. 일부 경우, 출력(840)은 주변 장치 구성요소(들)(820)를 통해 디바이스(805)와 인터페이스하는 주변 장치이거나, 입/출력 제어 구성요소(825)에 의해 관리될 수 있다.
- [0106] 메모리 제어기(140-b), 디바이스(805) 및 메모리 어레이(100-b)의 구성요소는 그 기능을 수행하도록 설계된 회로로 구성될 수 있다. 이는 본 명세서에 설명된 기능을 수행하도록 구성된, 예를 들어 도전 선, 트랜지스터, 커패시터, 인덕터, 저항기, 증폭기 또는 다른 능동 소자 또는 수동 소자와 같은 다양한 회로 소자를 포함할 수 있다.
- [0107] 일부 예에서, 메모리 어레이(100-b)는 강유전성 메모리 셀이 제 1 시간 주기 동안 제 1 로직 상태를 저장했는지를 결정하는 수단을 포함할 수 있다. 일부 예에서, 메모리 어레이(100-b)는 강유전성 메모리 셀이 제 1 시간 주기 동안 제 1 로직 상태를 저장한다고 결정하는 것에 적어도 부분적으로 기초하여 제 2 로직 상태를 강유전성 메모리 셀에 기록하는 수단을 포함할 수 있으며, 제 2 로직 상태는 제 1 로직 상태와 다르다.
- [0108] 일부 예에서, 메모리 어레이(100-b)는 강유전성 메모리 셀에 제 2 로직 상태를 기록하는 것에 적어도 부분적으로 기초하여 인디케이터의 값을 업데이트하는 수단을 포함할 수 있으며, 인디케이터의 업데이트된 값은 강유전성 메모리 셀의 의도된 로직 상태가 제 1 로직 상태임을 표시한다. 일부 예에서, 메모리 어레이(100-b)는 비휘발성 메모리 셀을 포함하는 래치 내에 인디케이터를 저장하기 위한 수단을 포함할 수 있으며, 상기 인디케이터의 값은 상기 강유전성 메모리 셀의 의도된 로직 상태가 상기 제 1 로직 상태 또는 제 2 로직 상태인지 여부를 표시한다.
- [0109] 일부 예에서, 메모리 어레이(100-b)는 강유전성 메모리 셀을 포함하는 메모리 어레이의 온도를 측정하는 수단(제 1 시간 주기는 적어도 부분적으로는 온도에 기초함), 또는 상기 강유전성 메모리 셀에 대해 수행된 액세스 동작의 수를 측정하기 위한 수단(상기 제 1 시간 주기는 상기 강유전성 메모리 셀의 액세스 동작의 수에 적어도 부분적으로 기초함)을 포함할 수 있다. 일부 예에서, 메모리 어레이(100-b)는 측정된 온도 또는 액세스 동작의 수 또는 둘 모두에 적어도 부분적으로 기초하여 제 1 시간주기의 값을 수정하는 수단을 포함할 수 있다. 일부 예에서, 메모리 어레이(100-b)는 제 1 로직 상태가 기록된 후에 타이머를 초기화하는 수단을 포함할 수 있으며, 타이머의 값은 강유전성 메모리 셀이 제 1 시간 주기 동안 제 1 로직 상태를 저장했는지 여부를 나타낸다.
- [0110] 도 9는 본 발명의 다양한 실시예에 따라 메모리 셀의 임프린트(imprint)를 피하기 위한 방법(900)을 나타내는 흐름도이다. 방법(900)의 동작은 도 1, 7, 8을 참조하여 기술된 바와 같이 메모리 어레이(100)에 의해 구현될 수 있다. 예를 들어, 방법(900)의 동작은 도 1, 7, 8을 참조하여 기술된 메모리 제어기(140)에 의해 수행될 수 있다. 일부 예에서, 메모리 제어기(140)는 메모리 어레이(100)의 기능 요소를 제어하여 이하에 설명되는 기능을 수행하도록 코드 세트를 실행할 수 있다. 부가 적으로 또는 대안으로, 메모리 제어기(140)는 특수 목적 하드웨어를 사용하여 이하에 기술된 기능들을 수행할 수 있다.
- [0111] 블록(905)에서, 본 방법은 도 1-5를 참조하여 기술된 바와 같이, 강유전성 메모리 셀에 제 1 로직 상태를 기록하는 단계를 포함할 수 있다. 특정 예에서, 블록(905)의 동작은 도 7을 참조하여 기술된 바와 같이 바이어싱 구성요소(710)에 의해 수행되거나 촉진될 수 있다.
- [0112] 블록(910)에서, 본 방법은 강유전성 메모리 셀이 도 1-5를 참조하여 기술된 바와 같이 제 1 시간 주기 동안 제 1 로직 상태를 저장했는지를 결정하는 단계를 포함할 수 있다. 특정 예에서, 블록(910)의 동작은 도 7을 참조하여 기술된 바와 같이 임프린트 식별 구성요소(745)에 의해 수행되거나 촉진될 수 있다. 일부 경우에, 제 1 시간 주기는 적어도 부분적으로는 강유전성 메모리 셀의 온도, 강유전성 메모리 셀의 연령, 강유전성 메모리 셀의 액세스 동작 간의 평균 지연, 또는 강유전성 메모리 셀을 판독함으로써 얻어진 감지 윈도우 중 적어도 하나, 또는 이들의 임의의 조합에 기초한다.
- [0113] 일부 경우에, 상기 결정 단계는 액세스없이 상기 강유전성 메모리 셀이 상기 제 1 시간 주기 동안 상기 제 1 로직 상태를 저장했는지를 식별하는 단계를 포함하며, 상기 제 2 로직 상태를 기록하는 단계는 상기 식별에 적어도 부분적으로 기초한다. 다른 경우에, 제 1 시간주기가 경과되었다고 결정하는 것은 타이머의 값과 관련될 수 없지만, 대신에 다수의 에러가 임계 수를 초과한 것으로 결정하는 것과, 상기 메모리 어레이가 저전력 모드에서 동작하고 있다는 결정과, 상기 메모리 어레이가 파워-다운 모드로 동작 하고 있다는 결정과, 또는 사용자로부터

의 명령이 수신되었다는 결정에 기초하여 또는 이들의 임의의 조합에 기초하여 결정될 수 있다.

- [0114] 블록(915)에서, 방법은 도 1-5를 참조하여 기술된 바와 같이, 강유전성 메모리 셀이 제 1 시간 주기 동안 제 1 로직 상태를 저장한다는 결정에 적어도 부분적으로 기초하여 제 2 로직 상태를 강유전성 메모리 셀에 기록하는 단계를 포함할 수 있으며, 제 2 로직 상태는 제 1 로직 상태와 다르다. 특정 예에서, 블록(915)의 동작은 도 7을 참조하여 기술된 바와 같이 바이어싱 구성요소(710)에 의해 수행되거나 촉진될 수 있다. 일부 경우에, 제 2 로직 상태는 제 1 로직 상태와 반대이다. 일부 예에서, 상기 방법은 래치에 인디케이터를 저장하는 단계를 포함할 수 있으며, 상기 인디케이터의 값은 상기 강유전성 메모리 셀의 의도된 로직 상태가 상기 제 1 로직 상태 또는 상기 제 2 로직 상태인지 여부를 표시한다. 일부 예에서, 래치는 복수의 래치 중 하나의 래치를 포함하고, 강유전성 메모리 셀의 의도된 로직 상태는 다수의 래치의 다수에 의해 저장되는 값에 적어도 부분적으로 기초한다. 다른 예에서, 제 2 로직 상태는 강유전성 메모리 셀을 포함하는 메모리 어레이의 서브섹션을 활성화하는 것에 기초하여 기록될 수 있다. 일부 경우, 상기 방법은 적어도 부분적으로 상기 제 2 로직 상태를 상기 강유전성 메모리 셀에 기록하는 것에 기초하여 상기 인디케이터의 값을 업데이트하는 단계를 포함할 수 있으며, 상기 인디케이터의 업데이트된 값은 상기 강유전성 메모리 셀의 의도된 로직 상태가 제 1 로직 상태임을 표시한다.
- [0115] 일부 예에서, 상기 방법은 강유전성 메모리 셀과 전자 통신하는 감지 구성요소로 강유전성 메모리 셀의 제 2 로직 상태를 감지하는 단계와, 인디케이터의 값과 제 2 로직 상태의 감지에 적어도 부분적으로 기초하여 강유전성 메모리 셀의 의도된 로직 상태가 제 1 로직 상태임을 결정하는 단계를 포함할 수 있다. 부가적으로 또는 대안으로, 상기 방법은 상기 메모리 어레이의 판독 동작으로부터 코드 워드를 식별하는 단계(상기 코드 워드의 값은 상기 인디케이터의 값에 적어도 부분적으로 기초함)와, 상기 강유전성 메모리 셀의 의도된 로직 상태가 상기 코드 워드에 적어도 부분적으로 기초하여 상기 제 1 로직 상태임을 결정하는 단계를 포함할 수 있다.
- [0116] 일부 경우에, 상기 방법은 강유전성 메모리 셀이 제 2 시간 주기 동안 상기 제 2 로직 상태를 저장함을 결정하는 단계와, 상기 강유전성 메모리 셀이 상기 제 2 시간 주기 동안 제 2 로직 상태를 저장한다는 결정에 적어도 부분적으로 기초하여 상기 강유전성 메모리 셀에 제 1 로직 상태를 다시 기입하는 단계를 포함할 수 있다. 상기 인디케이터의 값은 상기 제 1 로직 상태를 상기 강유전성 메모리 셀에 기록하는 것에 적어도 부분적으로 기초하여 업데이트될 수 있으며, 상기 인디케이터의 업데이트된 값은 상기 강유전성 메모리 셀의 의도된 로직 상태가 제 1 로직 상태임을 표시한다. 몇몇 경우, 제 1 시간 주기는 사이클의 제 1 간격을 포함하고, 제 2 시간 주기는 사이클의 제 2 간격을 포함하며, 사이클의 주기는 제 1 로직 상태의 기록과 제 1 로직 상태의 다시 기록 사이의 시간을 포함한다.
- [0117] 일부 예에서, 상기 방법은 강유전성 메모리 셀을 포함하는 메모리 어레이의 서브섹션을 식별하는 단계와, 상기 서브섹션의 하나 이상의 강유전성 메모리 셀이 제 1 시간 주기 동안 제 1 로직 상태를 저장한다는 결정에 적어도 부분적으로 기초하여 상기 서브섹션의 각각의 강유전성 메모리 셀에 상이한 로직 상태를 기입하는 단계를 포함할 수 있다. 일부 예에서, 상기 방법은 강유전성 메모리 셀에 저장하기 위한 제 1 로직 상태를 수신하는 단계와, 인디케이터의 값에 적어도 부분적으로 기초하여 강유전성 메모리 셀에 제 2 로직 상태를 기록하는 단계를 포함할 수 있다. 이러한 방식으로, 강유전성 메모리 셀의 로직 상태는 플립된 페이지 내에서 적절한 극성을 유지할 수 있다.
- [0118] 따라서, 방법(900)은 메모리 어레이를 동작시키는 방법 일 수 있다. 예를 들어, 이는 메모리 셀의 임프린트(imprint) 방지를 제공할 수 있다. 방법(900)은 가능한 구현예를 기술하고, 다른 구현예가 가능하도록 동작 및 단계가 재 배열되거나 수정될 수 있음을 주목해야 한다.
- [0119] 본 명세서의 설명은 예들을 제공하고, 청구 범위에 설명된 범위, 적용 가능성 또는 예들을 제한하지 않는다. 본 발명의 범위를 벗어나지 않고 논의된 구성요소들의 기능 및 배열에서 변경이 이루어질 수 있다. 여러 가지 예는 적절하게 다양한 절차 또는 구성요소를 생략, 대체 또는 추가할 수 있다. 또한, 일부 예와 관련하여 설명된 특징은 다른 예에서 결합될 수 있다.
- [0120] 첨부된 도면과 관련하여 여기에 설명된 설명은 예시적인 구성을 설명하고 구현될 수 있거나 청구 범위의 범주 내에 있는 모든 예를 나타내지는 않는다. 본 명세서에서 사용되는 "예", "예시적인", 및 "실시예"라는 용어는 "예, 사례, 또는 예시로서의 역할을 하는 것"을 의미하는 것이지 "바람직한" 또는 "다른 예들에 비하여 유리한" 것이 아니다. 발명의 설명은 설명된 기술에 대한 이해를 제공하기 위한 목적으로 구체적 세부사항들을 포함한다. 그러나 이러한 기술은 이러한 특정 세부 사항 없이도 실행될 수 있다. 일부 예들에서, 잘 알려진 구조들 및 장치들은 설명된 예들의 개념들을 모호하게 하는 것을 피하기 위해 블록도 형태로 도시된다.

- [0121] 칩부된 도면에서, 유사한 구성요소 또는 특징은 동일한 참조 라벨을 가질 수 있다. 또한, 동일한 유형의 다양한 구성요소는 유사한 구성요소를 구별하는 대시(dash) 및 제 2 레이블에 의해 참조 라벨을 따라 가면서 구별될 수 있다. 제 1 참조 라벨이 명세서에서 사용되는 경우, 제 2 참조 라벨과 관계없이 동일한 제 1 참조 라벨을 갖는 유사한 구성요소들 중 임의의 하나에 설명이 적용될 수 있다.
- [0122] 여기에 기술된 정보 및 신호는 임의의 다양한 상이한 기술 및 기법을 사용하여 표현될 수 있다. 예를 들어, 상기 설명 전반에 걸쳐 참조될 수 있는 데이터, 명령어, 명령, 정보, 신호, 비트, 기호 및 칩은 전압, 전류, 전자 기파, 자기장 또는 입자, 광학 필드 또는 입자, 또는 그 조합에 의해 표현될 수 있다. 일부 도면은 신호들을 단일 신호로 나타낼 수 있다. 그러나, 신호가 신호들의 버스를 나타낼 수 있음을 당 업자는 이해할 것이며, 버스는 다양한 비트 폭을 가질 수 있다.
- [0123] 본 명세서에 사용된 바와 같이, "가상 접지"(virtual ground)라는 용어는 대략 0 볼트(0V)의 전압으로 유지되지만 접지와 직접 연결되지 않는 전기 회로의 노드를 나타낸다. 따라서, 가상 접지의 전압은 일시적으로 변동하여 정상 상태에서 약 0V로 복귀할 수 있다. 가상 접지는 연산 증폭기 및 저항으로 구성된 분압기와 같은 다양한 전자 회로 소자를 사용하여 구현될 수 있다. 다른 구현도 가능하다. "가상 접지함" 또는 "가상 접지됨"은 약 0V에 연결됨을 의미한다.
- [0124] "전자 통신"이라는 용어는 구성요소들 간의 전자 흐름을 지원하는 구성요소들 사이의 관계를 말한다. 이것은 구성요소 간의 직접 연결을 포함하거나 중간 구성요소를 포함할 수 있다. 전자 통신의 구성요소는 능동적으로 전자 또는 신호를 교환하거나(예: 전원 회로에서) 전자 또는 신호를 활발히 교환하지 않을 수 있지만(예: 전원이 단절된 회로에서) 회로가 통전될 때 전자 또는 신호를 교환하도록 구성 및 작동할 수 있다. 예로서, 스위치(예를 들어, 트랜지스터)를 통해 물리적으로 연결된 2 개의 구성요소는 스위치의 상태(즉, 개방 또는 폐쇄)에 관계없이 전자 통신한다.
- [0125] "단절된(isolated)"이라는 용어는 전자들이 현재 구성요소들 사이에서 흐를 수 없는 구성요소들 사이의 관계를 말하며, 구성요소들은 이들 간에 개 회로가 존재할 경우 서로로부터 단절된다. 예를 들어 스위치로 물리적으로 연결된 두 개의 구성요소는 스위치가 열려있을 때 서로 단절될 수 있다.
- [0126] 메모리 어레이(100)를 포함하여 본 명세서에서 논의된 디바이스들은 실리콘, 게르마늄, 실리콘-게르마늄 합금, 갈륨 비소, 질화 갈륨 등과 같은 반도체 기관 상에 형성될 수 있다. 어떤 경우에, 기관은 반도체 웨이퍼, 다른 경우에, 기관은 실리콘-온-글래스(SOG) 또는 실리콘-온-사파이어(SOP)와 같은 실리콘-온-인슐레이터(SOI) 기관, 또는 다른 기관상의 반도체 물질의 에피택셜 층일 수 있다. 기관 또는 기관의 서브영역의 도전성은 인, 붕소 또는 비소를 포함하나 이에 한정되지 않는 다양한 화학 종을 사용하는 도핑을 통해 제어될 수 있다. 도핑은 기관의 초기 형성 또는 성장 중에, 이온 주입에 의해, 또는 임의의 다른 도핑 수단에 의해 수행될 수 있다.
- [0127] 본 명세서에서 논의된 트랜지스터 또는 트랜지스터들은 전계 효과 트랜지스터(FET)를 나타낼 수 있고, 소스, 드레인 및 게이트를 포함하는 3-단자 디바이스를 포함할 수 있다. 단자는 전도성 물질, 예컨대 금속을 통해 다른 전자 소자에 연결될 수 있다. 소스 및 드레인은 전도성일 수 있으며, 고도로 도핑된, 예를 들어 축퇴된 반도체 영역을 포함할 수 있다. 소스 및 드레인은 약하게 도핑된 반도체 영역 또는 채널에 의해 분리될 수 있다. 채널이 n-형(가령, 다수 캐리어가 전자)인 경우, FET는 n-형 FET로 지칭될 수 있다. 채널이 p-형(가령, 다수 캐리어가 홀)인 경우, FET는 p-형 FET로 지칭될 수 있다. 채널은 절연 게이트 산화물에 의해 캡핑될 수 있다. 채널 도전성은 게이트에 전압을 인가함으로써 제어될 수 있다. 예를 들어, n 형 FET 또는 p 형 FET에 각각 양 전압 또는 음 전압을 인가하면 채널이 전도 상태가 될 수 있다. 트랜지스터는 트랜지스터의 문턱 전압보다 크거나 같은 전압이 트랜지스터 게이트에 인가 될 때 "켜지거나" "활성화"될 수 있다. 트랜지스터의 문턱 전압보다 낮은 전압이 트랜지스터 게이트에 인가 될 때, 트랜지스터는 "오프" 또는 "비활성화"될 수 있다.
- [0128] 본 명세서의 개시와 관련하여 설명된 다양한 예시적인 블록들, 구성요소들, 및 모듈들은 범용 프로세서, DSP, ASIC, FPGA 또는 다른 프로그래머블 로직 디바이스, 개별 게이트 또는 트랜지스터 로직, 이산 하드웨어 구성요소 또는 여기에 설명된 기능을 수행하도록 설계된 이들의 임의의 조합으로 구현될 수 있다. 범용 프로세서는 마이크로 프로세서일 수 있지만, 대안으로 프로세서는 임의의 종래 프로세서, 제어기, 마이크로제어기 또는 상태 머신일 수 있다. 프로세서는 또한 컴퓨팅 디바이스들의 조합(예를 들어, DSP와 마이크로프로세서의 조합, 다수의 마이크로프로세서, DSP 코어와 관련된 하나 이상의 마이크로 프로세서, 또는 임의의 다른 그러한 구성)로서 구현될 수 있다.
- [0129] 여기에 설명된 기능들은 하드웨어, 프로세서에 의해 실행되는 소프트웨어, 펌웨어, 또는 이들의 임의의 조합으

로 구현될 수 있다. 프로세서에 의해 실행되는 소프트웨어로 구현되는 경우, 기능들은 컴퓨터 판독 가능 매체에 하나 이상의 명령들 또는 코드로서 저장되거나 전송될 수 있다. 다른 예 및 구현 예는 본 개시 및 첨부된 청구항의 범위 내에 있다. 예를 들어, 소프트웨어의 성질로 인해, 상술한 기능들은 프로세서, 하드웨어, 펌웨어, 배선 또는 이들의 조합에 의해 실행되는 소프트웨어를 사용하여 구현될 수 있다. 기능을 구현하는 특징은 기능의 일부가 상이한 물리적 위치에 구현되도록 분포되는 것을 포함하여 다양한 위치에 물리적으로 또한 배치될 수 있다. 또한, 청구항에 포함된 "또는"은 항목 목록(예를 들어, "적어도 하나" 또는 "하나 이상"과 같은 구문으로 시작되는 항목의 목록)에 사용된 바와 같이, 예를 들어 A, B 또는 C 중 적어도 하나의 목록이 A 또는 B 또는 C 또는 AB 또는 AC 또는 BC 또는 ABC(즉, A 및 B 및 C)를 의미하는 포괄적 목록을 나타낸다.

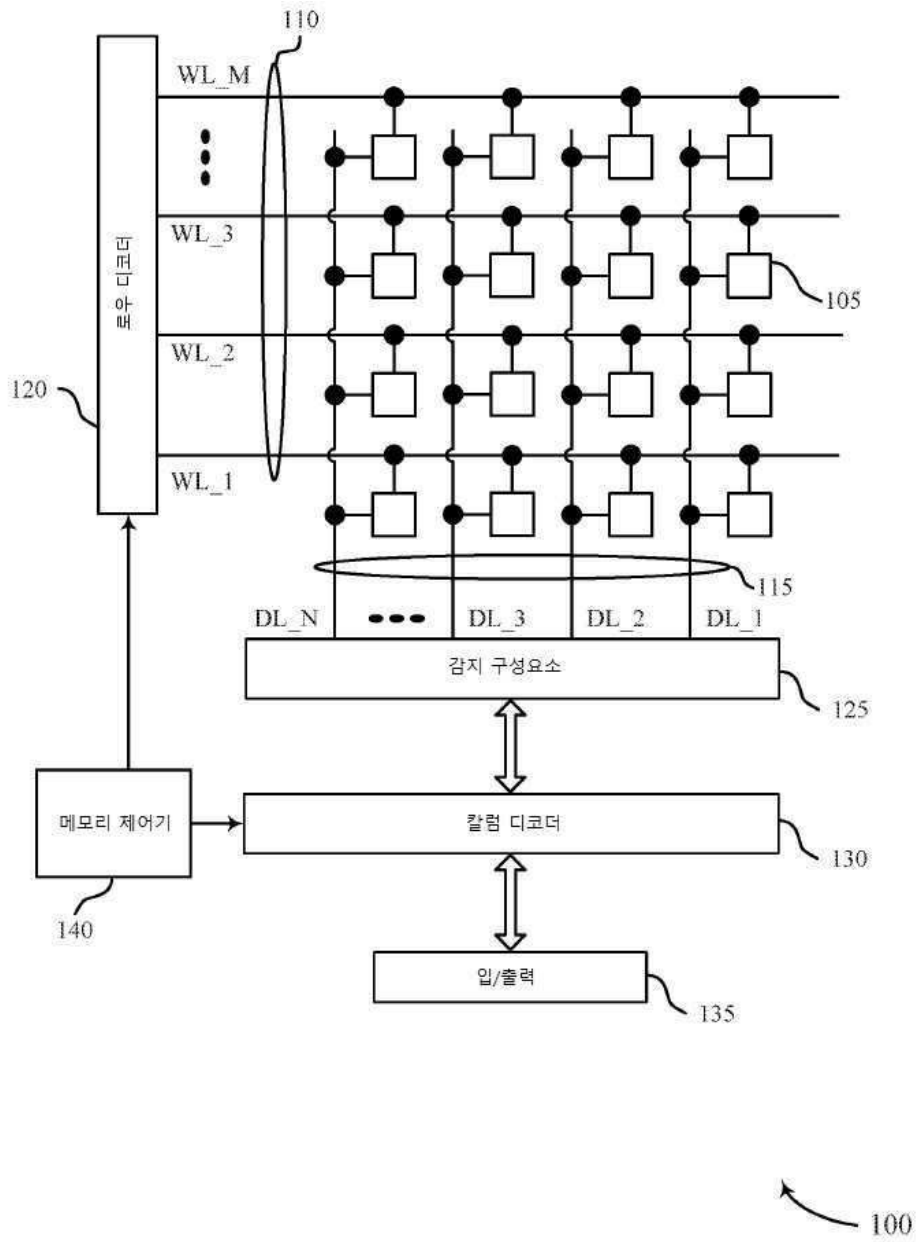
[0130] 컴퓨터 판독 가능 매체는 컴퓨터 프로그램의 한 장소에서 다른 장소로의 전송을 용이하게 하는 임의의 매체를 포함하는 비-일시적인 컴퓨터 저장 매체 및 통신 매체 모두를 포함한다. 비-일시적 저장 매체는 범용 또는 특수 목적 컴퓨터에 의해 액세스될 수 있는 임의의 이용 가능한 매체일 수 있다. 예를 들어, 제한없이, 비-일시적 컴퓨터 판독 가능 매체는 RAM, ROM, 전기적 소거 가능 프로그램 가능 판독 전용 메모리(EEPROM), 콤팩트 디스크(CD) ROM 또는 다른 광학 디스크 저장 장치, 자기 디스크 저장 장치 또는 다른 자기 저장 장치 또는 지시 또는 데이터 구조의 형태로 원하는 프로그램 코드 수단을 운반 또는 저장하는데 사용될 수 있고 범용 또는 전용 컴퓨터 또는 범용 또는 전용 프로세서에 의해 액세스될 수 있는 임의의 다른 비-일시적인 매체를 포함할 수 있다.

[0131] 또한, 임의의 접속은 적절하게 컴퓨터 판독 가능 매체로 지칭된다. 예를 들어, 동축 케이블, 광섬유 케이블, 트위스트 페어, 디지털 가입자 회선(DSL) 또는 적외선, 전파 및 마이크로파 같은 무선 기술을 사용하여 웹사이트, 서버 또는 기타 원격 소스로부터 소프트웨어를 전송한 경우, 동축 케이블, 광섬유 케이블, 트위스티드 페어, 디지털 가입자 회선(DSL) 또는 적외선, 전파 및 마이크로파와 같은 무선 기술이 매체의 정의에 포함된다. 여기서 디스크(Disk) 및 디스크(disc)는 CD, 레이저 디스크, 광 디스크, DVD(digital versatile disc), 플로피 디스크 및 블루-레이 디스크를 포함하며, 디스크(disks)는 일반적으로 데이터를 자기적으로 재생하는 반면 디스크(disc)는 레이저를 이용하여 광학적으로 데이터를 재생한다. 상기의 조합 또한 컴퓨터 판독 가능 매체의 범위 내에 포함된다.

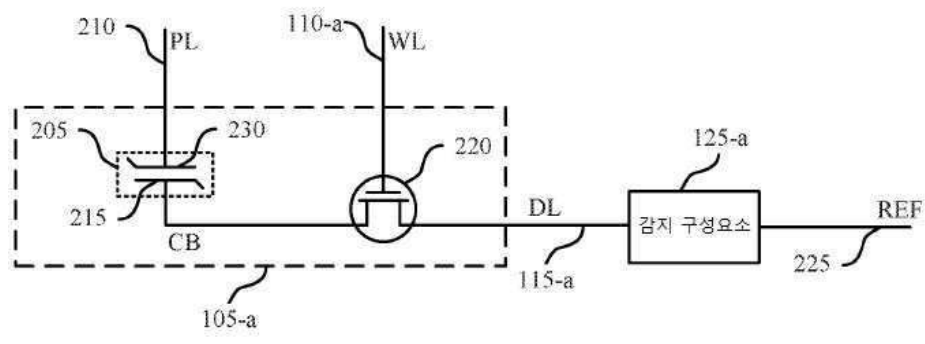
[0132] 본 명세서의 설명은 당 업자가 본 개시 물을 제조 또는 사용할 수 있도록 제공된다. 당해 기술 분야의 당 업자는 본 개시 내용에 대한 다양한 수정을 쉽게 알 수 있을 것이며, 본 명세서에 정의된 일반적인 원리는 본 발명의 범위를 벗어나지 않고 다른 변형에 적용될 수 있다. 따라서, 본 개시는 본 명세서에 설명된 예 및 설계에 한정되지 않고 여기에 개시된 원리 및 신규한 특징과 일치하는 가장 넓은 범위를 부여 받는다.

도면

도면1

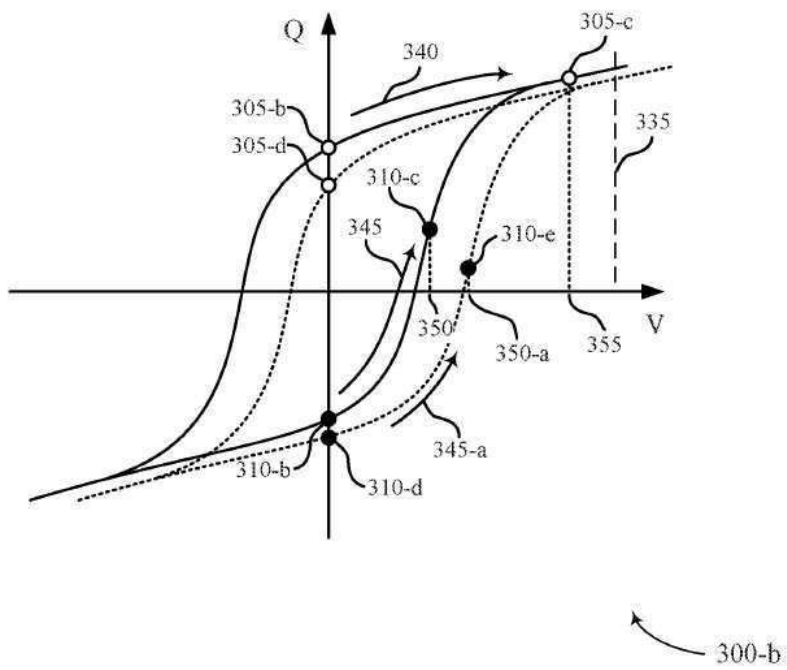
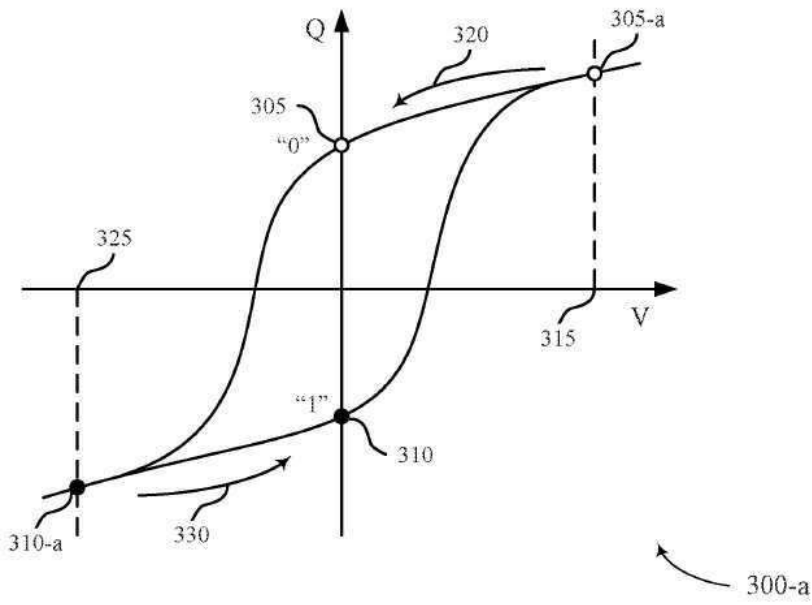


도면2



200

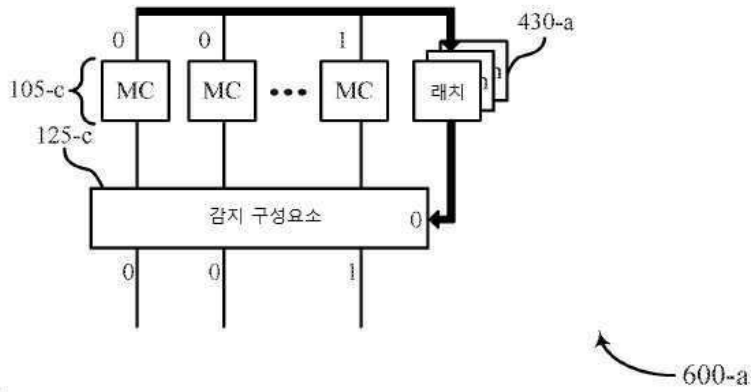
도면3



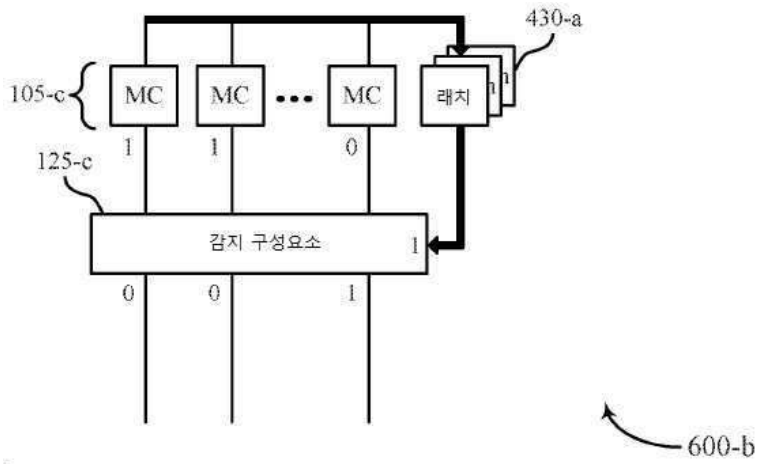




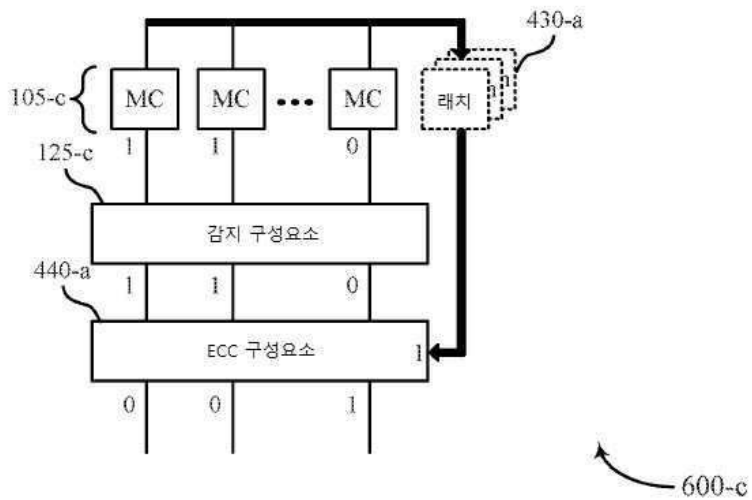
도면6a



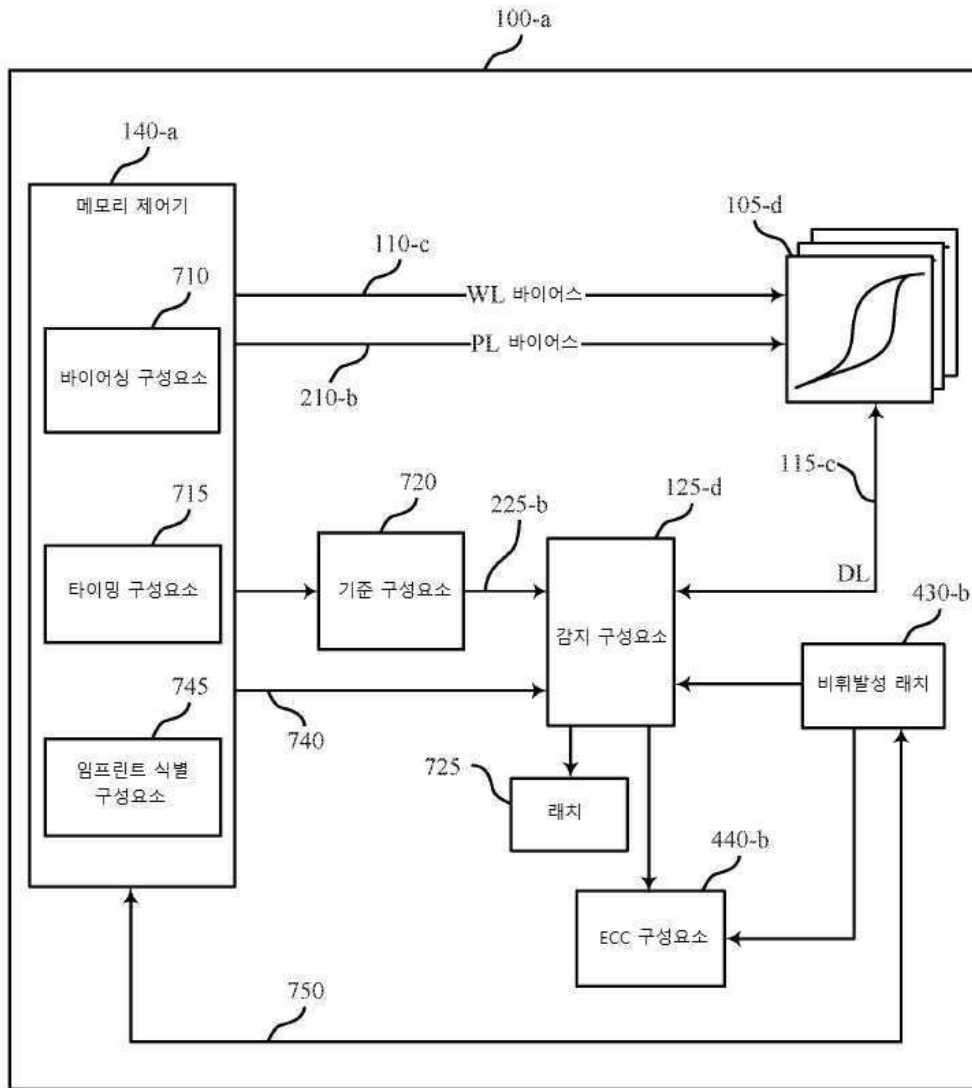
도면6b



도면6c

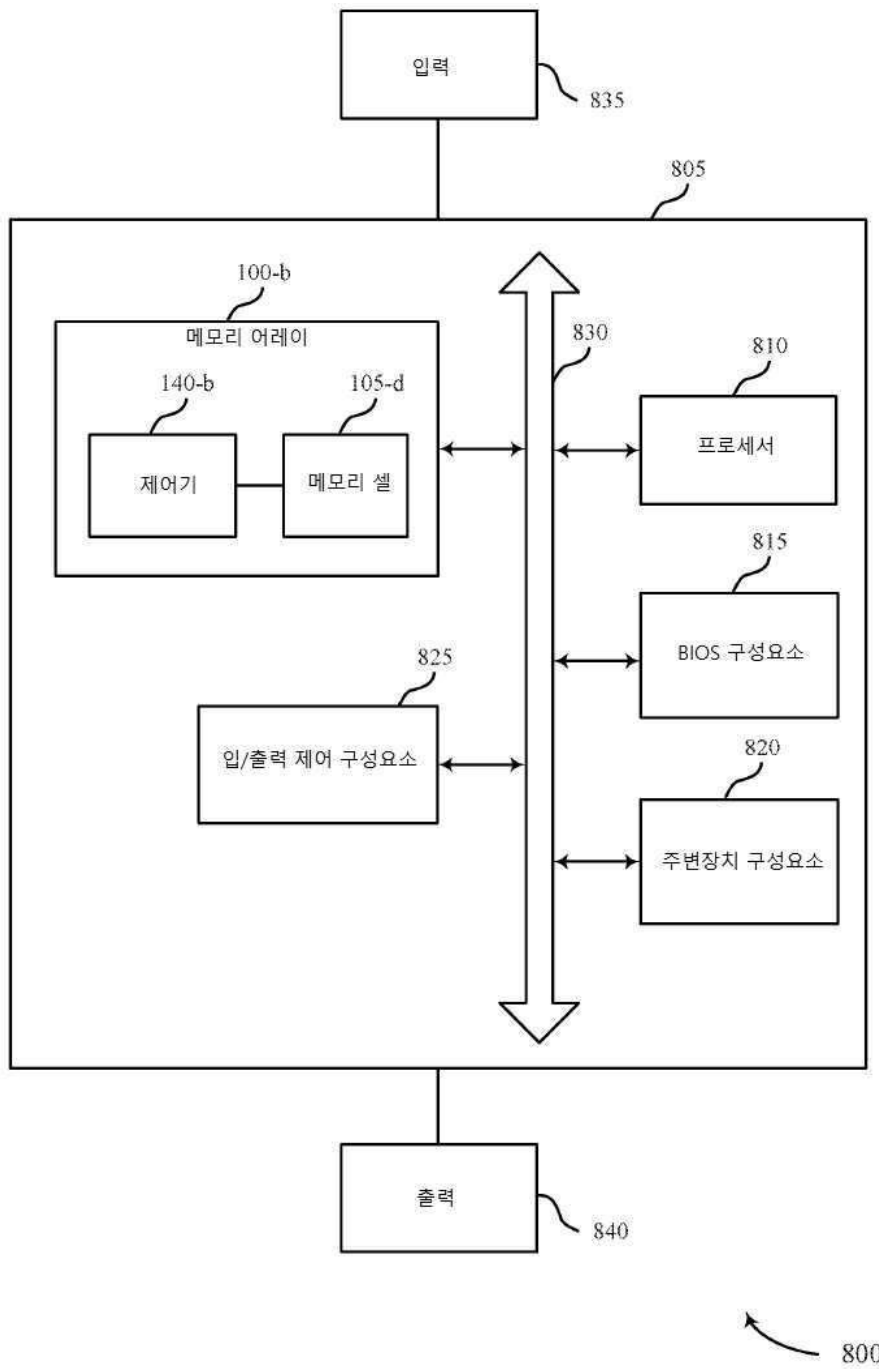


도면7



700

도면8



도면9

