

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6226809号  
(P6226809)

(45) 発行日 平成29年11月8日(2017.11.8)

(24) 登録日 平成29年10月20日(2017.10.20)

(51) Int.Cl. F I  
**G 1 1 C 16/10 (2006.01)** G 1 1 C 16/10 1 4 0  
**G 1 1 C 11/56 (2006.01)** G 1 1 C 11/56 2 1 0

請求項の数 4 (全 26 頁)

(21) 出願番号	特願2014-94811 (P2014-94811)	(73) 特許権者	317006041 東芝メモリ株式会社
(22) 出願日	平成26年5月1日(2014.5.1)		東京都港区芝浦一丁目1番1号
(65) 公開番号	特開2015-212992 (P2015-212992A)	(74) 代理人	100108855 弁理士 蔵田 昌俊
(43) 公開日	平成27年11月26日(2015.11.26)	(74) 代理人	100103034 弁理士 野河 信久
審査請求日	平成28年9月1日(2016.9.1)	(74) 代理人	100075672 弁理士 峰 隆司
		(74) 代理人	100153051 弁理士 河野 直樹
		(74) 代理人	100189913 弁理士 鶴飼 健

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 ビットデータと第 2 ビットデータを保持可能な不揮発性のメモリセルと、  
前記メモリセルにデータを書き込む制御回路と、  
を備え、

前記制御回路は、前記メモリセルに前記第 1 ビットデータを保持させる第 1 の書込みの最中に、前記第 2 ビットデータを保持させる第 2 の書込みを行うために、前記第 1 の書込みの途中で前記第 2 ビットデータを外部から受信したとき、前記第 1 の書込みを中断して、前記メモリセルに対して前記第 1 ビットデータと前記第 2 ビットデータとを併せて書込む第 3 の書込みを行い、

前記第 1 の書込みの際にペリファイ動作を行い、

前記ペリファイ動作の結果に基づいて、前記第 3 の書込みデータの供する第 1 ビットデータを変更する

半導体記憶装置。

【請求項 2】

前記制御回路は、

前記第 1 ビットデータに続いて待機コマンドを受信した場合、前記第 2 ビットデータの受信を待って、前記メモリセルに対して前記第 1 ビットデータ及び第 2 ビットデータを併せて書込む第 4 の書込みを行う請求項 1に記載の半導体記憶装置。

【請求項 3】

第1ビットデータと第2ビットデータを保持可能な不揮発性のメモリセルと、  
前記メモリセルにデータを書き込む制御回路と、  
を備え、  
前記制御回路は、

前記メモリセルに前記第1ビットデータを保持させる第1の書込みの最中に、前記第2ビットデータを保持させる第2の書込みを行うために、前記第1ビットデータに続いて待機コマンドを受信した場合、前記第2ビットデータの受信を待って、前記メモリセルに対して前記第1ビットデータ及び第2ビットデータを併せて書込む第3の書込みを行い、  
前記第1の書込みの際にペリファイ動作を行い、  
前記ペリファイ動作の結果に基づいて、前記第3の書込みデータの供する第1ビットデータを変更する

10

半導体記憶装置。

【請求項4】

前記制御回路は、前記第1の書込みの際に、前記メモリセルのゲートに電圧を印加するプログラム動作及びペリファイ動作を行い、

前記第1の書込みの最中に前記第2ビットデータを受信し、前記プログラム動作の回数、及び前記ペリファイ動作の結果の少なくとも一方の所望の条件を満たす場合、前記第3の書込みを行う請求項1乃至3のいずれか一項に記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明の実施形態は、半導体記憶装置に関する。

【背景技術】

【0002】

近年、NAND型フラッシュメモリのビット密度向上に向けたアプローチとして、メモリセルトランジスタが半導体基板の上方に積層された3次元積層型NANDフラッシュメモリ、所謂BiCS(Bit-Cost Scalable)フラッシュメモリのメモリが提案されている。

【先行技術文献】

【特許文献】

30

【0003】

【特許文献1】特開特開2004-192789号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

高品質な半導体記憶装置を提供する。

【課題を解決するための手段】

【0005】

実施形態に係る半導体記憶装置は、第1ビットデータと第2ビットデータを保持可能な不揮発性のメモリセルと、前記メモリセルにデータを書き込む制御回路と、を備え、前記制御回路は、前記メモリセルに前記第1ビットデータを保持させる第1の書込みの最中に、前記第2ビットデータを保持させる第2の書込みを行うために、前記第1の書込みの途中で前記第2ビットデータを外部から受信したとき、前記第1の書込みを中断して、前記メモリセルに対して前記第1ビットデータと前記第2ビットデータとを併せて書込む第3の書込みを行い、前記第1の書込みの際にペリファイ動作を行い、前記ペリファイ動作の結果に基づいて、前記第3の書込みデータの供する第1ビットデータを変更する。

40

【図面の簡単な説明】

【0006】

【図1】図1は、第1の実施形態に係る3次元積層型不揮発性半導体記憶装置の回路構成を示すブロック図である。

50

【図 2】図 2 は、第 1 の実施形態に係るメモリセルアレイのブロック図である。

【図 3】図 3 は、ブロック B L K 0 の回路図である。他のブロック B L K も同様の構成を有している。

【図 4】図 4 は、N A N D ストリングの断面図である。

【図 5】図 5 ( a ) は、第 1 の実施形態に係るメモリセルトランジスタ M T の閾値分布の初期状態を示す。図 5 ( b ) は、下位ビット書込み完了後の第 1 の実施形態に係るメモリセルトランジスタ M T の閾値分布を示す。図 5 ( c ) は、上位ビット書込み、または 2 ビットプログラム完了後の第 1 の実施形態に係るメモリセルトランジスタ M T の閾値分布を示す。

【図 6】図 6 は、第 1 の実施形態に係る書込み動作のフローチャートである。

10

【図 7】図 7 は、第 1 の実施形態に係る書込み動作の具体例 1 である。

【図 8】図 8 は、第 1 の実施形態に係る書込み動作の具体例 2 である。

【図 9】図 9 は、第 2 の実施形態に係る書込み動作のフローチャートである。

【図 10】図 10 は、第 1 の実施形態に係る書込み動作の具体例である。

【図 11】図 11 は、第 3 の実施形態に係る書込み動作のフローチャートである。

【図 12】図 12 は、第 4 の実施形態に係る書込み動作のフローチャートである。

【図 13】図 13 は、第 4 の実施形態に係る下位ページデータの変化方法を示す図である。

【図 14】図 14 は、第 4 の実施形態に係る下位ページデータの変化方法を示す図である。

20

【図 15】図 15 は、第 4 の実施形態に係る書き込みデータの処理方法を示す図である。

【発明を実施するための形態】

【0007】

以下に、実施形態について図面を参照して説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。また、以下に示す各実施形態は、この実施形態の技術的思想を具体化するための装置や方法を例示するものであって、実施形態の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。実施形態の技術的思想は、特許請求の範囲において、種々の変更を加えることができる。

また、以下では N A N D フラッシュメモリの一例として、3次元積層型 N A N D フラッシュメモリを例に挙げて各実施形態を説明する。下記の各実施形態で単に N A N D フラッシュメモリと称する場合は、3次元積層型 N A N D フラッシュメモリの事を意味する。

30

【0008】

(第 1 の実施形態)

< 不揮発性半導体記憶装置の構成 >

図 1 を用いて、第 1 の実施形態に係わる 3次元積層型不揮発性半導体記憶装置について説明する。

本実施形態の 3次元積層型不揮発性半導体記憶装置(メモリシステムとも称す) 100 は、メモリコントローラ 110 と、N A N D フラッシュメモリ 120 と、を有する。

【0009】

40

< メモリコントローラ >

メモリコントローラ 110 は、ホストインタフェース 111、R A M (Random Access Memory) 112、E C C (Error Correcting Code) 回路 113、C P U (Central Processing unit) 114、R O M (Read Only Memory) 115、フラッシュメモリインタフェース 116 を含んでいる。

【0010】

メモリコントローラ 110 は、N A N D フラッシュメモリ 120 の動作に必要なコマンドなどを出力し、N A N D フラッシュメモリ 120 からのデータの読み出し、N A N D フラッシュメモリ 120 へのデータの書込み、または N A N D フラッシュメモリ 120 のデータの消去を行う。

50

## 【 0 0 1 1 】

ホストインタフェース 1 1 1 は、データバスを介してパーソナルコンピュータ等のホストデバイス（外部機器） 2 0 0 と接続されている。このホストインタフェース 1 1 1 を介して、ホストデバイス 2 0 0 とメモリシステム 1 0 0 との間でデータの送受信等が行われる。

## 【 0 0 1 2 】

R A M 1 1 2 は、例えば揮発性のメモリであり、例えば C P U 1 1 4 が動作するための動作プログラム等を格納している。

## 【 0 0 1 3 】

E C C (Error Correcting Code) 回路 1 1 3 は、ホストデバイス 2 0 0 からデータを受け取り、データにエラー訂正符号を付加し、エラー訂正符号を付されたデータを、例えばフラッシュメモリインタフェース 1 1 6 に供給する。また、E C C 回路 1 1 3 は、N A N D フラッシュメモリ 1 2 0 から供給されたデータをフラッシュメモリインタフェース 1 1 6 を介して受け取り、このデータに対してエラー訂正符号を用いてエラー訂正を行う。

10

## 【 0 0 1 4 】

C P U (Central Processing unit) 1 1 4 は、メモリシステム 1 0 0 の全体の動作を司る。C P U 1 1 4 は R A M 1 1 2 及び R O M 1 1 5 に格納されたデータに基づいて N A N D フラッシュメモリ 1 2 0 を制御する。

## 【 0 0 1 5 】

R O M (Read Only Memory) 1 1 5 は、不揮発性のメモリであり、例えば C P U 1 1 4 が動作するための動作プログラム等を格納している。

20

## 【 0 0 1 6 】

フラッシュメモリインタフェース 1 1 6 には、データバスを介して N A N D フラッシュメモリ 1 2 0 が接続されている。

## 【 0 0 1 7 】

< N A N D フラッシュメモリ >

N A N D フラッシュメモリ 1 2 0 は、入出力バッファ (Input / Output buffer) 1 2 1、制御回路 (Control Circuit) 1 2 2、カラムアドレスバッファ / カラムデコーダ (Column address buffer / Column decoder) 1 2 3、フェイルビットカウンタ回路 (Fail bit counter circuit) 1 2 4、データラッチ回路 (Data Latch Circuit) 1 2 5、センスアンプ (Sense Amplifier) 1 2 6、ロウアドレスバッファ (Row Address Buffer) 1 2 7、ロウデコーダ (Row Decoder) 1 2 8、及びメモリセルアレイ (Memory Cell Array) 1 3 0 を備えている。

30

## 【 0 0 1 8 】

メモリセルアレイ 1 3 0 は、複数の不揮発性のメモリセルトランジスタが半導体基板に対して垂直方向に積層された 3 次元積層型不揮発性半導体記憶装置である。メモリセルアレイ 1 3 0 の詳細な構成については後述する。

## 【 0 0 1 9 】

センスアンプ 1 2 6 は、データの読み出し時には、メモリセルトランジスタからビット線に読み出されたデータを、S E N ノード (不図示) にてセンスする。またセンスアンプ 1 2 6 は、データの書き込み時には、センスアンプの S E N ノードに書き込みデータに応じた書き込み電圧をセットする。メモリセルアレイ 1 3 0 へのデータの読み出し及び書き込みは、複数のメモリセルトランジスタ単位で行われる。センスアンプ 1 2 6 は、カラムアドレスバッファ / カラムデコーダ 1 2 3 から入力されるビット線選択信号を受信し、ビット線選択トランジスタを介してビット線 B L の何れかを選択して駆動する。

40

## 【 0 0 2 0 】

データラッチ回路 1 2 5 は、それぞれ S R A M 等で構成される第 1 のキャッシュ (cache) 1 2 5 a、第 2 のキャッシュ 1 2 5 b、及び第 3 のキャッシュ 1 2 5 c を備えている。第 1 のキャッシュ 1 2 5 a は、第 2 のキャッシュ 1 2 5 b、及び第 3 のキャッシュ 1 2 5 c は、それぞれ、メモリコントローラ 1 1 0 から供給されたデータや、センスアンプ 1

50

26によって検知されたベリファイ結果等を格納する。

【0021】

フェイルビットカウンタ回路124は、データラッチ回路125に格納されているベリファイの結果からプログラムが完了していないビット数をカウントする。

【0022】

カラムアドレスバッファ/カラムデコーダ123は、メモリコントローラ110から入出力バッファ121を介して入力されるカラムアドレス信号を一時的に格納する。そして、カラムアドレス信号に従ってビット線BLの何れかを選択する選択信号をセンスアンプ126に出力する。

【0023】

ロウデコーダ128は、ロウアドレスバッファ127を介して入力されるロウアドレス信号をデコードし、メモリセルアレイのワード線WL及び選択ゲート線SGD、SGSを選択して駆動する。また、このロウデコーダ128は、メモリセルアレイ130のブロックを選択する部分とページを選択する部分を有する。

【0024】

なお、本実施形態のNANDフラッシュメモリ120は、図示せぬ外部入出力端子I/Oを有し、この外部入出力端子I/Oを介して入出力バッファ121とメモリコントローラ110とのデータの授受が行われる。外部入出力端子I/Oを介して入力されるアドレス信号は、ロウアドレスバッファ127を介してロウデコーダ128及びカラムアドレスバッファ/カラムデコーダ123に出力される。

【0025】

制御回路122は、メモリコントローラ110を介して供給される各種外部制御信号(書き込みイネーブル信号WEn、読み出しイネーブル信号REn、コマンドラッチイネーブル信号CLE、アドレスラッチイネーブル信号ALE等)とコマンドCMDに基づき、データの書き込み及び消去のシーケンス制御、及び読み出し動作を制御する。また、制御回路122は、レジスタ等を備えており、例えばフェイルビットカウンタ回路124によってカウントされた値に関係する値や、プログラム電圧印加回数に関係した値を格納している。そして、制御回路122は、プログラムが完了していないビット数と、設定された許容フェイルビット数とを比較して、プログラム動作がパスしたかフェイルであるかの判断を行う。また、制御回路122は、内部にプログラムパルス印加回数をカウントするカウンタを備えている。そして、制御回路122は、カウントしたプログラムパルス印加回数と、レジスタに格納されたプログラムパルス印加回数とを比較する。

【0026】

<メモリセルアレイ>

図2に示すように、メモリセルアレイ130は、それぞれがワード線及びビット線に関連付けられた複数の不揮発性メモリセルの集合である複数の(図2の例では3個)のブロックBLK(BLK0、BLK1、BLK2、...)を備えている。

【0027】

ブロックBLKの各々は、メモリセルが直列接続されたNANDストリング131の集合である複数のストリングユニットSU(SU0、SU1、SU2、...)を備えている。もちろん、メモリセルアレイ130内のブロック数や、1ブロックBLK内のストリングユニット数は任意である。

【0028】

次に、図3を用いて、ブロックBLK0の回路図について説明する。

図3に示すように、ブロックBLK0は例えば4つのストリングユニットSU(SU0~SU3)を含む。また各々のストリングユニットSUは、複数のNANDストリング131を含む。

【0029】

NANDストリング131の各々は、例えば8個のメモリセルトランジスタMT(MT0~MT7)と、選択トランジスタST1、ST2と、バックゲートトランジスタBTと

10

20

30

40

50

を含んでいる。

【 0 0 3 0 】

メモリセルトランジスタMTは、制御ゲートと電荷蓄積層とを含む積層ゲートを備え、データを不揮発に保持する。なお、メモリセルトランジスタMTの個数は8個に限られず、16個や32個、64個、128個等であってもよく、その数は限定されるものではない。

【 0 0 3 1 】

バックゲートトランジスタBTは、メモリセルトランジスタMTと同様に、制御ゲートと電荷蓄積層とを含む積層ゲートを備える。バックゲートトランジスタBTはデータを保持するためのものではなく、データの書込み、読み出し、及び消去時には単なる電流経路として機能する。

10

【 0 0 3 2 】

メモリセルトランジスタMT及びバックゲートトランジスタBTは、選択トランジスタST1、ST2間に、その電流経路が直列接続されるようにして配置されている。なおバックゲートトランジスタBTは、メモリセルトランジスタMT3とMT4との間に設けられる。この直列接続の一端側のメモリセルトランジスタMT7の電流経路は選択トランジスタST1の電流経路の一端に接続され、他端側のメモリセルトランジスタMT0の電流経路は選択トランジスタST2の電流経路の一端に接続されている。

【 0 0 3 3 】

ストリングユニットSU0～SU3の各々の選択トランジスタST1のゲートは、それぞれセレクトゲート線SGD0～SGD3に接続され、選択トランジスタST2のゲートは、それぞれセレクトゲート線SGS0～SGS3に接続される。これに対して同一のブロックBLK0内にあるメモリセルトランジスタMT0～MT7の制御ゲートはそれぞれワード線WL0～WL7に共通接続される。また、ストリングユニットSU0～SU3の各々のバックゲートトランジスタBTの制御ゲートはバックゲート線BGに共通接続される。

20

【 0 0 3 4 】

すなわち、ワード線WL0～WL7及びバックゲート線BGは同一ブロックBLK0内の複数のストリングユニットSU0～SU3間で共通に接続されているのに対し、セレクトゲート線SGD、SGSは、同一ブロックBLK0内であってもストリングユニットSU0～SU3毎に独立している。

30

【 0 0 3 5 】

また、メモリセルアレイ130内でマトリクス状に配置されたNANDストリング131のうち、同一行にあるNANDストリング131の選択トランジスタST1の電流経路の他端は、いずれかのビット線BL(BL0～BL(L-1)、(L-1)は1以上の自然数)に共通接続される。すなわち、ビット線BLは、複数のブロックBLK間で、NANDストリング131を共通に接続する。また、選択トランジスタST2の電流経路の他端は、ソース線SLに共通に接続されている。ソース線SLは、例えば複数のブロック間で、NANDストリング131を共通に接続する。

【 0 0 3 6 】

前述の通り、同一のブロックBLK内にあるメモリセルトランジスタMTのデータは、一括して消去される。これに対してデータの読み出し及び書込みは、いずれかのブロックBLKのいずれかのストリングユニットSUにおける、いずれかのワード線WLに共通に接続された複数のメモリセルトランジスタMTにつき、一括して行われる。このデータの書込み単位を「ページ」と呼ぶ。

40

【 0 0 3 7 】

メモリセルアレイ130の構成については、例えば、“三次元積層不揮発性半導体メモリ”という2009年3月19日に出願された米国特許出願12/407,403号に記載されている。また、“三次元積層不揮発性半導体メモリ”という2009年3月18日に出願された米国特許出願12/406,524号、“不揮発性半導体記憶装置及びその

50

製造方法”という2010年3月25日に出願された米国特許出願12/679,991号“半導体メモリ及びその製造方法”という2009年3月23日に出願された米国特許出願12/532,030号に記載されている。これらの特許出願は、その全体が本願明細書において参照により援用されている。

【0038】

図4を用いてメモリセルアレイ130の一構成例について簡単に説明する。図4に示す構造が、図4に記載した紙面の奥行き方向(D2)に複数配列され、且つそれらがワード線WL、セレクトゲート線SGD及びSGS、並びにバックゲート線BGを共有して、1つのストリングユニットSUが形成される。

【0039】

図4に示すように、半導体基板上方に、バックゲート線BGとして機能する導電層(例えば多結晶シリコン層)21が形成される。更に導電層21上には、ワード線WLとして機能する複数の導電層(例えば多結晶シリコン層)23a~23dが形成される。更に導電層23d上には、セレクトゲート線SGD及びSGSとして機能する導電層(例えば多結晶シリコン層)27a及び27bが形成される。

【0040】

そして、上記導電層27a、27b、及び23a~23dを貫通するようにしてメモリホールが形成される。このメモリホールの側面には、ブロック絶縁膜25a、電荷蓄積層(絶縁膜)25b、及びゲート絶縁膜25cが順次形成され、更にメモリホール内を導電膜26a、26bが埋め込んでいる。導電膜26a、26bは、NANDストリング131の電流経路として機能し、メモリセルトランジスタMTの動作時にチャネルが形成される領域である。

【0041】

更に、導電膜26a上には導電膜30a及び30bが形成され、導電膜30a上にはソース線層31が形成され、導電膜30b上には導電膜32を介してビット線層33が形成される。

【0042】

<メモリセルトランジスタの閾値分布について>

次に、図5を用いて、本実施形態に係るメモリセルトランジスタMTの取りうる閾値分布について説明する。

【0043】

図5示すようにメモリセルトランジスタMTは、その閾値に応じて例えば2ビットのデータを保持可能である。この2ビットデータは、閾値の低いものから順番に、例えば“E”レベル、“A”レベル、“B”レベル、及び“C”レベルである。また、各レベルは、上位ビット及び下位ビットの2ビットのアドレスをもつ。例えば“E”は“11”と番号付けされ、“A”は“01”と番号付けされ、“B”は“00”と番号付けされ、“C”は“10”と番号付けされる。“11”、“01”、“00”、及び“10”は、左側の数字が上位ビット、右側の数字が下位ビットに割り当てられる。ここでは、下位ビットのデータの書込み単位を「下位ページ」と呼ぶ。また、上位ビットのデータの書込み単位を「上位ページ」と呼ぶ。

【0044】

“E”レベルは、データが消去された状態における閾値であり、例えば負の値を有し(正の値を有していても良い)、ペリファイ電圧EVよりも低い。“A”~“C”レベルは、電荷蓄積層内に電荷が注入された状態の閾値であり、“A”レベルは読み出しレベル“AR”よりも高く、且つ読み出しレベル“BR”より低い閾値を有する。“B”レベルは、読み出しレベル“BR”よりも高く、且つ読み出しレベル“CR”より低い閾値を有する。“C”レベルは、読み出しレベル“CR”よりも高い閾値を有する。

【0045】

このように、4つの閾値レベルを取り得ることにより、個々のメモリセルトランジスタMTは2ビットのデータ(4-level data)を記憶出来る。

10

20

30

40

50

## 【 0 0 4 6 】

図 5 ( a ) に示すように、メモリセルトランジスタ M T の消去状態の分布は、“ E ” レベルである。

## 【 0 0 4 7 】

下位ページ書込みが行われると、図 5 ( a ) に示す 1 値の閾値分布が、図 5 ( b ) に示す 2 値の閾値分布に変化する。電圧 “ M R ” をワード線に供給して読み出し動作を行なうことで、メモリセルの閾値電圧が電圧 “ M R ” よりも高いか低いかが判別できる。その結果、データを読み出すことができる。

## 【 0 0 4 8 】

上位ページ書込みが行われると、図 5 ( b ) に示す 2 値の閾値分布が、図 5 ( c ) に示すように、4 値の閾値分布に変化する。

## 【 0 0 4 9 】

< 第 1 の実施形態に係るデータの書込み動作について >

次に、本実施形態に係るデータの書込み動作につき、図 6 を参照して説明する。書込み動作は、電荷を電荷蓄積層に注入して閾値を上昇させるプログラム動作と、プログラム動作の結果としての閾値分布の変化を確認するプログラムベリファイ動作とを含む。なお図 6 に示す処理は、主に制御回路 1 2 2 の制御によって実行される。

## 【 0 0 5 0 】

## [ S 1 0 1 ]

NANDフラッシュメモリ 1 2 0 は、メモリコントローラ 1 1 0 から書込みコマンド、下位ページのアドレス、下位ページのデータ、及び書込み開始コマンドを順に受信する。その際、制御回路 1 2 2 は、第 3 のキャッシュ 1 2 5 c に、下位ページのデータを展開する。これとともに第 2 のキャッシュ 1 2 5 b にも下位ページのデータを展開する。この利用については後述する。尚、以下では簡単のために、書込みコマンド、アドレス、データ、及び書込み開始コマンドをまとめて「コマンドシーケンス」等と称す。

## 【 0 0 5 1 】

次に、制御回路 1 2 2 は、書込み開始コマンドを受信すると、下位ページのプログラム動作を開始する。具体的には、制御回路 1 2 2 の命令に回答して、ロウデコーダ 1 2 8 が選択ワード線 W L にプログラム電圧  $V_{PGM}$  ( 初回のプログラム印加は、電圧  $V_{PGM}$  ( initial for lower ) ) を印加し、センスアンプ 1 2 6 がビット線 B L に書き込みデータに応じた電圧を印加する。これにより、第 3 のキャッシュ 1 2 5 c に展開したデータがメモリセルトランジスタ M T にページ単位でプログラムされる。

## 【 0 0 5 2 】

## [ S 1 0 2 ]

次に、制御回路 1 2 2 の命令に回答して、ロウデコーダ 1 2 8 は、ベリファイ電圧  $V_{VFY}$  を選択ワード線 W L に印加して、プログラムベリファイ動作を実行する。ベリファイの結果は第 3 のキャッシュ 1 2 5 c に格納し、ここに都度上書きしていく。

## 【 0 0 5 3 】

## [ S 1 0 3 ]

制御回路 1 2 2 は、2 ビットプログラム ( 書き込み ) 動作 ( フルシーケンス ) へ移行可能か否かの判定を行う。2 ビットプログラムとは、メモリセルトランジスタ M T に対して下位ページのデータと上位ページのデータとを併せて書込む動作の事を意味する。

下記に、制御回路 1 2 2 による当該判定方法について説明する。

{ 方法 1 } 制御回路 1 2 2 は、メモリコントローラ 1 1 0 から、当該下位ページと同一のワード線 W L に属する上位ページに関するコマンドシーケンス ( 書込みコマンド、上位ページのアドレス、上位ページのデータ、及び書込み開始コマンド ) を受信したか否かを判定する。制御回路 1 2 2 は、当該上位ページのデータを受信した場合、第 1 のキャッシュ 1 2 5 a に、当該上位ページのデータを展開する。尚、以下では、簡単のために書込み動作が行われている下位ページと同一のワード線 W L に属する上位ページの事を単に「上位ページ」と称す。

10

20

30

40

50



## 【 0 0 5 4 】

{ 方法 2 } 制御回路 1 2 2 は、ステップ S 1 0 2 のプログラムベリファイによってデータを読み出す。そして制御回路 1 2 2 は、メモリセルトランジスタ M T の閾値が所望の値まで上昇しているか否かを、読み出しデータに基づいて確認する。制御回路 1 2 2 は、プログラムが完了していないビット数と、制御回路 1 2 2 のレジスタ内に設定された所定のビット数とを比較する。

{ 方法 3 } 制御回路 1 2 2 は、ステップ S 1 0 1 の下位ページのプログラム動作（またはプログラム動作及びプログラムベリファイ動作を含む書込み動作）の回数（パルスの印加回数、またはループ回数ともいう）をカウントし、所定の回数を超えたか否かの判定を行う。

10

制御回路 1 2 2 は、方法 1（判定方法 1）、または方法 1 及び方法 2 の組み合わせ（判定方法 2）、または方法 1 及び方法 3 の組み合わせ（判定方法 3）、または方法 1 ~ 方法 3 の組み合わせ（判定方法 4）を行う事により 2 ビットプログラム動作へ移行可能か否かの判定を行う。

## 【 0 0 5 5 】

## { 判定方法 1 }

制御回路 1 2 2 が判定方法 1 を用いる場合の例について説明する。制御回路 1 2 2 は、上位ページに関連するコマンドシーケンスを受信したと判定する場合（ステップ S 1 0 3、Y E S）、2 ビットプログラム動作へ移行可能であるとしてステップ S 1 0 6 に移行する。制御回路 1 2 2 は、当該コマンドシーケンスを受信していないと判定する場合（ステップ S 1 0 3、N O）、2 ビットプログラム動作へ移行可能でないとしてステップ S 1 0 4 に移行する。

20

## 【 0 0 5 6 】

## { 判定方法 2 }

次に、制御回路 1 2 2 が判定方法 2 を用いる場合の例について説明する。制御回路 1 2 2 は、上位ページに関連するコマンドシーケンスを受信し、且つプログラムが完了していないビット数が、所定のビット数以下であると判定する場合（ステップ S 1 0 3、Y E S）、2 ビットプログラム動作へ移行可能であるとしてステップ S 1 0 6 に移行する。制御回路 1 2 2 は、当該コマンドシーケンスを受信していない、若しくはプログラムが完了していないビット数が、所定のビット数よりも大きいと判定する場合（ステップ S 1 0 3、N O）、2 ビットプログラム動作へ移行可能でないとしてステップ S 1 0 4 に移行する。

30

## 【 0 0 5 7 】

## { 判定方法 3 }

次に、制御回路 1 2 2 が判定方法 3 を用いる場合の例について説明する。制御回路 1 2 2 は、上位ページに関連するコマンドシーケンスを受信し、且つプログラム動作の回数が所定値以上であると判定する場合（ステップ S 1 0 3、Y E S）、2 ビットプログラム動作へ移行可能であるとしてステップ S 1 0 6 に移行する。制御回路 1 2 2 は、当該コマンドシーケンスを受信していない、若しくはプログラム動作の回数が所定値に達していないと判定する場合（ステップ S 1 0 3、N O）、2 ビットプログラム動作へ移行可能でないとしてステップ S 1 0 4 に移行する。

40

## 【 0 0 5 8 】

## { 判定方法 4 }

次に、制御回路 1 2 2 が判定方法 4 を用いる場合の例について説明する。制御回路 1 2 2 は、上位ページに関連するコマンドシーケンスを受信し、プログラムが完了していないビット数が、所定のビット数以下であり、且つプログラム動作の回数が所定値以上である場合（ステップ S 1 0 3、Y E S）、2 ビットプログラム動作へ移行可能であるとしてステップ S 1 0 6 に移行する。制御回路 1 2 2 は、当該コマンドシーケンスを受信していない、若しくはプログラムが完了していないビット数が、所定のビット数よりも大きい、若しくはプログラムパルス印加回数が所定値に達していないと判定する場合（ステップ S 1 0 3、N O）、2 ビットプログラム動作へ移行可能でないとしてステップ S 1 0 4 に移行

50

する。

【 0 0 5 9 】

さらに、制御回路 1 2 2 は、少なくとも方法 1 の判定方法を含む限り、その他の判定方法を方法 1 に付加してもよい。

【 0 0 6 0 】

[ S 1 0 4 ]

ステップ S 1 0 3 において、制御回路 1 2 2 が、2 ビットプログラム動作を行えないと判定する場合 (ステップ S 1 0 3、N O)、制御回路 1 2 2 は選択ページにおける全ビットがベリファイにパスしたか否かを判定する。

【 0 0 6 1 】

具体的には、制御回路 1 2 2 は、ステップ S 1 0 2 のプログラムベリファイによってデータを読み出す。そして制御回路 1 2 2 は、メモリセルトランジスタ M T の閾値が所望の値まで上昇しているか否かを、読み出しデータに基づいて確認する。以下、所望の値まで上昇していたビット、すなわちプログラムが完了していたビットと、上昇していなかったビット、すなわちプログラムが完了していなかったビットとを識別し、制御回路 1 2 2 は、プログラムが完了していないビット数 (フェイルビット数) と、設定された許容ビット数とを比較して、プログラム動作がパスしたかフェイルであるかを判定する。

【 0 0 6 2 】

制御回路 1 2 2 は選択ページにおけるプログラムベリファイがパスしていると判定する場合 (ステップ S 1 0 4、Y E S)、当該ページに対する書込み動作を終了する。

【 0 0 6 3 】

尚、ステップ S 1 0 3 において、制御回路 1 2 2 が、上記方法 2 を行っている場合、ステップ S 1 0 4 において方法 2 の判定結果を利用する。

【 0 0 6 4 】

[ S 1 0 5 ]

ステップ S 1 0 5 において、制御回路 1 2 2 は、プログラム動作がフェイルしていると判定する場合は (ステップ S 1 0 4、N O)、プログラムのループ回数が予め設定されている最大値であるか否かを判定する。制御回路 1 2 2 は、プログラムのループ回数が最大値であると判定する場合 (ステップ S 1 0 5、Y E S)、当該ページに対する書込み動作は終了する。

【 0 0 6 5 】

制御回路 1 2 2 は、プログラムのループ回数が最大値でないと判定する場合 (ステップ S 1 0 5、N O)、例えば制御回路 1 2 2 は、プログラム電圧  $V_{PGM} = (V_{PGM} + V_x)$  に更新して、ステップ S 1 0 1 に戻る。

【 0 0 6 6 】

[ S 1 0 6 ]

ステップ S 1 0 3 において、制御回路 1 2 2 が、2 ビットプログラム動作を行えると判定する場合 (ステップ S 1 0 3、Y E S)、制御回路 1 2 2 は、下位ページ書込みを中断し、下位ページのデータ及びアドレス、並びに上位ページのデータ及びアドレスを用いて、2 ビットプログラム動作を開始する。尚、2 ビットプログラム動作への移行に際し、下位ページ書込みによって、図 5 ( b ) に示すような、2 値の閾値分布が形成されている必要はない。

【 0 0 6 7 】

この際、下位ページ書込み動作時 (ステップ S 1 0 1 ~ S 1 0 5) においてステップアップしてきた下位ページプログラム用のプログラム電圧  $V_{PGM}$  を、2 ビットプログラム用の電圧に初期化する。尚、2 ビットプログラム動作において初回のプログラム印加は、電圧  $V_{PGM} (initial\ for\ 2bit)$  である。また、2 ビットプログラム動作においては、前記格納した第 2 のキャッシュ 1 2 5 b のデータをもとにした下位ページデータならびに第 1 のキャッシュ 1 2 5 a に格納された上位ページデータをもとに書き込みを開始する。

【 0 0 6 8 】

10

20

30

40

50

[ S 1 0 7 ]  
 ステップ S 1 0 2 と同様に、ロウデコーダ 1 2 8 は、プログラムベリファイ動作を実行する。

【 0 0 6 9 】

[ S 1 0 8 ]  
 ステップ S 1 0 4 と同様に、そして制御回路 1 2 2 は、プログラムベリファイ動作を行う。選択ページにおけるプログラムベリファイにパスすれば（ステップ S 1 0 8、YES）、当該ページに対する書込み動作は終了する。

【 0 0 7 0 】

[ S 1 0 9 ]  
 ステップ S 1 0 5 と同様に、制御回路 1 2 2 は、プログラム動作がフェイルしていると判定する場合は（ステップ S 1 0 8、NO）、プログラムのループ回数が最大値であるか否かを判定する。制御回路 1 2 2 は、プログラムのループ回数が最大値であると判定する場合（ステップ S 1 0 9、YES）、当該ページに対する書込み動作を終了する。

10

【 0 0 7 1 】

制御回路 1 2 2 は、プログラムのループ回数が最大値でないと判定する場合（ステップ S 1 0 9、NO）、例えば制御回路 1 2 2 は、プログラム電圧  $V_{PGM}$  を  $(V_{PGM} + V_x)$  に更新して、ステップ S 1 0 6 に戻る。

【 0 0 7 2 】

尚、2ビットプログラム時においても、下位ページプログラム時と同様に、プログラム電圧  $V_{PGM}$  は  $V_x$  ずつステップアップしているが、必ずしもこれに限らない。このことは、以下の他の実施形態でも同様である。

20

【 0 0 7 3 】

< 第 1 の実施形態に係るデータの書込み動作の具体例 1 について >

次に、第 1 の実施形態に係るデータの書込み動作の具体例 1 につき、図 7 を参照して説明する。具体例 1 では、ステップ S 1 0 3 において、判定方法 3 を採用した場合の動作について説明する。図 7 に示すレディ/ビジーは、図示せぬ NAND フラッシュメモリ 1 2 0 に設けられたピンの状態を示し、NAND フラッシュメモリの内部動作でキャッシュが占有されているか否かを示す。たとえば "H" レベルであればすくなくとも 1 つのキャッシュが解放されていて、たとえばデータ入力が可能であることを示す

30

[ 時刻 T 0 ]

時刻 T 0 より、NAND フラッシュメモリ 1 2 0 は、メモリコントローラ 1 1 0 から、下位ページに関連するコマンドシーケンス（書込みコマンド（80）、下位ページのアドレス、下位ページのデータ、及び書込み開始コマンド（15））の受信を開始する。

【 0 0 7 4 】

[ 時刻 T 1 ]

時刻 T 1 より、制御回路 1 2 2 は、第 3 のキャッシュ 1 2 5 c に、下位ページのデータの展開を開始する。時刻 T 1 から時刻 T 2 の間、NAND フラッシュメモリ 1 2 0 はビジー状態になる。

【 0 0 7 5 】

そして、ステップ S 1 0 1 ~ S 1 0 5 の動作が実行される。

40

[ 時刻 T 2 ]

本具体例 1 の場合、制御回路 1 2 2 は、上位ページに関連するコマンドシーケンスを受信可能とし、且つ書込み動作の回数が所定の回数（ここでは、一例として 3 回）以上であると判定する場合、2ビットプログラム動作を開始するものとする。

【 0 0 7 6 】

[ 時刻 T 3 ]

時刻 T 3 までに、メモリセルアレイ 1 3 0 への下位ページの書込み動作が行われている間に、上位ページに関連するコマンドシーケンスが NAND フラッシュメモリ 1 2 0 に入力される。

50

## 【 0 0 7 7 】

[ 時刻 T 4 ]

時刻 T 4 において、制御回路 1 2 2 は、書込み動作が 3 回行われた後のステップ S 1 0 3 に係る判定において、2 ビットプログラム動作への移行することができると判定するため、2 ビットプログラム動作を開始する。

## 【 0 0 7 8 】

2 ビットプログラム動作の際、制御回路 1 2 2 は、下位ページ書込み動作時（時刻 T 2 ~ 時刻 T 3）においてステップアップしてきた下位ページプログラム用のプログラム電圧  $V_{PGM} (V_{PGM} (initial\ for\ lower) + V_x + V_x)$  を 2 ビットプログラム用の電圧に初期化する。尚、2 ビットプログラム動作において初回のプログラム印加は、電圧  $V_{PGM} (initial\ for\ 2bit)$ （電圧  $V_{PGM} (initial\ for\ 2bit) <$  ステップアップしてきた下位ページプログラム用のプログラム電圧  $V_{PGM}$ ）である。

10

## 【 0 0 7 9 】

< 第 1 の実施形態に係るデータの書込み動作の具体例 2 について >

次に、第 1 の実施形態に係るデータの書込み動作の具体例 2 につき、図 8 を参照して説明する。具体例 2 では、ステップ S 1 0 3 において、判定方法 3 を採用した場合の動作について説明する。図 8 に示すレディ/ビジーは、NAND フラッシュメモリ 1 2 0 NAND フラッシュメモリ 1 2 0 のレディ/ビジーを示している。 [ 時刻 T 0 ] ~ [ 時刻 T 2 ]

図 7 で説明した時刻 T 0 ~ 時刻 T 2 の動作と同様である。

20

## 【 0 0 8 0 】

[ 時刻 T 4 ]

時刻 T 4 において、書込み動作が 3 回行われた直後のステップ S 1 0 3 において、未だ、上位ページに関連するコマンドシーケンスが NAND フラッシュメモリ 1 2 0 に入力されていない。そのため、制御回路 1 2 2 は、2 ビットプログラム動作へ移行できないと判定し、4 回目の書込み動作に移行する。

## 【 0 0 8 1 】

[ 時刻 T 5 ]

時刻 T 5 において、メモリセルアレイ 1 3 0 への下位ページの書込み動作が行われている間に、上位ページに関連するコマンドシーケンスの NAND フラッシュメモリ 1 2 0 への入力完了する。

30

## 【 0 0 8 2 】

[ 時刻 T 6 ]

制御回路 1 2 2 は、プログラム動作が 4 回行われた後のステップ S 1 0 3 に係る判定において、2 ビットプログラム動作への移行することができると判定するため、2 ビットプログラム動作を開始する。

## 【 0 0 8 3 】

< 第 1 の実施形態に係るデータの書込み動作の作用効果について >

上述した実施形態によれば、メモリセルアレイ 1 3 0 への下位ページの書込み動作において、選択ページにおける全ビットがベリファイにパスしていなくても、所定の条件下で、2 ビットプログラム動作を開始することができるメモリシステム 1 0 0 を開示している。

40

## 【 0 0 8 4 】

より具体的には、メモリセルアレイ 1 3 0 への下位ページの書込み動作が行われている間に、制御回路 1 2 2 は、少なくとも当該下位ページと同一のワード線 WL に属する上位ページに関連するコマンドシーケンス（書込みコマンド、アドレス、データ、及び書込み開始コマンド）を受信したか否かを判定する。

## 【 0 0 8 5 】

そして、制御回路 1 2 2 が、少なくとも当該下位ページと同一のワード線 WL に属する上位ページに関連するコマンドシーケンスを受信したと判定する場合は、下位ページのデ

50

ータ及びアドレス、並びに上位ページのデータ及びアドレスを用いて、2ビットプログラム動作に移行する。

【0086】

ところで、2ビット(4値)データを、書込む動作において、1ビットずつデータを書き込む方法がある。この際、図5(b)に示すように2ビットのうちのまず下位ページのデータが書き込まれ、次に図5(c)に示すように上位ページのデータが書き込まれる。しかしながら、このような書込み方法場合、下位ページのデータの書込みが終了するまでは、上位ページのデータの書込みに移行できない。

【0087】

一方で、このように、上述した実施形態に係るメモリシステム100を用いることによって、下位ページの書込みを終了する(2値の閾値分布を形成する)前に、2ビットプログラム動作を行うので、より高速に2ビット(4値)プログラムを行うことができる。これにより、より高速に書込み動作を行うことができる高品質なメモリシステム100を提供することができる。

10

【0088】

尚、第1の実施形態によれば、制御回路122は、ステップS102のプログラムベリファイ後に、ステップS103の判定を行っているがこれに限らない。例えば、制御回路122は、ステップS103の判定は、ステップS101、S102と並列に実行しても良い。

【0089】

また、制御回路122は、ステップS102の下位ページに関するプログラムベリファイが終わった後に、2ビットプログラム動作に移行しているが、これに限らない。例えば、制御回路122は、ステップS101のプログラム中、またはステップS102のプログラムベリファイ中に、2ビットプログラム動作に移行しても良い。しかしながら、ステップS102の下位ページに関するプログラムベリファイが終わった後のほうが、下位ページのプログラムベリファイ結果を把握でき、制御回路122は、より望ましい移行タイミングを導出することができる。

20

【0090】

(第2の実施形態)

続いて、図9及び図10を用いて、第2の実施形態に係るメモリシステム100について説明する。第2の実施形態では、制御回路122は、所定のコマンドを受信した場合、下位ページ書込み動作を行わず、一気に上位ページ書込み動作を行う点で、第1の実施形態と異なっている。尚、第2の実施形態において、上述した第1の実施形態と略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

30

【0091】

<第2の実施形態に係るデータの書込み動作について>

次に、第2の実施形態に係るデータの書込み動作につき、図9を参照して説明する。なお図9に示す処理は、主に制御回路122の制御によって実行される。

【0092】

[S201]

制御回路122は、2ビットプログラム動作(フルシーケンス)に移行可能かを判定する。具体的には、制御回路122は、メモリコントローラ110から、書込み開始コマンドではなく待機コマンドを含むコマンドシーケンスを受信するか否かを判定する。

40

【0093】

[S202]

制御回路122は、メモリコントローラ110から、待機コマンドを含まない、下位ページに関連するコマンドシーケンスを受信する場合(ステップS201、NO)、ステップS101と同様の動作を行う。

【0094】

50

[ S 2 0 3 ]

次に、ロウデコーダ 1 2 8 は、ステップ S 1 0 2 と同様の動作を行う。

【 0 0 9 5 】

[ S 2 0 4 ]

続いて、制御回路 1 2 2 は、ステップ S 1 0 4 と同様の動作を行う。選択ページにおけるプログラムベリファイにパスすれば（ステップ S 2 0 4、Y E S）、当該ページに対する書込み動作は終了する。

【 0 0 9 6 】

[ S 2 0 5 ]

ステップ S 1 0 5 と同様に、制御回路 1 2 2 は、選択ページにおけるプログラムベリ  
10  
ファイにフェイルしていると判定する場合は（ステップ S 2 0 4、N O）、プログラムのル  
ープ回数が最大値であるか否かを判定する。制御回路 1 2 2 は、プログラムのループ回数  
が最大値であると判定する場合（ステップ S 2 0 5、Y E S）、当該ページに対する書込  
み動作を終了する。

【 0 0 9 7 】

制御回路 1 2 2 は、プログラムのループ回数が最大値でないと判定する場合（ステップ  
S 2 0 5、N O）、例えば制御回路 1 2 2 は、プログラム電圧  $V_{PGM}$  を  $(V_{PGM} +$   
 $V_x)$  に更新して、ステップ S 2 0 2 に戻る。

【 0 0 9 8 】

[ S 2 0 6 ]

20  
ステップ S 2 0 1 において、制御回路 1 2 2 が、メモリコントローラ 1 1 0 から、待機  
コマンド ( 1 A ) を含むコマンドシーケンスを受信する場合（ステップ S 2 0 1、Y E S  
）、下位ページの書込み動作は行わず、上位ページに関連するコマンドシーケンスを受信  
するまで待機する。

【 0 0 9 9 】

[ S 2 0 7 ]

制御回路 1 2 2 は、メモリコントローラ 1 1 0 から上位ページに関連するコマンドシー  
ケンスを受信した場合、下位ページのデータ及びアドレス、並びに上位ページのデータ及  
びアドレスを用いて 2 ビットプログラム動作（フルシーケンス）のためのプログラム動作  
を開始する。尚、2 ビットプログラム動作において初回のプログラム印加は、電圧  $V_{PG}$   
30  
 $M$  ( initial for 2bit ) である。

【 0 1 0 0 】

[ S 2 0 8 ]

ステップ S 1 0 7 と同様に、ロウデコーダ 1 2 8 は、プログラムベリファイ動作を実行  
する。

【 0 1 0 1 】

[ S 2 0 9 ]

ステップ S 2 0 4 と同様にして、そして制御回路 1 2 2 は、プログラムベリファイ動作  
40  
を行う。選択ページにおけるプログラムベリファイにパスすれば（ステップ S 2 0 9、Y  
E S）、当該ページに対する書込み動作は終了する。

【 0 1 0 2 】

[ S 2 1 0 ]

ステップ S 2 0 5 と同様に、制御回路 1 2 2 は、選択ページにおけるプログラムベリ  
ファイにフェイルしていると判定する場合は（ステップ S 2 0 9、N O）、プログラムのル  
ープ回数が最大値であるか否かを判定する。制御回路 1 2 2 は、プログラムのループ回数  
が最大値であると判定する場合（ステップ S 2 1 0、Y E S）、当該ページに対する書込  
み動作を終了する。

【 0 1 0 3 】

制御回路 1 2 2 は、プログラムのループ回数が最大値でないと判定する場合（ステップ  
S 2 1 0、N O）、例えば制御回路 1 2 2 は、プログラム電圧  $V_{PGM}$  を  $(V_{PGM} +$   
50

Vx)に更新して、ステップS207に戻る。

【0104】

<第2の実施形態に係るデータの書込み動作の具体例について>

次に、第2の実施形態に係るデータの書込み動作の具体例につき、図10を参照して説明する。図10に示すレディ/ビジーは、NANDフラッシュメモリ120のレディ/ビジーを示している。

【0105】

[時刻T0]

時刻T0において、NANDフラッシュメモリ120は、メモリコントローラ110から、下位ページに関連するコマンドシーケンスを受信する。

10

【0106】

[時刻T1]

時刻T1において、制御回路122は、当該コマンドシーケンスに、待機コマンド(1A)が含まれていると判定する場合、下位ページの書込み動作は行わず、上位ページに関連するコマンドシーケンスを受信するまで待機する。

【0107】

また、制御回路122は、第3のキャッシュ125cに、下位ページのデータを展開する。この間、NANDフラッシュメモリ120はビジー状態になる。

【0108】

[時刻T2]

時刻T2において、第3のキャッシュ125cへの、下位ページのデータの展開が完了すると、NANDフラッシュメモリ120はレディ状態になる。

20

【0109】

[時刻T3]

時刻T3において、制御回路122は、メモリコントローラ110から上位ページに関連するコマンドシーケンスを受信すると、2ビットプログラム動作(フルシーケンス)を開始する。

【0110】

<第2の実施形態に係るデータの書込み動作の作用効果について>

上述した実施形態によれば、メモリコントローラ110は、待機コマンド(1A)を用いて、NANDフラッシュメモリ120の下位ページ書込み動作を待機させている。そして、メモリコントローラ110は、上位ページに係るコマンドシーケンスをNANDフラッシュメモリ120に入力させることにより、NANDフラッシュメモリ120に2ビットプログラム動作を行わせることができる。

30

【0111】

このように、本実施形態では、下位ページ書込みを行わず、2ビットプログラムを行うので、1ビットずつ書込み動作を行う場合に比べて、より高速に書込み動作を行うことが可能となる高品質なメモリシステム100を提供することができる。

【0112】

(第3の実施形態)

続いて、図11を用いて、第3の実施形態に係るメモリシステム100について説明する。第3の実施形態では、第1の実施形態と、第2の実施形態とを組み合わせた動作を説明している。尚、第3の実施形態において、上述した第1の実施形態及び第2の実施形態と略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

40

【0113】

<第3の実施形態に係るデータの書込み動作について>

第3の実施形態に係るデータの書込み動作につき、図11を参照して説明する。なお図11に示す処理は、主に制御回路122の制御によって実行される。

【0114】

50

- [ S 3 0 1 ]  
制御回路 1 2 2 は、ステップ S 2 0 1 と同様に動作する。
- 【 0 1 1 5 】  
[ S 3 0 2 ]  
制御回路 1 2 2 は、ステップ S 2 0 2 と同様に動作する（ステップ S 3 0 1、N O）。
- 【 0 1 1 6 】  
[ S 3 0 3 ]  
次に、ロウデコーダ 1 2 8 は、ステップ S 2 0 3 と同様に動作する。
- 【 0 1 1 7 】  
[ S 3 0 4 ] 10  
続いて、制御回路 1 2 2 は、ステップ S 1 0 3 と同様に動作する。
- 【 0 1 1 8 】  
[ S 3 0 5 ]  
更に、制御回路 1 2 2 は、ステップ S 1 0 4 と同様に動作する（ステップ S 3 0 4、N O）。
- 【 0 1 1 9 】  
[ S 3 0 6 ]  
続いて、制御回路 1 2 2 は、ステップ S 1 0 5 と同様に動作する（ステップ S 3 0 5、N O）。
- 【 0 1 2 0 】 20  
[ S 3 0 7 ]  
制御回路 1 2 2 は、S 2 0 6 と同様に動作する。
- 【 0 1 2 1 】  
[ S 3 0 8 ]  
制御回路 1 2 2 は、ステップ S 1 0 6、または S 2 0 7 と同様に動作する（ステップ S 3 0 4、S 3 0 1、Y E S）。
- 【 0 1 2 2 】  
[ S 3 0 9 ]  
ロウデコーダ 1 2 8 は、ステップ S 1 0 7 と同様に動作する。
- 【 0 1 2 3 】 30  
[ S 3 1 0 ]  
制御回路 1 2 2 は、ステップ S 1 0 8 と同様に動作する。
- 【 0 1 2 4 】  
[ S 3 1 1 ]  
制御回路 1 2 2 は、ステップ S 1 0 9 と同様に動作する（ステップ S 3 1 0、N O）。
- 【 0 1 2 5 】  
＜ 第 3 の実施形態に係るデータの書込み動作の作用効果について ＞  
上述した実施形態によれば、第 1 の実施形態に係るデータの書込み方法と、第 2 の実施形態に係るデータの書込み方法とを組み合わせている。そのため、第 1 の実施形態及び第 2 の実施形態の作用効果を享受することが可能となる。 40
- 【 0 1 2 6 】  
（ 第 4 の実施形態 ）  
続いて、図 1 1 を用いて、第 4 の実施形態に係るメモリシステム 1 0 0 について説明する。第 4 の実施形態では、下位ページ書込み動作時において、ペリファイがフェイルとなった場合において、下位ページデータを訂正する方法について説明する。尚、第 4 の実施形態において、上述した第 1 の実施形態と略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。
- 【 0 1 2 7 】  
＜ 第 4 の実施形態に係るデータの書込み動作について ＞  
次に、第 4 の実施形態に係るデータの書込み動作につき、図 1 2 を参照して説明する。 50



なお図 1 2 に示す処理は、主に制御回路 1 2 2 の制御によって実行される。

【 0 1 2 8 】

[ S 4 0 1 ] ~ [ S 4 0 5 ]

ステップ S 1 0 1 ~ S 1 0 5 と同様に動作する。

【 0 1 2 9 】

[ S 4 0 6 ]

制御回路 1 2 2 は、センスアンプ 1 2 6 を介して、下位ページ書込み動作後の現在のセル状態を検査読み出しする。検査読み出しを実施せずに、第 3 のキャッシュ 1 2 5 c に残留しているプログラムベリファイの結果を用いてもよい。

図 1 3 に示すように、プログラムベリファイの結果 ( Lower page program result ) が、第 3 のキャッシュ 1 2 5 c に格納される。図 1 3 において “ P ” はベリファイパスビット、“ F ” はベリファイフェイルビットを示している。また、下位ページデータは第 2 のキャッシュ 1 2 5 b に格納される。図 1 3 では、bit2 と、bit6 の下位ページがフェイルしているものとする。

【 0 1 3 0 】

[ S 4 0 7 ]

ここで、制御回路 1 2 2 は、下記の 3 通りの方法で、下位ページのフェイルを救済する。尚、ここでは、詳細に記載しないが、例えばページ単位のデータにページ E C C パリティが付与され、E C C 回路 1 1 3 で、演算されることにより、所定のビット数のエラーを救済することが可能である。したがって、N A N D フラッシュメモリ 1 2 0 においては、E C C 回路 1 1 3 にデータ訂正が可能な範囲で、書き込みデータの変更や書き込み未完了ビットの放置が許容できる場合がある。ここで述べる救済とは、前記データの変更、またはプログラムベリファイの判断基準の変更のことを意味している。

【 0 1 3 1 】

{ 救済方法 1 }

図 1 3 において、b i t 2 は下位ページデータが “ 0 ”、上位ページデータが “ 0 ” で、最終的な閾値分布到達位置は “ B ” レベルである。しかし、下位ページ書き込みから 2 ビット書き込みに移行する段階、具体的にはステップ S 4 0 6 において、閾値分布の A 分布を超えていることが確認できれば、制御回路 1 2 2 は、b i t 2 の下位ページデータを “ 0 ” データから “ 1 ” データに変更する処理を行う。これにより、当該 2 ビットプログラムでは、b i t 2 は下位ページデータのビット不良として処理することができる。

【 0 1 3 2 】

{ 救済方法 2 }

下位ページでプログラムベリファイがフェイルとなったビットは、書き込みが困難な不良ビットである可能性があり、このビットは上位ページ書き込みでもまたプログラムベリファイがフェイルとなる可能性がある。そこで、制御回路 1 2 2 は、2 ビット書き込みに移行する段階で、上位ページと下位ページのデータを変更する。具体的には図 1 4 において、b i t 6 は下位ページデータが “ 0 ”、上位ページデータが “ 1 ” で最終的な閾値分布到達位置は “ C ” である。ここで制御回路 1 2 2 は、b i t 6 の下位ページ書き込みデータを “ 0 ” データから “ 1 ” データに変更する処理を行う。これにより、2 ビット書き込みでは b i t 6 に対して非書き込みとなり、以降書き込みが行われない。

【 0 1 3 3 】

{ 救済方法 3 }

救済方法 1、救済方法 2 では、2 ビットプログラムに移行する段階で、上位または下位ページデータを変更する方法を開示した。救済方法 3 では、上位ページや下位ページデータを変更せずに、前記現在のセルの状態の検査読み出しの結果、もしくは第 3 のキャッシュ 1 2 5 c に残留しているプログラムベリファイの結果により、プログラムベリファイがパスしているか否かの判断基準を変更する。

【 0 1 3 4 】

救済方法 1、救済方法 2、救済方法 3 は、書き込みの進捗、具体的にはフェイルビット

の数や、ループ回数など複数の判断基準により、制御回路 1 2 2 が適切に判断してよい。

【 0 1 3 5 】

次に、具体的な書き込みデータの処理方法について述べる。図 1 5 において、第 3 のキャッシュ 1 2 5 c に格納されている Lower Page program result で P は 1 データを、F は 0 データを示すものとする。

【 0 1 3 6 】

救済方法 1 では、下位ページ書き込みデータが格納されている第 2 キャッシュ 1 2 5 b と、上位ページデータが格納されている第 1 キャッシュ 1 2 5 a の OR 演算結果を反転し、その結果にさらに第 3 のキャッシュ 1 2 5 c に格納されている下位ページのプログラムベリファイの結果の反転データを AND 演算し、演算結果を第 2 キャッシュ 1 2 5 b に格納されている下位ページ書き込みデータに OR 演算することで達成する。

10

【 0 1 3 7 】

これにより、下位ページ書き込み時のプログラムベリファイがフェイルしているビットを 0 から 1 データに変更し、この変更後のデータを用いて 2 ビット書き込みを開始する。

【 0 1 3 8 】

救済方法 2 では、第 3 キャッシュ 1 2 5 c に格納されている下位ページプログラムベリファイの結果の反転を、下位ページの書き込みデータが格納されている第 2 キャッシュ 1 2 5 b と上位ページ書き込みデータが格納されている第 1 キャッシュ 1 2 5 a それぞれに OR 演算して達成する。

【 0 1 3 9 】

20

これにより、下位ページ書き込み時のプログラムベリファイがフェイルしているビットをそれぞれ 0 から 1 データに変更して非書き込みデータとし、この変更後のデータを用いて 2 ビット書き込みを開始する。

【 0 1 4 0 】

救済方法 3 では、図 1 5 を参照すると、bit 6 と bit 2 が下位ページの書き込みでプログラムベリファイがフェイルだったビットである。bit 6 の最終的な閾値分布到達位置は “ C ” であり、bit 2 の閾値分布到達位置は “ A ” である。よって、2 ビット書き込みに移行後のプログラムベリファイの判断において、具体的にはステップ S 4 1 0 の判断において、設定された許容ビット数に、下位ページの検査読み出しの結果またはプログラムベリファイのフェイルビットの数に関係した数を加算する。

30

【 0 1 4 1 】

より具体的には、制御回路 1 2 2 は、ステップ S 4 1 0 の判断において、閾値分布ごとに許容ビット数を設定することがある。このような場合、制御回路 1 2 2 は、A の閾値分布については設定された許容数を使用する。制御回路 1 2 2 は、B の閾値分布については、設定された許容数に下位ビットのフェイルビットの数に関係してここでは 1 を加算した許容数を設定する。制御回路 1 2 2 は、C の閾値分布については、設定された許容数に下位ビットのフェイルビット数に関係してここでは 1 を加算した許容数を設定する。

【 0 1 4 2 】

制御回路 1 2 2 は、閾値分布ごとではなく、2 ビット書き込み全体で許容ビット数を設定することがある。このような場合、制御回路 1 2 2 は、下位ページ書き込みのフェイルビット数に関係して、設定された許容数に 2 を加算した許容数を設定する。

40

【 0 1 4 3 】

上記設定された許容数とは、回路で設定された値や、既知のフューズに記録された値である。

【 0 1 4 4 】

[ S 4 0 8 ] ~ [ S 4 1 0 ]

ステップ S 1 0 6 ~ S 1 0 8 と同様の動作を行う。

【 0 1 4 5 】

[ S 4 1 1 ]

ステップ S 1 0 9 と同様の動作を行い、ループ回数が最大値では無い場合は、ステップ

50

S 4 0 7に戻る。

【 0 1 4 6 】

< 第 4 の実施形態に係るデータの書込み動作の作用効果について >

上述した実施形態によれば、フェイルとなった下位ページに関連する上位ページの書込み状態によって、処置する方法を変えている。

【 0 1 4 7 】

ところで、この E C C 回路 1 1 3 による救済は限度が有り、フェイルビット数がページ E C C パリティにより救済可能なビット数を超える場合、救済することはできない。

【 0 1 4 8 】

しかしながら、上述した実施形態によれば、救済が必要なビット数を軽減することができる。

10

【 0 1 4 9 】

また、予め、フェイルになる可能性のあるビットへの書込み動作を行わないため、書込み時間が長いビットへの書込み動作を、未然に回避し、システム性能、とくに書き込み性能劣化を回避することが可能となる。

【 0 1 5 0 】

または、プログラムベリファイのパス、フェイルの判断基準を下位ページの書き込み結果に応じて変更することで、当該ページに適切なベリファイのパスフェイル基準を設定することによっても、書き込み性能劣化を回避することが可能である。

【 0 1 5 1 】

20

更に、第 1 の実施形態と同様の効果を得ることもできるので、より高速に書込み動作をおこなうことができる高品質なメモリシステム 1 0 0 を提供することができる。

【 0 1 5 2 】

尚、第 4 の実施形態は、第 2 の実施形態及び第 3 の実施形態と組み合わせて用いる事も可能である。

【 0 1 5 3 】

( 変形例など )

尚、上述した各実施形態では、2 値書込みから 4 値書込みへの移行、あるいは最初から 4 値書込みをする方法について説明した。しかし、これに限らず、超多値の場合、例えば 2 値書込みから 8 値書込み、4 値書込みから 8 値書込み、または最初から 8 値書込みを行う場合なども同様の方法を使用することができる。換言すると、メモリセルトランジスタ M T が 2 ビット以上のデータを保持可能な場合でも、上述する各実施形態を適用することが可能である。

30

【 0 1 5 4 】

また、上述した各実施形態では、3 次元積層構造の N A N D フラッシュメモリについて説明したが、必ずしもこれに限らず、電荷蓄積層に絶縁膜を用いる平面 N A N D フラッシュメモリであっても適用可能である。

【 0 1 5 5 】

また、上述した各実施形態では、データラッチ回路 1 2 5 は、3 つのキャッシュを備えているが、これに限らず、少なくとも 2 つ以上のキャッシュを備えていれば良い。

40

【 0 1 5 6 】

なお、本発明に関する各実施形態において、

( 1 ) 読み出し動作では、

A レベルの読み出し動作に選択されたワード線に印加される電圧は、例えば 0 V ~ 0.55 V の間である。これに限定されることなく、0.1 V ~ 0.24 V, 0.21 V ~ 0.31 V, 0.31 V ~ 0.4 V, 0.4 V ~ 0.5 V, 0.5 V ~ 0.55 V いずれかの間にしてもよい。

【 0 1 5 7 】

B レベルの読み出し動作に選択されたワード線に印加される電圧は、例えば 1.5 V ~ 2.3 V の間である。これに限定されることなく、1.65 V ~ 1.8 V, 1.8 V ~ 1.95 V, 1.95 V ~ 2.1 V, 2.1 V ~ 2.3 V いずれかの間にしてもよい。

50

## 【 0 1 5 8 】

Cレベルの読み出し動作に選択されたワード線に印加される電圧は、例えば3.0V~4.0Vの間である。これに限定されることなく、3.0V~3.2V, 3.2V~3.4V, 3.4V~3.5V, 3.5V~3.6V, 3.6V~4.0Vいずれかの間にしてもよい。

## 【 0 1 5 9 】

読み出し動作の時間 ( $t_R$ ) としては、例えば25  $\mu s$  ~ 38  $\mu s$ , 38  $\mu s$  ~ 70  $\mu s$ , 70  $\mu s$  ~ 80  $\mu s$ の間にしてもよい。

## 【 0 1 6 0 】

(2) 書き込み動作は、上述したとおりプログラム動作とペリファイ動作を含む。書き込み動作では、

プログラム動作時に選択されたワード線に最初に印加される電圧は、例えば13.7V~14.3Vの間である。これに限定されることなく、例えば13.7V~14.0V, 14.0V~14.6Vいずれかの間としてもよい。

## 【 0 1 6 1 】

奇数番目のワード線を書き込む際の、選択されたワード線に最初に印加される電圧と、偶数番目のワード線を書き込む際の、選択されたワード線に最初に印加される電圧を変えてもよい。

## 【 0 1 6 2 】

プログラム動作をISPP方式 (Incremental Step Pulse Program) としたとき、ステップアップの電圧として、例えば0.5V程度が挙げられる。

## 【 0 1 6 3 】

非選択のワード線に印加される電圧としては、例えば6.0V~7.3Vの間としてもよい。この場合に限定されることなく、例えば7.3V~8.4Vの間としてもよく、6.0V以下としてもよい。

## 【 0 1 6 4 】

非選択のワード線が奇数番目のワード線であるか、偶数番目のワード線であるかで、印加するパス電圧を変えてもよい。

## 【 0 1 6 5 】

書き込み動作の時間 ( $t_{Prog}$ ) としては、例えば1700  $\mu s$  ~ 1800  $\mu s$ , 1800  $\mu s$  ~ 1900  $\mu s$ , 1900  $\mu s$  ~ 2000  $\mu s$ の間にしてもよい。

## 【 0 1 6 6 】

(3) 消去動作では、

半導体基板上部に形成され、かつ、上記メモリセルが上方に配置されたウェルに最初に印加する電圧は、例えば12V~13.6Vの間である。この場合に限定されることなく、例えば13.6V~14.8V, 14.8V~19.0V, 19.0~19.8V, 19.8V~21Vの間であってもよい。

## 【 0 1 6 7 】

消去動作の時間 ( $t_{Erase}$ ) としては、例えば3000  $\mu s$  ~ 4000  $\mu s$ , 4000  $\mu s$  ~ 5000  $\mu s$ , 4000  $\mu s$  ~ 9000  $\mu s$ の間にしてもよい。

## 【 0 1 6 8 】

(4) メモリセルの構造は、

半導体基板 (シリコン基板) 上に膜厚が4~10 nmのトンネル絶縁膜を介して配置された電荷蓄積層を有している。この電荷蓄積層は膜厚が2~3 nmのSiN、またはSiONなどの絶縁膜と膜厚が3~8 nmのポリシリコンとの積層構造にすることができる。また、ポリシリコンにはRuなどの金属が添加されていても良い。電荷蓄積層の上には絶縁膜を有している。この絶縁膜は、例えば、膜厚が3~10 nmの下層High-k膜と膜厚が3~10 nmの上層High-k膜に挟まれた膜厚が4~10 nmのシリコン酸化膜を有している。High-k膜はHfOなどが挙げられる。また、シリコン酸化膜の膜厚はHigh-k膜の膜厚よりも厚くすることができる。絶縁膜上には膜厚が3~10 nmの仕事関数調整用の材料を介して膜厚が30 nm~70 nmの制御電極が形成されている。ここで仕事関数調整用の材料はTaOなどの金属酸化膜、TaNなどの金属窒化膜で

10

20

30

40

50

ある。制御電極にはWなどを用いることができる。

【0169】

また、メモリセル間にはエアギャップを形成することができる。

【0170】

以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出される。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果が得られるものであれば、発明として抽出される。

10

【符号の説明】

【0171】

- 100 ...メモリシステム、 110 ...メモリコントローラ、
- 111 ...ホストインタフェース、 112 ...RAM、 113 ...ECC回路
- 114 ...CPU、 115 ...ROM、 116 ...フラッシュメモリインタフェース
- 120 ...NANDフラッシュメモリ、 121 ...入出力バッファ
- 122 ...制御回路、 123 ...カラムデコーダ 124 ...フェイルビットカウンタ

回路

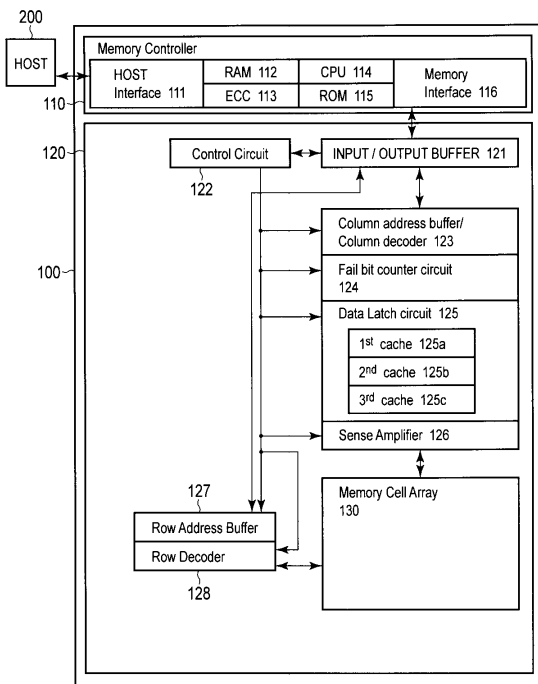
- 125 ...データラッチ回路、 125 a ...第1のキャッシュ
- 125 b ...第2のキャッシュ、 125 c ...第3のキャッシュ
- 126 ...センスアンプ、 127 ...ロウアドレスバッファ、 128 ...ロウデコーダ

20

- 130 ...メモリセルアレイ、 131 ...NANDストリング、
- 200 ...ホストデバイス。

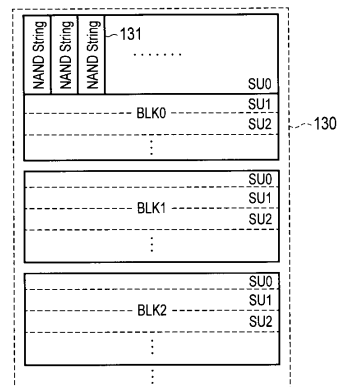
【図1】

図1

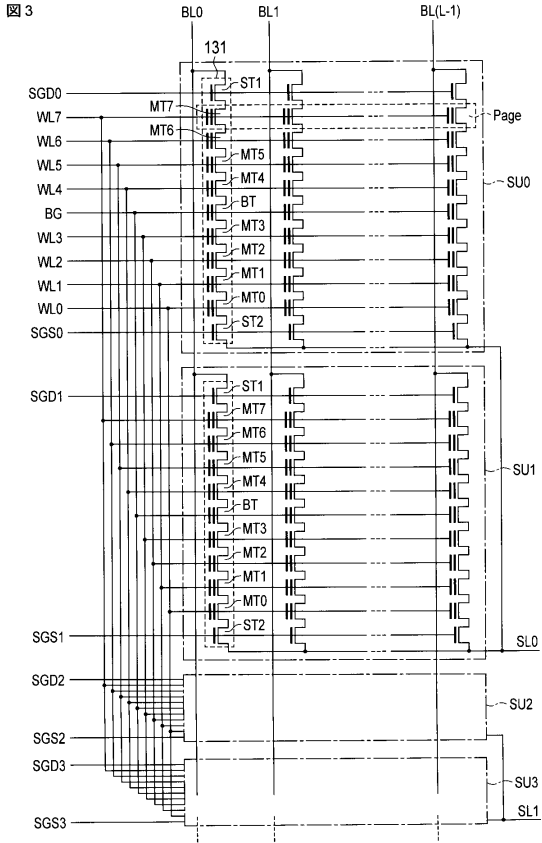


【図2】

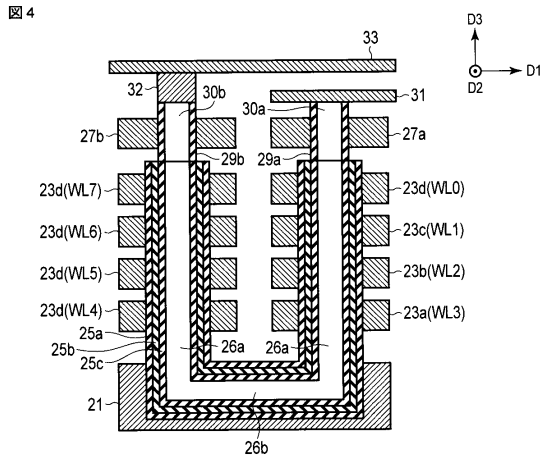
図2



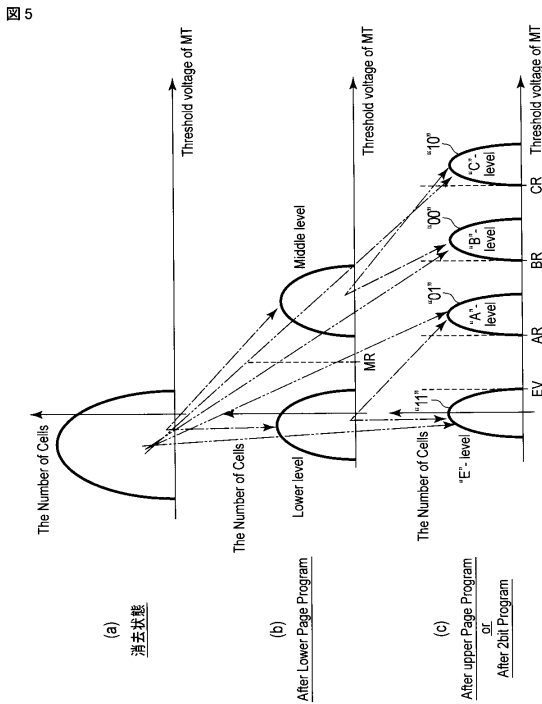
【 図 3 】



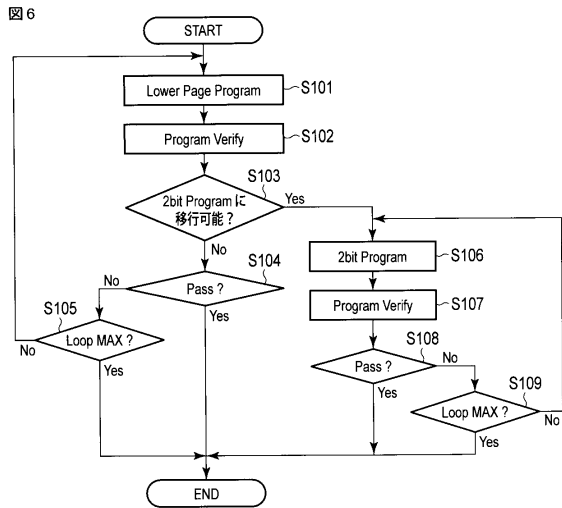
【 図 4 】



【 図 5 】

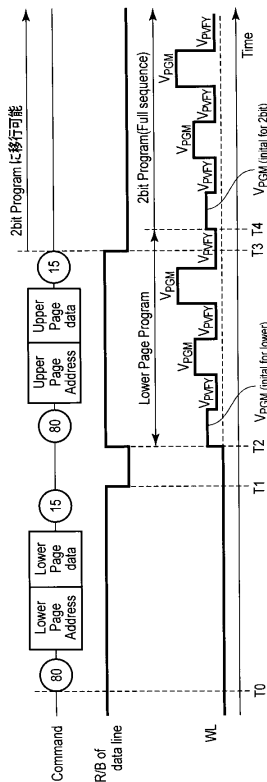


【 図 6 】



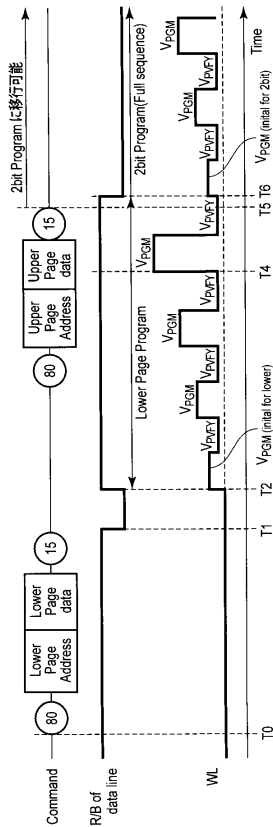
【 7 】

図 7



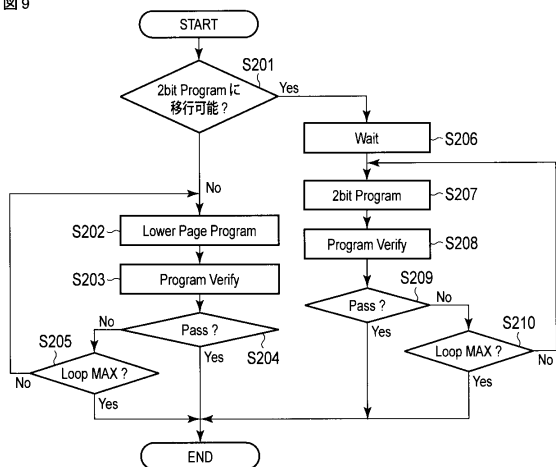
【 8 】

図 8



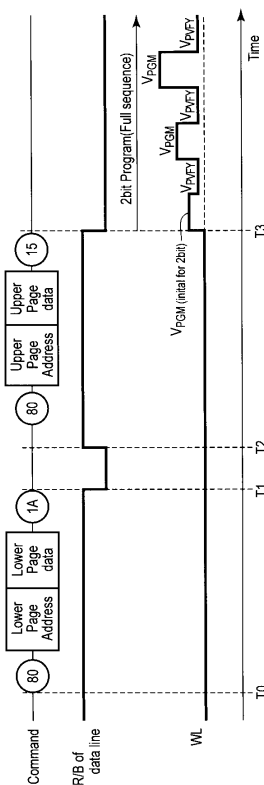
【 9 】

図 9



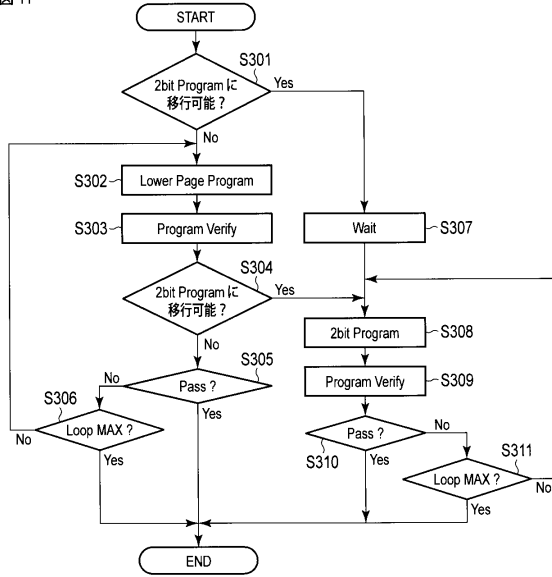
【 10 】

図 10



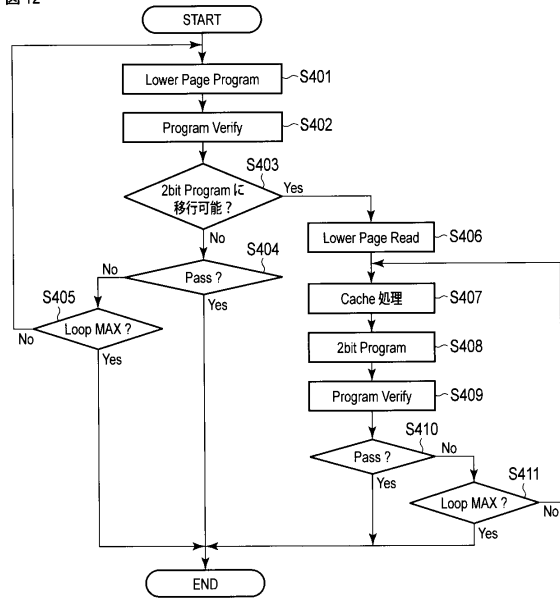
【 図 1 1 】

図 11



【 図 1 2 】

図 12



【 図 1 3 】

図 13

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
Lower Page program data	1	0	1	0	1	0	1	0
Lower Page program result	P	F	P	P	P	F	P	P
Upper Page program data	1	1	1	1	0	0	0	0
Vth distribution	E	C	E	C	A	B	A	B
Lower Page program data (Modified)	1	0	1	0	1	1	1	0
Upper Page program data	1	1	1	1	0	0	0	0

【 図 1 4 】

図 14

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
Lower Page program data	1	0	1	0	1	0	1	0
Lower Page program result	P	F	P	P	P	F	P	P
Upper Page program data	1	1	1	1	0	0	0	0
Vth distribution	E	C	E	C	A	B	A	B
Lower Page program data (Modified)	1	1	1	0	1	1	1	0
Upper Page program data	1	1	1	1	0	0	0	0



【 15 】

15

	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
Lower Page program data	1	0	1	0	1	0	1	0
Lower Page program result	P	F	P	P	P	F	P	P
Upper Page program data	1	1	1	1	0	0	0	0
Vth distribution	E	C	E	C	A	B	A	B
A Verify								
B Verify						1		
C Verify		1						
Upper Page Verify		1				1		

---

フロントページの続き

(72)発明者 常盤 直哉  
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 塚田 肇

(56)参考文献 特表2008-523542(JP,A)  
特開2012-164409(JP,A)  
特開2008-198337(JP,A)  
特開2000-173289(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G11C 16/10  
G11C 11/56