



(12) 发明专利申请

(10) 申请公布号 CN 113053900 A

(43) 申请公布日 2021.06.29

(21) 申请号 202110304024.6

(22) 申请日 2021.03.22

(71) 申请人 长鑫存储技术有限公司

地址 230601 安徽省合肥市经济技术开发区
空港工业园兴业大道388号

(72) 发明人 郭帅

(74) 专利代理机构 上海晨皓知识产权代理事务
所(普通合伙) 31260

代理人 成丽杰

(51) Int. Cl.

H01L 27/108 (2006.01)

H01L 21/8242 (2006.01)

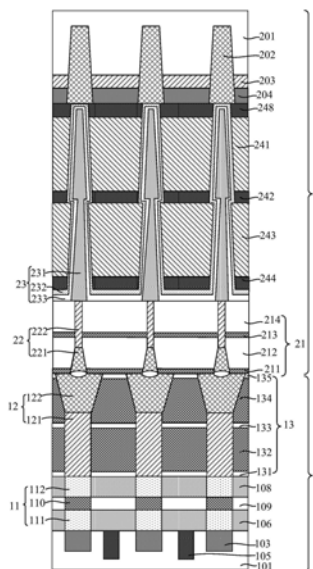
权利要求书3页 说明书12页 附图12页

(54) 发明名称

半导体结构及其制造方法

(57) 摘要

本发明实施例提供一种半导体结构及其制造方法,半导体结构包括:第一基底,第一基底包括堆叠设置的位线、晶体管 and 第一接触结构;与第一基底相键合的第二基底,第二基底包括堆叠设置的第二接触结构和电容,且第二接触结构与第一接触结构正对接触;其中,第一接触结构具有朝向第二基底的第一面以及与第一面相对的第二面,且第一面的面积大于第二面的面积;第二接触结构具有朝向第一基底的第三面以及与第三面相对的第四面,且第三面的面积大于第四面的面积。本发明实施例能够降低DRAM的制造工艺难度,缩短生产周期,提高DRAM的性能。



1. 一种半导体结构,其特征在于,包括:

第一基底,所述第一基底包括堆叠设置的位线、晶体管和第一接触结构;

与所述第一基底相键合的第二基底,所述第二基底包括堆叠设置的第二接触结构和电容,且所述第二接触结构与所述第一接触结构正对接触;

其中,所述第一接触结构具有朝向所述第二基底的第一面以及与所述第一面相对的第二面,且所述第一面的面积大于所述第二面的面积;

所述第二接触结构具有朝向所述第一基底的第三面以及与所述第三面相对的第四面,且所述第三面的面积大于所述第四面的面积。

2. 根据权利要求1所述的半导体结构,其特征在于,所述第一面的面积大于所述第三面的面积。

3. 根据权利要求2所述的半导体结构,其特征在于,所述第一面的面积是所述第三面的面积的5倍~20倍。

4. 根据权利要求1所述的半导体结构,其特征在于,所述晶体管为垂直晶体管,所述垂直晶体管包括依次堆叠于所述位线上的源极、沟道区和漏极;所述漏极与所述第一接触结构相连;还包括:字线,所述字线与所述沟道区相连;所述位线沿第一方向延伸,所述字线沿第二方向延伸,且所述第一方向与所述第二方向不同。

5. 根据权利要求4所述的半导体结构,其特征在于,所述垂直晶体管为多个,所述第一接触结构为多个,且多个所述第一接触结构与多个所述垂直晶体管一一对应相连;所述字线为多个,且一个所述字线连接多个所述垂直晶体管的所述沟道区。

6. 根据权利要求1所述的半导体结构,其特征在于,所述电容包括下电极、上电极以及位于所述上电极和所述下电极之间的介质层,所述下电极与所述第二接触结构相连。

7. 根据权利要求6所述的半导体结构,其特征在于,所述电容包括第一部分和第二部分,其中所述第一部分和所述第二部分的连接处具有拐点;所述第一部分包括部分所述上电极、部分所述下电极和部分所述介质层;所述第二部分包括部分所述上电极、部分所述下电极和部分所述介质层。

8. 根据权利要求6所述的半导体结构,其特征在于,所述电容为多个,所述第二接触结构为多个,多个所述电容与多个所述第二接触结构一一对应相连;其中,多个所述电容的所述上电极相连,多个所述电容的所述介质层相连。

9. 根据权利要求6所述的半导体结构,其特征在于,所述第二基底还包括:多个分立的电极垫,所述电极垫与所述电容的所述上电极一一对应相连,且所述电极垫的剖面形貌为梯形,所述梯形的高度大于所述梯形平行边的边长。

10. 根据权利要求1所述的半导体结构,其特征在于,所述第一接触结构包括层叠设置的第一一接触结构和第一二接触结构,且所述第一一接触结构位于远离所述第二基底的一侧,所述第一二接触结构位于靠近所述第二基底的一侧;所述第二接触结构包括层叠设置的第二一接触结构和第二二接触结构,且所述第二一接触结构位于靠近所述第一基底的一侧,所述第二二接触结构位于远离所述第一基底的一侧;

其中,所述第一一接触结构和所述晶体管的接触面积大于所述第一二接触结构和所述第二一接触结构的接触面积,所述第二二接触结构和所述电容的接触面积小于所述第一二接触结构和所述第二一接触结构的接触面积。

11. 根据权利要求10所述的半导体结构,其特征在于,所述第一一接触结构的硬度大于所述第一二接触结构的硬度;所述第二二接触结构的硬度大于所述第二一接触结构的硬度;所述第一二接触结构的熔点低于所述第一一接触结构的熔点;所述第二一接触结构的熔点低于所述第二二接触结构的熔点。

12. 根据权利要求10所述的半导体结构,其特征在于,所述第一一接触结构和所述晶体管的接触面积大于所述第一二接触结构和所述第二一接触结构的接触面积,所述第一接触结构和所述第二接触结构的电阻相同。

13. 一种半导体结构的制造方法,其特征在于,包括:

提供第一基底,所述第一基底包括堆叠设置的位线、晶体管和第一接触结构;

提供第二基底,所述第二基底包括堆叠设置的第二接触结构和电容;

将所述第一基底与所述第二基底键合,且所述第一接触结构与所述第二接触结构正对接触;

其中,所述第一接触结构具有朝向所述第二基底的第一面以及与所述第一面相对的第二面,且所述第一面的面积大于所述第二面的面积;

所述第二接触结构具有朝向所述第一基底的第三面以及与所述第三面相对的第四面,且所述第三面的面积大于所述第四面的面积。

14. 根据权利要求13所述的半导体结构的制造方法,其特征在于,所述晶体管为竖直晶体管,所述竖直晶体管的形成方法包括:

提供第一衬底,在所述第一衬底上形成层叠设置的源极隔离层、第一牺牲层和漏极隔离层,形成贯穿所述源极隔离层、所述第一牺牲层和所述漏极隔离层的若干第三通孔,所述第三通孔露出所述位线的顶面;

在所述第三通孔内形成层叠设置的源极、沟道区和漏极,所述源极、所述沟道区和所述漏极构成所述竖直晶体管;

形成所述竖直晶体管后,还包括:形成贯穿所述漏极隔离层和所述第一牺牲层的第一沟槽,所述第一沟槽沿第二方向延伸,所述位线沿第一方向延伸,所述第二方向与所述第一方向不同;形成所述第一沟槽后,去除所述第一牺牲层,以形成字线填充区;形成填充所述字线填充区的初始字线层,所述初始字线层还填满所述第一沟槽;去除部分所述初始字线层,以形成相互分立的字线,并露出所述第一沟槽;形成填充所述第一沟槽的字线隔离层。

15. 根据权利要求13所述的半导体结构的制造方法,其特征在于,形成所述第一接触结构的步骤包括:在所述晶体管上形成第一绝缘层;在所述第一绝缘层内形成第一通孔;对所述第一通孔的顶部进行扩孔处理,以使所述第一通孔顶部的面积大于所述第一通孔底部的面积;形成填充所述第一通孔的所述第一接触结构;

形成所述第二接触结构的步骤包括:在所述电容上形成第二绝缘层;在所述第二绝缘层内形成第二通孔;对所述第二通孔的顶部进行扩孔处理,以使所述第二通孔顶部的面积大于所述第二通孔底部的面积;形成填充所述第二通孔的所述第二接触结构。

16. 根据权利要求15所述的半导体结构的制造方法,其特征在于,所述第一通孔的形成步骤,包括:在所述漏极上形成层叠设置的第一一稳定层、第一一介质层、第一二稳定层、第一二介质层和第一三稳定层;所述第一一稳定层、所述第一一介质层、所述第一二稳定层、

所述第一二介质层和所述第一三稳定层构成所述第一绝缘层；

形成贯穿所述第一一稳定层、所述第一一介质层、所述第一二稳定层、所述第一二介质层和所述第一三稳定层的所述第一通孔；去除部分所述第一三稳定层和所述第一二介质层，以使所述第一通孔顶部的面积大于所述第一通孔底部的面积；

所述第二通孔的形成步骤，包括：在所述电容上形成层叠设置的第二一介质层、第二一稳定层、第二二介质层和第二二稳定层；所述第二一稳定层、所述第二一介质层、所述第二二稳定层和所述第二二介质层构成所述第二绝缘层；

形成贯穿所述第二一稳定层、所述第二一介质层、所述第二二稳定层和所述第二二介质层的所述第二通孔；去除部分所述第二二介质层和所述第二二稳定层，以使所述第二通孔顶部的面积大于所述第二通孔底部的面积。

17. 根据权利要求13所述的半导体结构的制造方法，其特征在于，形成所述电容的步骤包括：提供第二衬底，在所述第二衬底上形成层叠设置的第三支撑层、第一电容隔离层和第一支撑层；

形成贯穿所述第三支撑层、所述第一电容隔离层和所述第一支撑层的第一凹槽，且所述第一凹槽的底面宽度小于所述第一凹槽的开口宽度；

形成填充所述第一凹槽的第二牺牲层；

在所述第一支撑层和所述第二牺牲层上形成第二电容隔离层和第二支撑层；形成贯穿所述第二电容隔离层和所述第二支撑层的第二凹槽，所述第二凹槽露出所述第二牺牲层的顶面，且所述第二凹槽的底部宽度小于所述填充层的顶面宽度；

去除所述第二牺牲层，以露出所述第一凹槽；

在所述第一凹槽和所述第二凹槽的表面形成上电极，所述上电极还覆盖所述第二支撑层的顶面；在所述上电极的表面形成介质层，在所述介质层的表面形成下电极，去除位于所述第二支撑层上的所述下电极；所述下电极、所述上电极和所述介质层构成所述电容。

18. 根据权利要求17所述的半导体结构的制造方法，其特征在于，在形成所述第一电容隔离层之前，还包括：形成电极垫，形成所述电极垫的步骤包括：在所述第二衬底上形成层叠设置的电极垫隔离层和第四支撑层，形成贯穿所述电极垫隔离层和所述第四支撑层的第三凹槽，且部分所述第三凹槽还位于所述第二衬底内；形成填充所述第三凹槽的所述电极垫；

所述上电极还与所述电极垫接触。

19. 根据权利要求13所述的半导体结构的制造方法，其特征在于，所述键合之前还包括步骤：在所述第一接触结构朝向所述第二基底的一侧形成第一凹陷部；

在所述第二接触结构朝向所述第一基底的一侧形成第二凹陷部；

所述键合的温度为400℃~500℃，所述键合的压力为20kN~60kN。

半导体结构及其制造方法

技术领域

[0001] 本发明实施例涉及半导体领域,特别涉及一种半导体结构及其制造方法。

背景技术

[0002] 半导体结构中的动态随机存取存储器(Dynamic Random Access Memory,简称DRAM)是一种广泛应用于计算机系统的半导体存储器。DRAM的主要作用原理是利用电容内存储电荷的多寡来代表一个二进制比特(bit)是1还是0。

[0003] 然而,为提高半导体集成电路的集成度,DRAM的特征尺寸越来越小;从而使得DRAM的制造工艺难度越来越大,生产周期越来越长,其性能也有待进一步提升。

发明内容

[0004] 本发明实施例提供一种半导体结构及其制造方法,以降低DRAM的制造工艺难度,缩短生产周期,提高DRAM的性能。

[0005] 为解决上述问题,本发明实施例提供一种半导体结构,包括:第一基底,所述第一基底包括堆叠设置的位线、晶体管和第一接触结构;与所述第一基底相键合的第二基底,所述第二基底包括堆叠设置的第二接触结构和电容,且所述第二接触结构与所述第一接触结构正对接触;其中,所述第一接触结构具有朝向所述第二基底的第一面以及与所述第一面相对的第二面,且所述第一面的面积大于所述第二面的面积;所述第二接触结构具有朝向所述第一基底的第三面以及与所述第三面相对的第四面,且所述第三面的面积大于所述第四面的面积。

[0006] 可选的,所述第一面的面积大于所述第三面的面积。

[0007] 可选的,所述第一面的面积是所述第三面的面积的5倍~20倍。

[0008] 可选的,所述晶体管为垂直晶体管,所述垂直晶体管包括依次堆叠于所述位线上的源极、沟道区和漏极;所述漏极与所述第一接触结构相连;还包括:字线,所述字线与所述沟道区相连;所述位线沿第一方向延伸,所述字线沿第二方向延伸,且所述第一方向与所述第二方向不同。

[0009] 可选的,所述垂直晶体管为多个,所述第一接触结构为多个,且多个所述第一接触结构与多个所述垂直晶体管一一对应相连;所述字线为多个,且一个所述字线连接多个所述垂直晶体管的沟道区。

[0010] 可选的,所述电容包括下电极、上电极以及位于所述上电极和所述下电极之间的介质层,所述下电极与所述第二接触结构相连。

[0011] 可选的,所述电容包括第一部分和第二部分,其中所述第一部分和所述第二部分的连接处具有拐点;所述第一部分包括部分所述上电极、部分所述下电极和部分所述介质层;第二部分包括部分上电极、部分下电极和部分介质层。

[0012] 可选的,所述电容为多个,所述第二接触结构为多个,多个所述电容与多个所述第二接触结构一一对应相连;其中,多个所述电容的上电极相连,多个所述电容的介质层相

连。

[0013] 可选的,所述第二基底还包括:多个分立的电极垫,所述电极垫与所述电容的上电极一一对应相连,且所述电极垫的剖面形貌为梯形,所述梯形的高度大于梯形平行边的边长。

[0014] 可选的,所述第一接触结构包括层叠设置的第一一接触结构和第一二接触结构,且所述第一一接触结构位于远离所述第二基底的一侧,所述第一二接触结构位于靠近所述第二基底的一侧;所述第二接触结构包括层叠设置的第二一接触结构和第二二接触结构,且所述第二一接触结构位于靠近所述第一基底的一侧,所述第二二接触结构位于远离所述第一基底的一侧;其中,所述第一一接触结构和所述晶体管的接触面积大于所述第一二接触结构和所述第二一接触结构的接触面积,所述第二二接触结构和所述电容的接触面积小于所述第一二接触结构和所述第二一接触结构的接触面积。

[0015] 可选的,所述第一一接触结构的硬度大于所述第一二接触结构的硬度;所述第二二接触结构的硬度大于所述第二一接触结构的硬度;所述第一二接触结构的熔点低于所述第一一接触结构的熔点;所述第二一接触结构的熔点低于所述第二二接触结构的熔点。

[0016] 可选的,在垂直于所述第一基底表面的剖面上,所述第一一接触结构的剖面形貌为方形,所述第一二接触结构的剖面形貌为梯形;在垂直于所述第二基底表面的剖面上,所述第二二接触结构的剖面形貌为方形,所述第二一接触结构的剖面形貌为梯形。

[0017] 可选的,所述第一一接触结构和所述晶体管的接触面积大于所述第一二接触结构和所述第二一接触结构的接触面积,所述第一接触结构和所述第二接触结构的电阻相同。

[0018] 本发明实施例还提供一种半导体结构的制造方法,包括:提供第一基底,所述第一基底包括堆叠设置的位线、晶体管和第一接触结构;提供第二基底,所述第二基底包括堆叠设置的第二接触结构和电容;将所述第一基底与所述第二基底键合,且所述第一接触结构与所述第二接触结构正对接触;其中,所述第一接触结构具有朝向所述第二基底的第一面以及与所述第一面相对的第二面,且所述第一面的面积大于所述第二面的面积;所述第二接触结构具有朝向所述第一基底的第三面以及与所述第三面相对的第四面,且所述第三面的面积大于所述第四面的面积。

[0019] 可选的,所述晶体管为垂直晶体管,所述垂直晶体管的形成方法包括:提供第一衬底,在所述第一衬底上形成层叠设置的源极隔离层、第一牺牲层和漏极隔离层,形成贯穿所述源极隔离层、所述第一牺牲层和所述漏极隔离层的若干第三通孔,所述第三通孔露出所述位线的顶面;在所述第三通孔内形成层叠设置的源极、沟道区和漏极,所述源极、所述沟道区和所述漏极构成所述垂直晶体管;形成所述垂直晶体管后,还包括:形成贯穿所述漏极隔离层和所述第一牺牲层的第一沟槽,所述第一沟槽沿第二方向延伸,所述第二方向与所述第一方向不同;形成所述第一沟槽后,去除所述第一牺牲层,以形成字线填充区;形成填充所述字线填充区的初始字线层,所述初始字线层还填充所述第一沟槽;去除部分所述初始字线层,以形成相互分立的字线,并露出所述第一沟槽;形成填充所述第一沟槽的字线隔离层。

[0020] 可选的,形成所述第一接触结构的步骤包括:在所述晶体管上形成第一绝缘层;在所述第一绝缘层内形成第一通孔;对所述第一通孔的顶部进行扩孔处理,以使所述第一通孔顶部的面积大于所述第一通孔底部的面积;形成填充所述第一通孔的所述第一接触结

构;形成所述第二接触结构的步骤包括:在所述电容上形成第二绝缘层;在所述第二绝缘层内形成第二通孔;对所述第二通孔的顶部进行扩孔处理,以使所述第二通孔顶部的面积大于所述第二通孔底部的面积;形成填充所述第二通孔的所述第二接触结构。

[0021] 可选的,所述第一通孔的形成步骤,包括:在所述漏极上形成层叠设置的第一一稳定层、第一一介质层、第一二稳定层、第一二介质层和第一三稳定层;所述第一一稳定层、所述第一一介质层、所述第一二稳定层、所述第一二介质层和所述第一三稳定层构成所述第一绝缘层;形成贯穿所述第一一稳定层、所述第一一介质层、所述第一二稳定层、所述第一二介质层和所述第一三稳定层的第一通孔;去除部分所述第一三稳定层和所述第一二介质层,以使所述第一通孔顶部的面积大于所述第一通孔底部的面积;所述第二通孔的形成步骤,包括:在所述电容上形成层叠设置的第二一介质层、第二一稳定层、第二二介质层和第二二稳定层;所述第二一稳定层、所述第二一介质层、所述第二二稳定层和所述第二二介质层构成所述第二绝缘层;形成贯穿所述第二一稳定层、所述第二一介质层、所述第二二稳定层和所述第二二介质层的第二通孔;去除部分所述第二二介质层和所述第二二稳定层,以使所述第二通孔顶部的面积大于所述第二通孔底部的面积。

[0022] 可选的,形成所述电容的步骤包括:提供第二衬底,在所述第二衬底上形成层叠设置的第三支撑层、第一电容隔离层和第一支撑层;形成贯穿所述第三支撑层、第一电容隔离层和所述第一支撑层的第一凹槽,且所述第一凹槽的底面宽度小于所述第一凹槽的开口宽度;形成填充所述第一凹槽的第二牺牲层;在所述第一支撑层和所述第二牺牲层上形成第二电容隔离层和第二支撑层;形成贯穿所述第二电容隔离层和所述第二支撑层的第二凹槽,所述第二凹槽露出所述第二牺牲层的顶面,且所述第二凹槽的底部宽度小于所述填充层的顶面宽度;去除所述第二牺牲层,以露出所述第一凹槽;在所述第一凹槽和所述第二凹槽的表面形成上电极,所述上电极还覆盖所述第二支撑层的顶面;在所述上电极的表面形成介质层,在所述介质层的表面形成下电极,去除位于所述第二支撑层上的所述下电极;所述下电极、所述上电极和所述介质层构成所述电容。

[0023] 可选的,在形成所述第一电容隔离层之前还包括形成电极垫,形成所述电极垫的步骤包括:在所述第二衬底上形成层叠设置的电极垫隔离层和第四支撑层,形成贯穿所述电极垫隔离层和所述第四支撑层的第三凹槽,且部分第三凹槽还位于所述第二衬底内;形成填充所述第三凹槽的电极垫;

[0024] 所述上电极还与所述电极垫接触。

[0025] 可选的,所述键合之前还包括步骤:在所述第一接触结构朝向所述第二基底的一侧形成第一凹陷部;在所述第二接触结构朝向所述第一基底的一侧形成第二凹陷部;所述键合的温度为 $400^{\circ}\text{C}\sim 500^{\circ}\text{C}$,所述键合的压力为 $20\text{kN}\sim 60\text{kN}$ 。

[0026] 与现有技术相比,本发明实施例提供的技术方案具有以下优点:

[0027] 半导体结构包括:第一基底,第一基底包括位线、晶体管和第一接触结构;与第一基底相键合的第二基底,第二基底包括第二接触结构和电容。由于第一基底与第二基底为两个独立的结构,因此制造工艺的流程可以同时第一基底和第二基底上进行,如此可以缩短产品生产周期。

[0028] 此外,其中,第一接触结构具有朝向第二基底的第一面以及与第一面相对的第二面,且第一面的面积大于第二面的面积;第二接触结构具有朝向第一基底的第三面以及与

第三面相对的第四面,且第三面的面积大于第四面的面积。如此,可以使得第一接触结构与第二接触结构具有较大的接触面积,从而可以降低对准的难度,并且避免对准误差对半导体结构造成的不良影响。因此,本发明实施例能够提高生产效率,降低生产难度,提高半导体结构的性能。

[0029] 可选的,晶体管为垂直晶体管。相比于平面晶体管,垂直晶体管在竖直方向上的空间利用率更高,在水平方向上的所占据的面积更小,如此,有利于缩小半导体结构的特征尺寸。

附图说明

[0030] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明,这些示例性说明并不构成对实施例的限定,附图中具有相同参考数字标号的元件表示为类似的元件,除非有特别申明,附图中的图不构成比例限制。

[0031] 图1为本发明一实施例提供的半导体结构的示意图。

[0032] 图2-图21为本发明另一实施例提供的半导体结构的制造方法中各步骤对应的结构示意图。

具体实施方式

[0033] 由背景技术可知,DRAM的制造工艺难度越来越大,生产周期越来越长,其性能也有待进一步提升。经分析发现,主要原因在于:现目前通常在一个基底上依次形成DRAM的晶体管和电容等结构,然而随着DRAM尺寸的不断缩小,工艺难度不断增大,生产时间不断增加。

[0034] 为解决上述问题,本发明实施例提供一种半导体结构,半导体结构包括:第一基底,以及与第一基底相键合的第二基底,制造工艺的流程可以同时在第一基底和第二基底上进行,如此可以缩短产品生产周期。此外,第一接触结构具有朝向第二基底的第一面以及与第一面相对的第二面,且第一面的面积大于第二面的面积;第二接触结构具有朝向第一基底的第三面以及与第三面相对的第四面,且第三面的面积大于第四面的面积。如此,可以使得第一接触结构与第二接触结构具有较大的接触面积,从而可以降低接触电阻,还可以降低对准的难度,并且能避免对准误差对半导体结构造成的不良影响。因此,本发明实施例能够提高生产效率,降低生产难度,提高半导体结构的性能。

[0035] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合附图对本发明的各实施例进行详细的阐述。然而,本领域的普通技术人员可以理解,在本发明各实施例中,为了使读者更好地理解本申请而提出了许多技术细节。但是,即使没有这些技术细节和基于以下各实施例的种种变化和修改,也可以实现本申请所要求保护的技术方案。

[0036] 本发明一实施例提供一种半导体结构,图1为半导体结构的示意图。参考图1,半导体结构包括:第一基底1,第一基底1包括堆叠设置的位线103、晶体管11和第一接触结构12;与第一基底1相键合的第二基底2,第二基底2包括堆叠设置的第二接触结构22和电容23,且第二接触结构22与第一接触结构12正对接触;其中,第一接触结构12具有朝向第二基底2的第一面以及与第一面相对的第二面,且第一面的面积大于第二面的面积;第二接触结构22具有朝向第一基底1的第三面以及与第三面相对的第四面,且第三面的面积大于第四面的面积。

[0037] 以下将结合附图进行具体分析。

[0038] 第一基底1还包括第一衬底101。本实施例中,第一衬底101的材料为半导体,比如可以为硅或锗。在其他实施例中,第一衬底的材料也可以为绝缘材料,比如可以为氧化硅或氮化硅。

[0039] 位线103位于第一衬底101内,且第一衬底101露出位线103的顶面。位线103沿第一方向延伸。位线103的材料可以为钨、钼、金或银等低电阻金属。

[0040] 隔离结构105用于隔离相邻位线103。隔离结构105位于第一衬底101内,且第一衬底101露出隔离结构105的顶面。本实施例中,隔离结构105与位线103相互分立。在一示例中,隔离结构包括导电结构,例如导电的金属线(如钨,钌等)或导电的半导体线(如多晶硅等),金属线或半导体线与位线103平行,且金属线或半导体线可以配置恒定的电位,例如,金属线或半导体线配置为接地,通过接地的金属线或半导体线隔离相邻的位线103,可以减弱相邻的位线103之间的互相干扰,提高器件性能。

[0041] 本实施例中,晶体管11为垂直晶体管。相比于平面晶体管,垂直晶体管在竖直方向上的空间利用率更高,在水平方向上的所占据的面积更小,如此,有利于缩小半导体结构的特征尺寸。在其他实施例中,晶体管11也可以为平面晶体管。

[0042] 本实施例中,垂直晶体管为多个,且垂直晶体管为阵列排布。

[0043] 垂直晶体管包括依次堆叠于位线103上的源极111、沟道区110和漏极112。本实施例中,源极111、沟道区110和漏极112的材料均为硅,且源极111和漏极112中具有较多的掺杂离子,掺杂离子可以为硼或磷。在其他实施例中,源极、沟道区和漏极的材料也可以为锗。

[0044] 相邻源极111之间还具有源极隔离层106,相邻漏极112之间还具有漏极隔离层108。

[0045] 源极隔离层106的材料为绝缘材料,比如可以为氮化硅、氧化硅、碳氮化硅、氮氧化硅等。漏极隔离层108的材料为绝缘材料,比如可以为氮化硅、氧化硅、碳氮化硅、氮氧化硅等。

[0046] 本实施例中,第一基底1还包括:字线109,字线109与沟道区110相连。字线109为多个,且一个字线109连接多个垂直晶体管的沟道区110。

[0047] 字线109沿第二方向延伸,且第一方向与第二方向不同。本实施例中,第一方向与第二方向相垂直。在其他实施例中,第一方向与第二方向的夹角可以大于或等于 75° ,且小于 90° 。

[0048] 字线109的材料可以为钨、钼、金或银等低电阻金属。

[0049] 第一接触结构12为多个,且多个第一接触结构12与多个垂直晶体管一一对应相连;具体地,垂直晶体管的漏极112与第一接触结构12相连。

[0050] 第一接触结构12用于与第二接触结构22相连,以使第一基底1与第二基底2相键合。第二接触结构22也为多个,且多个第二接触结构22与多个第一接触结构12一一对应相连。

[0051] 以下将对第一接触结构12和第二接触结构22进行具体说明。

[0052] 第一接触结构12具有朝向第二基底2的第一面以及与第一面相对的第二面,且第一面的面积大于第二面的面积;第二接触结构22具有朝向第一基底1的第三面以及与第三面相对的第四面,且第三面的面积大于第四面的面积。

[0053] 即第一面和第三面为键合面,而第二面和第四面为非键合面。由于键合面相对于非键合面具有更大的面积,因此,键合面具有较小的接触电阻,半导体结构的运行速率较快。可选的,较大面积的键合面能够降低第一基底1与第二基底2对准难度,还能够避免对准误差对半导体结构造成的不良影响。

[0054] 进一步的,第一面的面积大于第三面的面积。如此,可以防止出现对准误差时,一个电容23同时与两个晶体管11发生电连接的问题。

[0055] 更进一步的,第一面的面积是第三面的面积的5倍~20倍。在一个例子中,第一面的长度和宽度为40nm,其面积为1600nm²,第三面的长度和宽度为10nm,其面积为100nm²。可以理解的是,当第一面和第三面的面积相差较大时,既能降低对准的难度,也可以避免发生错误的电连接。具体的,第一接触结构12可以包括在漏极112上外延生长的半导体导电层,如外延硅或外延锗等,通过外延生长的半导体导电层与漏极具有较低的接触电阻,同时,通过设置第一接触结构12较大的接触面积,可以进一步减低第一接触结构12的电阻;第二接触结构22包括与电容23电连接的金属层,由于金属层的电阻小于半导体导电层的电阻,因此可以设置较小的第二接触结构22的第三面的面积,使得第一接触结构12的电阻与第二接触结构22的电阻相匹配,例如二者的电阻相同,以提高器件性能。

[0056] 本实施例中,第一接触结构12和第二接触结构22为双层结构。第一接触结构12包括层叠设置的第一一接触结构121和第一二接触122结构,且第一一接触结构121位远离第二基底2的一侧,第一二接触结构122位于靠近第二基底2的一侧。

[0057] 第二接触结构22包括层叠设置的第二一接触结构221和第二二接触结构222,且第二一接触结构221位于靠近第一基底1的一侧,第二二接触结构222位于远离第一基底1的一侧。

[0058] 即第一一接触结构121与晶体管11接触,第一二接触结构122与第二一接触结构221接触,第二二接触结构222与电容23接触。

[0059] 进一步地,第一一接触结构121和晶体管11的接触面积大于第一二接触结构122和第二一接触结构221的接触面积,第二二接触结构222和电容23的接触面积小于第一二接触结构122和第二一接触结构221的接触面积。如此设置,不仅能降低第一接触结构12的电阻以及和晶体管11之间的导通电阻,同时能够降低对准难度,避免对准误差对半导体结构产生的不良影响。例如,第一一接触结构121可以为在漏极112上外延生长的半导体导电层,如外延硅或外延锗等,通过外延生长的半导体导电层与漏极具有较低的接触电阻,第一二接触结构122和第二接触结构22可以为金属钨等金属导体。第一接触结构12的电阻与第二接触结构22的电阻可以设置相匹配,例如二者的电阻相同,以提高器件性能。

[0060] 在垂直于第一基底1表面的剖面上,第一一接触结构121的剖面形貌为方形,第一二接触结构122的剖面形貌为梯形;垂直于第二基底2表面的剖面上,第二二接触结构222的剖面形貌为方形,第二一接触结构221的剖面形貌为梯形。在其他实施例中,第一一接触结构的剖面形貌可以为梯形,第一二接触结构的剖面形貌可以为方形;第二二接触结构的剖面形貌可以为梯形,第二一接触结构的剖面形貌可以为方形。

[0061] 第一一接触结构121的硬度大于第一二接触结构122的硬度;第一二接触结构122的熔点低于第一一接触结构121的熔点。第二二接触结构222的硬度大于第二一接触结构221的硬度;第二一接触结构221的熔点低于第二二接触结构222的熔点。

[0062] 当第一一接触结构121和第二二接触结构222具有较大的硬度时,能够提高半导体结构的强度。当第一二接触结构122和第二一接触结构221具有较低的熔点时,在较低的键合温度下,第一二接触结构122和第二一接触结构221之间能够结合地较为牢固。可选的,还可以避免过高的键合温度对半导体结构产生不良影响。

[0063] 第一二接触结构122和第二一接触结构221的材料可以为铜、金或银。第一一接触结构121和第二二接触结构222的材料可以为钨或钼。

[0064] 还包括:用于隔离相邻第一接触结构12的第一绝缘层13,第一绝缘层13为多层结构,包括层叠设置的第一一稳定层131、第一一介质层132、第一二稳定层133、第一二介质层134和第一三稳定层135。

[0065] 第一一稳定层131、第一二稳定层133、第一三稳定层135用于支撑第一接触结构12,使得第一接触结构12具有较大的牢固性,以避免发生坍塌或倾斜等问题。

[0066] 第一一稳定层131、第一二稳定层133、第一三稳定层135的材料具有较大的强度,比如可以为氮化硅。

[0067] 第一一介质层132和第一二介质层134用于隔离相邻第一接触结构12,并降低相邻第一接触结构12之间的寄生电容,因此,第一一介质层132和第一二介质层134的材料具有较小的介电常数,比如可以为氧化硅。

[0068] 还包括:用于隔离相邻第二接触结构22的第二绝缘层21,第二绝缘层21包括层叠设置的第二二稳定层211、第二二介质层212、第二一稳定层213、第二一介质层214。

[0069] 第二二介质层212和第二一介质层214能够降低相邻第二接触结构22之间的寄生电容,因此其材料具有较小的介电常数,比如可以为氧化硅。

[0070] 第二二稳定层211和第二一稳定层213能够支撑第二接触结构22,因此其材料具有较大的强度,比如可以为氮化硅。

[0071] 电容23与第二接触结构22相连,进一步地,电容23为多个,多个电容23与多个第二接触结构22一一对应相连。以下将对电容23进行具体说明。

[0072] 电容23包括下电极231、上电极232以及位于上电极232和下电极231之间的介质层233,下电极231与第二接触结构22相连。本实施例中,多个电容23的上电极232相连,多个电容23的介质层233相连。在其他实施例中,多个电容的上电极也可以相互分立,多个电容的介质层也可以相互分立。

[0073] 上电极232的材料为导电材料,比如可以为钛或氮化钛。下电极231的材料为导电材料,比如可以为钛或氮化钛。介质层233的材料具有较大的介电常数,比如可以为氧化锆、氧化铝、氧化铅等。

[0074] 电容23包括第一部分和第二部分,其中第一部分和第二部分的连接处具有拐点;第一部分包括部分上电极232、部分下电极231和部分介质层233;第二部分包括部分上电极232、部分下电极231和部分介质层233。可以理解的是,当第一部分与第二部分的连接处具有拐角时,可以增大介质层233与上电极232和下电极231的相对面积,从而可以提高存储容量。同时,具有拐点的电容23的稳定性更好。

[0075] 还包括:位于相邻电容23之间层叠设置的第二支撑层244、第二电容隔离层243、第一支撑层242、第一电容隔离层241和第三支撑层248。

[0076] 第三支撑层248、第二支撑层244和第一支撑层242用于支撑电容23,使得电容23具

有较大的牢固性,以避免发生坍塌或倾斜等问题。

[0077] 第三支撑层248、第二支撑层244和第一支撑层242的材料具有较大的强度,比如可以为氮化硅。

[0078] 第二电容隔离层243和第一电容隔离层241用于隔离相邻电容23,并降低相邻电容23之间的寄生电容,因此,第二电容隔离层243和第一电容隔离层241的材料具有较小的介电常数,比如可以为氧化硅。

[0079] 第二基底2还包括:多个分立的电极垫202,电极垫202与电容23的上电极232一一对应相连,且电极垫202的剖面形貌为梯形,梯形的高度大于梯形平行边的边长,梯形的高度范围可以为100nm~1500nm,例如500nm,800nm,1200nm等。电容23与梯形的一个平行边相接触,梯形的平行边边长较小,即电极垫202在水平方向上所占据的空间位置较小,相邻电极垫202的间距较大,电极垫202嵌入到第二衬底201中的深度较深,可以进一步增强电容23在第二基底2中的稳定性。电极垫202的材料可以为钨或钼。

[0080] 相邻电极垫202之间还具有层叠设置的电极垫隔离层203和第四支撑层204,电极垫隔离层203可以对电极垫202起到隔离作用,电极垫隔离层203的材料可以为氧化硅。第四支撑层204可以对电极垫202起到支撑的作用,第四支撑层204的材料可以为氮化硅。

[0081] 综上所述,由于第一基底1与第二基底2为两个独立的结构,因此制造工艺的流程可以同时在第一基底1和第二基底2上进行,如此可以缩短产品生产周期。可选的,其中,第一接触结构12与第二接触结构22具有较大面积的键合面,从而可以降低键合面的电阻,并且降低对准的难度,还能够避免对准误差对半导体结构造成的不良影响。因此,本发明实施例能够提高生产效率,降低生产难度,提高半导体结构的性能。

[0082] 本发明另一实施例还提供一种半导体结构的制造方法,图2-图21为本实施例提供的半导体结构的制造方法中各步骤对应的示意图。有关半导体结构内部的材料和形状等说明,请参考第一实施例,在此不再赘述。

[0083] 参考图1,提供第一基底1,基底包括堆叠设置的位线103、晶体管11和第一接触结构12;提供第二基底2,第二基底2包括堆叠设置的第二接触结构22和电容23;将第一基底1与第二基底2键合,且第一接触结构12与第二接触结构22正对接触。

[0084] 键合是指在一定温度和压力条件下,键合界面处的原子在外界能量的作用下发生物理化学反应,在范德华力和库仑力等作用力下,第一基底1和第二基底2结合在一起。

[0085] 本实施例中,键合的温度为400℃~500℃,键合的压力为20kN~60kN。

[0086] 当键合温度在上述范围内时,可以加快第一接触结构12和第二接触结构22之间的原子扩散,从而增强二者的粘结力。

[0087] 当键合压力在上述范围时,可以提高键合的牢固性。

[0088] 其中,第一接触结构12具有朝向第二基底2的第一面以及与第一面相对的第二面,且第一面的面积大于第二面的面积;第二接触结构22具有朝向第一基底1的第三面以及与第三面相对的第四面,且第三面的面积大于第四面的面积。

[0089] 即第一面和第三面为键合面,而第二面和第四面为非键合面。由于键合面相对于非键合面具有更大的面积,因此,键合面具有较小的接触电阻,半导体结构的运行速率较快。可选的,较大面积的键合面能够降低第一基底1与第二基底2对准难度,还能够避免对准误差对半导体结构造成的不良影响。可选的,键合面的面积较大,也可以提高键合的强度。

[0090] 以下将对第一基底1的形成步骤进行具体说明。

[0091] 参考图2,提供第一衬底101,在第一衬底101内形成交替设置的隔离结构105和位线103,隔离结构105和位线103均沿第一方向延伸,第一衬底101露出位线103和隔离结构105的顶面。

[0092] 本实施例中,隔离结构105先于位线103形成。形成隔离结构105和位线103的步骤包括:在第一衬底101上形成氧化硅层和氮化硅层的叠层结构;在叠层结构上形成图形化的光刻胶层;以图形化的光刻胶层为掩膜,刻蚀氧化硅层和氮化硅层的叠层结构以及第一衬底101,以形成位于第一衬底101内的隔离结构填充沟槽,隔离结构填充沟槽沿第一方向延伸;形成隔离结构填充沟槽后,去除光刻胶;采用化学气相沉积工艺在隔离结构填充沟槽中形成初始隔离结构,初始隔离结构还位于氧化硅和氮化硅的叠层结构上;去除位于氧化硅和氮化硅的叠层结构上的初始隔离层,去除部分初始隔离层后,去除氮化硅层;去除氮化硅层后,在氧化硅层上形成图形化的光刻胶层,以图形化的光刻胶层为掩膜刻蚀氧化硅层,以露出第一衬底101的上表面;采用离子注入的方法,在被露出的第一衬底101内形成位线103。

[0093] 在其他实施例中,还可以先形成位线,后形成隔离结构。

[0094] 在其他实施例中,隔离结构包括导电结构,例如导电的金属线(如钨,钌等)或导电的半导体线(如多晶硅等),金属线或半导体线与位线103平行,且所述金属线或半导体线可以配置恒定的电位,例如,金属线或半导体线配置为接地,通过接地的金属线或半导体线隔离相邻的位线103,可以减弱相邻的位线103之间的互相干扰,提高器件性能。

[0095] 参考图2-图3,在第一衬底101上形成晶体管11,晶体管11为垂直晶体管。具体地,参考图2,在第一衬底101上形成层叠设置的源极隔离层106、第一牺牲层107和漏极隔离层108。本实施例中,通过化学气相沉积法形成源极隔离层106、第一牺牲层107和漏极隔离层108。

[0096] 形成贯穿源极隔离层106、第一牺牲层107和漏极隔离层108的若干第三通孔102,第三通孔102露出位线103的顶面。本实施例中,采用干法刻蚀的方法形成第三通孔102。

[0097] 参考图3-图4,图4为图3在第一方向上的剖面图。在第三通孔102内形成层叠设置的源极111、沟道区110和漏极112,源极111、沟道区110和漏极112构成垂直晶体管。

[0098] 具体地,通过选择性外延生长的方法在位线103上形成第一半导体柱,第一半导体柱的顶面与源极隔离层106的顶面齐平,并对第一半导体柱进行离子注入,以形成源极111。通过选择性外延生长的方法,在源极111上形成第二半导体柱,第二半导体柱的顶面与第一牺牲层107的顶面齐平,第二半导体柱作为沟道区110。通过选择性外延生长的方法,在沟道区110上形成第三半导体柱,对第三半导体柱进行离子注入,以形成漏极112。

[0099] 本实施例中,第一半导体柱、第二半导体柱和第三半导体柱的材料为硅,在其他实施例中,第一半导体柱、第二半导体柱和第三半导体柱的材料也可以为锗。第一半导体柱和第三半导体柱的掺杂离子相同,比如可以均为磷,也可以均为硼。

[0100] 参考图5-图6,图6为图5在第一方向上的剖面图。形成贯穿漏极隔离层108和第一牺牲层107(参考图4)的第一沟槽104,第一沟槽104沿第二方向延伸,第二方向与第一方向不同。本实施例中,第一方向与第二方向垂直。在其他实施例中,第一方向与第二方向的夹角可以大于或等于 75° ,且小于 90° 。

[0101] 本实施例中,第一沟槽104还贯穿源极隔离层106。在其他实施例中,第一沟槽可以只贯穿漏极隔离层和第一牺牲层。

[0102] 本实施例中,采用干法刻蚀的方法形成第一沟槽104。在干法刻蚀之前,还在漏极隔离层108和漏极112上形成氮化硅层。在干法刻蚀中,还去除部分氮化硅层。在干法刻蚀后,去除剩余的氮化硅层。氮化硅层能够提高刻蚀图形的精度。

[0103] 形成第一沟槽104后,去除第一牺牲层107(参考图4),以形成字线填充区109a。本实施例中,采用湿法刻蚀的方法去除第一牺牲层107。形成的字线填充区109a为原第一牺牲层107所占据的空间位置。

[0104] 参考图7,形成填充字线填充区109a的初始字线层109b,初始字线层109b还填充满第一沟槽104(参考图6)。本实施例中,采用化学气相沉积的方法形成初始字线层109b,在其他实施例中,也可以采用物理气相沉积的方法形成初始字线层。

[0105] 参考图8-图9,图9为图8在第一方向上的剖面图。去除部分初始字线层109b,以形成相互分立的字线109,并露出第一沟槽104。即剩余的初始字线层109b作为字线109,且第一沟槽104将字线109分割开。本实施例中,采用干法刻蚀的方法去除部分初始字线层109b。

[0106] 参考图10,形成填充第一沟槽104的字线隔离层113。字线隔离层113为绝缘材料,比如可以为氧化硅或氮化硅,用于隔离相邻字线109。

[0107] 参考图11-图12,形成第一接触结构12的步骤包括:在晶体管11上形成第一绝缘层13;在第一绝缘层13内形成第一通孔136;对第一通孔136的顶部进行扩孔处理,以使第一通孔136顶部的面积大于第一通孔136底部的面积;形成填充第一通孔136的第一接触结构12。

[0108] 具体地,本实施例中,第一绝缘层13为多层结构,第一通孔136的形成步骤包括:参考图11,在漏极112上形成层叠设置的第一一稳定层131、第一一介质层132、第一二稳定层133、第一二介质层134和第一三稳定层135;第一一稳定层131、第一一介质层132、第一二稳定层133、第一二介质层134和第一三稳定层135构成第一绝缘层13。

[0109] 本实施例中,采用化学气相沉积的方法形成第一绝缘层13。

[0110] 形成贯穿第一一稳定层131、第一一介质层132、第一二稳定层133、第一二介质层134和第一三稳定层135的第一通孔136;去除部分第一三稳定层135和第一二介质层134,以使第一通孔136顶部的面积大于第一通孔136底部的面积。本实施例中,采用干法刻蚀的方法形成第一通孔136,并采用干法刻蚀的方法对第一通孔136进行扩孔处理。

[0111] 参考图12,在第一通孔136(参考图11)内形成层叠设置的第一二接触层122和第一一接触结构121。本实施例中,分别采用外延生长和化学气相沉积法形成第一二接触结构122和第一一接触结构121。在其他实施例中,也可以采用物理气相沉积法形成第一二接触结构和第一一接触结构。

[0112] 参考图13,在第一接触结构12朝向第二基底2(参考图1)的一侧形成第一凹陷部123。即在第一一接触结构12的键合面上形成第一凹陷部123。可以理解的是,在第一基底1和第二基底2的键合过程中,由于温度较高,从而存在较大的应力;为降低热应力对键合效果产生的不良影响,可以形成第一凹陷部123。本实施例中,采用化学机械研磨的方法形成第一凹陷部123。

[0113] 以下将对第二基底2的形成步骤进行具体说明。

[0114] 参考图14,形成电极垫202的步骤包括:在第二衬底201上形成层叠设置的电极垫

隔离层203和第四支撑层204,形成贯穿电极垫隔离层203和第四支撑层204的第三凹槽,且部分第三凹槽还位于第二衬底内201。本实施例中,通过干法刻蚀的方法形成第三凹槽。

[0115] 形成填充第三凹槽的电极垫202。本实施例中,采用物理气相沉积的方法形成电极垫202。在其他实施例中,也可以采用化学气相沉积的方法形成电极垫。

[0116] 参考图15-图18,形成电容23的步骤包括:

[0117] 参考图15,提供第二衬底201,在第二衬底上形成层叠设置的第三支撑层248、第一电容隔离层241和第一支撑层242。本实施例中,采用化学气相沉积法形成第三支撑层248、第一电容隔离层241和第一支撑层242。

[0118] 形成贯穿第三支撑层248、第一电容隔离层241和第一支撑层242的第一凹槽245,且第一凹槽245的底面宽度小于第一凹槽245的开口宽度。本实施例中,采用干法刻蚀的方法形成第一凹槽245。

[0119] 参考图16,形成填充第一凹槽245的第二牺牲层246。第二牺牲层246的材料为非晶硅。

[0120] 在第一支撑层242和第二牺牲层246上形成第二电容隔离层243和第二支撑层244。本实施例中,采用化学气相沉积的方法形成第二电容隔离层243和第二支撑层244。

[0121] 参考图17,形成贯穿第二电容隔离层243和第二支撑层244的第二凹槽247,第二凹槽247露出第二牺牲层246的顶面,且第二凹槽247的底面宽度小于第二牺牲层246的顶面宽度;去除第二牺牲层246,以露出第一凹槽245。如此,第一凹槽245和第二凹槽247的交界处具有拐角。

[0122] 参考图18,在第一凹槽245和第二凹槽247的表面形成上电极232,上电极232还覆盖第二支撑层244的顶面。在上电极232的表面形成介质层233,在介质层233的表面形成下电极231,去除位于第二支撑层244上的下电极231;下电极231、上电极232和介质层233构成电容23。

[0123] 本实施例中,下电极231填充第一凹槽245和第二凹槽247。在其他实施例中,下电极可以不填充第一凹槽和第二凹槽。

[0124] 本实施例中,分别形成第一凹槽245和第二凹槽247,相比于一次性形成凹槽,分步形成的方法更容易降低电容的线宽,也更易降低刻蚀的难度。可选的,两个凹槽相叠加,可以提高电容的高度,从而保证较大的存储电容。可选的,分步形成的方法还可以使得第一凹槽245和第二凹槽247的交界处具有拐角,拐角可以增大介质层233与上电极232和下电极231的相对面积,从而可以提高存储容量以及电容的稳定性。

[0125] 参考图19-图20,形成第二接触结构22的步骤包括:在电容上形成第二绝缘层21;在第二绝缘层21内形成第二通孔215;对第二通孔215的顶部进行扩孔处理,以使第二通孔215顶部的面积大于第二通孔215底部的面积;形成填充第二通孔215的第二接触结构22。

[0126] 具体地,参考图19:在电容23上形成层叠设置的第二一介质层214、第二一稳定层213、第二二介质层212和第二二稳定层211;第二一介质层214、第二一稳定层213、第二二介质层212和第二二稳定层211构成第二绝缘层21。本实施例中,采用化学气相沉积的方法形成第二绝缘层21。

[0127] 形成贯穿第二一介质层214、第二一稳定层213、第二二介质层212和第二二稳定层211的第二通孔215;去除部分第二二稳定层211和第二二介质层212,以使第二通孔215顶部

的面积大于第二通孔215底部的面积。

[0128] 参考图20,在第二通孔215内形成层叠设置的第二二接触结构222和第二一接触结构221。本实施例中,采用物理气相沉积的方法形成第二二接触结构222和第二一接触结构221。在其他实施例中,也可以采用化学气相沉积的方法形成第二二接触结构和第二一接触结构。

[0129] 参考图21,键合之前还包括步骤:在第二接触结构22朝向第一基底1的一侧形成第二凹陷部223。第二凹陷部223能够降低热应力对键合产生的不良影响,从而提高第二基底2与第一基底1的键合强度,进而提高半导体结构的牢固性。本实施例中,通过化学机械研磨的方法形成第二凹陷部223。

[0130] 综上所述,本实施例中,第一基底1和第二基底2的制造工艺流程可以分别进行,从而能够缩短生产周期。可选的,第一接触结构12与第二接触结构22具有较大面积的键合面,从而可以降低对准的难度。可选的,分别形成第一凹槽245和第二凹槽247,更容易降低电容的线宽,也更容易降低刻蚀的难度;两个凹槽相叠加,可以提高电容的高度,从而保证较大的存储电容。

[0131] 本领域的普通技术人员可以理解,上述各实施方式是实现本发明的具体实施例,而在实际应用中,可以在形式上和细节上对其作各种改变,而不偏离本发明的精神和范围。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各自更动与修改,因此本发明的保护范围应当以权利要求限定的范围为准。

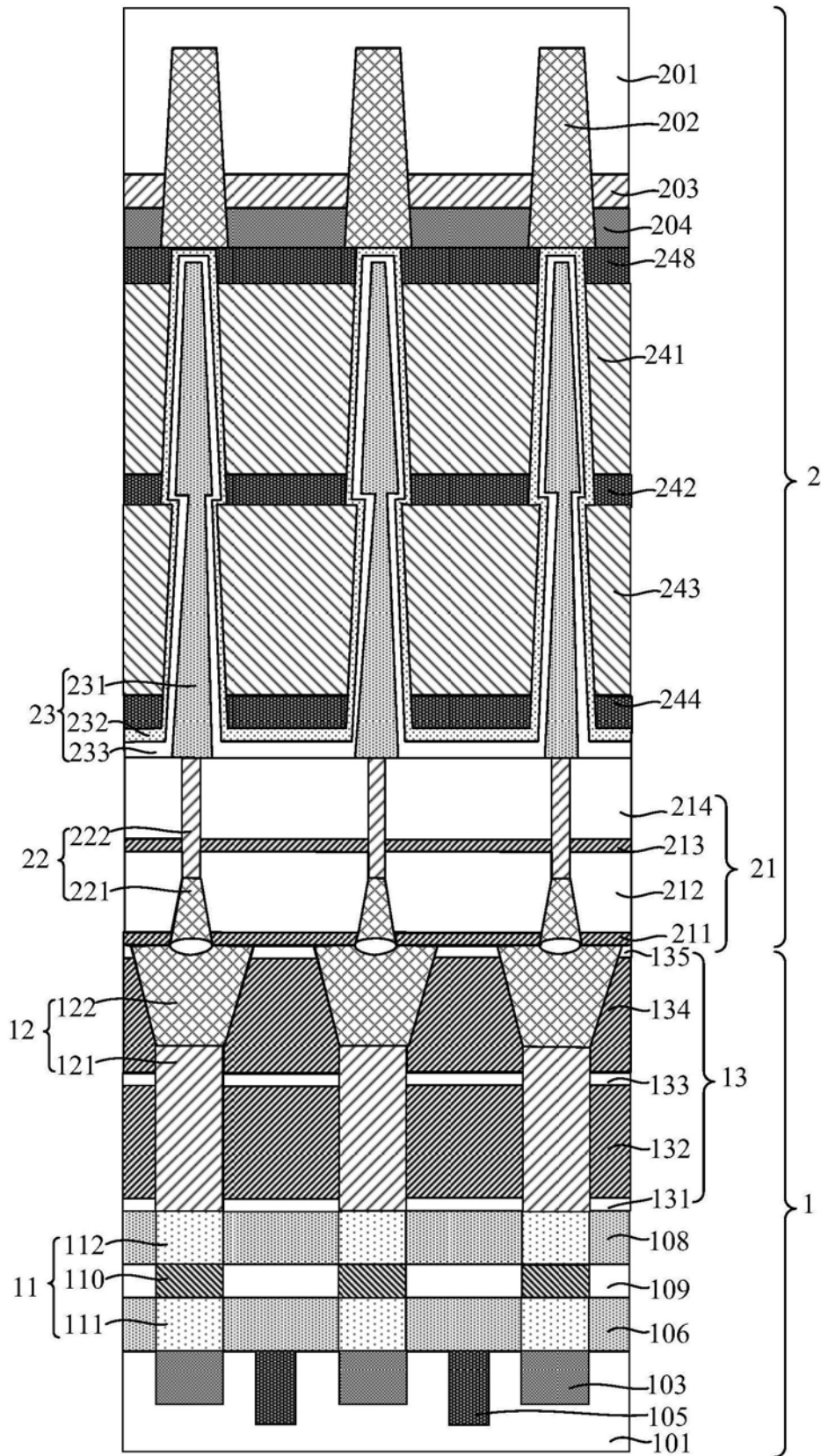


图1

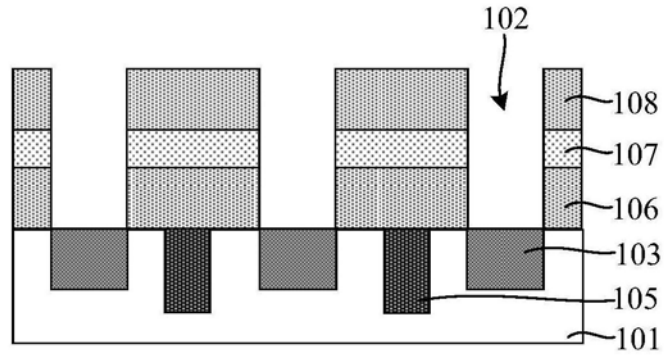


图2

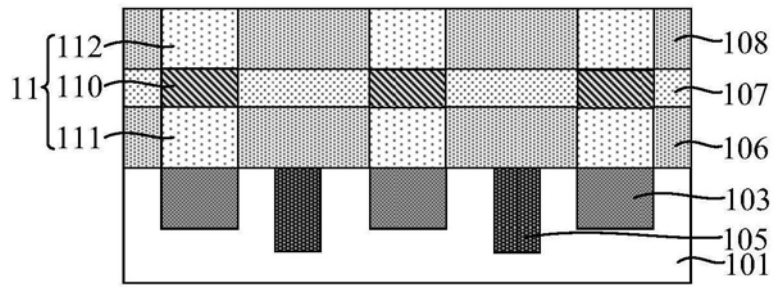


图3

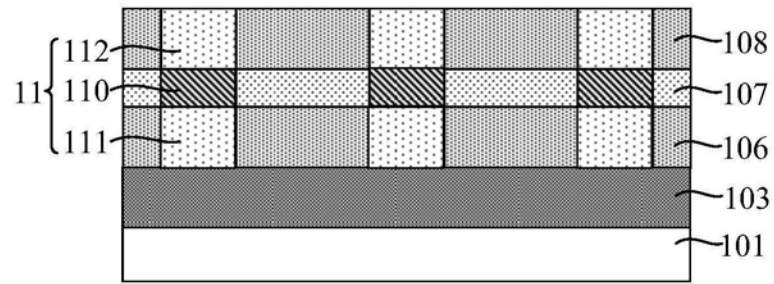


图4

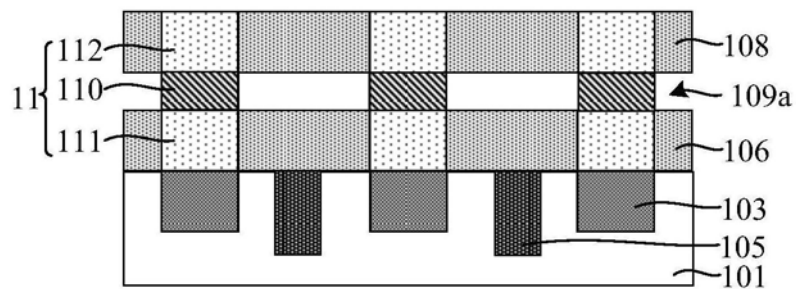


图5

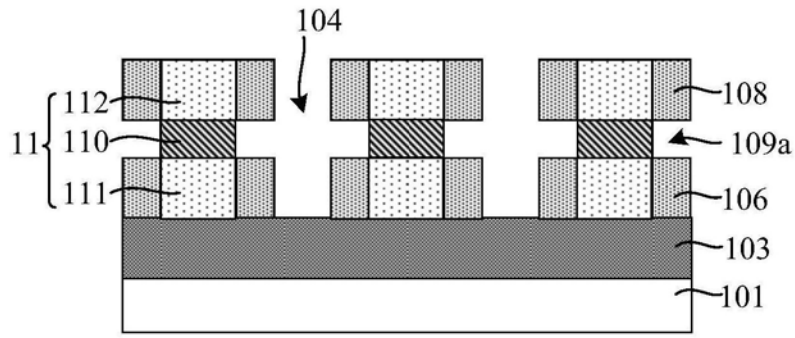


图6

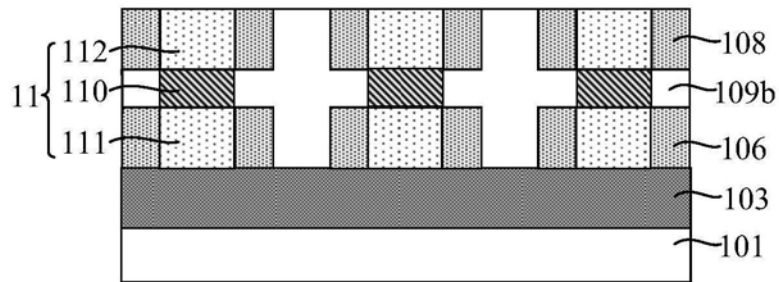


图7

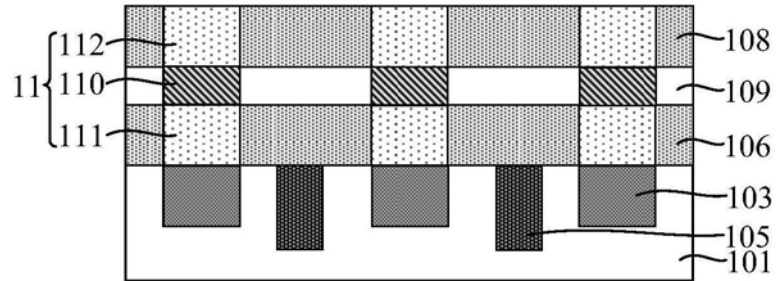


图8

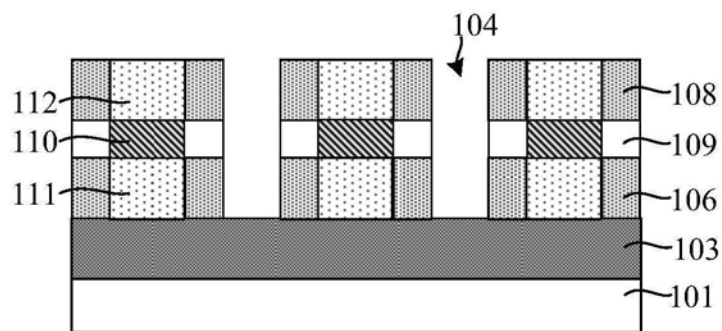


图9

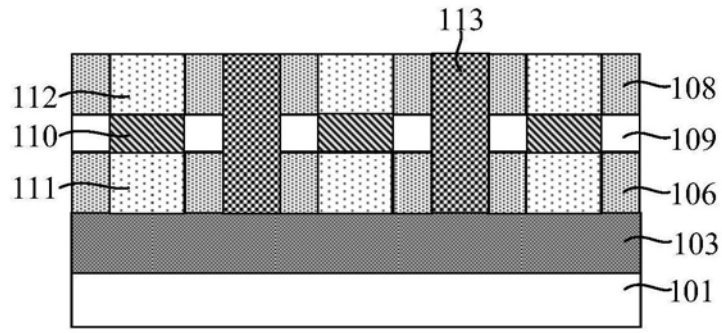


图10

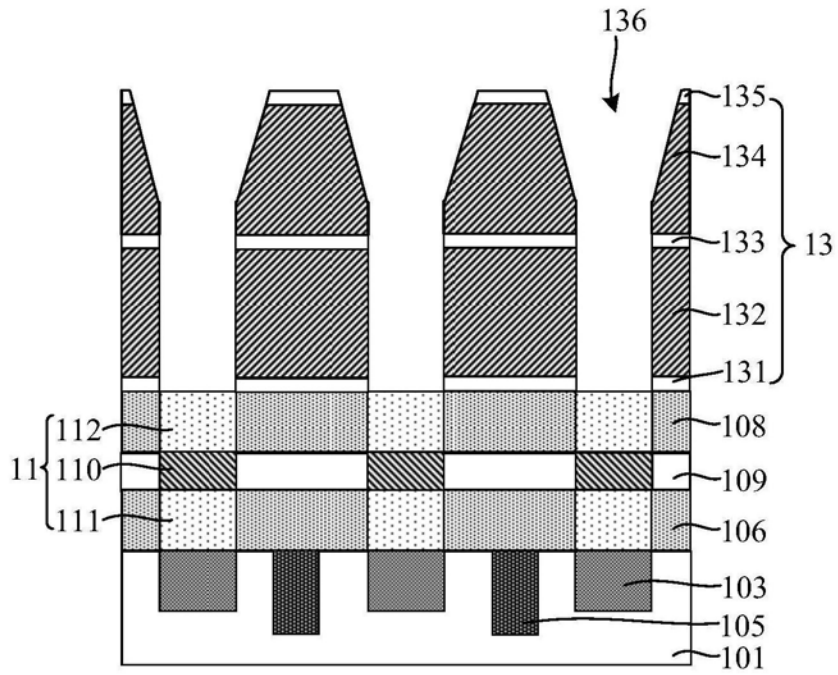


图11

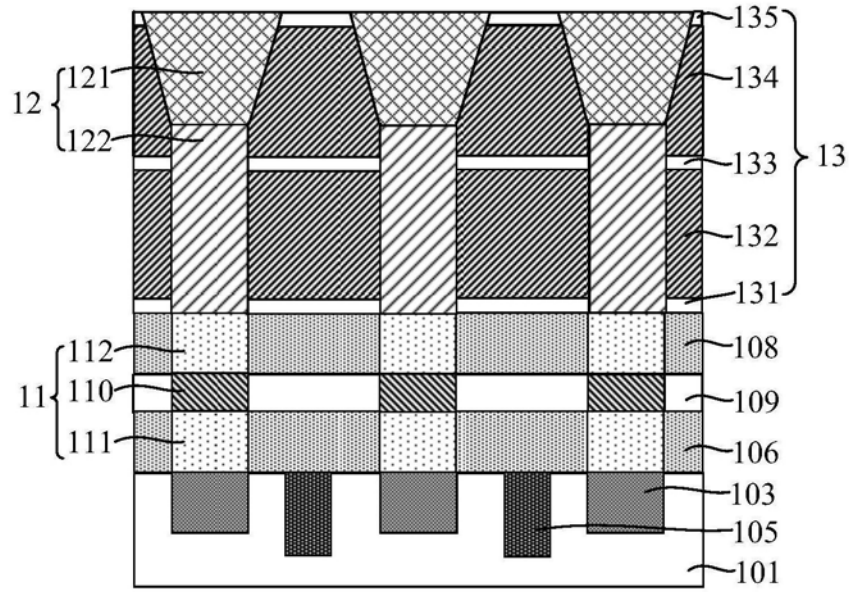


图12

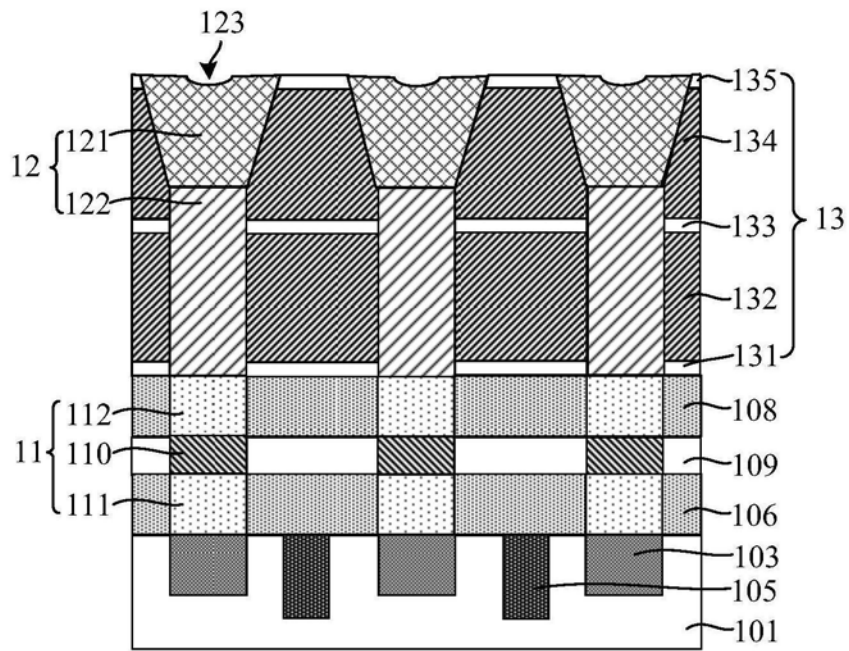


图13

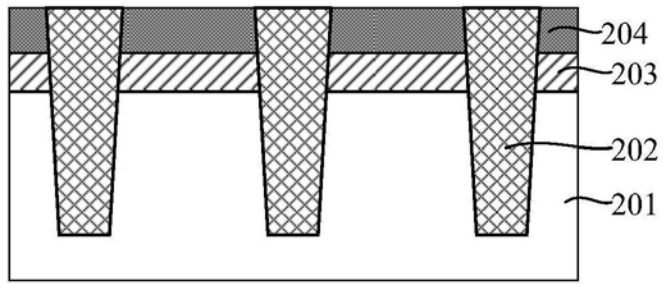


图14

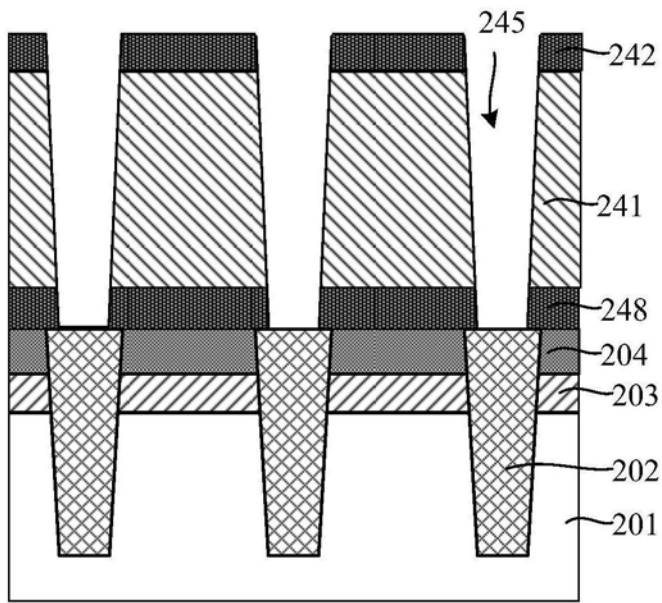


图15

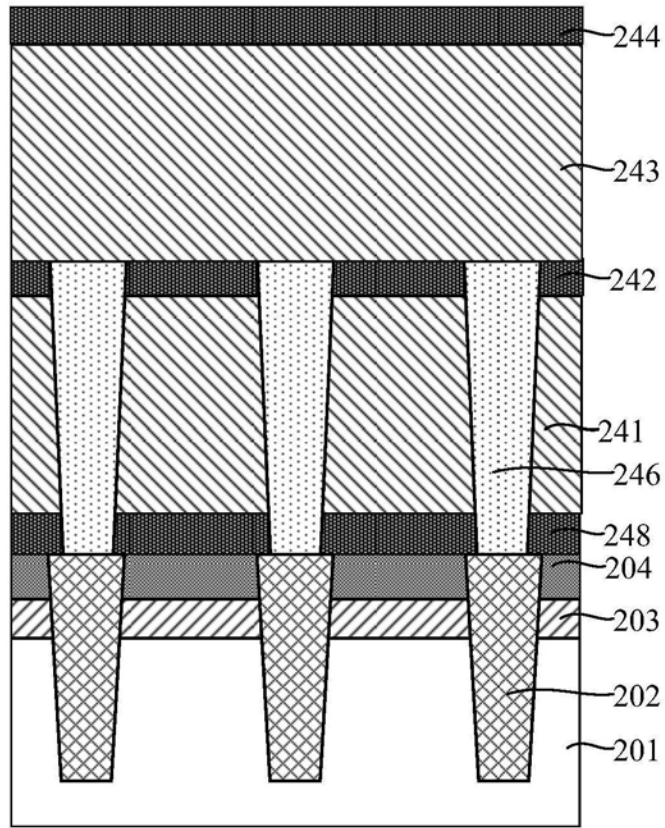


图16

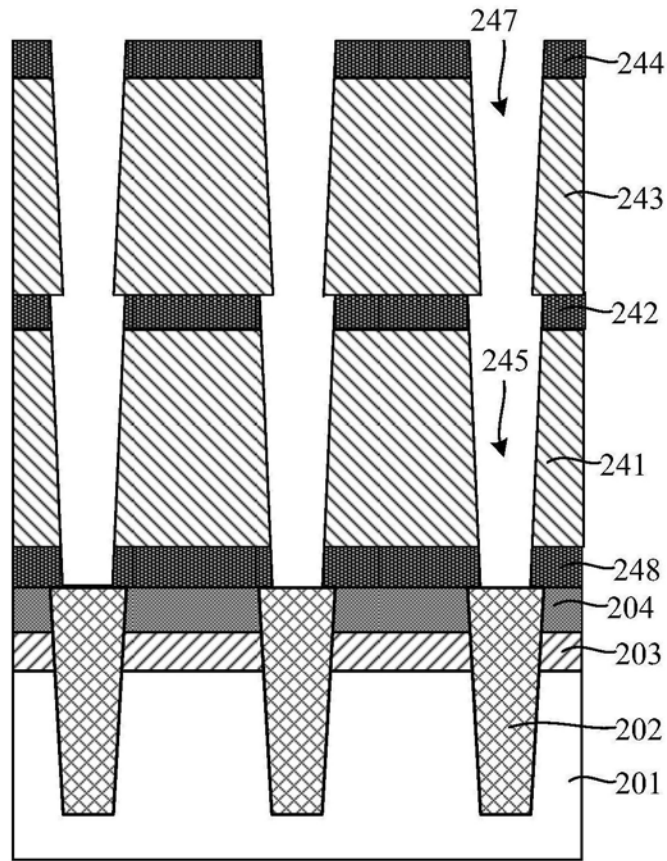


图17

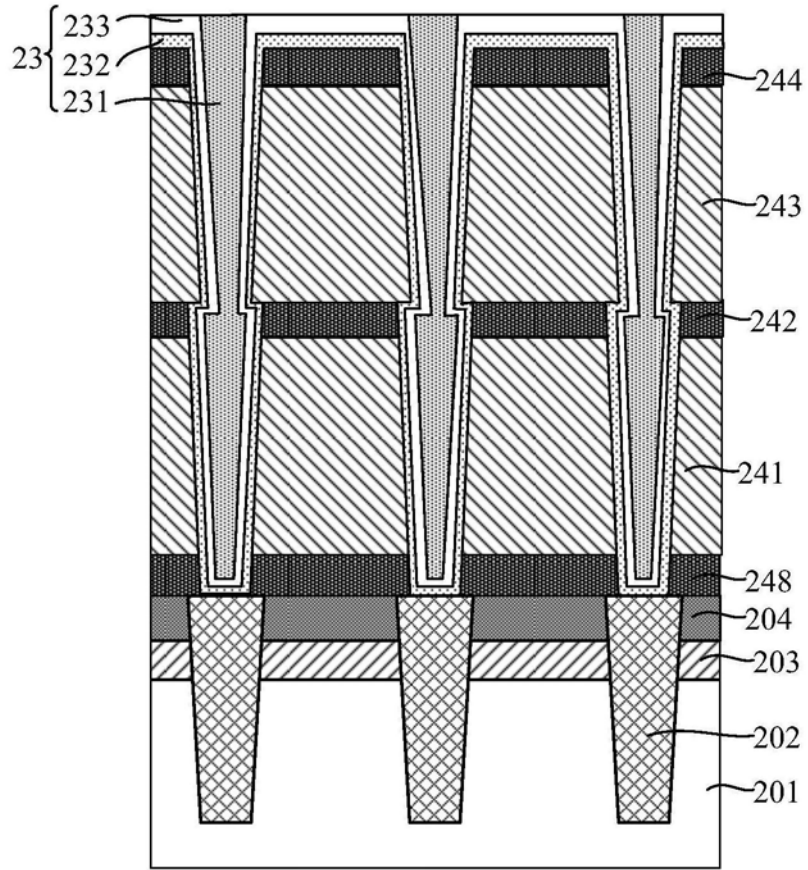


图18

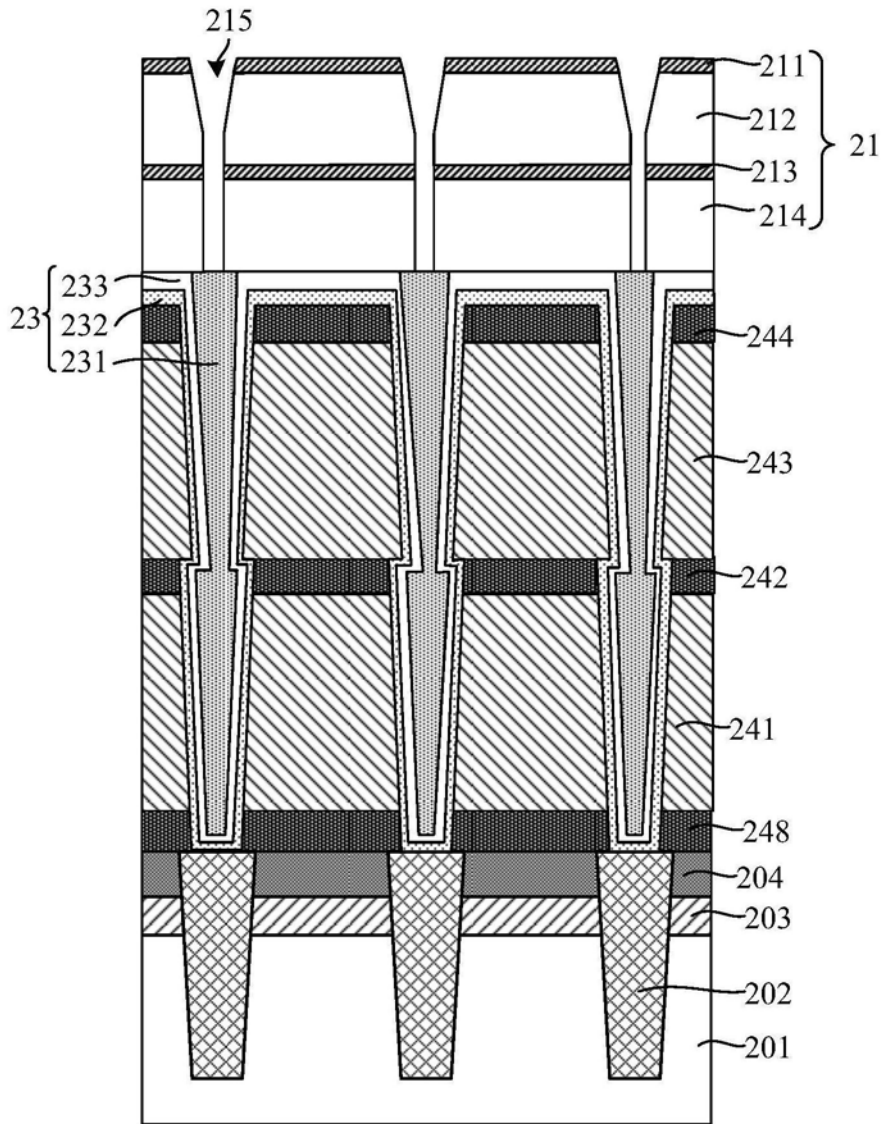


图19

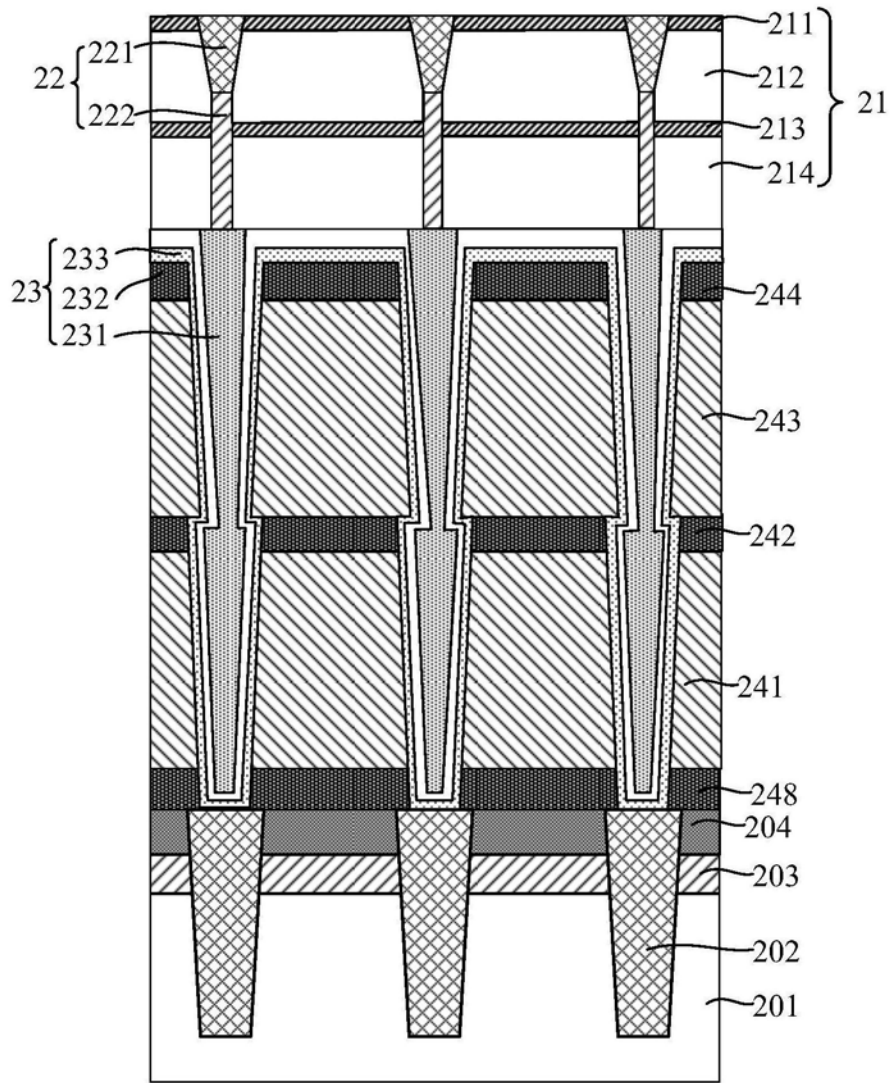


图20

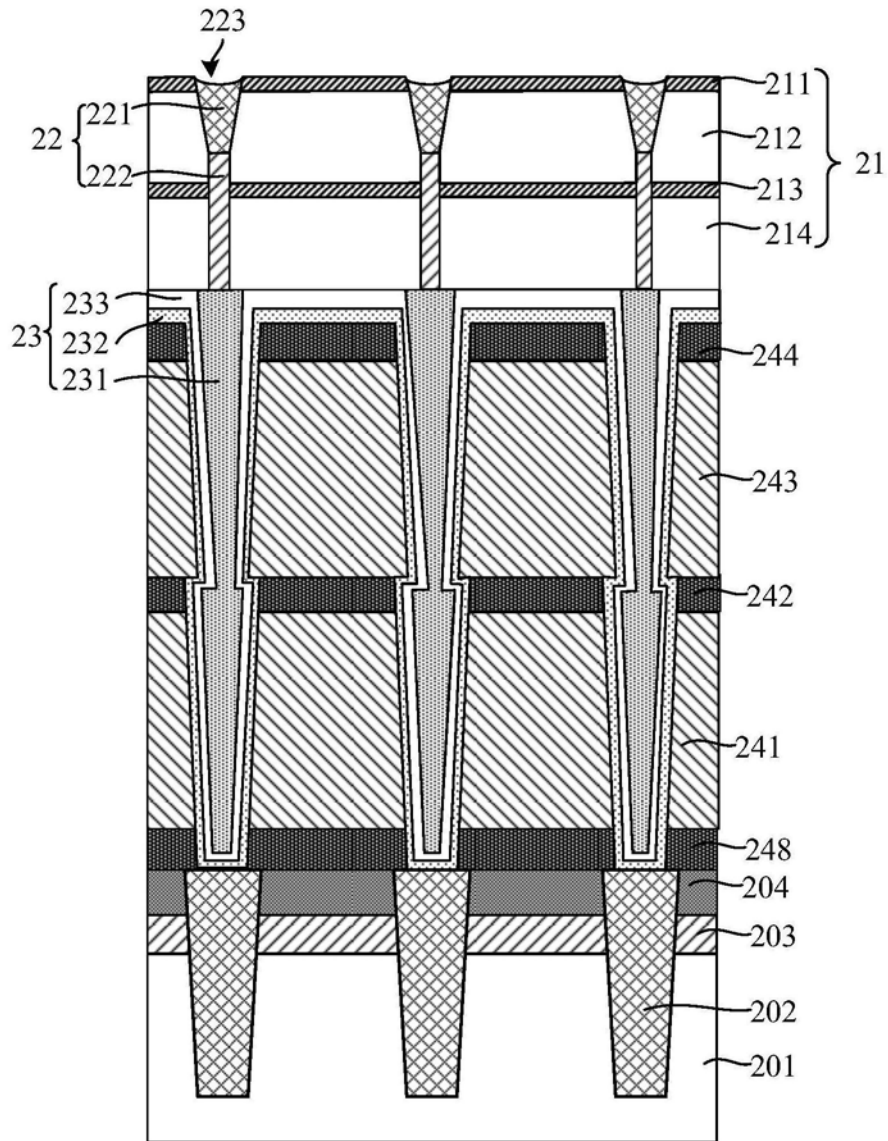


图21